



(12) 发明专利

(10) 授权公告号 CN 101490837 B

(45) 授权公告日 2010. 09. 29

(21) 申请号 200780026229. 0

(22) 申请日 2007. 07. 12

(30) 优先权数据

191470/2006 2006. 07. 12 JP

(85) PCT申请进入国家阶段日

2009. 01. 12

(86) PCT申请的申请数据

PCT/JP2007/063889 2007. 07. 12

(87) PCT申请的公布数据

W02008/007731 JA 2008. 01. 17

(73) 专利权人 日本优尼山帝斯电子股份有限公司

地址 日本东京都

专利权人 国立大学法人东北大学

(72) 发明人 舛冈富士雄 中村广记

(74) 专利代理机构 北京林达刘知识产权代理事务所 (普通合伙) 11277

代理人 刘新宇 陈立航

(51) Int. Cl.

H01L 21/8247(2006. 01)

H01L 27/115(2006. 01)

H01L 29/788(2006. 01)

H01L 29/792(2006. 01)

(56) 对比文件

JP 9259591 A, 1997. 10. 03, 全文.

US 6380032 B1, 2002. 04. 30, 全文.

JP 4302477 A, 1992. 10. 26, 全文.

US 6033957 A, 2000. 03. 07, 全文.

审查员 白若鸽

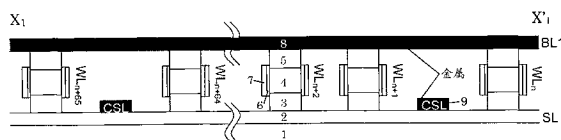
权利要求书 2 页 说明书 8 页 附图 41 页

(54) 发明名称

非易失性半导体存储器及其驱动方法

(57) 摘要

本发明的课题为提供一种非易失性半导体存储器,其由利用了避免写入速度和读取速度的下降的岛状半导体层的侧壁的存储单元构成。为了解决上述课题,上述非易失性半导体存储器在半导体衬底上形成岛状半导体层,该岛状半导体层具有下列构成而组成非易失性半导体存储单元,即:漏极扩散层,其形成于岛状半导体层上部;源极扩散层,其形成于岛状半导体层下部;电荷蓄积层,其隔着栅极绝缘膜而形成于夹置在漏极扩散层和源极扩散层的侧壁的沟道区域上;以及控制栅极,其形成于电荷蓄积层上。将该非易失性半导体存储单元以阵列状排列且将连接于漏极扩散层的比特线布线于列方向,将控制栅极线布线于行方向,将连接于源极扩散层的源极线布线于列方向,其中,上述非易失性半导体存储器是按每规定数的控制栅极线形成连接于源极线的共用源极线,该共用源极线由金属形成,将该共用源极线布线于行方向。



1. 一种非易失性半导体存储器,其中,从衬底侧顺次形成源极区域、沟道区域和漏极区域并具有隔着栅极绝缘膜而形成于所述沟道区域的外侧的电荷蓄积层以及隔着绝缘层以覆盖该电荷蓄积层的方式形成于该电荷蓄积层的外侧的控制栅极的存储单元,以 n 行 m 列的阵列状而配置于所述衬底上,该非易失性半导体存储器包含:

多条第一源极线,其以将排列于所述阵列的列方向的存储单元的源极区域相互连接的方式而布线于列方向;

多条平行的比特线,其以将排列于所述列方向的存储单元的漏极区域相互连接的方式,在与所述第一源极线不同层中布线于列方向;

多条栅极线,其以将排列于与所述列方向实质上垂直的行方向的存储单元的控制栅极相互连接的方式而布线于行方向;以及

第二源极线,其由相互连接所述第一源极线的金属所形成,并针对所述阵列的每 p 行各布线 1 行,其中, $p < n$ 。

2. 一种非易失性半导体存储器,其中,从衬底侧顺次形成源极区域、沟道区域和漏极区域并具有隔着栅极绝缘膜而形成于所述沟道区域的外侧的电荷蓄积层以及隔着绝缘层以覆盖该电荷蓄积层的方式而形成于该电荷蓄积层的外侧的控制栅极的存储单元,以 n 行 m 列的阵列状配置于所述衬底上,该非易失性半导体存储器包含:

第一共用扩散源极线,其以将分别排列于所述阵列的行及列方向的存储单元的源极区域相互连接的方式布线;

多条平行的比特线,其以将排列于所述列方向的存储单元的漏极区域相互连接的方式,在与所述第一共用扩散源极线不同层中布线于列方向;

多条栅极线,其以排列于与所述列方向实质上垂直的行方向的存储单元的控制栅极相互连接的方式布线于行方向;以及

第二源极线,其由连接所述第一共用扩散源极线的金属所形成,且针对所述阵列的每 p 行各布线 1 行,其中, $p < n$ 。

3. 一种向非易失性半导体存储器写入的方法,是向权利要求 1 或 2 所述的非易失性半导体存储器写入的方法,包括:

对所选择的比特线施加 0V 或正的第一电压,对非选择的比特线施加 0V,对所选择的栅极线施加正的第二电压,对非选择的栅极线施加 0V,对第一源极线或第一共用扩散源极线以及第二源极线施加 0V,从而利用热电子对所选择的存储单元进行向电荷蓄积层的电荷注入。

4. 一种从非易失性半导体存储器读取的方法,是从权利要求 1 或 2 所述的非易失性半导体存储器读取的方法,包括:

对所选择的栅极线施加正的第一电压,对非选择的栅极线施加 0V,对第一源极线或第一共用扩散源极线以及第二源极线施加 0V,对所选择的比特线施加正的第二电压,从而读取所选择的存储单元。

5. 一种非易失性半导体存储器的擦除方法,是权利要求 1 或 2 所述的非易失性半导体存储器的擦除方法,包括:

对比特线、第一源极线或第一共用扩散源极线、以及第二源极线施加正的第一电压,对栅极线施加 0V,从而利用 FN 隧道电流从所有的存储单元的电荷蓄积层放出电荷。

6. 一种非易失性半导体存储器的擦除方法,是权利要求 1 或 2 所述的非易失性半导体存储器的擦除方法,包括:

对比特线、第一源极线或第一共用扩散源极线、以及第二源极线施加正的第一电压,对所选择的栅极线施加 0V,对非选择的栅极线施加正的第二电压,从而利用 FN 隧道电流从与所选择的控制栅极线相连接的存储单元的电荷蓄积层放出电荷。

非易失性半导体存储器及其驱动方法

技术领域

[0001] 本发明涉及一种非易失性半导体存储器及其驱动方法。

背景技术

[0002] 提出了一种由如下那样的存储单元构成的快闪存储器（例如，参照专利文献 1 以及非专利文献 1）：能够以较小的衬底占有面积充分确保电荷蓄积层和控制栅极之间的电容量，且具有优异的写入、擦除效率，并在形成于半导体衬底的表面的岛状半导体层的侧壁具有以围绕岛状半导体层的方式形成的电荷蓄积层和控制栅极。

[0003] 在上述快闪存储器中，利用热电子而向电荷蓄积层注入电荷。将由于该电荷蓄积层的电荷蓄积状态的差异而引起的阈值电压的差异存储为数据“0”、“1”。例如，在电荷蓄积层使用浮置（浮遊）栅极的 N 沟道的存储单元的情况下，为了向浮置栅极注入电荷，而向控制栅极和漏极扩散层提供高电压，并将源极扩散层和半导体衬底接地。此时，利用源极 / 漏极间的电压而提高半导体衬底的电子的能量，使其越过沟道氧化膜的能量势垒（障壁）而注入至电荷蓄积层。通过该电荷注入而使存储单元的阈值电压往正方向移动。流过源极 / 漏极间的电流中，注入至电荷蓄积层的比率较小。因此，写入所需的电流为每单元 100 μ A 的量级。另外，在 NOR 型快闪存储器中，读取时所流过的电流是 30 μ A 程度。

[0004] 由利用上述岛状半导体层的侧壁的存储单元构成的快闪存储单元阵列在源极线或源极面使用扩散层。相比于金属，扩散层为高电阻。当电流流过电阻时，产生电位差。因此，写入时，存储单元的源极扩散层的电压成为比 0V 更高的电压，源极 / 漏极间的电压降低，流过源极 / 漏极间的电流减少，使写入速度下降。另外，即使在读取时，存储单元的源极扩散层的电压也成为比 0V 更高的电压，源极 / 漏极间的电压降低，流过于源极 / 漏极间的电流减少，使读取速度下降。

[0005] 专利文献 1：日本特开平 8-148587 号公报

[0006] 非专利文献 1：Howard Pein 等，IEEE Electron Device Letters, Vol. 14, No. 8, pp. 415-pp. 417, 1993 年

[0007] 发明内容

[0008] 发明要解决的问题

[0009] 因此，本发明的目的在于提供一种非易失性半导体存储器，该非易失性半导体存储器由利用了避免写入速度和读取速度降低的岛状半导体层的侧壁的存储单元构成。

[0010] 用于解决问题的方案

[0011] 为了解决上述的问题，本发明具有如下的结构。根据本发明的一个特征，是一种非易失性半导体存储器，其中，从衬底侧顺次形成源极区域、沟道区域以及漏极区域并具有隔着栅极绝缘膜而形成于所述沟道区域的外侧的电荷蓄积层以及隔着绝缘层以覆盖该电荷蓄积层的方式形成于该电荷蓄积层的外侧的控制栅极的存储单元，以 n 行 m 列的阵列状配置于所述衬底上，

[0012] 该非易失性半导体存储器包含有下列布线而构成，即：

[0013] 多条第一源极线,其以将排列于所述阵列的列方向的存储单元的源极区域相互连接的方式布线于列方向;

[0014] 多条平行的比特线,其以将排列于所述列方向的存储单元的漏极区域相互连接的方式,在与所述第一源极线不同的层,布线于列方向;以及

[0015] 栅极线,其以将排列于与所述列方向实质上垂直的行方向的存储单元的控制栅极相互连接的方式布线于行方向,

[0016] 第二源极线,其由相互连接所述第一源极线的金属所形成,并针对所述阵列的每 p 行 ($p < n$) 各布线 1 行。

[0017] 另外,根据本发明的又一特征,是一种非易失性半导体存储器,其中,从衬底侧顺次形成源极区域、沟道区域和漏极区域并具有隔着栅极绝缘膜而形成于所述沟道区域的外侧的电荷蓄积层以及隔着绝缘层以覆盖该电荷蓄积层的方式而形成于该电荷蓄积层的外侧的控制栅极的存储单元,以 n 行 m 列的阵列状配置于所述衬底上,该非易失性半导体存储器包含:

[0018] 第一共用扩散源极线,其以将分别排列于所述阵列的行及列方向的存储单元的源极区域相互连接的方式布线;

[0019] 多条平行的比特线,其以将排列于所述列方向的存储单元的漏极区域相互连接的方式,在与所述第一共用扩散源极线不同层中布线于列方向;

[0020] 栅极线,其以排列于与所述列方向实质上垂直的行方向的存储单元的控制栅极相互连接的方式布线于行方向;以及

[0021] 第二源极线,其由连接所述第一共用扩散源极线的金属所形成,且针对所述阵列的每 p 行 ($p < n$) 各布线 1 行。

[0022] 另外,根据本发明所涉及的非易失性半导体存储器的驱动方法的特征,是一种向非易失性半导体存储器写入的方法,包括:

[0023] 对所选择的比特线施加 0V 或正的第一电压,对非选择的比特线施加 0V,对所选择的栅极线施加正的第二电压,对非选择的栅极线施加 0V,对第一源极线或第一共用扩散源极线以及第二源极线施加 0V,从而利用热电子对所选择的存储单元进行向电荷蓄积层的电荷注入。

[0024] 另外,根据本发明所涉及的非易失性半导体存储器的驱动方法的另一特征,是一种从非易失性半导体存储器读取的方法,包括:

[0025] 对所选择的栅极线施加正的第一电压,对非选择的栅极线施加 0V,对第一源极线或第一共用扩散源极线以及第二源极线施加 0V,对所选择的比特线施加正的第二电压,从而读取所选择的存储单元。

[0026] 另外,根据本发明所涉及的非易失性半导体存储器的驱动方法的又一特征,是一种非易失性半导体存储器的擦除方法,包括:

[0027] 对比特线、第一源极线或第一共用扩散源极线、以及第二源极线施加正的第一电压,对栅极线施加 0V,从而利用 FN(Fowler-Nordheim:福勒-诺德海)隧道电流从所有的存储单元的电荷蓄积层放出电荷。

[0028] 另外,根据本发明所涉及的非易失性半导体存储器的驱动方法的又一特征,是一种非易失性半导体存储器的擦除方法,包括:

[0029] 对比特线、第一源极线或第一共用扩散源极线、以及第二源极线施加正的第一电压,对所选择的栅极线施加 0V,对非选择的栅极线施加正的第二电压,从而利用 FN 隧道电流从与所选择的栅极线相连接的存储单元的电荷蓄积层放出电荷。

[0030] 发明的效果

[0031] 根据本发明,由于在每规定数的栅极线具有使用金属而形成的第二源极线,因此能够使源极线低电阻化,能够在写入时向存储单元的源极扩散层提供 0V,能够向源极 / 漏极间提供充分的电压,能够使源极 / 漏极间流过充分的电流,能够避免写入速度的下降。另外,即使在读取时,也能够向存储单元的源极扩散层提供 0V,对源极 / 漏极间能够提供充分的电压,能够使源极 / 漏极间流过充分的电流,能够避免读取速度的下降。

附图说明

[0032] 图 1 是本发明所涉及的非易失性半导体存储器的布局。

[0033] 图 2 是与本发明所涉及的非易失性半导体存储器的图 1 的 $X_1-X'_1$ 截面图对应的截面图。

[0034] 图 3 是与本发明所涉及的非易失性半导体存储器的图 1 的 $Y_1-Y'_1$ 截面图对应的截面图。

[0035] 图 4 是与本发明所涉及的非易失性半导体存储器的图 1 的 $Y_2-Y'_2$ 截面图对应的截面图。

[0036] 图 5 是本发明所涉及的非易失性半导体存储器的布局。

[0037] 图 6 是与本发明所涉及的非易失性半导体存储器的图 1 的 $X_1-X'_1$ 截面图对应的截面图。

[0038] 图 7 是与本发明所涉及的非易失性半导体存储器的图 1 的 $Y_1-Y'_1$ 截面图对应的截面图。

[0039] 图 8 是与本发明所涉及的非易失性半导体存储器的图 1 的 $Y_2-Y'_2$ 截面图对应的截面图。

[0040] 图 9 是表示本发明所涉及的存储单元阵列的制造例的 $X_1-X'_1$ 截面工序图。

[0041] 图 10 是表示本发明所涉及的存储单元阵列的制造例的 $Y_1-Y'_1$ 截面工序图。

[0042] 图 11 是表示本发明所涉及的存储单元阵列的制造例的 $Y_2-Y'_2$ 截面工序图。

[0043] 图 12 是表示本发明所涉及的存储单元阵列的制造例的 $X_1-X'_1$ 截面工序图。

[0044] 图 13 是表示本发明所涉及的存储单元阵列的制造例的 $Y_1-Y'_1$ 截面工序图。

[0045] 图 14 是表示本发明所涉及的存储单元阵列的制造例的 $Y_2-Y'_2$ 截面工序图。

[0046] 图 15 是表示本发明所涉及的存储单元阵列的制造例的 $X_1-X'_1$ 截面工序图。

[0047] 图 16 是表示本发明所涉及的存储单元阵列的制造例的 $Y_1-Y'_1$ 截面工序图。

[0048] 图 17 是表示本发明所涉及的存储单元阵列的制造例的 $Y_2-Y'_2$ 截面工序图。

[0049] 图 18 是表示本发明所涉及的存储单元阵列的制造例的 $X_1-X'_1$ 截面工序图。

[0050] 图 19 是表示本发明所涉及的存储单元阵列的制造例的 $Y_1-Y'_1$ 截面工序图。

[0051] 图 20 是表示本发明所涉及的存储单元阵列的制造例的 $Y_2-Y'_2$ 截面工序图。

[0052] 图 21 是表示本发明所涉及的存储单元阵列的制造例的 $X_1-X'_1$ 截面工序图。

[0053] 图 22 是表示本发明所涉及的存储单元阵列的制造例的 $Y_1-Y'_1$ 截面工序图。

[illegible]

- [0093] 图 62 是表示本发明所涉及的存储单元阵列的制造例的 $Y_2-Y'_2$ 截面工序图。
- [0094] 图 63 是表示本发明所涉及的存储单元阵列的制造例的 $X_1-X'_1$ 截面工序图。
- [0095] 图 64 是表示本发明所涉及的存储单元阵列的制造例的 $Y_1-Y'_1$ 截面工序图。
- [0096] 图 65 是表示本发明所涉及的存储单元阵列的制造例的 $Y_2-Y'_2$ 截面工序图。
- [0097] 图 66 是表示数据写入时的电位关系的图。
- [0098] 图 67 是表示数据读取时的电位关系的图。
- [0099] 图 68 是表示擦除所有存储单元时的电位关系的图。
- [0100] 图 69 是表示擦除连接于所选择的栅极线的存储单元时的电位关系的图。
- [0101] 图 70 是表示本发明所涉及的其它实施例的俯视图。
- [0102] 图 71 是表示本发明所涉及的其它实施例的俯视图。
- [0103] 图 72 是表示本发明所涉及的其它实施例的截面图。
- [0104] 附图标记说明

[0105] 1:硅氧化膜;2:第一源极线(1stSL);3:源极扩散层;4:岛状半导体层;5:漏极扩散层;6:电荷蓄积层;7:栅极线(WL);8:比特线;9:第二源极线(2ndSL);10:第一共用扩散源极线;100:P型硅;101:岛状半导体层;102:隧道绝缘膜;103、105:多晶硅膜;104:内聚晶绝缘膜;106:抗蚀剂;107、109:层间绝缘膜;108:金属;200:所选择的比特线;201:非选择的比特线;202:所选择的栅极线;203:非选择的栅极线;204:第一源极线;205:第二源极线;300:电荷蓄积层;301:粒子状电荷蓄积层。

[0106] **具体实施方式**

[0107] 本发明所涉及的非易失性半导体存储器包含形成于半导体衬底上的多个岛状半导体层。岛状半导体层由非易失性半导体存储单元构成,该非易失性半导体存储单元具有:漏极扩散层,其形成于岛状半导体层上部;源极扩散层,其形成于岛状半导体层下部;电荷蓄积层,其隔着栅极绝缘膜而形成于被漏极扩散层和源极扩散层夹置的侧壁的沟道区域上;以及控制栅极,其形成于电荷蓄积层上。并且,非易失性半导体存储器是以阵列状排列该非易失性半导体存储单元、并且将连接于漏极扩散层的比特线布线于列方向,将栅极线布线于行方向,将连接于源极扩散层的第一源极线布线于列方向的构造,并且,针对每规定数(例如64条)的控制栅极线在行方向布线1条由金属形成的共用源极线,此时,将该共用源极线连接于源极线。

[0108] 另外,在该非易失性半导体存储器中,能够设为如下构造:在由扩散层形成的第一共用扩散源极线上以阵列状排列该非易失性半导体存储单元,并且将连接于漏极扩散层的比特线布线于列方向,将栅极线布线于行方向。并且,在该非易失性半导体存储器中,能够设为如下构造:针对每规定数(例如64条)的栅极线,在行方向布线1条由金属形成的第二源极线,此时,将该第二源极线连接于第一共用扩散源极线。

[0109] 本发明的驱动方法,对所选择的比特线施加0V或正的第一电压,对非选择的比特线施加0V,对所选择的栅极线施加正的第二电压,对非选择的栅极线施加0V,对第一源极线或第一共用扩散源极线以及第二源极线施加0V,从而能够利用热电子对所选择的存储单元进行向电荷蓄积层的电荷注入。

[0110] 本发明的驱动方法,对所选择的栅极线施加正的第一电压,对非选择的栅极线施加0V,对第一源极线或第一共用扩散源极线以及第二源极线施加0V,对所选择的比特线施

加正的第二电压,从而能够读取所选择的存储单元。

[0111] 本发明的驱动方法,对比特线、第一源极线或第一共用扩散源极线以及第二源极线施加正的第一电压,对栅极线施加 0V,从而能够利用 FN 隧道电流从所有的存储单元的电荷蓄积层放出电荷。

[0112] 本发明的驱动方法,对比特线、第一源极线或第一共用扩散源极线以及第二源极线施加正的第一电压,对所选择的栅极线施加 0V,对非选择的栅极线施加正的第二电压,从而能够利用 FN 隧道电流从连接于所选择的栅极线的存储单元的电荷蓄积层放出电荷。

[0113] [实施例]

[0114] 以下,根据附图所示的实施方式叙述本发明。此外,本发明并不限于本实施方式。

[0115] 在图 1、图 2、图 3、图 4 中分别表示本发明所涉及的非易失性半导体存储器的布局 and 截面构造。本实施例中,在硅氧化膜 1 上形成第一源极线 2 和源极扩散层 3,在其上形成岛状半导体层 4,在该岛状半导体层 4 的上部形成漏极扩散层 5,在被漏极扩散层 5 和源极扩散层 3 夹置的侧壁的沟道区域上形成隔着栅极绝缘膜而形成的电荷蓄积层 6,在电荷蓄积层 6 上形成控制栅极,从而形成存储单元。将以把存储单元的控制栅极相互连接的方式布线于行方向的线作为栅极线 7。在漏极扩散层上形成比特线 8。另外,针对每规定数的栅极线(此处为每 64 条),在第一源极线上形成配属于行的、由金属构成的第二源极线 9。

[0116] 另外,在图 5、图 6、图 7、图 8 中分别表示本发明所涉及的非易失性半导体存储器的布局 and 截面构造。在本实施例中,在硅氧化膜 1 上形成第一共用扩散源极线 10 和源极扩散层 3,在源极扩散层 3 上形成岛状半导体层 4,在该岛状半导体层 4 的上部形成漏极扩散层 5,在被漏极扩散层 5 和源极扩散层 3 夹置的侧壁的沟道区域上形成隔着栅极绝缘膜而形成的电荷蓄积层 6,在电荷蓄积层 6 上形成控制栅极,从而形成存储单元。将以把存储单元的控制栅极相互连接的方式布线于行方向的线作为栅极线 7。在漏极扩散层上形成比特线 8。另外,针对每规定数的栅极线(此处为每 64 条),在第一共用扩散源极线上形成配属于行的、由金属构成的第二源极线 9。

[0117] 以下,参照图 9 至图 65 说明用于形成本发明所涉及的非易失性半导体存储器所具备的存储单元阵列的构造的制造工序的一例。图 9 是在硅氧化膜 1 上形成 P 型硅 100 的 SOI 衬底的 $X_1-X'_1$ 截面图。此外,图 10 是 $Y_1-Y'_1$ 截面图,图 11 是 $Y_2-Y'_2$ 截面图。 $X_1-X'_1$ 截面是对应于图 2 的截面, $Y_1-Y'_1$ 截面是对应于图 3 的截面, $Y_2-Y'_2$ 截面是对应于图 3 的截面。

[0118] 将抗蚀剂作为掩模,通过反应性离子蚀刻法对 P 型硅 100 进行蚀刻而形成第一源极线 2(图 12($X_1-X'_1$)、图 13($Y_1-Y'_1$)、图 14($Y_2-Y'_2$))。

[0119] 对氧化膜进行堆积,通过 CMP 进行平坦化,使用反应性离子蚀刻法进行蚀刻(图 15($X_1-X'_1$)、图 16($Y_1-Y'_1$)、图 17($Y_2-Y'_2$))。

[0120] 将抗蚀剂作为掩模而使用,通过反应性离子蚀刻法对 P 型硅 100 进行蚀刻而形成岛状半导体层 101(图 18($X_1-X'_1$)、图 19($Y_1-Y'_1$)、图 20($Y_2-Y'_2$))。岛状半导体层 101 的下部成为第一源极线。

[0121] 接着,进行氧化而形成隧道绝缘膜 102(图 21($X_1-X'_1$)、图 22($Y_1-Y'_1$)、图 23($Y_2-Y'_2$))。

- [0122] 接着,对多晶硅膜 103 进行堆积(图 24($X_1-X'_1$)、图 25($Y_1-Y'_1$)、图 26($Y_2-Y'_2$))。
- [0123] 接着,通过反应性离子蚀刻法对多晶硅膜进行蚀刻,以侧壁间隔物状而残存于岛状半导体侧壁,形成电荷蓄积层 6(图 27($X_1-X'_1$)、图 28($Y_1-Y'_1$)、图 29($Y_2-Y'_2$))。
- [0124] 接着,进行氧化而形成内聚晶(Inter-Poly)绝缘膜 104(图 30($X_1-X'_1$)、图 31($Y_1-Y'_1$)、图 32($Y_2-Y'_2$))。也可以通过 CVD 法而堆积绝缘膜。
- [0125] 接着,堆积多晶硅膜 105(图 33($X_1-X'_1$)、图 34($Y_1-Y'_1$)、图 35($Y_2-Y'_2$))。
- [0126] 接着,通过 CMP 法而使多晶硅膜平坦化后,进行蚀刻(图 36($X_1-X'_1$)、图 37($Y_1-Y'_1$)、图 38($Y_2-Y'_2$))。
- [0127] 接着,通过公知的光刻技术而形成图案化后的抗蚀剂 106(图 39($X_1-X'_1$)、图 40($Y_1-Y'_1$)、图 41($Y_2-Y'_2$))。
- [0128] 接着,将抗蚀剂作为掩模使用,通过反应性离子蚀刻法对多晶硅膜 105 进行蚀刻,以侧壁间隔物状而残存于电荷蓄积层侧壁,从而形成栅极线 7(图 42($X_1-X'_1$)、图 43($Y_1-Y'_1$)、图 44($Y_2-Y'_2$))。
- [0129] 接着,通过离子注入法等而形成第一源极线 2、源极扩散层 3 以及漏极扩散层 5(图 45($X_1-X'_1$)、图 46($Y_1-Y'_1$)、图 47($Y_2-Y'_2$))。
- [0130] 接着,对所谓的硅氧化膜的层间绝缘膜 107 进行堆积,使用 CMP 法等进行平坦化后,将抗蚀剂作为掩模而使用,通过反应性离子蚀刻法对层间绝缘膜进行蚀刻(图 48($X_1-X'_1$)、图 49($Y_1-Y'_1$)、图 50($Y_2-Y'_2$))。
- [0131] 接着,通过溅镀法等堆积金属 108(图 51($X_1-X'_1$)、图 52($Y_1-Y'_1$)、图 53($Y_2-Y'_2$))。
- [0132] 接着,利用反应性离子蚀刻法对金属进行蚀刻而形成第二源极线 9(图 54($X_1-X'_1$)、图 55($Y_1-Y'_1$)、图 56($Y_2-Y'_2$))。
- [0133] 接着,堆积层间绝缘膜 109(图 57($X_1-X'_1$)、图 58($Y_1-Y'_1$)、图 59($Y_2-Y'_2$))。
- [0134] 接着,利用 CMP 法等而使漏极扩散层露出(图 60($X_1-X'_1$)、图 61($Y_1-Y'_1$)、图 62($Y_2-Y'_2$))。
- [0135] 接着,利用溅镀法等而堆积金属,将抗蚀剂作为掩模而使用,对金属进行蚀刻而形成比特线 8(图 63($X_1-X'_1$)、图 64($Y_1-Y'_1$)、图 65($Y_2-Y'_2$))。
- [0136] 以下,参照图 66 至图 69 说明本发明的非易失性半导体存储单元阵列的驱动方法。
- [0137] 如图 66 所示那样进行利用热电子向所选择的存储单元 M1 的电荷蓄积层注入(写入)电荷的动作。对所选择的比特线 200 施加 0V 或产生热电子的程度的电压(5V),对非选择的比特线 201 施加 0V,对所选择的栅极线 202 施加高电压(9V),对非选择的栅极线 203 施加 0V,对第一源极线 204 和第二源极线 205 施加 0V。通过以上的动作,能够使用热电子将电荷注入至电荷蓄积层。
- [0138] 如图 67 所示那样进行所选择的存储单元 M1 的数据的读取动作。对所选择的栅极线 202 施加电压(3V),对非选择的栅极线 203 施加 0V,对第一源极线 204 和第二源极线 205 施加 0V,对所选择的比特线 200 施加电压(0.5V),由此能够读取所选择的存储单元。
- [0139] 如图 68 所示那样进行利用 FN 隧道电流从存储单元阵列的所有的存储单元的电荷蓄积层放出电荷(擦除)的动作。对所有的比特线和所有的第一源极线以及第二源极线施加擦除电压(18V),对所有的栅极线施加 0V,由此能够利用 FN 隧道电流从所有的存储单元的电荷蓄积层放出电荷。

[0140] 如图 69 所示那样进行利用 FN 隧道电流从存储单元阵列的与所选择的栅极线相连接的存储单元的电荷蓄积层放出电荷（擦除）的动作。对所有的比特线、第一源极线以及第二源极线施加擦除电压（18V），对所选择的栅极线 202 施加 0V，对非选择的栅极线 203 施加能够阻止擦除的程度的电压（9V），由此能够利用 FN 隧道电流从与所选择的栅极线相连接的存储单元的电荷蓄积层放出电荷。

[0141] 另外，在实施例 1 中，使用了在由岛状半导体层的漏极扩散层和源极扩散层所夹置的侧壁的沟道区域上隔着栅极绝缘膜而围绕岛状半导体的单一电荷蓄积层的构造的存储单元，但是电荷蓄积层并非必须为单一的电荷蓄积层，也可以如图 70 所示那样由一个或多个电荷蓄积层 300 包围岛状半导体的侧壁的沟道区域上的一部分。另外，也可以使用在控制栅极与岛状半导体层之间具有一个或多个粒子状的电荷蓄积层 301 或可蓄积电荷的区域的、能够利用热电子写入的构造的非易失性半导体存储单元（图 71）、（图 72）。

[0142] 如上所述，根据本发明，在每规定数的栅极线具有使用金属而形成的第二源极线，因此能够使源极线实现低电阻化，在写入时能够对存储单元的源极扩散层提供 0V，能够对源极 / 漏极间提供充分的电压，能够使源极 / 漏极间流过充分的电流，从而能够避免写入速度的降低。另外，在读取时，也能够向存储单元的源极扩散层提供 0V，能够在源极 / 漏极间提供充分的电压，能够使源极 / 漏极间流过充分的电流，能够避免读取速度的降低。

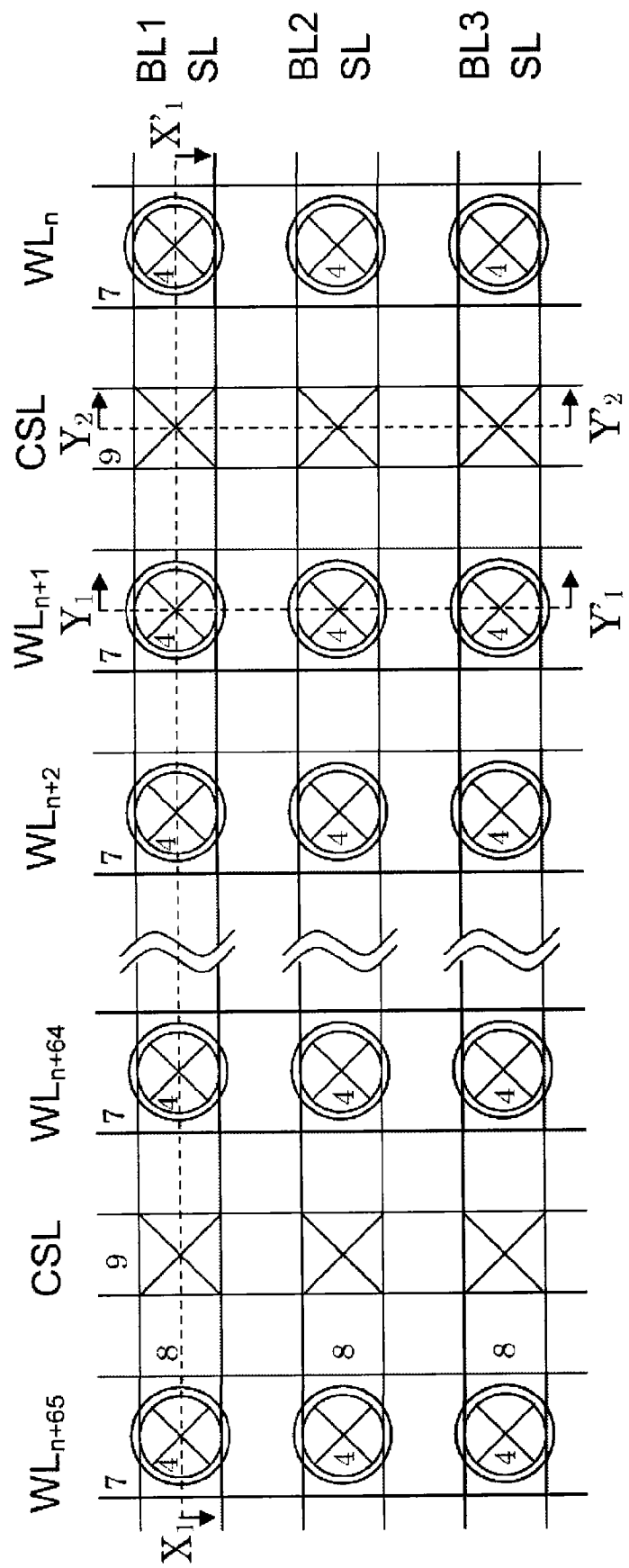


图 1

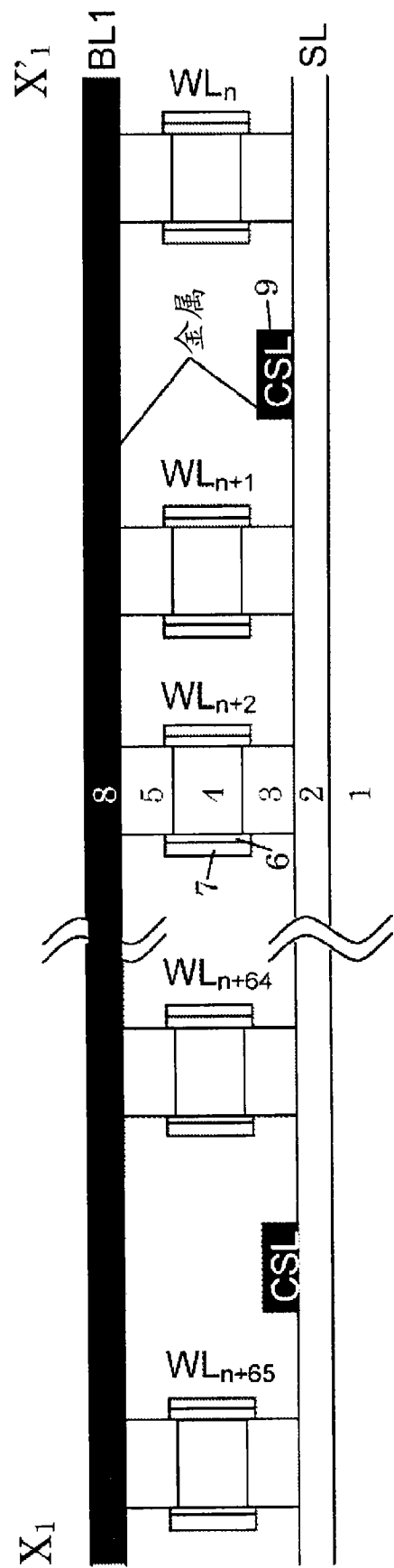


图 2

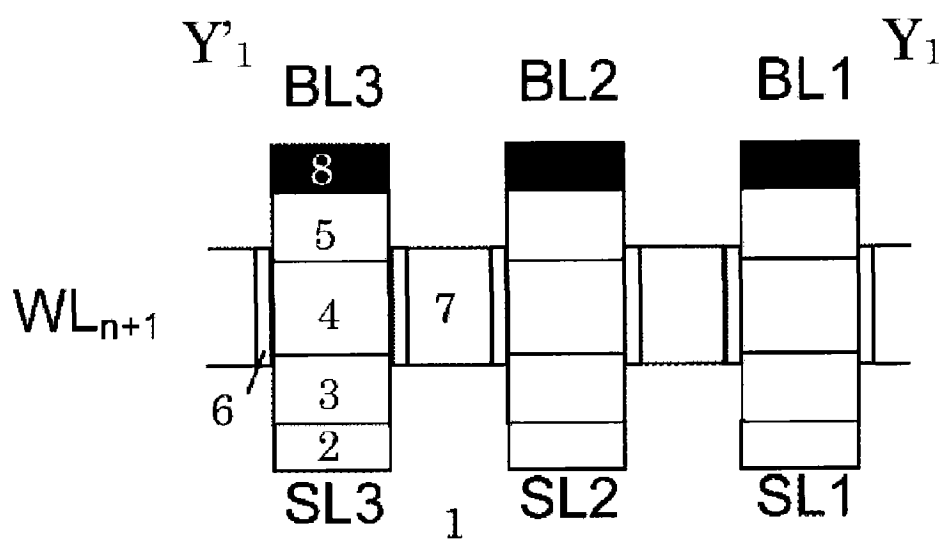


图 3

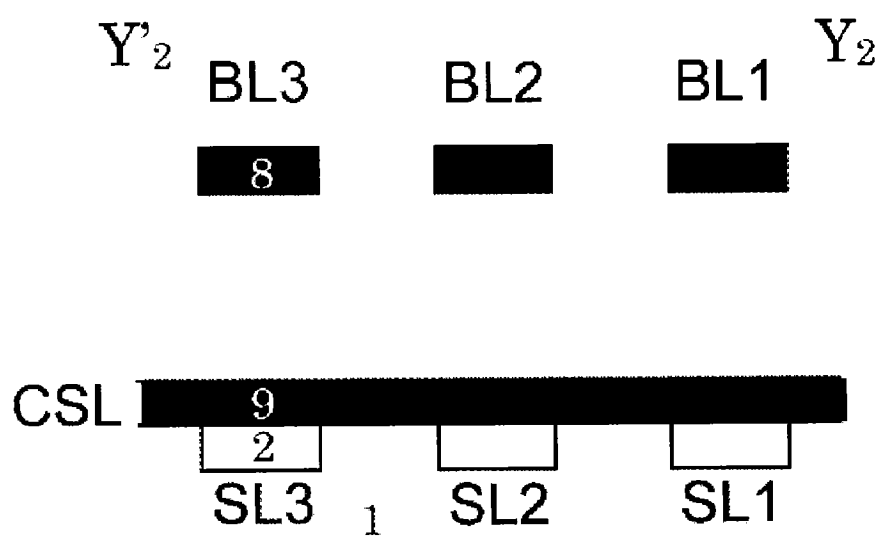


图 4

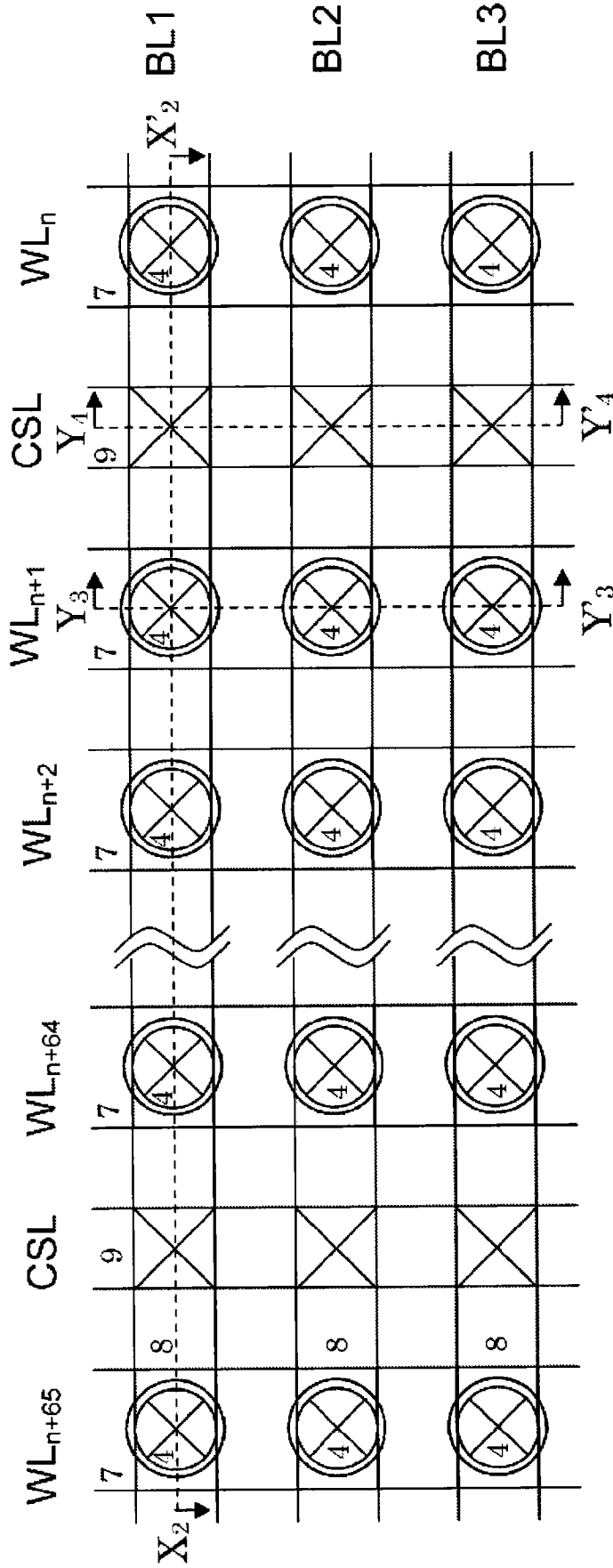


图 5

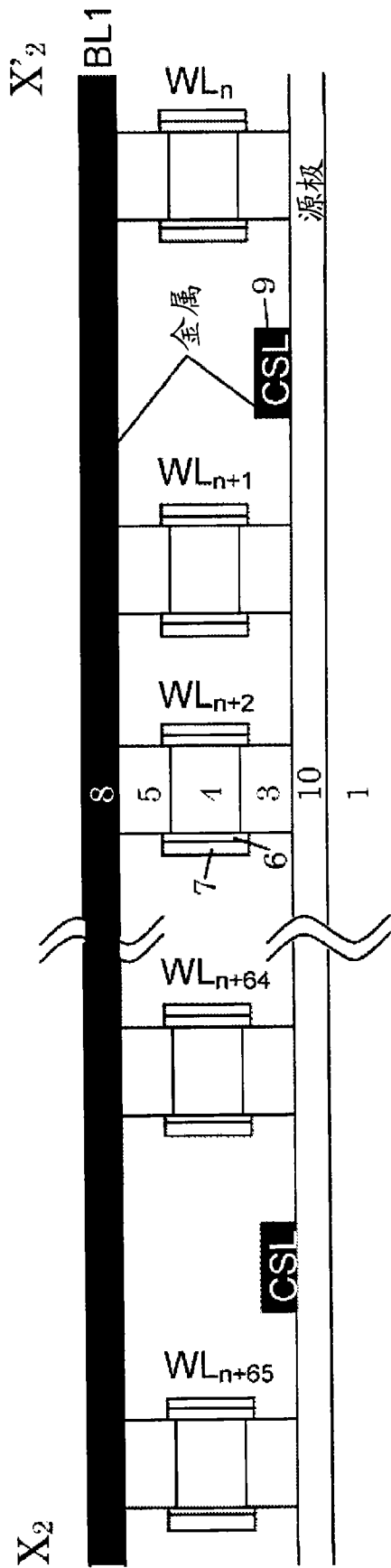


图 6

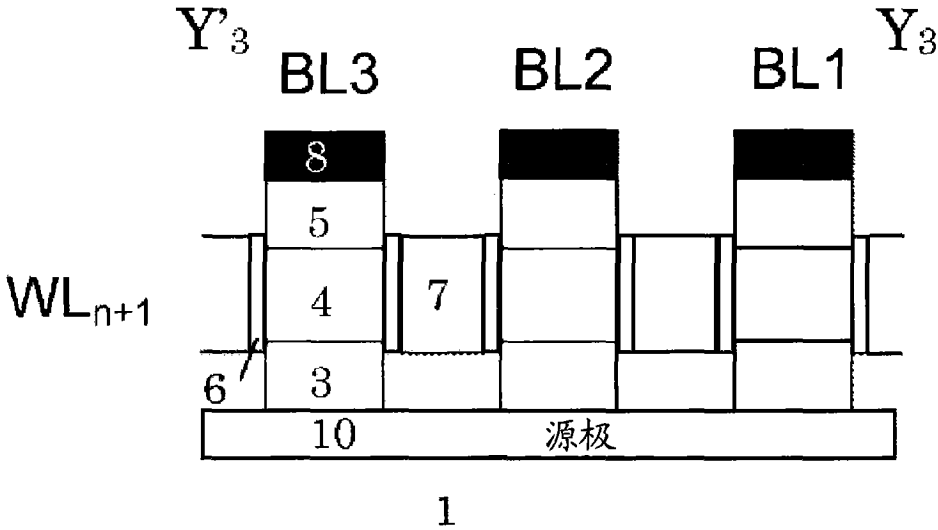


图 7

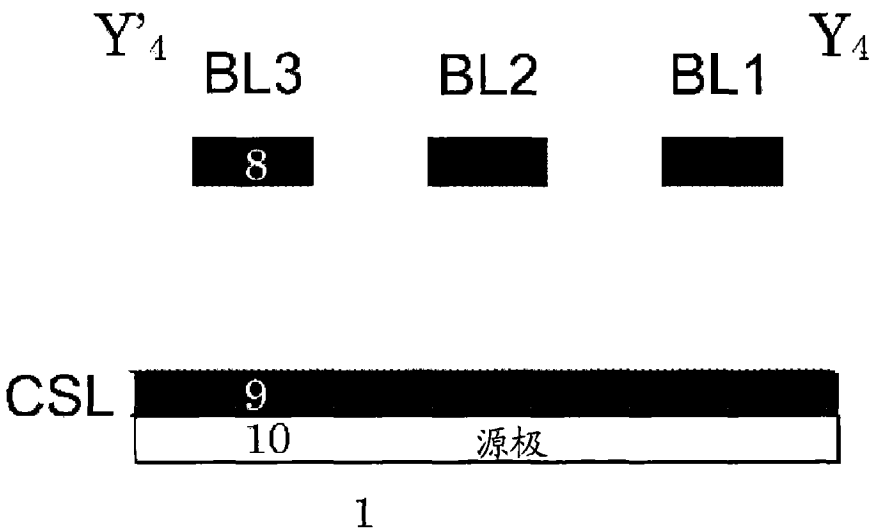


图 8

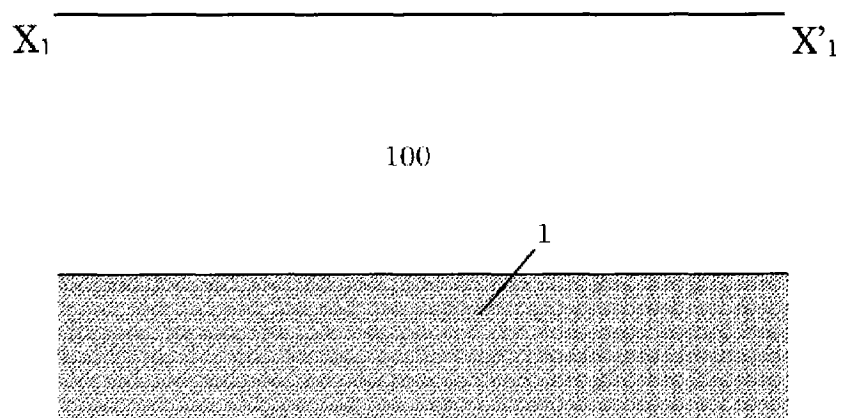


图 9

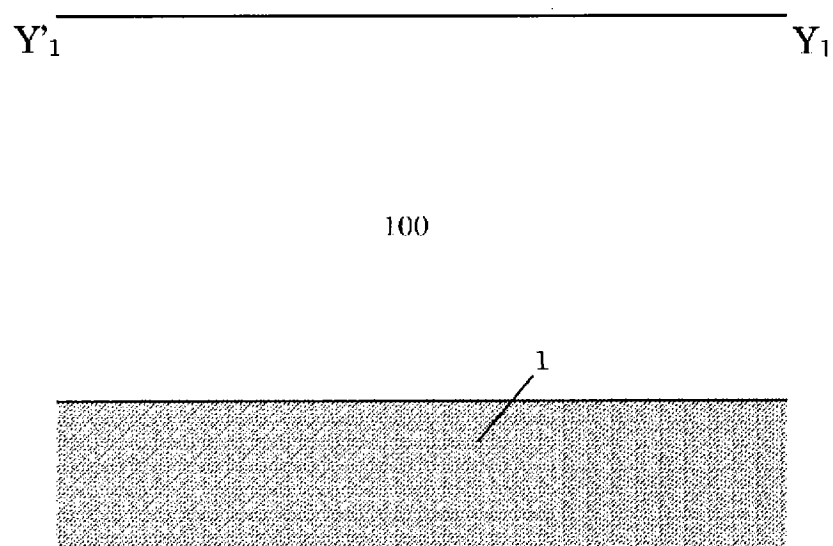


图 10

Y_2 _____ Y_2

100

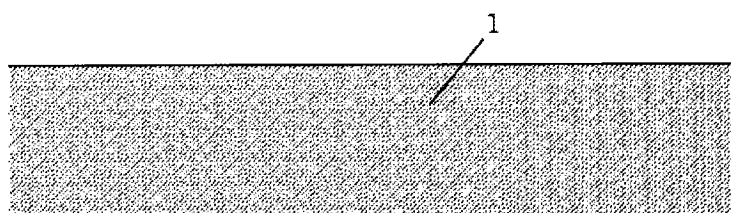


图 11

X_1 _____ X_1



图 12

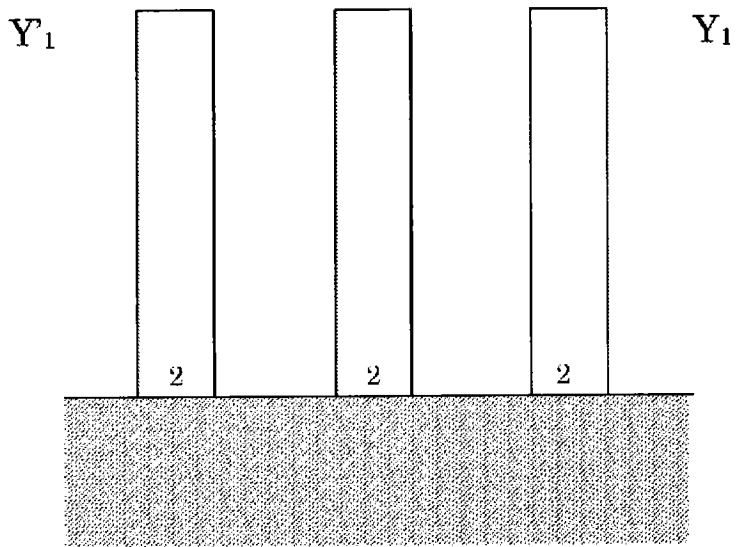


图 13

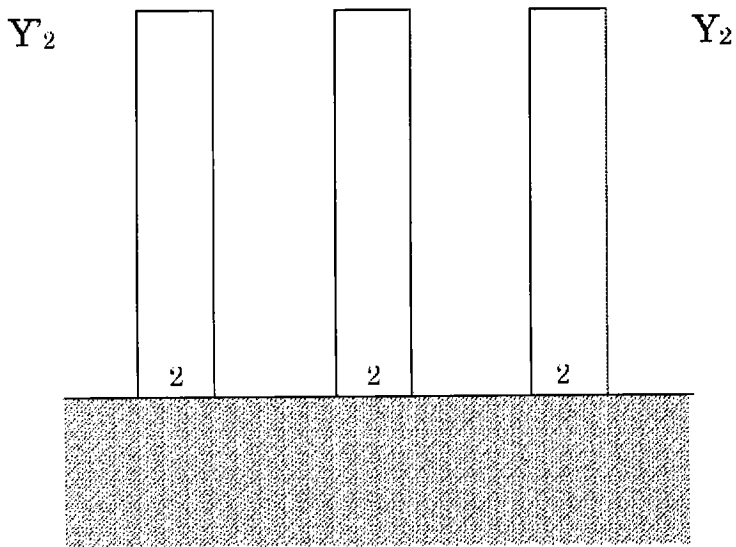


图 14

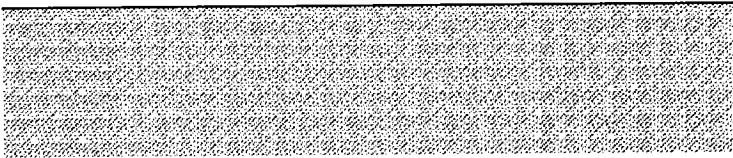


图 15

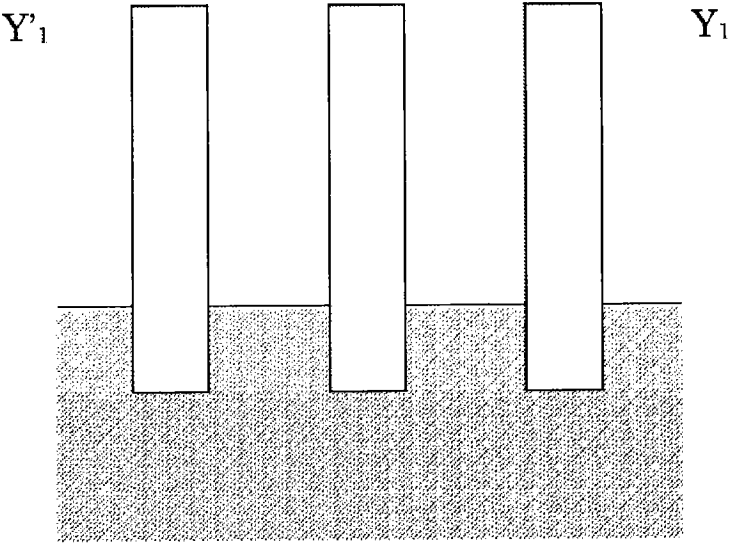


图 16

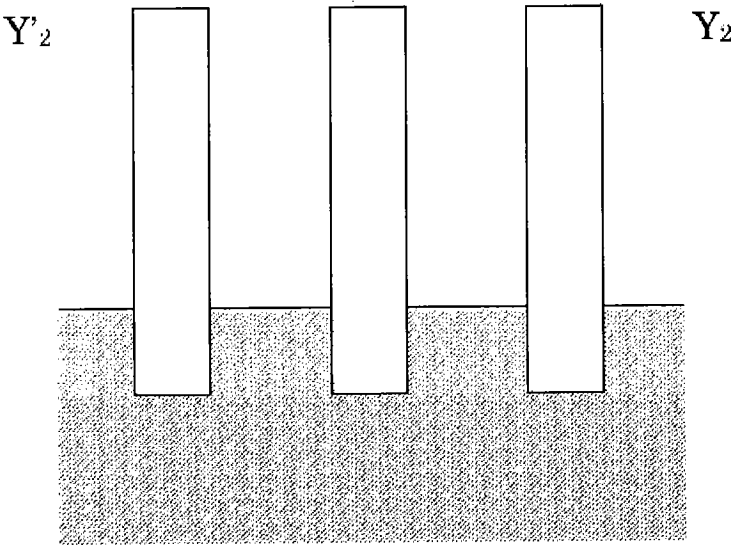


图 17

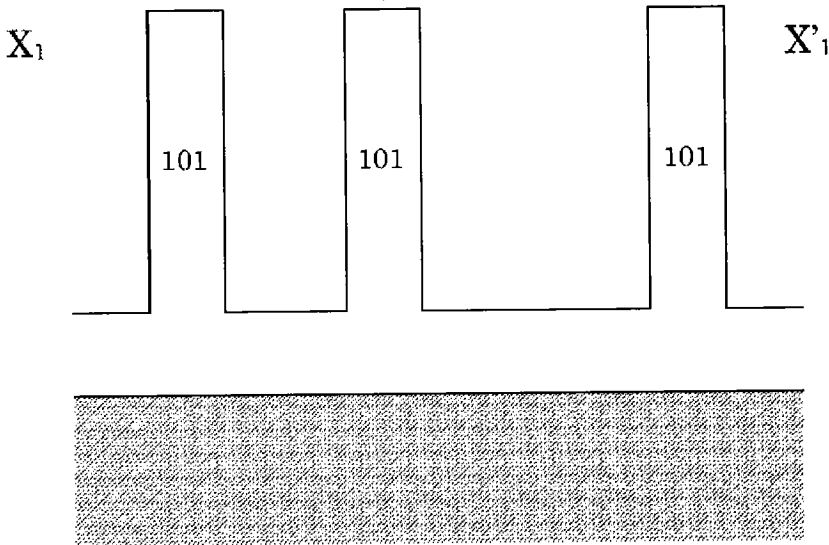


图 18

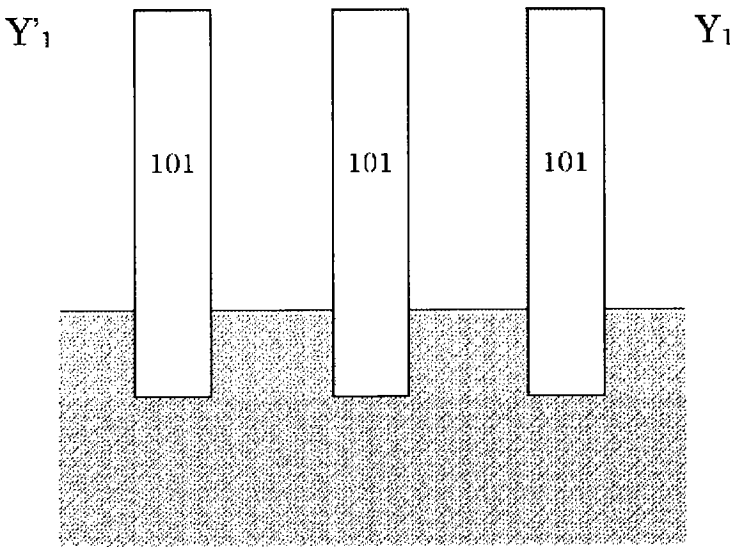


图 19

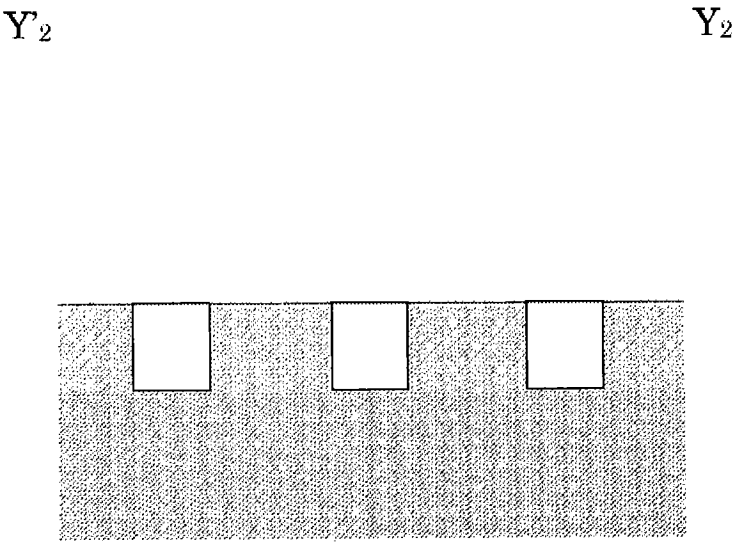


图 20

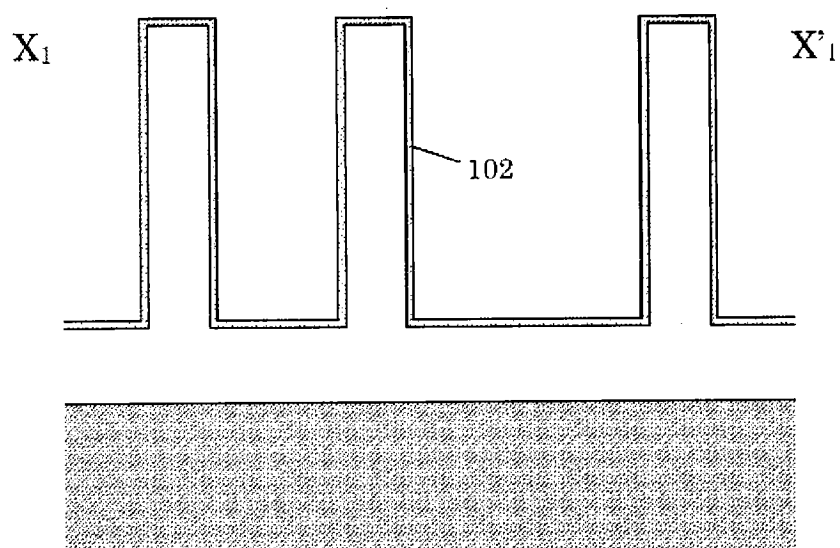


图 21

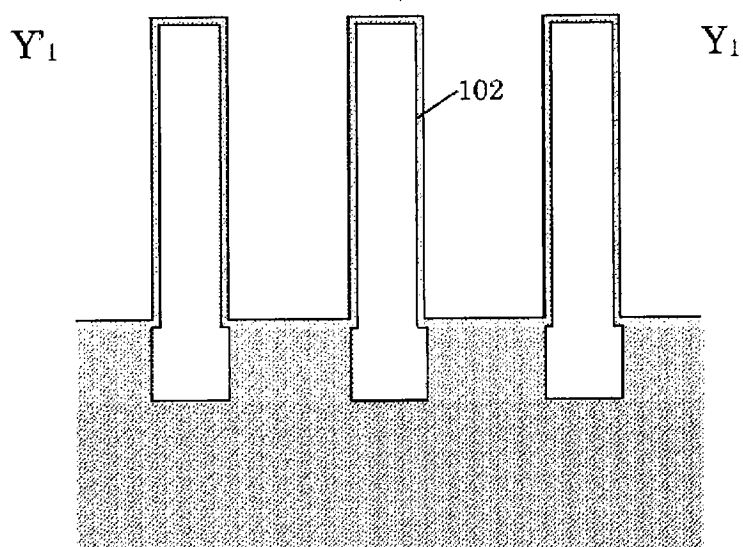


图 22

Y_2

Y_2

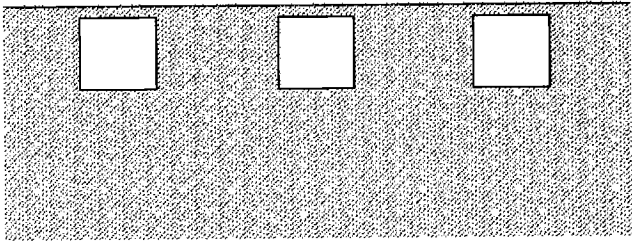


图 23

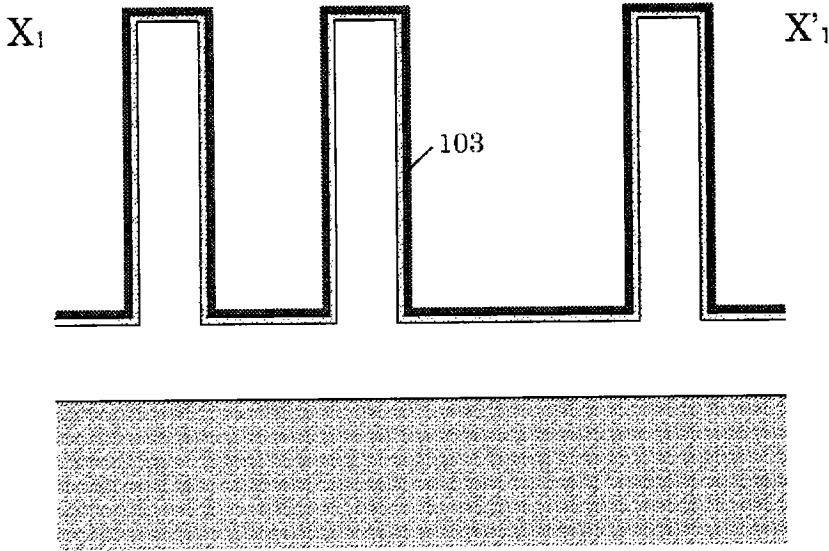


图 24

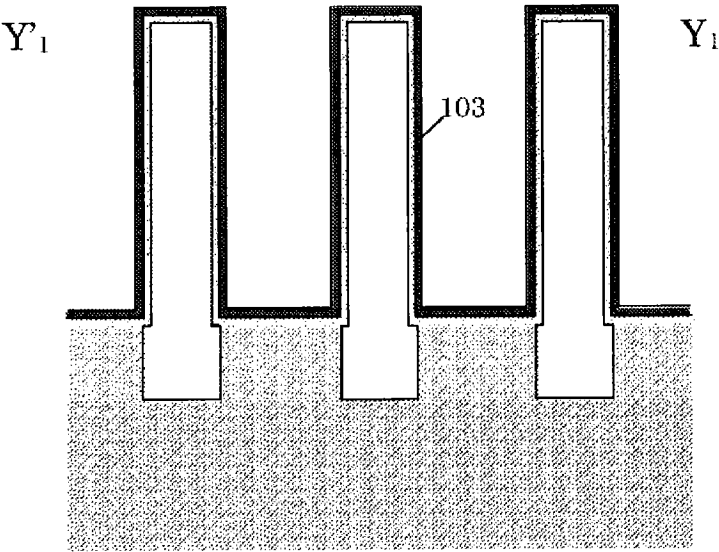


图 25

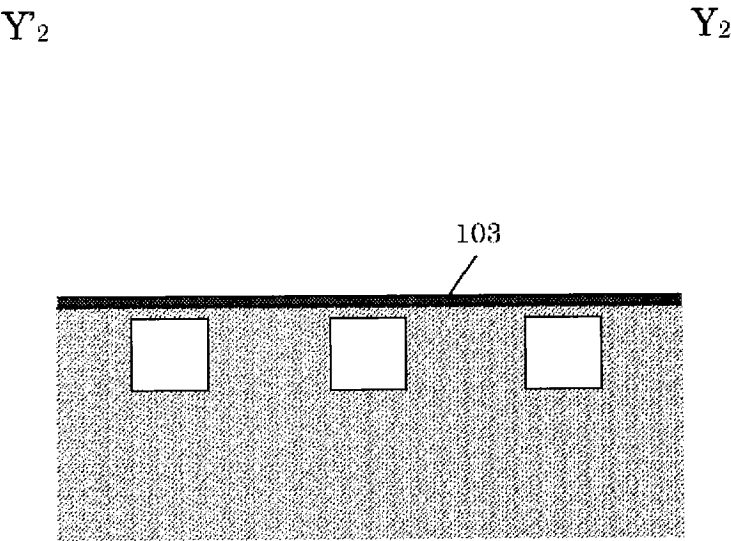


图 26

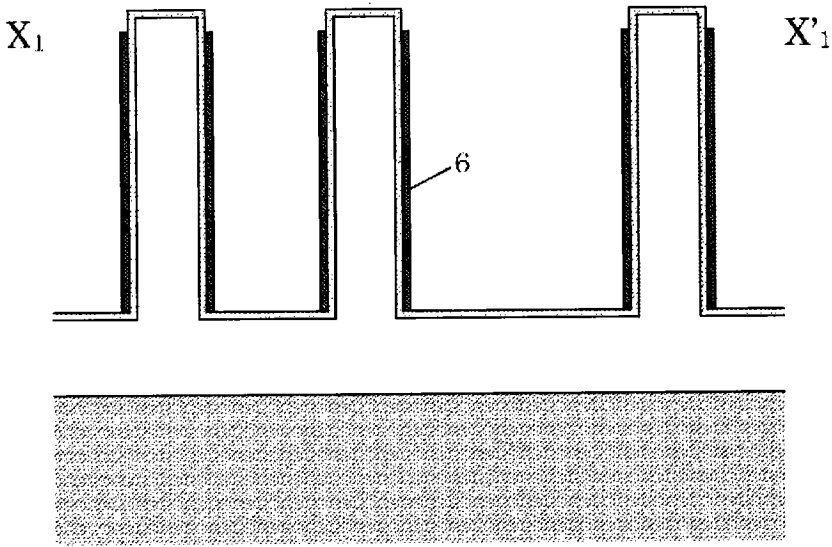


图 27

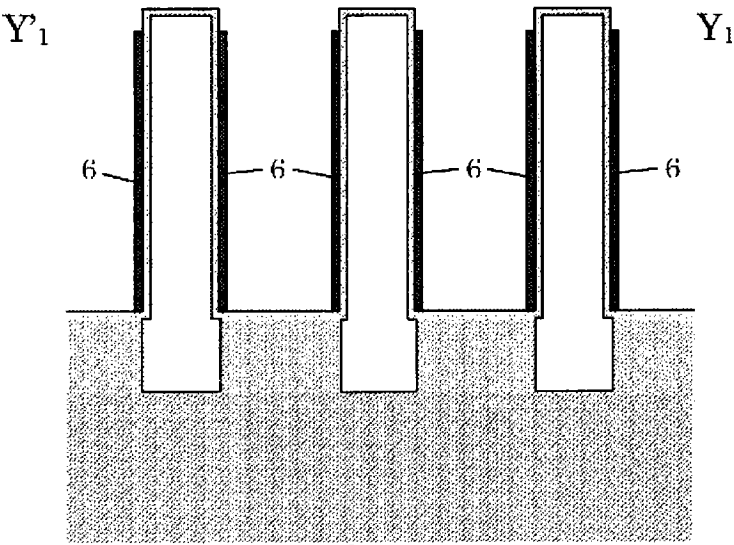


图 28

Y_2

Y_2

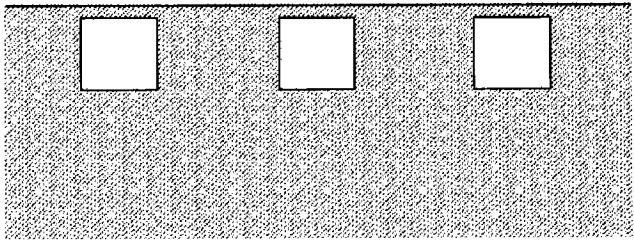


图 29

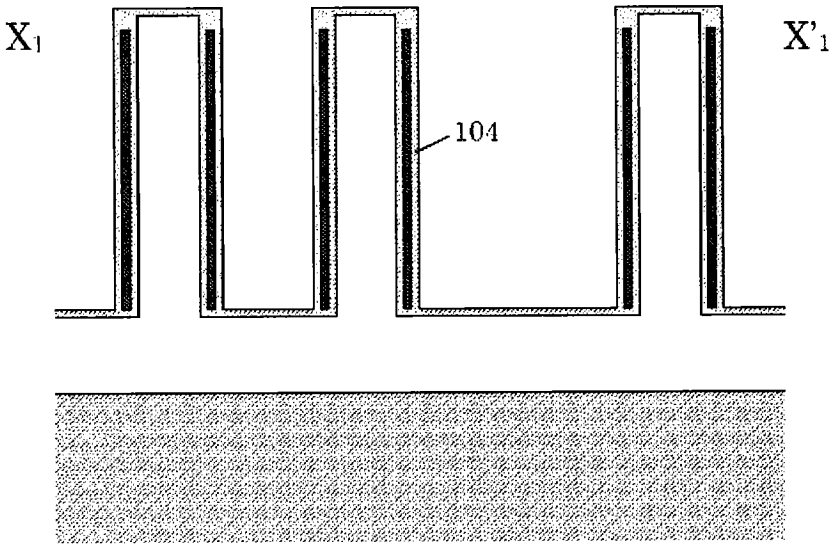


图 30

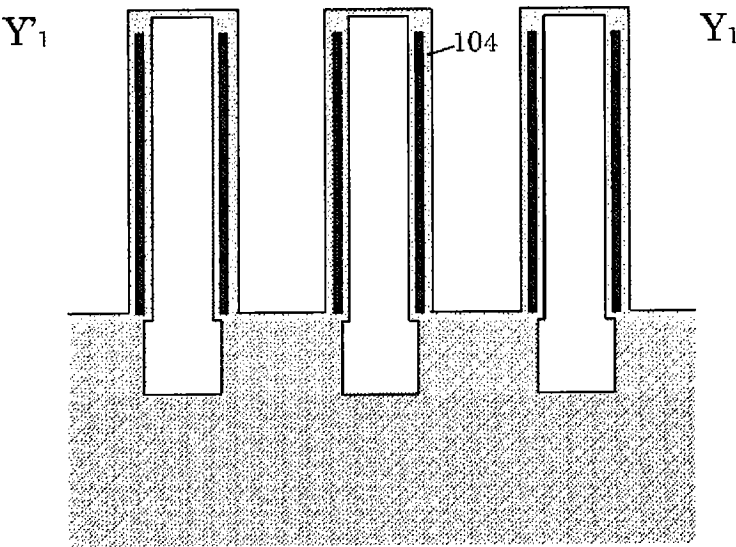


图 31

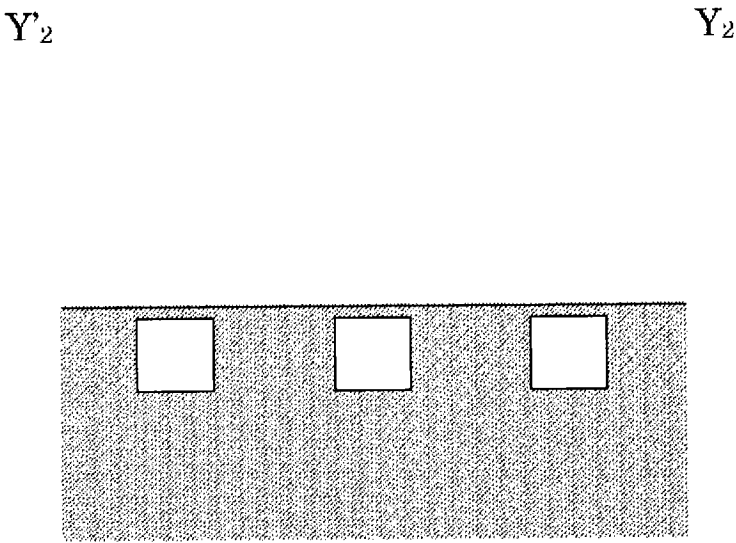


图 32

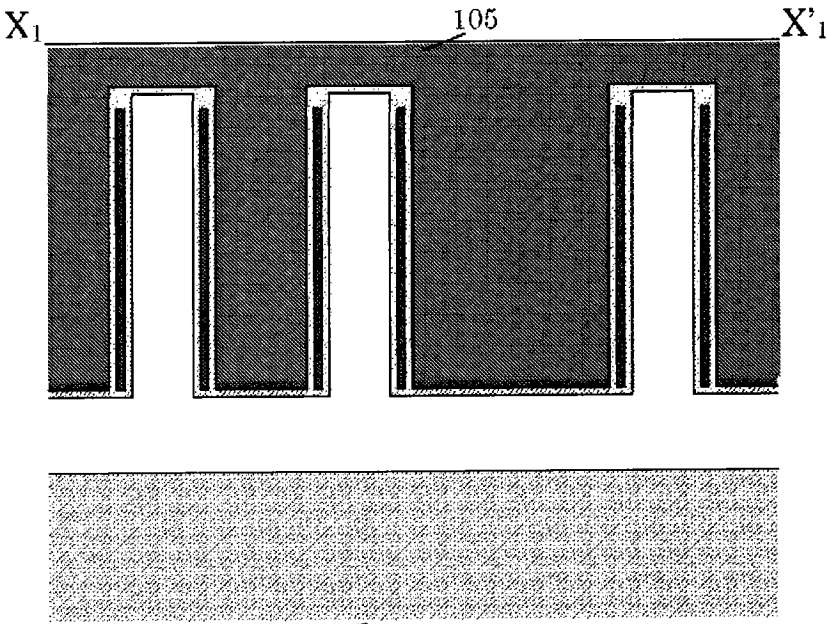


图 33

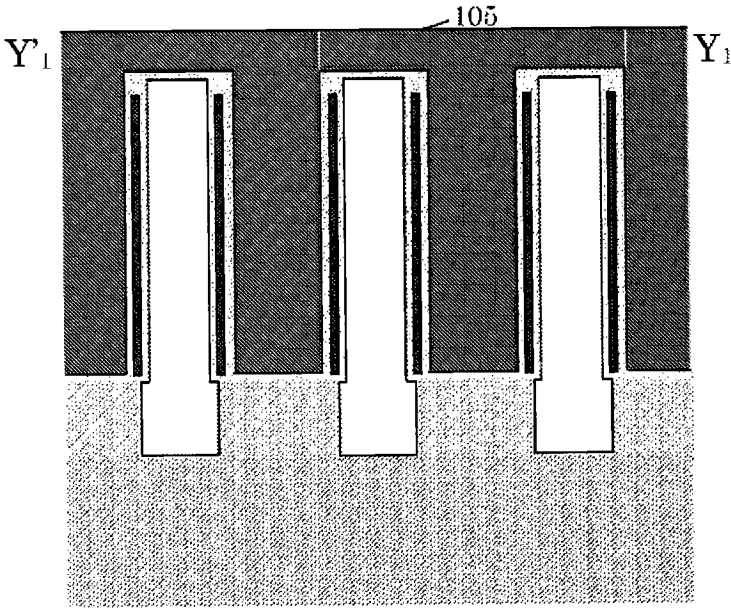


图 34

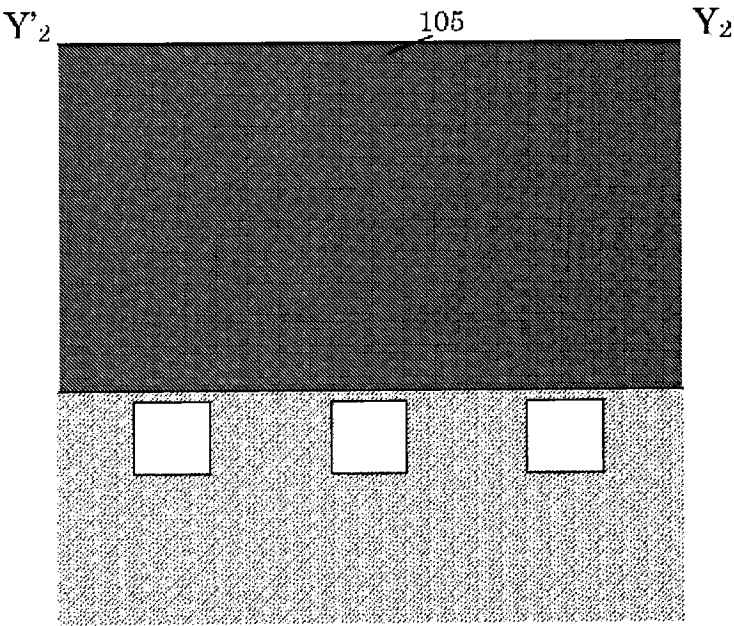


图 35

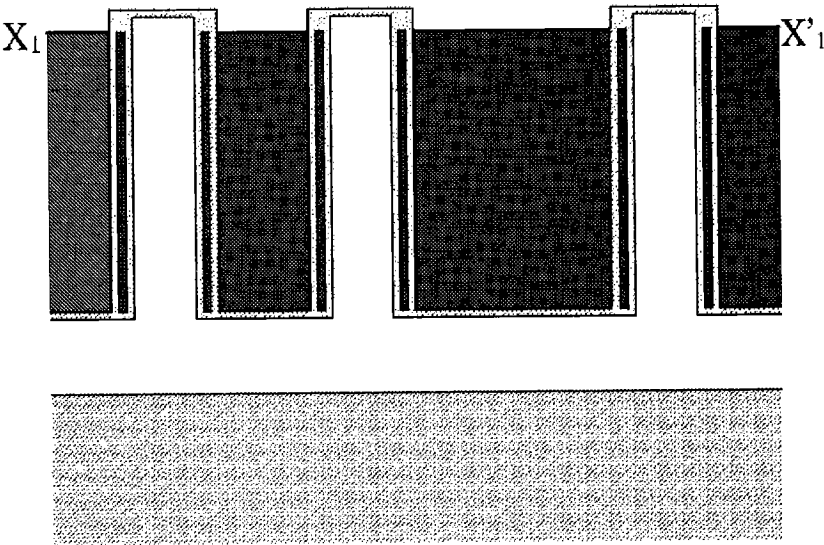


图 36

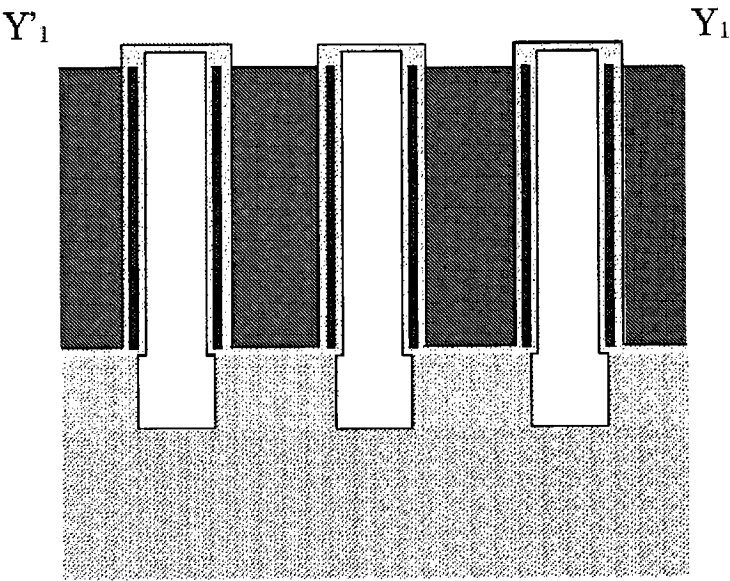


图 37

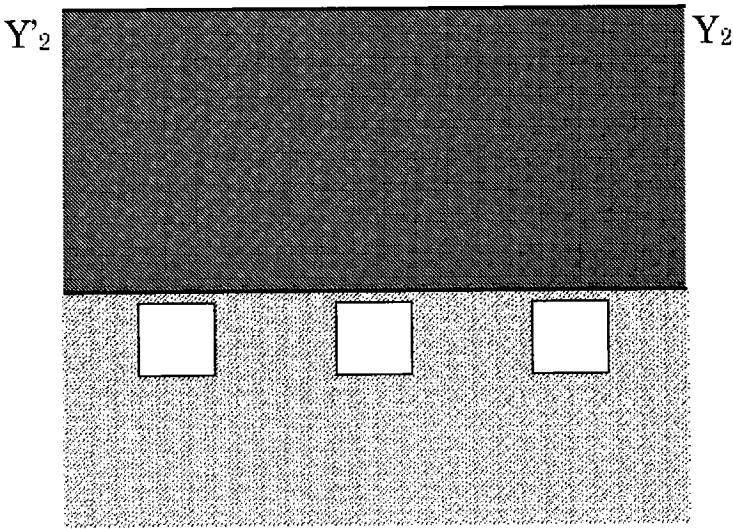


图 38

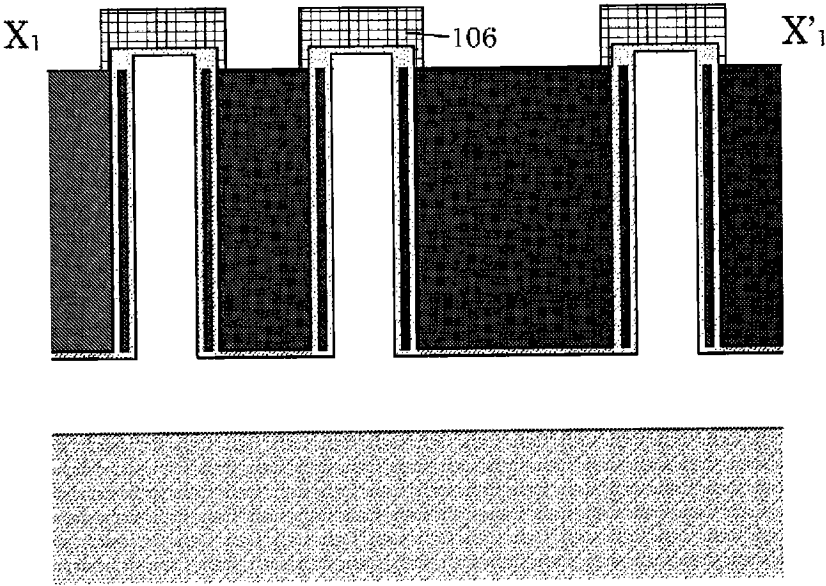


图 39

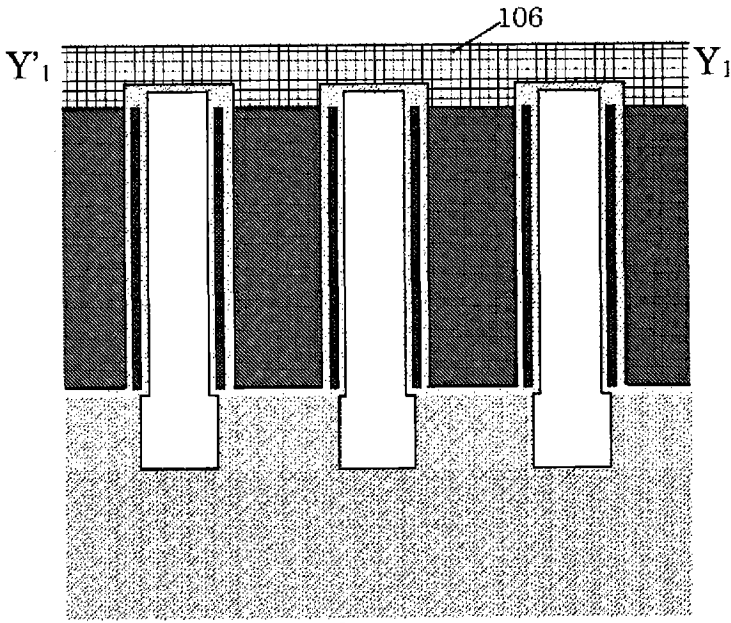


图 40

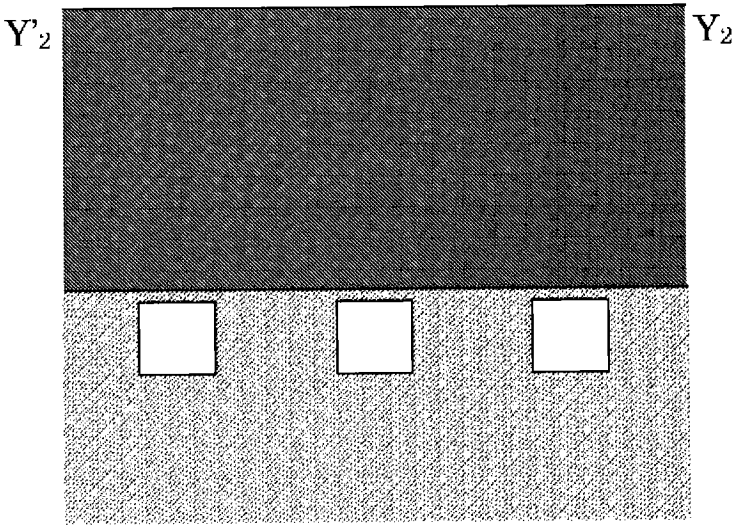


图 41

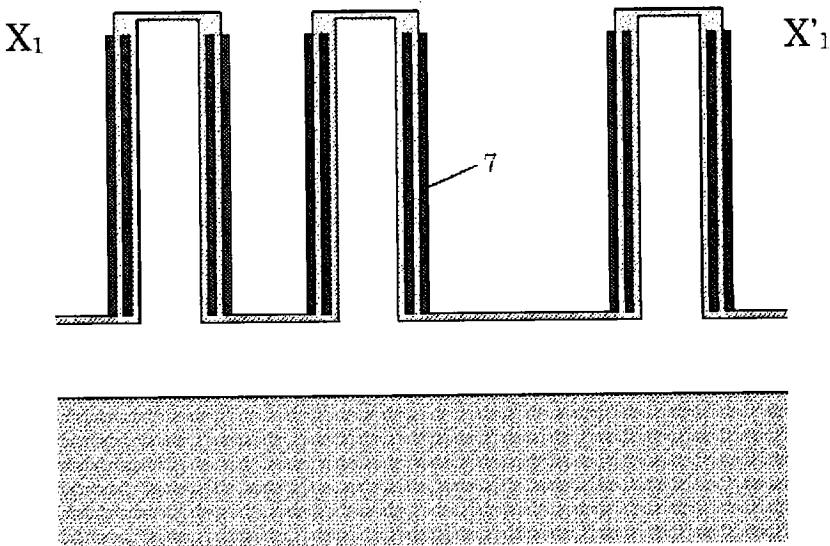


图 42

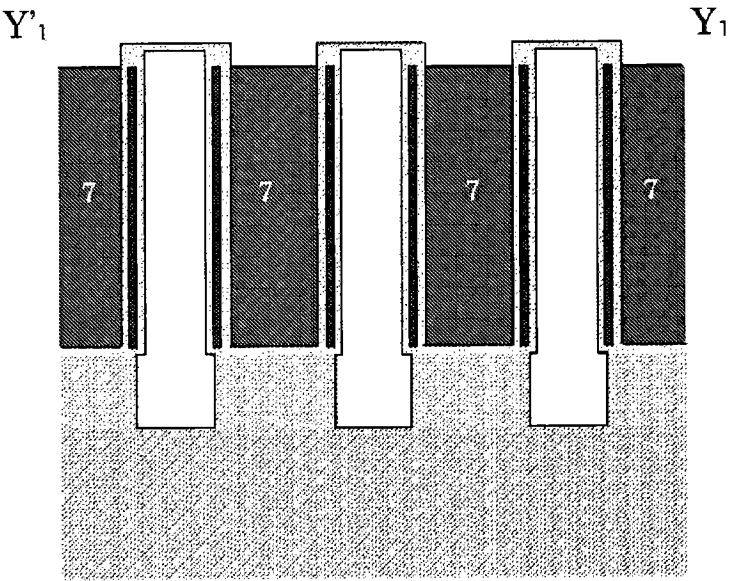


图 43

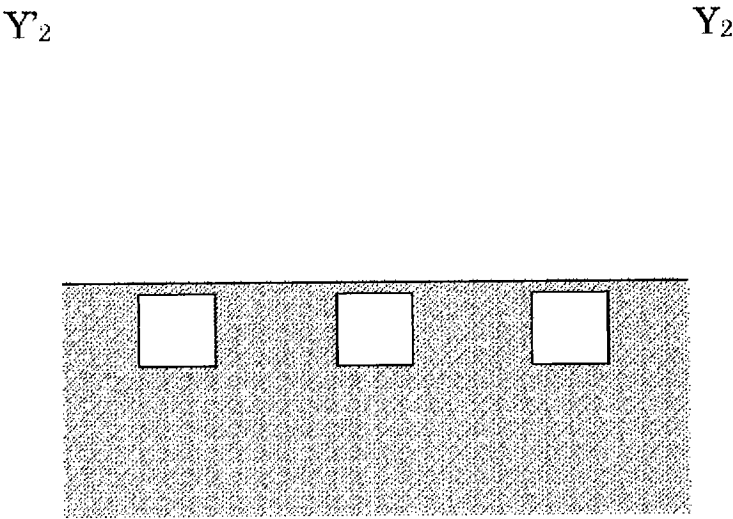


图 44

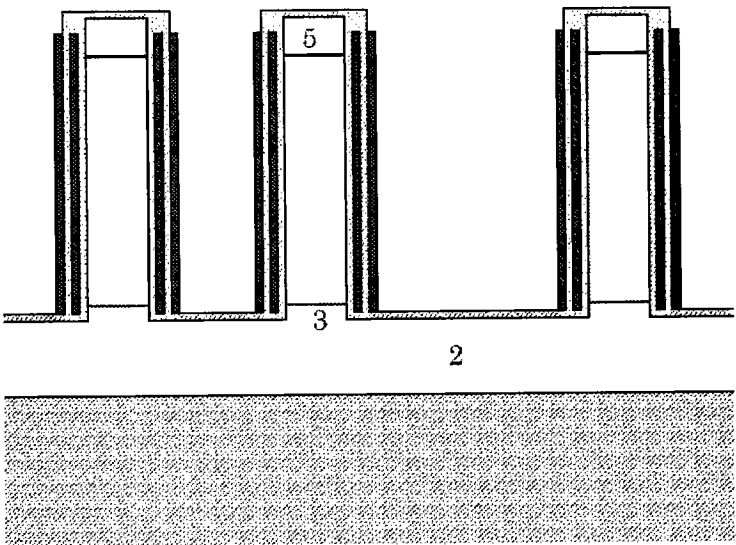


图 45

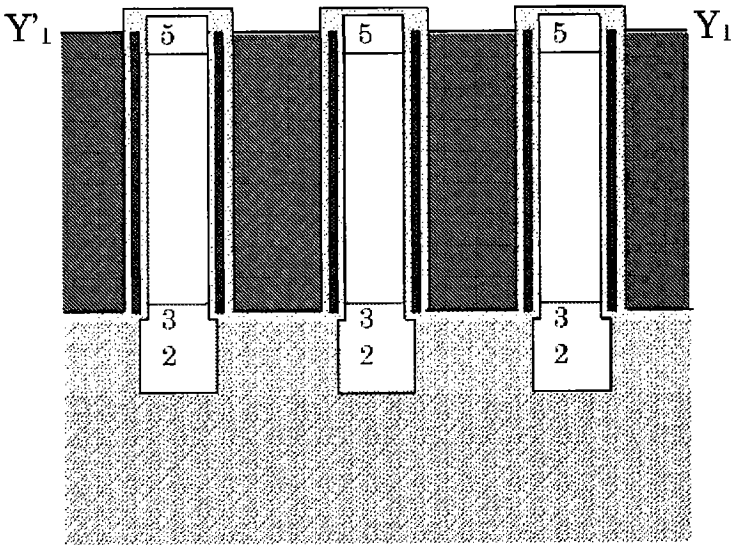


图 46

Y'_2

Y_2

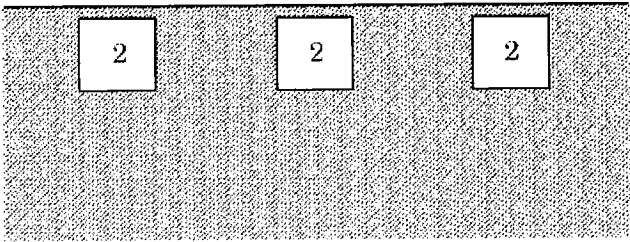


图 47

X_1

107

X'_1

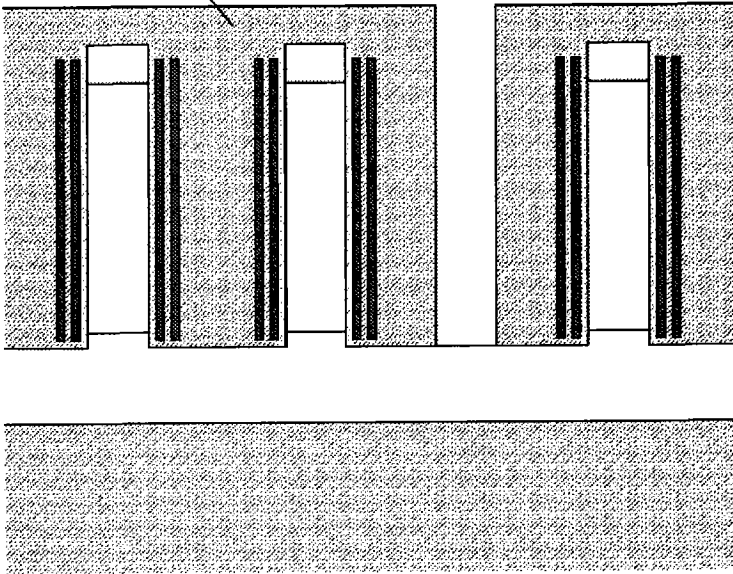


图 48

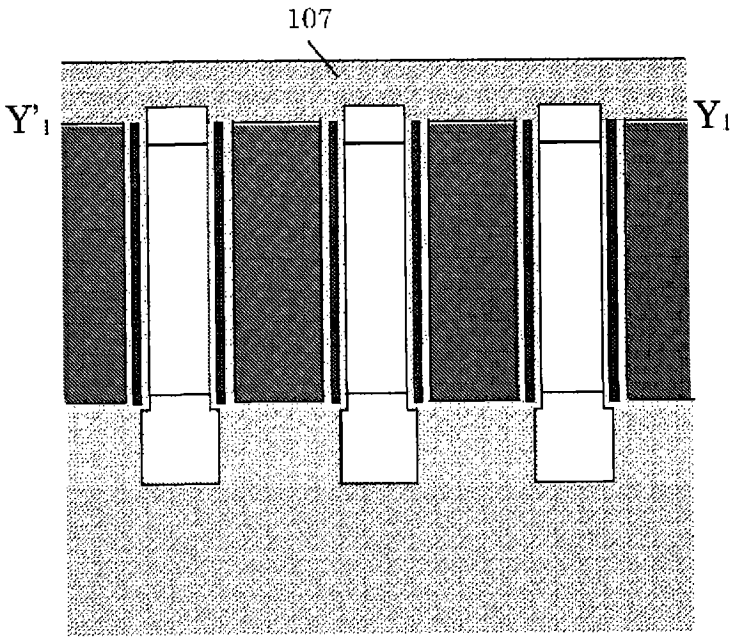


图 49

Y_2

Y_2

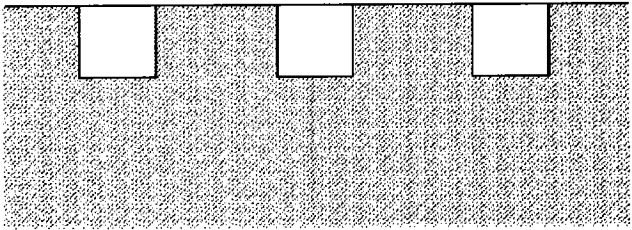


图 50

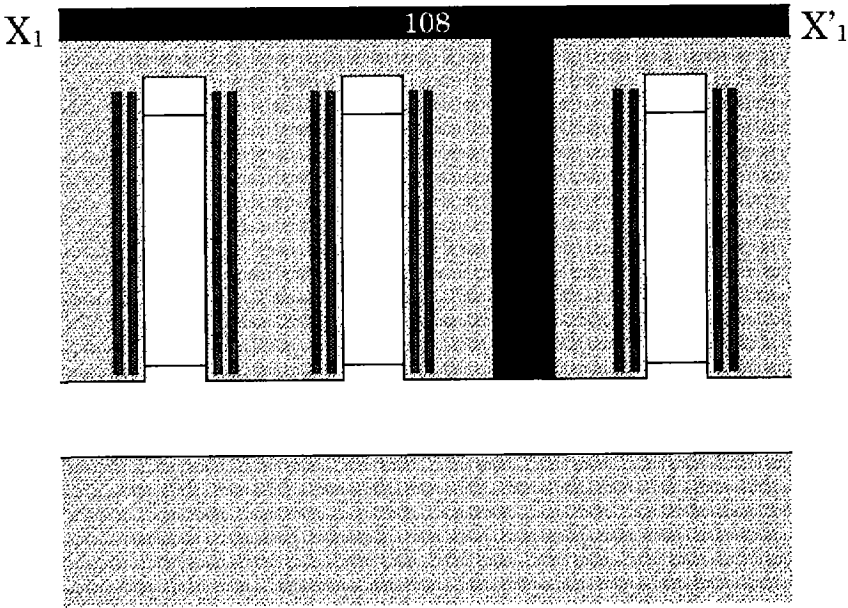


图 51

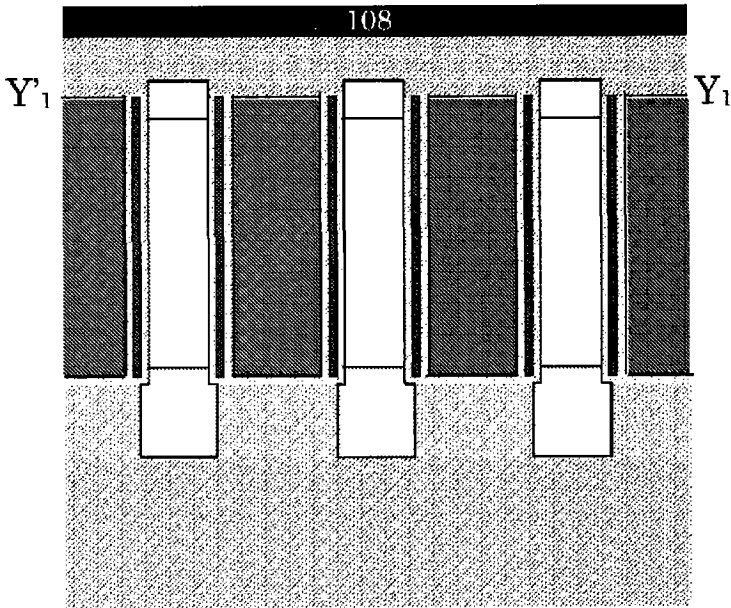


图 52

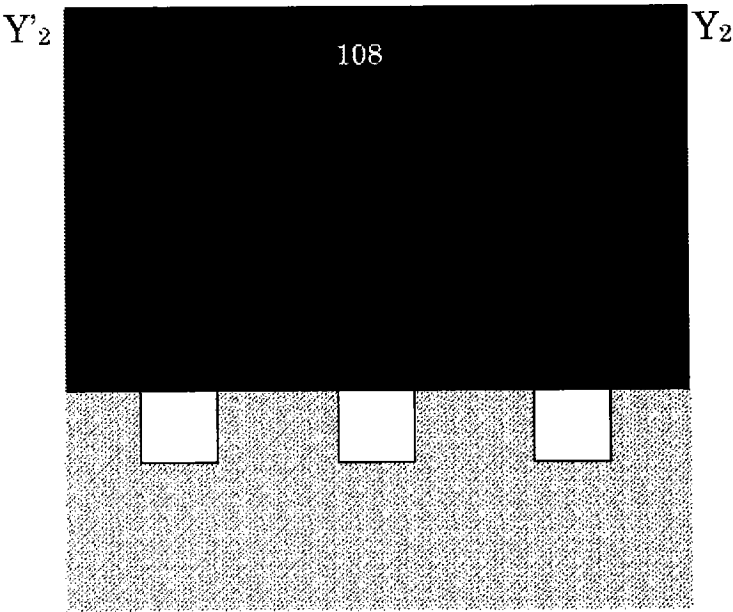


图 53

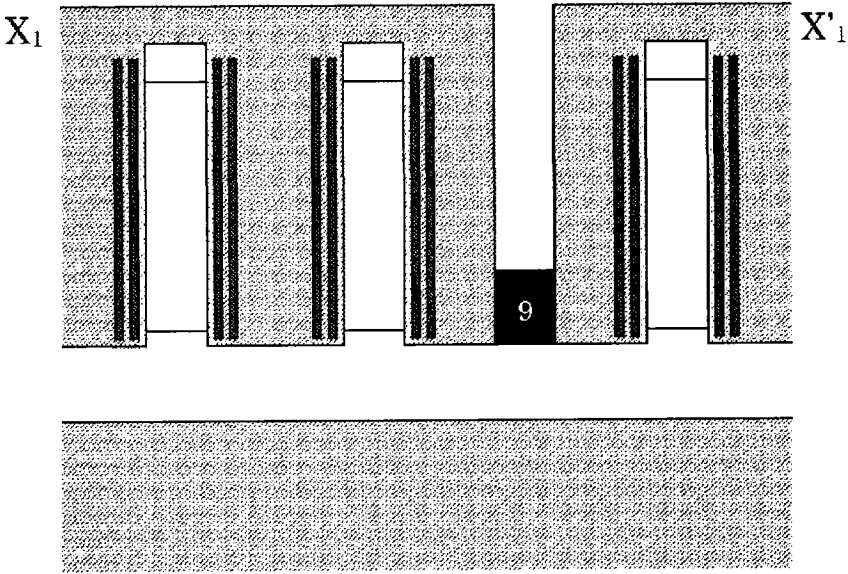


图 54

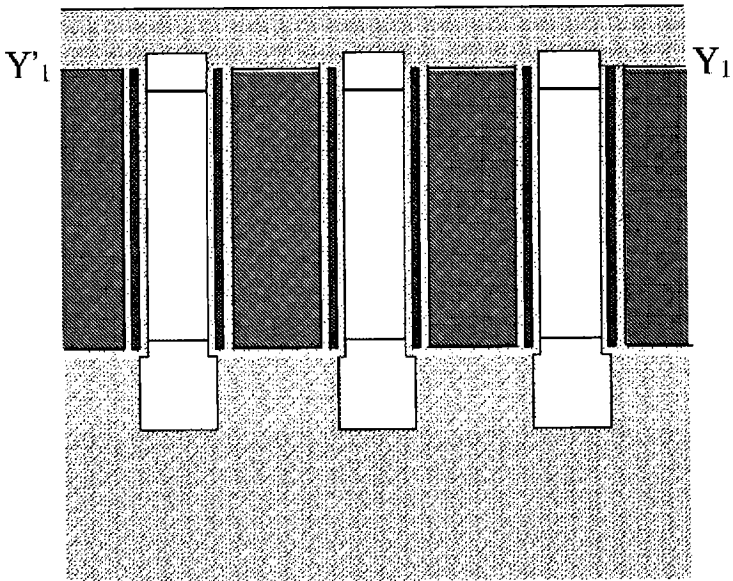


图 55

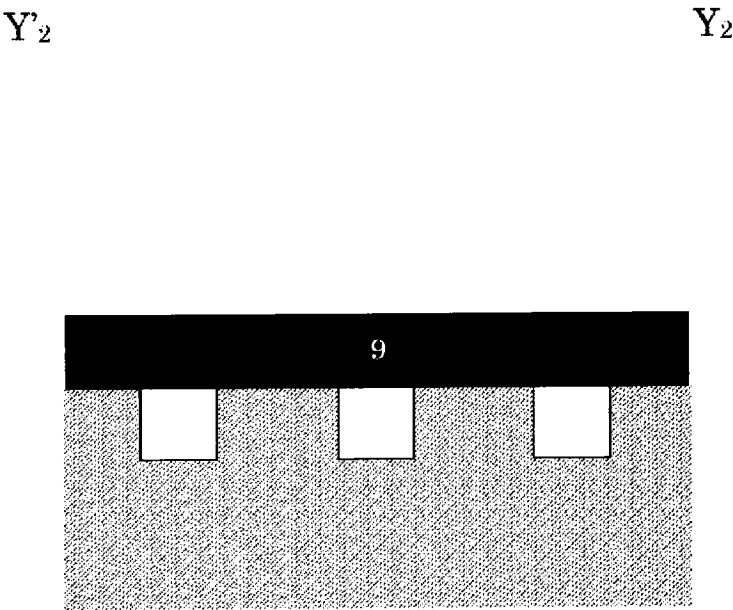


图 56

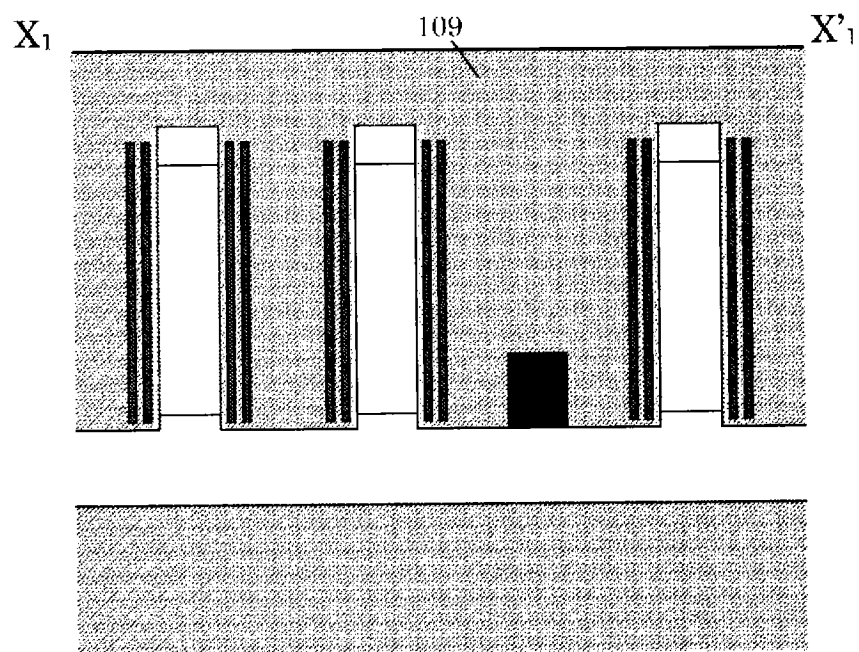


图 57

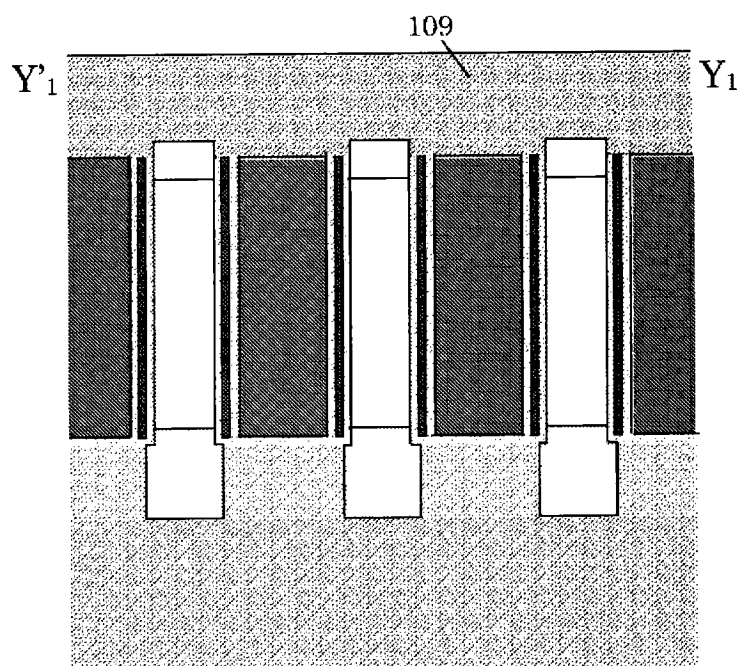


图 58

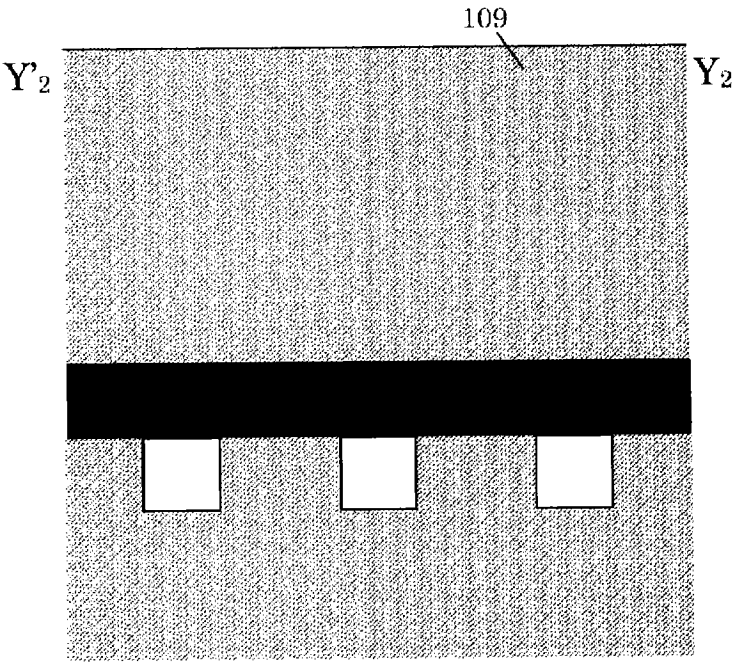


图 59

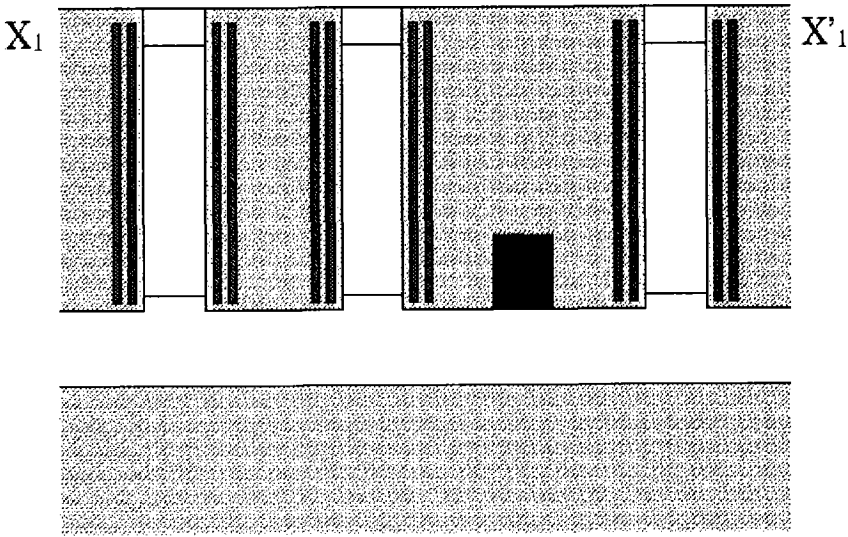


图 60

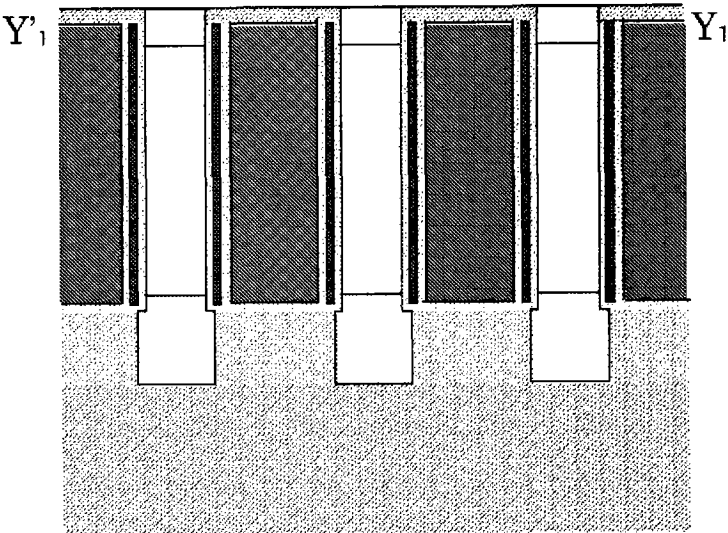


图 61

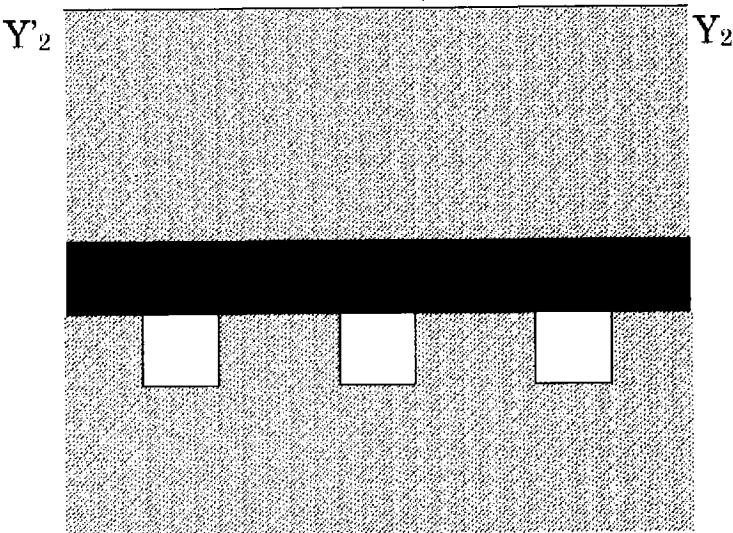


图 62

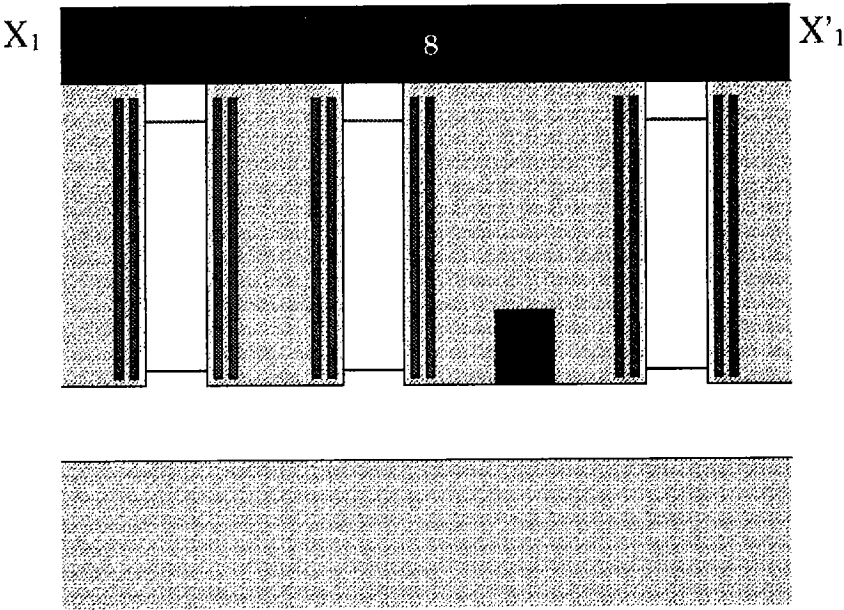


图 63

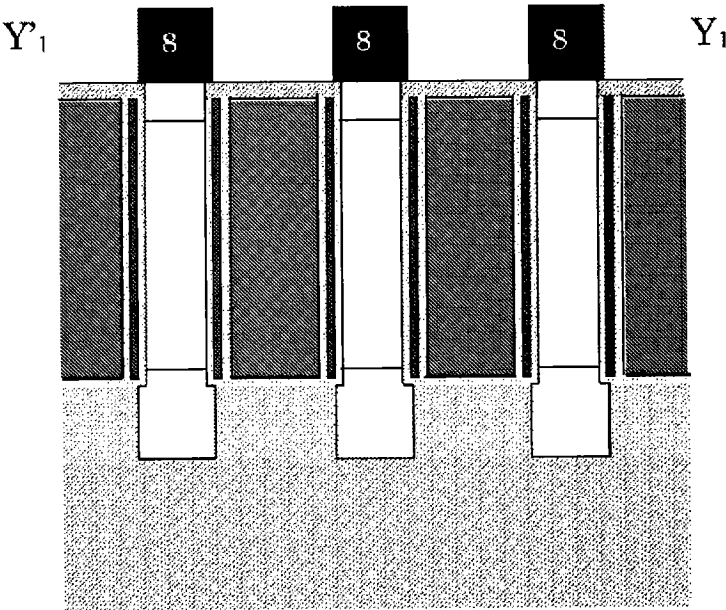


图 64

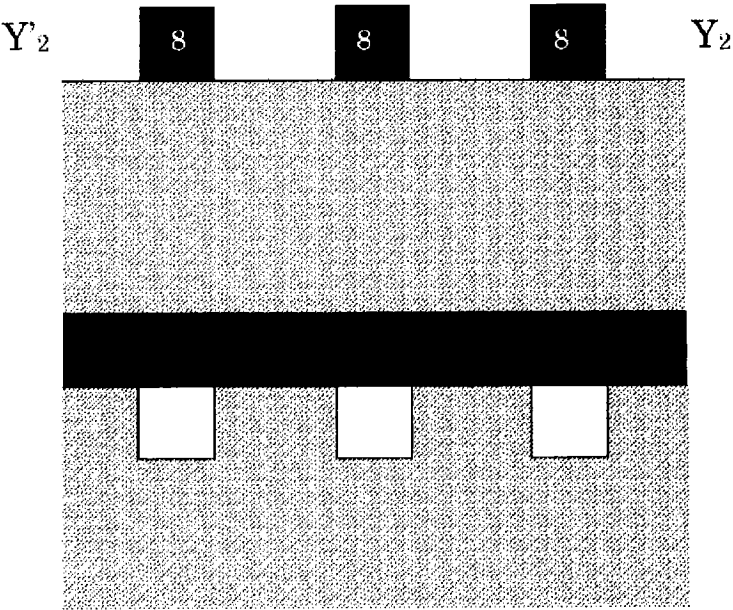


图 65

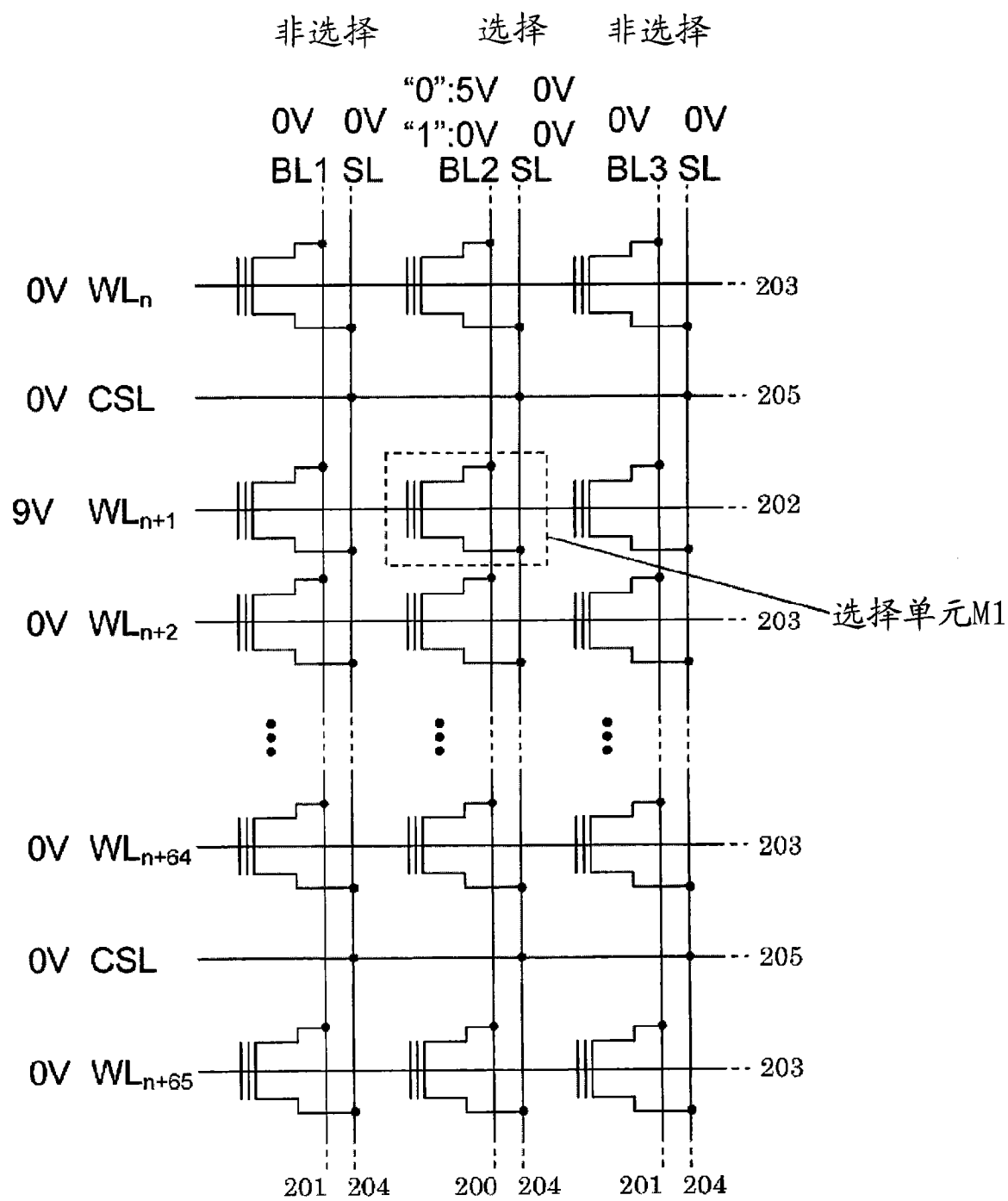


图 66

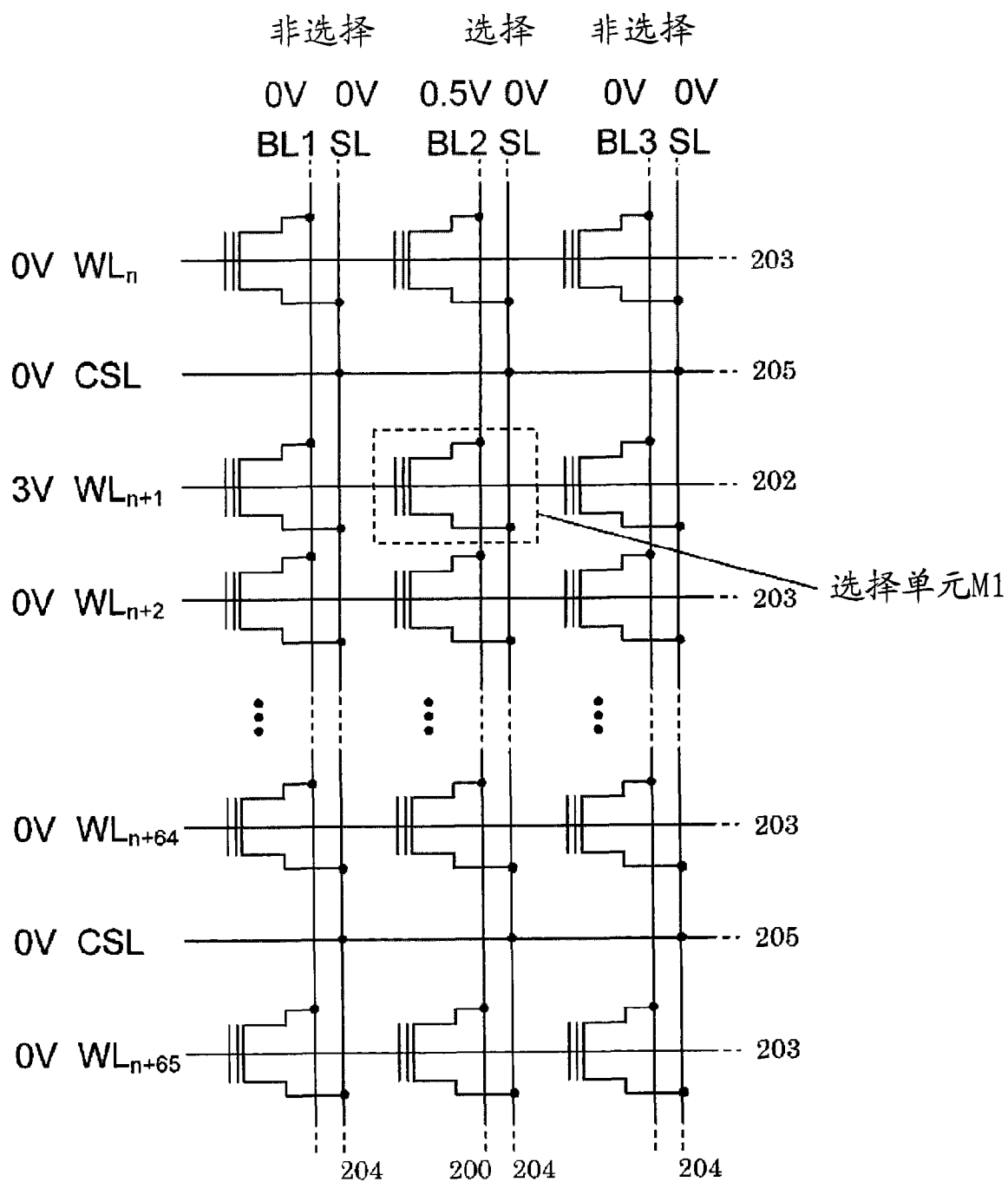


图 67

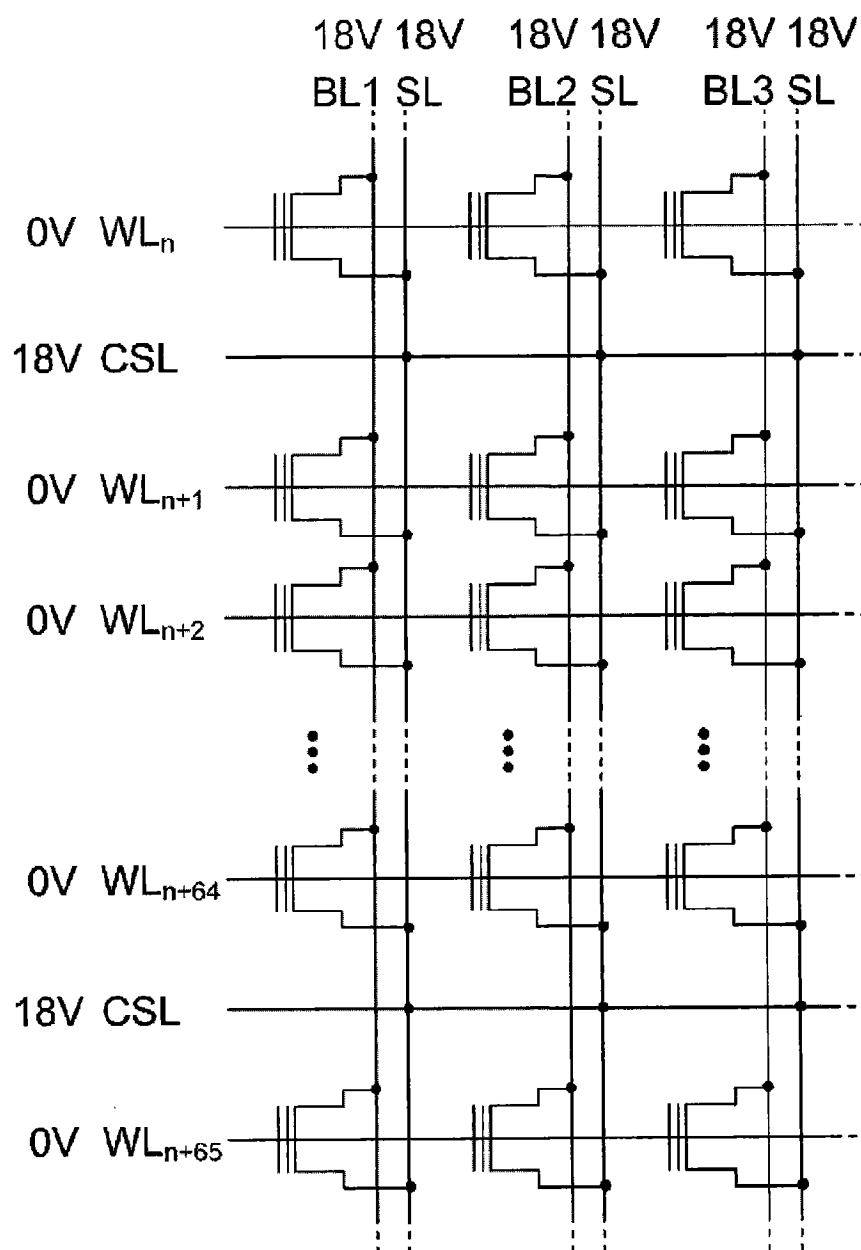


图 68

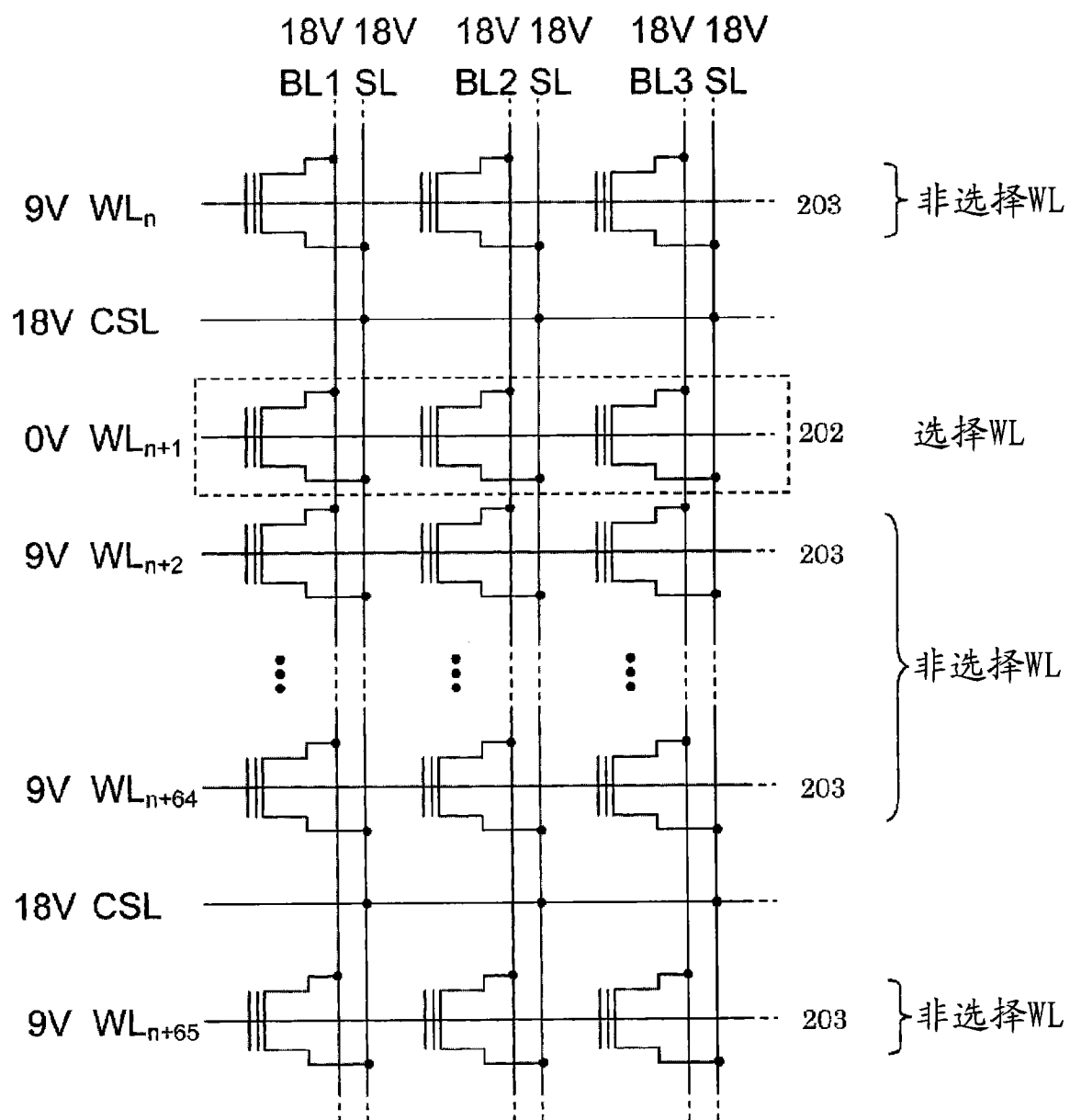


图 69

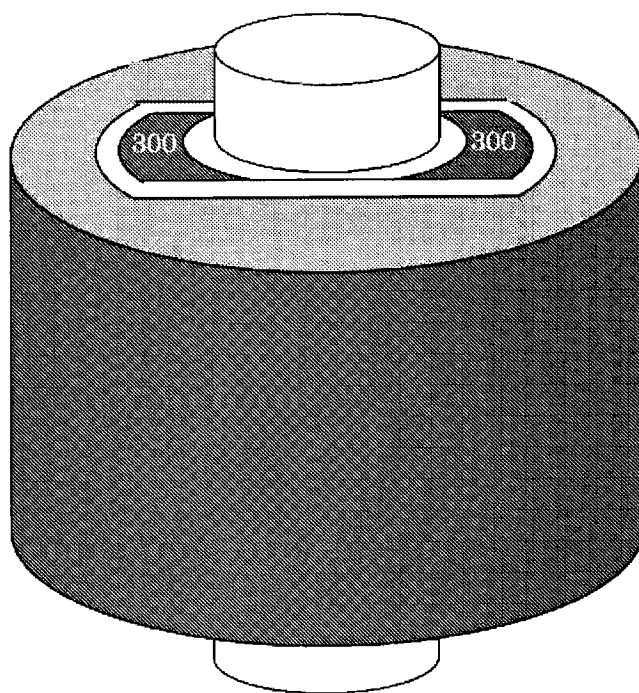


图 70

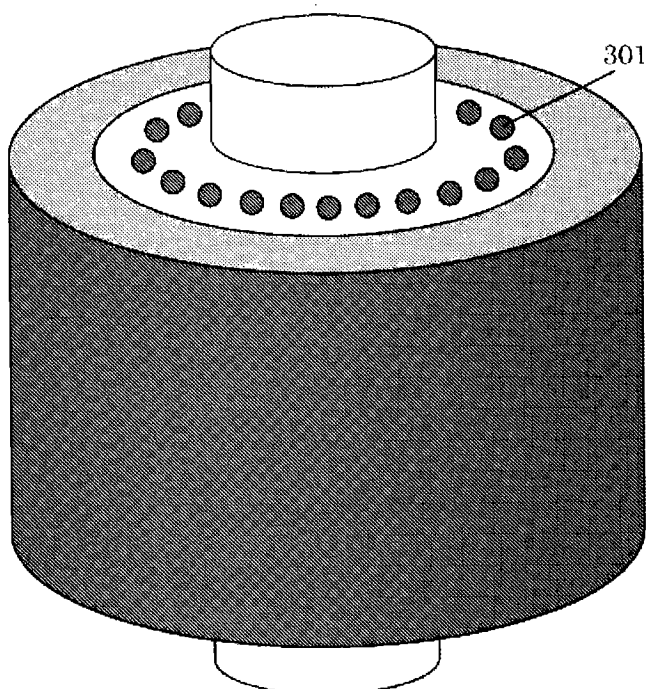


图 71

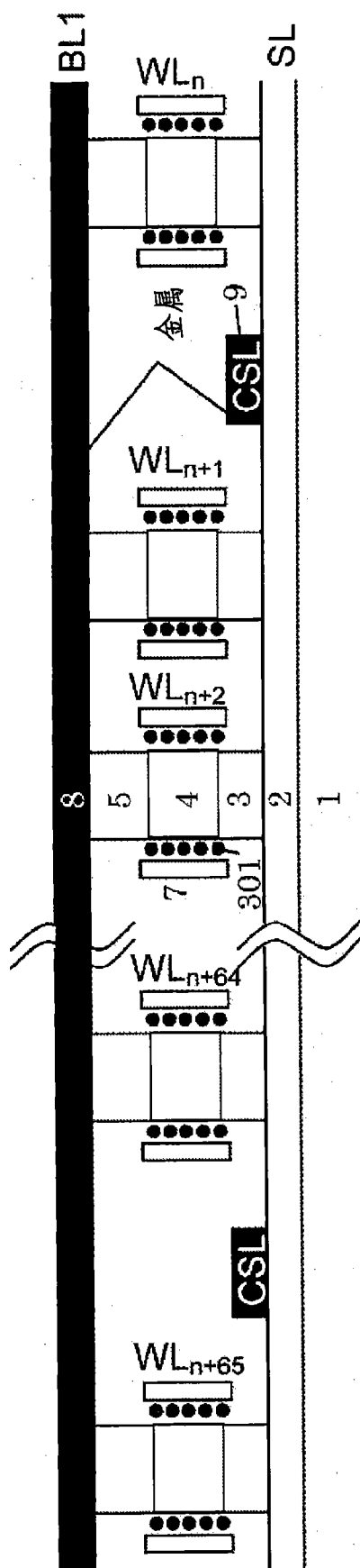


图 72