



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년12월22일
 (11) 등록번호 10-1096875
 (24) 등록일자 2011년12월14일

(51) Int. Cl.
H01L 21/336 (2006.01) *H01L 29/78* (2006.01)
 (21) 출원번호 10-2009-0121765
 (22) 출원일자 2009년12월09일
 심사청구일자 2009년12월09일
 (65) 공개번호 10-2011-0064963
 (43) 공개일자 2011년06월15일
 (56) 선행기술조사문헌
 KR1020010003286 A
 KR1020030003906 A
 KR1020090125494 A

(73) 특허권자
 주식회사 하이닉스반도체
 경기 이천시 부발읍 아미리 산136-1
 (72) 발명자
 김영득
 경기도 이천시 고담동 고담기숙사 103-206
 (74) 대리인
 특허법인태평양

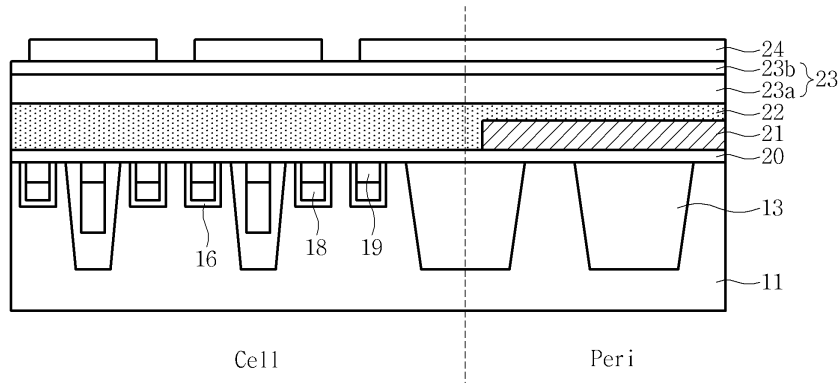
전체 청구항 수 : 총 12 항 심사관 : 이창용

(54) 매립 게이트를 갖는 반도체 소자 제조 방법

(57) 요약

본 발명은 매립 게이트를 갖는 반도체 소자의 제조 방법에 관한 것으로서, 셀 영역에 비트라인콘택을 형성하기 이전에 페리 영역에 게이트 도전막을 먼저 형성함으로써 공정을 단순화하면서 셀 영역과 코어/페리 영역 간의 단차로 인한 문제가 발생되지 않도록 해준다.

대표도 - 도7



특허청구의 범위

청구항 1

셀 영역에 매립 게이트를 형성하는 제 1 단계;

상기 셀 영역 및 페리 영역에 게이트 도전막을 형성한 후 셀영역오픈 마스크를 이용하여 셀 영역의 상기 게이트 도전막을 제거하는 제 2 단계;

상기 게이트 도전막이 제거된 셀 영역에 비트라인콘택을 형성하는 제 3 단계;

상기 셀 영역 및 상기 페리 영역의 상부에 비트라인 도전막을 형성하는 제 4 단계; 및

상기 비트라인 도전막 및 상기 게이트 도전막을 패터닝하여 상기 셀 영역에는 비트라인을 형성하고 상기 페리 영역에는 게이트를 형성하는 제 5 단계를 포함하는 반도체 소자 제조 방법.

청구항 2

제 1항에 있어서, 상기 제 1 단계는

기판 상부에 패드 질화막을 형성하는 단계;

상기 패드 질화막 및 상기 기판을 식각하여 활성영역을 정의하는 소자분리막을 형성하는 단계;

상기 패드 질화막 및 상기 소자분리막 상부에 하드마스크층을 형성하는 단계;

상기 하드마스크층 및 상기 패드 질화막을 식각하여 게이트 영역을 정의하는 하드마스크 패턴을 형성하는 단계;

상기 하드마스크 패턴을 마스크로 상기 기판을 식각하여 트렌치를 형성하는 단계; 및

상기 트렌치의 일부 영역에 매립되는 도전막을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자 제조 방법.

청구항 3

제 2항에 있어서,

상기 소자분리막 형성 후 상기 패드 질화막을 통해 상기 활성영역에 불순물을 주입하여 웰을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자 제조 방법.

청구항 4

제 2항에 있어서, 상기 하드마스크층은

비정질카본층(ACL:Amorphous Carbon Layer) 및 SiON막의 적층 구조로 형성되는 것을 특징으로 하는 반도체 소자 제조 방법.

청구항 5

제 2항에 있어서,

상기 도전막이 완전히 매립되도록 상기 트렌치 및 상기 패드 질화막 상부에 실링막을 형성한 후 상기 도전막 상부에만 상기 실링막이 잔류되도록 상기 실링막 및 상기 패드 질화막을 제거하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자 제조 방법.

청구항 6

제 1항에 있어서, 상기 제 3 단계는

상기 게이트 도전막이 제거된 셀 영역 및 상기 게이트 도전막 상부에 절연막을 형성하는 단계;

상기 게이트 도전막의 상부에 상기 절연막이 잔류되도록 상기 절연막을 평탄화하는 단계;

상기 평탄화된 절연막 상부에 하드마스크층을 형성하는 단계;

상기 셀 영역의 상기 하드마스크층 및 상기 절연막을 선택식각하여 기판을 노출시키는 비트라인 콘택홀을 형성하는 단계; 및

비트라인콘택 물질을 상기 비트라인 콘택홀에 매립하는 단계를 포함하는 것을 특징으로 하는 반도체 소자 제조 방법.

청구항 7

제 6항에 있어서, 상기 하드마스크층은

비정질카본층(ACL:Amorphous Carbon Layer) 및 SiON막의 적층 구조로 형성되는 것을 특징으로 하는 반도체 소자 제조 방법.

청구항 8

제 1항에 있어서, 상기 제 3 단계는

상기 게이트 도전막이 제거된 셀 영역 및 상기 게이트 도전막 상부에 절연막을 형성하는 단계;

상기 절연막 상부에 스핀 온 코팅막을 형성하는 단계;

상기 셀 영역의 상기 스핀 온 코팅막 및 상기 절연막을 선택식각하여 기판을 노출시키는 비트라인 콘택홀을 형성하는 단계; 및

비트라인콘택 물질을 상기 비트라인 콘택홀에 매립하는 단계를 포함하는 것을 특징으로 하는 반도체 소자 제조 방법.

청구항 9

제 6항 또는 제 8항에 있어서,

상기 비트라인콘택 형성 후 상기 게이트 도전막 상부에 잔류하는 상기 절연막을 클리닝하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자 제조 방법.

청구항 10

제 6항 또는 제 8항에 있어서, 상기 비트라인 콘택홀 형성 단계는

제 1 비트라인 콘택홀을 형성하는 단계; 및

상기 제 1 비트라인 콘택홀의 내측벽에 스페이서를 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자 제조 방법.

청구항 11

제 1항에 있어서, 상기 비트라인 도전막은

배리어 금속막과 텅스텐막의 적층 구조로 형성되는 것을 특징으로 하는 반도체 소자 제조 방법.

청구항 12

제 11항에 있어서, 상기 배리어 금속막은

티타늄(Ti), 티타늄질화막(TiN), WN, WSiN 또는 이들의 적층 구조로 형성되는 것을 특징으로 하는 반도체 소자 제조 방법.

명세서

발명의 상세한 설명

기술 분야

본 발명은 반도체 소자의 제조 방법에 관한 것으로서, 보다 상세하게는 매립 게이트를 갖는 반도체 소자의 제조

[0001]

공정을 단순화하면서 공정 중 발생될 수 있는 문제들을 최소화할 수 있는 반도체 소자의 제조 방법에 관한 것이다.

배경 기술

- [0002] DRAM과 같은 반도체 메모리 소자의 집적도가 증가함에 따라, 모스 트랜지스터가 차지하는 평면적은 점점 감소하고 있다. 그 결과, 모스 트랜지스터의 채널 길이가 감소하여 단채널 효과를 발생시킨다. 특히, DRAM 소자의 메모리 셀에 채택되는 액세스 모스 트랜지스터에서 단채널 효과가 발생하면, 디램 셀의 문턱 전압이 감소되고 누설전류가 증가되고, 결국 DRAM 소자의 리프레쉬 특성을 저하시킨다.
- [0003] 이에 따라, 메모리 소자의 집적도가 증가할지라도 단채널 효과를 억제할 수 있는 모스 트랜지스터로서, 트랜지스터의 채널 길이를 증가시킨 리세스 게이트 모스 트랜지스터가 소개된 바 있다.
- [0004] 그러나, 예컨대 60 nm 테크놀러지를 갖는 고집적 DRAM 소자와 같은 반도체 장치에서 리세스 게이트 모스 트랜지스터만으로는 원하는 요구 조건을 충족하기 어렵다. 특히 40nm 이하로 갈수록 게이트 구조, 비트라인 구조, 콘택 구조 등의 형성이 한계를 보이고 있고, 가령 구조가 형성된다하더라도 소자특성에 만족할수 있는 저항특성이나 리프레시(refresh), 로우페일(low fail) 확보, 파괴전압(Breakdown Voltage) 특성 등의 어려움이 존재하고 있다.
- [0005] 이에 따라 최근에는 집적도를 증가시키고 공정 단순화 및 누설 특성과 같은 소자 특성을 향상시키기 위해 매립 게이트(buried gate)를 갖는 반도체 소자가 개시된 바 있다.
- [0006] 매립 게이트를 갖는 반도체 소자는 게이트가 반도체 기판의 표면보다 아래에 매립되므로 상대적으로 큰 유효채널 길이를 제공한다. 아울러, 매립 게이트 제조 방법은 트렌치(Trench)를 형성하고 트렌치 내부에 게이트를 매립하는 방식으로 진행됨으로써, 비트라인과 게이트간의 간섭을 최소화하고 적층되는 막(Film Stack)의 수를 감소시킬 수 있다. 또한 전체 셀의 캐패시턴스(Capacitance)를 감소시켜 리프레시(Refresh) 특성을 향상시킬 수 있는 장점이 있다.
- [0007] 그러나 이러한 매립 게이트를 갖는 반도체 소자는 셀 영역의 게이트는 반도체 기판에 매립되는 반면에 코어/페리(core/peri) 영역의 게이트는 반도체 기판 상부에 형성되므로 셀 영역과 코어/페리 영역 사이에 단차가 형성되게 된다.
- [0008] 이러한 단차 문제를 해결하기 위해 종래에는 셀 영역의 비트라인과 코어/페리 영역의 게이트를 같이 형성하는 방법이 사용되고 있다.
- [0009] 그러나 이러한 경우 셀 영역의 비트라인을 형성하기 위한 폴리과 코어/페리 영역의 게이트를 형성하기 위한 폴리가 셀 영역과 코어/페리 영역의 경계 부근에 과도하게 적층되어 이를 제거하는 과정에서 여러가지 문제가 발생하고 있다.

발명의 내용

해결 하고자하는 과제

- [0010] 본 발명의 목적은 매립 게이트를 갖는 반도체 소자의 제조 공정을 개선하여 공정을 단순화하면서 셀 영역과 코어/페리 영역 간의 단차로 인한 문제가 발생되지 않도록 하는데 있다.

과제 해결수단

- [0011] 본 발명의 반도체 소자 제조 방법은 셀 영역에 매립 게이트를 형성하는 제 1 단계, 상기 셀 영역 및 페리 영역에 게이트 도전막을 형성한 후 셀영역오픈 마스크를 이용하여 셀 영역의 상기 게이트 도전막을 제거하는 제 2 단계, 상기 게이트 도전막이 제거된 셀 영역에 비트라인콘택을 형성하는 제 3 단계, 상기 셀 영역 및 상기 페리 영역의 상부에 비트라인 도전막을 형성하는 제 4 단계 및 상기 비트라인 도전막 및 상기 게이트 도전막을 패터닝하여 상기 셀 영역에는 비트라인을 형성하고 상기 페리 영역에는 게이트를 형성하는 제 5 단계를 포함하는 매립 게이트를 포함한다.
- [0012] 본 발명은 셀 영역에 비트라인콘택을 형성하기 이전에 페리 영역에 게이트 도전막을 먼저 형성함으로써 공정을 단순화하면서 셀 영역과 코어/페리 영역 간의 단차로 인한 문제가 발생되지 않도록 해준다.
- [0013] 바람직하게, 본 발명의 반도체 소자 제조 방법에서 상기 제 1 단계는 기판 상부에 패드 질화막을 형성하는

단계, 상기 패드 질화막 및 상기 기판을 식각하여 활성영역을 정의하는 소자분리막을 형성하는 단계, 상기 패드 질화막 및 상기 소자분리막 상부에 하드마스크층을 형성하는 단계, 상기 하드마스크층 및 상기 패드 질화막을 식각하여 게이트 영역을 정의하는 하드마스크 패턴을 형성하는 단계, 상기 하드마스크 패턴을 마스크로 상기 기판을 식각하여 트렌치를 형성하는 단계 및 상기 트렌치의 일부 영역에 매립되는 도전막을 형성하는 단계를 포함한다.

- [0014] 바람직하게, 상기 제 1 단계는 상기 소자분리막 형성 후 상기 패드 질화막을 통해 상기 활성영역에 불순물을 주입하여 웰을 형성하는 단계를 더 포함할 수 있다.
- [0015] 바람직하게, 상기 제 1 단계는 상기 도전막이 완전히 매립되도록 상기 트렌치 및 상기 패드 질화막 상부에 실링막을 형성한 후 상기 도전막 상부에만 상기 실링막이 잔류되도록 상기 실링막 및 상기 패드 질화막을 제거하는 단계를 더 포함할 수 있다.
- [0016] 바람직하게, 본 발명의 반도체 소자 제조 방법에서 상기 제 3 단계는 상기 게이트 도전막이 제거된 셀 영역 및 상기 게이트 도전막 상부에 절연막을 형성하는 단계, 상기 게이트 도전막의 상부에 상기 절연막이 잔류되도록 상기 절연막을 평탄화하는 단계, 상기 평탄화된 절연막 상부에 하드마스크층을 형성하는 단계, 상기 셀 영역의 상기 하드마스크층 및 상기 절연막을 선택식각하여 상기 기판을 노출시키는 비트라인 콘택홀을 형성하는 단계 및 비트라인콘택 물질을 상기 비트라인 콘택홀에 매립하는 단계를 포함할 수 있다. 또는 상기 제 3 단계는 상기 게이트 도전막이 제거된 셀 영역 및 상기 게이트 도전막 상부에 절연막을 형성하는 단계, 상기 절연막 상부에 스핀 온 코팅막을 형성하는 단계, 상기 셀 영역의 상기 스핀 온 코팅막 및 상기 절연막을 선택식각하여 상기 기판을 노출시키는 비트라인 콘택홀을 형성하는 단계 및 비트라인콘택 물질을 상기 비트라인 콘택홀에 매립하는 단계를 포함할 수 있다.
- [0017] 이때, 상기 비트라인 콘택홀 형성 단계는 타켓 사이즈보다 큰 직경을 갖는 제 1 비트라인 콘택홀을 형성하는 단계 및 상기 제 1 비트라인 콘택홀의 내측벽에 스페이서를 형성하는 단계를 포함할 수 있다.
- [0018] 바람직하게, 상기 제 3 단계는 상기 비트라인콘택 형성 후 상기 게이트 도전막 상부에 잔류하는 상기 절연막을 클리닝하는 단계를 더 포함할 수 있다.
- [0019] 바람직하게, 본 발명에서 상기 하드마스크층은 비정질카본층(ACL:Amorphous Carbon Layer) 및 SiON막의 적층 구조로 형성될 수 있다.
- [0020] 바람직하게, 본 발명에서 상기 비트라인 도전막은 배리어 금속막과 텅스텐막의 적층 구조로 형성될 수 있다. 이때, 배리어 금속막은 티타늄(Ti), 티타늄질화막(TiN) Wn, WSiN 또는 이들의 적층 구조로 형성될 수 있다.

효 과

- [0021] 본 발명은 매립 게이트를 갖는 반도체 소자를 제조시 셀 영역과 코어/페리 영역 간의 단차로 인한 문제가 발생되지 않도록 해주며, 제조공정이 보다 단순해지도록 해준다.

발명의 실시를 위한 구체적인 내용

- [0022] 이하, 첨부된 도면들을 참조하여 본 발명의 바람직한 실시예를 보다 상세하게 설명한다.
- [0023] 도 1 내지 도 11은 본 발명에 따른 반도체 소자의 제조 공정을 설명하기 위한 공정 단면도들이다.
- [0024] 도 1을 참조하면, 셀 영역과 코어/페리 영역(이하, '페리 영역'이라 함)이 정의된 기판(11) 상부에 패드 산화막(미도시) 및 패드 질화막(12)을 순차적으로 적층된다.
- [0025] 다음에, STI(Shallow Trench Isolation) 공정을 통해 소자분리막(13)을 형성한다. 즉, STI(Shallow Trench Isolation) 마스크를 이용한 식각 공정을 통해 기판(11) 내에 활성영역을 정의하는 소자분리영역을 형성하기 위한 트렌치(미도시)를 형성한다. 이어서, 트렌치가 매립되도록 절연막을 형성한 후 패드 질화막(12)이 노출될 때까지 절연막을 평탄화(CMP:Chemical Mechanical Polishing)하여 소자분리막(13)을 형성한다.
- [0026] 소자분리막(13)은 유동성산화막(Flowable oxide)을 사용한 싱글 갭필(single gapfill) 공정에 의해 형성될 수 있다. 또는 소자분리막(13)은 유동성산화막과 증착산화막이 조합(예컨대, 적층)된 형태로 형성될 수 있다. 이때, 유동성산화막은 SOD(Spin On Dielectric)포함하며, 증착산화막은 고밀도플라즈마 산화막(HDP Oxide)을 포함할 수 있다. 또한 소자분리막(13)을 형성하기 전에 측벽산화(Wall oxidation) 공정을 통해 측벽산화막(미도

시)을 형성하고, 측벽산화막 상에 라이너질화막(미도시)을 형성할 수 있다.

- [0027] 다음에 도 2를 참조하면, 셀 영역의 활성영역에 불순물을 주입하여 웰(DNW:Deep N+ well)을 형성한다.
- [0028] 종래에는 질화막(12)을 제거한 후 활성영역에 불순물을 주입하여 웰을 형성고 다시 매립 게이트용 하드마스크 질화막을 형성하였으나, 본 발명에서는 기판(11) 상부에 질화막(12)이 존재하는 상태에서 웰을 형성한다. 이러한 불순물 주입은 불순물의 농도(dose)를 조절함으로써 가능하다. 이처럼 본 발명에서는 소자분리막(13)을 형성시 사용된 질화막(12)을 후속의 매립 게이트용 트렌치 형성 공정에서 하드마스크 질화막으로 다시 사용한다. 따라서 본 발명에서는 매립 게이트용 하드마스크 질화막을 다시 형성하는 공정을 필요로 하지 않아 공정을 단순화시킬 수 있다.
- [0029] 다음에, 패드 질화막(12) 및 소자분리막(13) 상부에 하드마스크층(14)을 형성하고, 하드마스크층(14) 상부에 셀 영역의 매립 게이트 영역을 정의하는 감광막 패턴(15)을 형성한다. 이때, 하드마스크층(14)은 비정질카본층(ACL:Amorphous Caron Layer)(14a) 및 SiON막(14b)의 적층 구조로 형성될 수 있다.
- [0030] 다음에 도 3을 참조하면, 감광막 패턴(15)을 식각 마스크로 하드마스크층(14) 및 패드 질화막(12)을 식각하여 하드마스크 패턴(미도시)을 형성한다. 이때, 감광막 패턴(15)은 하드마스크층(14)을 식각시 제거되고 하드마스크 패턴을 식각 마스크로 실리콘 기판(11)을 식각하여 매립 게이트를 형성하기 위한 트렌치(미도시)를 형성한다.
- [0031] 이때, 트렌치는 기판의 활성영역은 물론 소자분리막(13)까지 식각하여 형성될 수 있다. 통상적으로 게이트는 라인 형태(Line type)를 가지므로, 활성영역과 소자분리막(13)이 동시에 식각되어 라인형태의 트렌치가 형성된다. 이때, 활성영역과 소자분리막(13) 간의 식각선택비가 다르므로 소자분리막(13)이 더 깊게 식각된다. 즉, 게이트 영역에서 활성영역이 소자분리막(13) 보다 돌출되는 핀 게이트 형태를 갖게 된다.
- [0032] 다음에, 산화 공정을 진행하여 트렌치의 내측면에 산화막(16)을 형성한 후 트렌치가 매립되도록 금속막(17)을 형성한다. 이때 금속막(17)은 티타늄질화막(TiN), 탄탈륨질화막(TaN), 텅스텐(W) 등을 포함할 수 있다. 예컨대, 저항을 낮추기 위해 티타늄질화막(또는 탄탈륨질화막)을 컨포멀(conformal)하게 얇게 증착한 후 텅스텐막을 캡핑하여 형성할 수 있다. 또는 티타늄질화막과 탄탈륨질화막을 적층하여 금속막(17)을 형성하거나, 티타늄질화막, 탄탈륨질화막 및 텅스텐막을 순차적으로 적층하여 금속막(17)을 형성할 수도 있다.
- [0033] 다음에 도 4를 참조하면, 패드 질화막(12)이 노출되도록 CMP 등의 방법을 이용하여 금속막(17)을 평탄화한 후 금속막(17)을 에치백(etchback) 및 클리닝(cleaning)하여 금속막(17)이 트렌치의 일부에만 매립되는 매립 게이트(18)를 형성한다. 이때 에치백 공정은 금속막(18)의 표면이 기판(11)의 표면보다 낮아지고 원하는 매립 게이트(18)의 높이가 확보될 때까지 진행된다.
- [0034] 다음에 매립 게이트(18)의 상부를 실링(sealing)하는 실링막(19)을 형성한다. 이때, 실링막(19)은 질화막으로 형성되며 매립 게이트(18)를 보호하는 역할을 한다.
- [0035] 예컨대, 매립 게이트(18)가 완전히 매립되도록 질화막을 실링한 후 스트립(Strip) 공정을 통하여 매립 게이트(18) 상부에만 질화막(실링막)이 잔류되도록 질화막(19)을 선택적으로 제거한다. 이때, 패드 질화막(12)도 함께 제거된다. 즉, 본 발명에서는 패드 질화막(12)을 별도의 공정을 통해 제거하지 않고 실링막(19)을 제거시 패드 질화막(12)이 함께 제거되도록 함으로써 공정이 단순해지도록 한다.
- [0036] 또한 매립 게이트(18) 상부에만 실링막(19)이 잔류되고 활성영역의 반도체 기판(11) 상부에는 실링막(19)이 잔류하지 않도록 함으로써, 후속의 비트라인 콘택 및 스토리지노드 콘택 형성 공정시 콘택홀 바닥면의 CD(Critical Demension)를 확보하는 것이 용이해진다.
- [0037] 다음에 도 5를 참조하면, 페리 영역의 활성영역에 채널 형성을 위한 불순물을 주입한 후 셀 영역 및 페리 영역 전체 상부에 게이트 산화막(20) 및 게이트 도전막(21)을 순차적으로 형성한다. 이때, 게이트 도전막(21)은 폴리실리콘막으로 형성될 수 있다.
- [0038] 다음에, 게이트 도전막(21) 상부에 감광막(미도시)을 형성한 후 셀영역오픈 마스크를 이용하여 셀 영역만을 오픈시키는 감광막 패턴(22)을 형성한다.
- [0039] 다음에 도 6을 참조하면, 감광막 패턴(22)을 마스크로 셀 영역의 게이트 도전막(21)을 제거하여 페리 영역에 게이트를 형성하기 위한 도전막(21) 만을 잔류시킨다.
- [0040] 다음에, 셀 영역 및 페리 영역의 전체 상부에 절연막(22)을 형성한다. 이때 절연막(22)은 산화막으로 형성될

수 있다.

- [0041] 이처럼 본 발명에서는 비트라인 콘택 형성 공정 이전에 페리 영역에 게이트를 형성하기 도전막(21)을 먼저 형성한다. 따라서, 본 발명에서는 셀 영역과 페리 영역 간의 단차로 인해, 콘택 형성을 위한 도전막(폴리)과 페리 영역의 게이트를 형성하기 위한 도전막(폴리)이 셀 영역과 페리 영역의 경계 부근에서 적층되는 것을 방지할 수 있다. 이로써 본 발명은 셀 영역과 페리 영역의 경계 부근에 불필요하게 적층된 폴리를 제거하기 위한 평탄화 공정이 필요치 않게 된다.
- [0042] 다음에 도 7을 참조하면, CMP 등의 공정을 통해 게이트 도전막(21)의 상부에 일정 두께의 절연막(22)이 잔류되도록 절연막(22)을 평탄화한다. 이때, 페리 영역의 게이트 도전막(21) 상부에 일정 두께의 절연막을 남겨놓는 이유는 후속 공정에서 게이트 도전막(21)이 손상되는 것을 방지하기 위함이다.
- [0043] 다음에, 절연막(22) 상부에 하드마스크층(23)을 형성하고, 하드마스크층(23) 상부에 셀 영역의 비트라인 콘택 영역을 정의하는 감광막 패턴(24)을 형성한다. 이때, 하드마스크층(23)은 ACL(amorphous carbon layer)(23a) 및 SiON막(23b)의 적층 구조로 형성될 수 있다.
- [0044] 다음에 도 8을 참조하면, 감광막 패턴(24)을 식각 마스크로 하여 기판(11)이 노출될 때까지 하드마스크층(23), 절연막(22) 및 게이트 산화막(20)을 순차적으로 선택 식각하여 비트라인 콘택홀(미도시)을 형성한다. 이때, 비트라인 콘택홀의 오픈 면적은 실제 형성하고자 하는 타겟 콘택홀 보다 크게 형성된다.
- [0045] 다음에, 비트라인 콘택홀의 내측면 및 절연막(22) 상부에 질화막(미도시)을 형성한 후 이를 에치백하여 비트라인 콘택홀의 측벽에 비트라인콘택 스페이서(25)를 형성한다.
- [0046] 즉, 반도체 소자가 고집적화되어 콘택홀의 사이즈는 작아지는 반면에 콘택의 높이가 높아지게 되면, 콘택홀이 오픈되지 않거나 실제 오픈되는 면적이 작아 콘택저항을 증가시키는 문제가 발생할 수 있다. 이러한 문제를 해결하기 위해, 본 발명에서는 콘택홀의 오픈 면적을 실제 원하는 사이즈보다 크게 하여 콘택홀의 낮오픈(not open) 또는 콘택저항 증가 문제를 해결한 후 콘택홀의 측벽에 스페이서(25)를 형성함으로써 원하는 사이즈의 콘택홀을 형성한다.
- [0047] 다음에, 비트라인 콘택홀이 매립되도록 비트라인콘택 물질층(26)을 형성한다. 이때, 비트라인콘택 물질층(26)은 폴리실리콘막으로 형성될 수 있다.
- [0048] 다음에 도 9를 참조하면, 절연막(22)이 노출될 때까지 비트라인콘택 물질층(26)을 에치백 또는 평탄화(CMP)하여 비트라인콘택(27)을 형성한다. 이러한 비트라인콘택 물질층(26)이 제거되는 과정시, 게이트 도전막(21)은 그 상부에 형성된 절연막(22)에 의해 보호되어 손상이 방지된다.
- [0049] 다음에, 클리닝 공정을 통해 페리 영역에서 게이트 도전막(21) 상부에 잔류하는 절연막(22)을 제거하여 게이트 도전막(21)을 노출시킨다.
- [0050] 다음에 도 10을 참조하면, 게이트 도전막(21), 절연막(22) 및 비트라인콘택(27) 상부에 비트라인 도전막(28) 및 하드마스크층(29)이 순차적으로 적층된다. 이때, 비트라인 도전막(28)은 배리어 금속막(28a)과 텅스텐막(28b)의 적층 구조로 형성될 수 있으며, 배리어 금속막(28a)은 티타늄(Ti), 티타늄질화막(TiN), WN, WSiN 또는 이들의 적층 구조로 형성될 수 있다. 그리고 하드마스크층(29)은 질화막(29a), ACL(29b) 및 SiON막(29c)의 적층 구조로 형성될 수 있다.
- [0051] 다음에, 하드마스크층(29) 상부에 셀 영역에서는 비트라인 영역을 정의하고 페리 영역에서는 게이트 영역을 정의하는 감광막 패턴(30)을 형성한다.
- [0052] 다음에 도 11을 참조하면, 감광막 패턴(30)을 마스크로 하드마스크층(29)을 식각하여 하드마스크층 패턴(미도시)을 형성한다. 이어서, 하드마스크층 패턴을 마스크로 셀 영역에서는 비트라인 도전막(28)을 식각하여 비트라인 패턴(31)을 형성하고 페리 영역에서는 비트라인 도전막(28) 및 게이트 도전막(21)을 식각하여 게이트 패턴(32)을 형성한다.
- [0053] 본 발명에서는 후속의 스토리지노드 콘택 형성 공정에서도 집합영역의 실리콘기판(11) 상부에 질화막이 존재하지 않기 때문에 콘택홀 바닥면의 CD를 확보하는 것이 용이해진다.
- [0054] 상술한 본 발명의 실시 예는 예시의 목적을 위한 것으로, 당업자라면 첨부된 특허청구범위의 기술적 사상과 범위를 통해 다양한 수정, 변경, 대체 및 부가가 가능할 것이며, 이러한 수정 변경 등은 이하의 특허청구범위에 속하는 것으로 보아야 할 것이다.

[0055] 예컨대, 상술한 도 7에서는 절연막(22)의 단차를 없애기 위해 CMP 등의 방법을 이용해 절연막(22)을 평탄화하였다. 그러나 본 발명의 다른 실시예로서, 도 12와 같이, 절연막(22)을 평탄화하지 않고 절연막(22)의 상부에 ACL(23a) 대신에 스핀 온 코팅(SOC:spin on coating)막(23c)을 형성하여 그 표면을 평탄화할 수 있다.

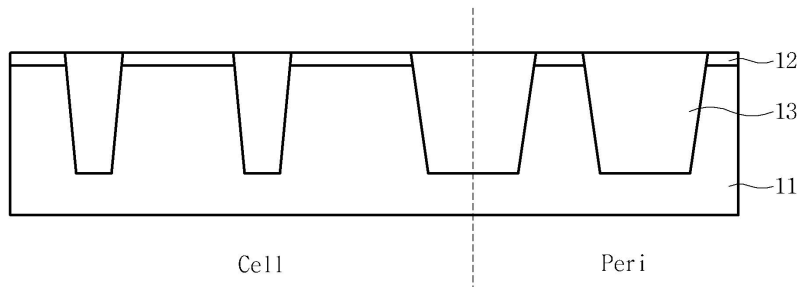
도면의 간단한 설명

[0056] 도 1 내지 도 11은 본 발명에 따른 매립 게이트를 포함하는 반도체 소자 제조 공정을 설명하기 위한 공정 단면도.

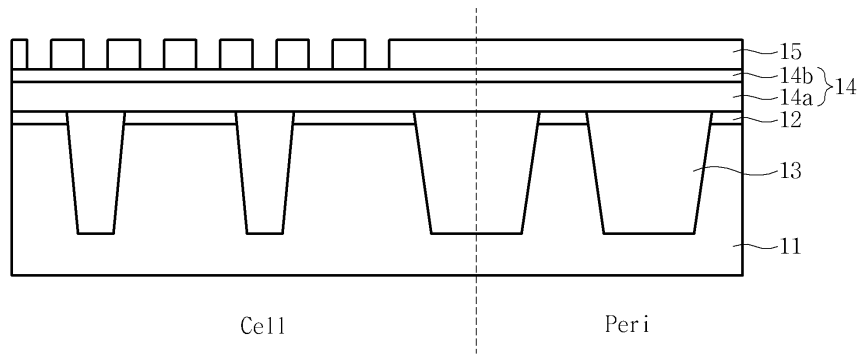
[0057] 도 12는 본 발명의 다른 실시예를 보여주는 도면.

도면

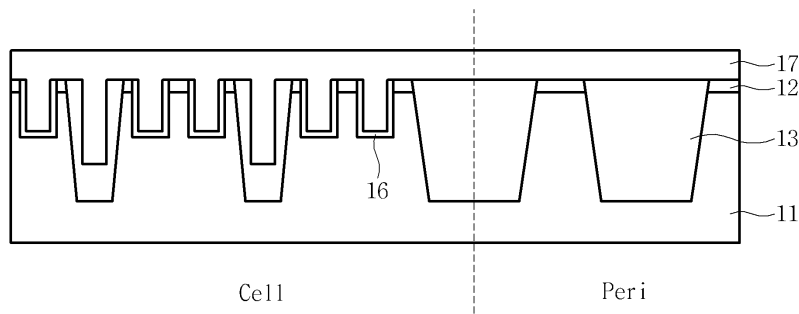
도면1



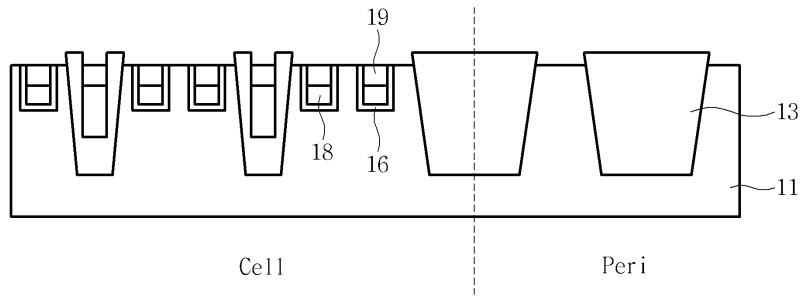
도면2



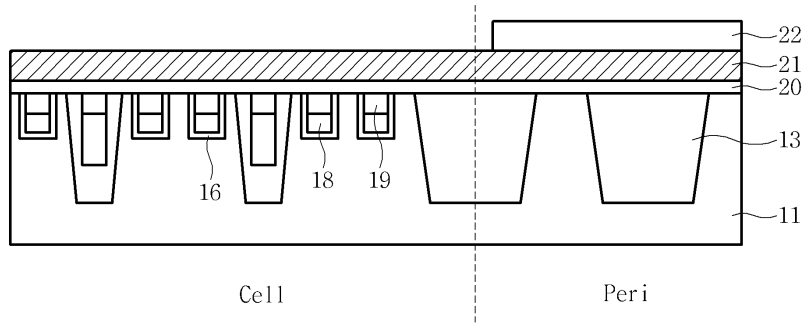
도면3



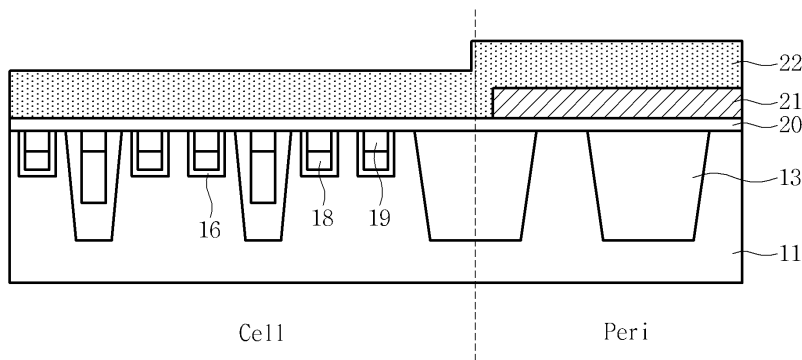
도면4



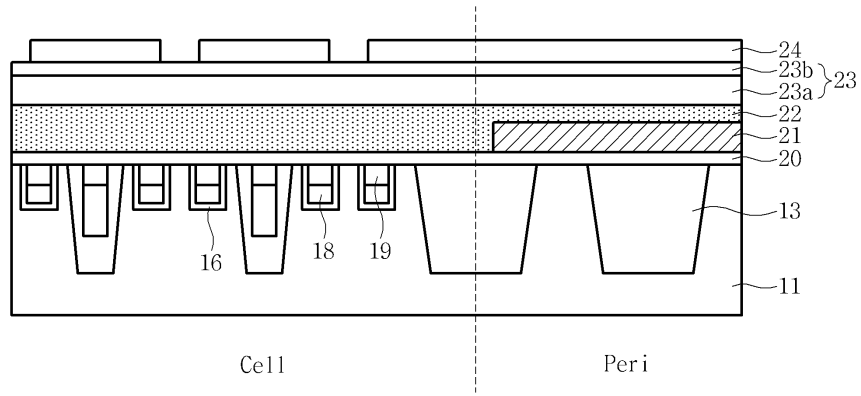
도면5



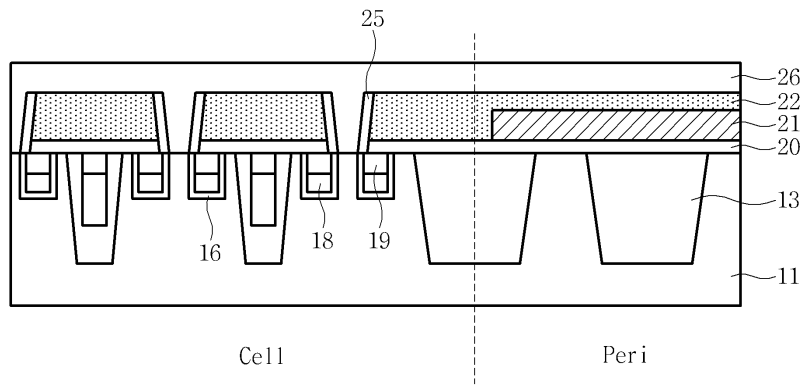
도면6



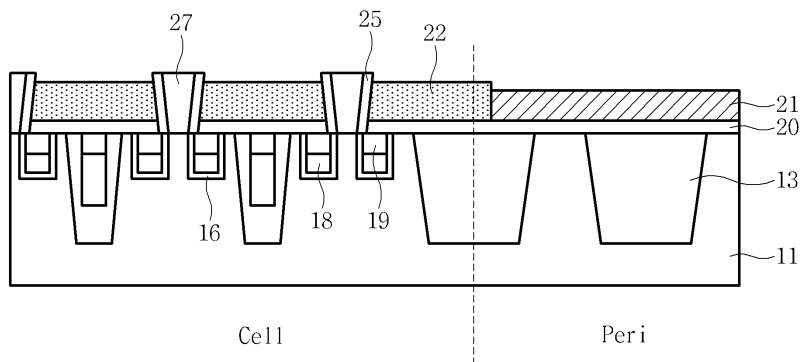
도면7



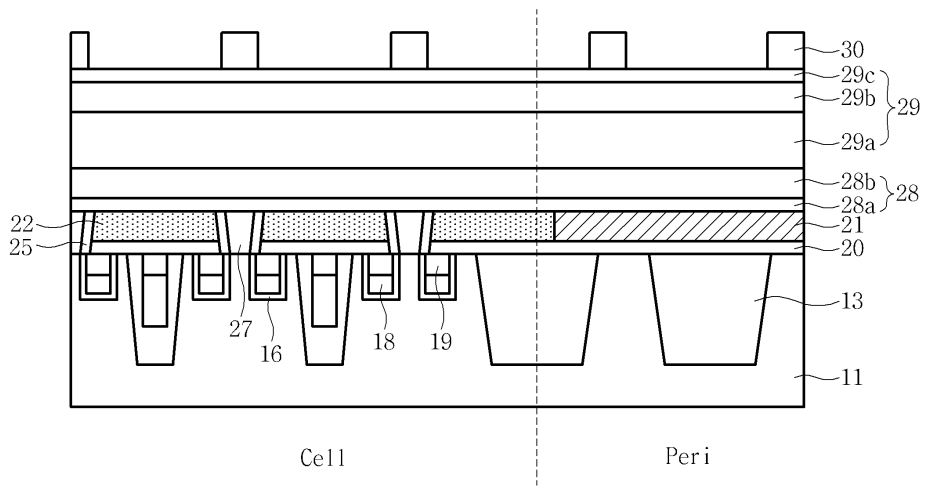
도면8



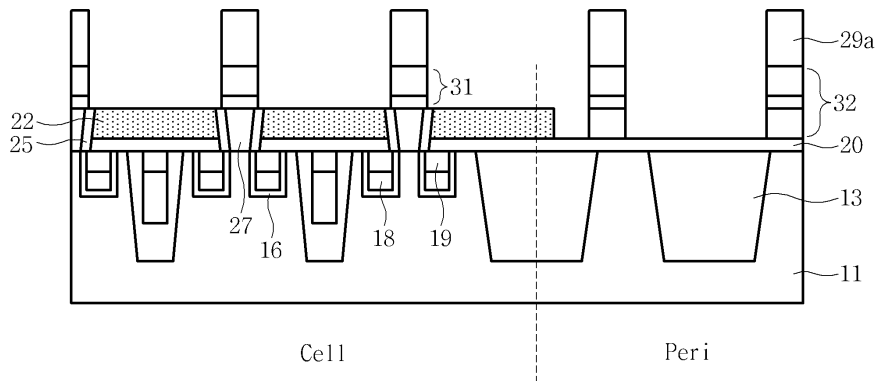
도면9



도면10



도면11



도면12

