

(19) 대한민국특허청(KR)

(12) 특허공보(B1)

(51) Int. Cl.⁴

H04L 25/02

G06F 15/16

(45) 공고일자 1988년 10월 17일

(11) 공고번호 88-002197

(21) 출원번호

특 1983-0000050

(65) 공개번호

특 1984-0003566

(22) 출원일자

1983년 01월 07일

(43) 공개일자

1984년 09월 08일

(30) 우선권주장

337, 674 1982년 01월 07일 미국(US)

(71) 출원인

웨스턴 일렉트릭 컴파니, 인코포레이티드 오레그 이. 엘버

미합중국, 뉴욕 10038, 뉴욕, 브로드웨이 222

(72) 발명자

게리 조 그림즈

미합중국, 콜로라도 80233, 도른턴, 이스트, 115 플레이스 4120

(74) 대리인

이병호

심사관 : 고금영 (책자공보 제1469호)**(54) 분할요구버스에 호출을 할당하기 위한 시스템****요약**

내용 없음.

대표도**도1****영세서**

[발명의 명칭]

분할요구버스에 호출을 할당하기 위한 시스템

[도면의 간단한 설명]

제1도는 본 발명이 이용될 수 있는 전형적인 시스템 소자를 예시하는 간단한 블럭선도.

제2도는 제1도의 포트회로에 대한 상세도.

제3도는 타이밍선도.

제4도 및 제5도는 제2도의 포트의 중재논리회로의 상세도.

제6도는 제4도 및 제5도에 대한 구성도.

* 도면의 주요부분에 대한 부호의 설명

100 : 제어기

102 : 중재버스

104 : 마스크버스

105 : 패킷버스(분할요구설비)

110 : 포트

200 : 입출력인터페이스

218 : 중재논리회로망

406 : 종점회로망

409 : 비교회로망

423 : 스냅숏트비트

440 : 디스에이블링회로망

500 : 레지스터회로망

527 : 우선번호

[발명의 상세한 설명]

본 발명은 복수의 유니트중 분할요구설비에 호출을 할당하기 위한 시스템에 관한 것으로서, 각 유니트는 독특한 n 디지티의 우선 번호를 가지며, 상기 시스템은 시스템 제어기와, 모든 유니트를 상호 접속하는 중재버스 및, 분할요구설비에 대한 호출을 요청하기 위한 각 유니트내의 중재회로망을 구비하고 있다.

많은 장치가 공통 리소스를 공유하는 시스템은 통상적으로 복수의 관련장치들이 리소스에 대한 호출

을 일시에 요청할 수도 있는 상태하에서 리소스에 대한 호출을 할당하는 구성을 이용하고 있으며, 본 기술상 많은 다른 할당 구성이 공지되어 있다. 데이터처리 및 패킷스위칭 시스템에서는, 버스에 대한 호출을 동시에 요청할 수도 있는 복수의 장치를 상호 접속하는 공통 데이터버스에 대한 호출을 할당하기 위한 중앙할당장치 또는 제어기를 사용하는 것으로 알려져 있다. 제어기는 적절한 연산법으로 프로그램되어 버스호출을 할당하고 바람직한 어떤 우선적으로 결정되는 기준에 따라 사용될 수도 있다. 비록 종양 제어기 할당장치가 적절히 동작하여 의도하는 기능을 수행한다 하더라도, 그것은 각 제어기, 버스 및 포트 사이에 필요한 많은 상호접속으로 부터 초래되는 시스템 고유의 복잡성 때문에 항상 바람직하지만은 않다. 또한, 제어기의 오기능은 시스템 전체의 동작을 마비시킬 수 있기 때문에 신뢰성에 문제가 생겨난다. 중앙제어기를 갖는 시스템은 미합중국 특허 제 3,983,540호에 기재되어 있다.

버스할당이 동시에 요청되는 경우에는, 제어기를 호출결정에 사용하지 않는 대신 요청 포트의 상호 작용이 버스할당을 결정하도록 한 분배버스할당구성이 공지되어 있다. 이러한 분배구성은 중앙 제어기 구성의 높은 가격 및 관련된 신뢰성 저하 문제를 피할 수 있기 때문에 바람직한 경우도 있다.

이러한 분배할당구성에 의하면, 공통 버스나 리소스에 대한 호출을 요청할 수도 있는 각 포트 또는 유니트에는 복수의 2진 디지트로 이루어진 고정 우선 번호가 할당된다. 호출은 동시요청의 경우에 우선번호에 의해 승인된다. 둘 이상의 장치나 포트가 동시에 호출을 요청하는 버스경합시간 동안, 각 요청장치는 모든 다른 동시요청포트에 의한 대응비트의 인가와 동시에 각 비트씩 순차적으로 우선 번호의 대응비트를 중재버스에 인가한다. 각 비트가 인가됨에 따라, 각 명령포트는 현재 중재버스에 인가하고 있는 비트의 크기를 모든 동시 요청포트에 의해서 동시에 인가된 대응비트들의 논리적인 조합과 비교한다. 만일 한 요청포트가 현재 인가하는 비트가 다른 요청포트에 의해 버스에 인가된 비트에 대한 규정관계(같거나 더 높은)를 갖는다면, 이 동작은 진행되고 포트는 우선번호의 다음 비트를 중재버스에 인가한다.

각 포트는 다른 훈련포트에 의해 동시에 공급된 대응비트의 논리조합에 규정된 관계로 각 비트를 공급하는 한 훈련상태로 머무른다. 한 포트는 하나이상의 다른 포트가 더 높은 우선번호를 가진다는 것을 지시해주는 다른 포트에 의해 인가된 비트들에 대한 관계(더 낮은)를 가짐을 결정할때 경합으로 부터 그것을 제거한다. 그때, 하위 우선번호를 갖는 각 포트는 경합으로 부터 제거되어 아무런 비트도 버스에 인가하지 않는다.

이 경합동작은 계속되고, 포트 우선번호의 나머지 비트가 모든 나머지 포트에 의해 버스에 인가되고, 하위 우선번호의 포트는 경합으로 부터 제거되고, 마지막 비트가 버스에 인가되는 경합 간격이 끝날 무렵에 최고의 우선순위를 갖는 포트만이 경합상태에 머무르고 그것은 버스에 대한 호출로 인정된다.

위에서 기술한 유형의 구성은 미합중국 특허 제 3,796,992호 및 미합중국 특허 제 3,818,447호에 기재되어 있다.

위에서 기술한 분배경합구성은 만족스럽게 동작한다. 그러나, 그것의 문제점은 우선번호가 고정되어 있고, 또 이 우선번호에 의해 포트호출이 결정되므로 포트가 최고의 우선번호를 갖는 가장 적합한 포트 및 최하위 우선번호를 갖는 최소의 적합한 포트를 갖는 고정된 우선체인으로 기능적으로 배열되는 것으로 생각될 수도 있다는 점이다. 그런 경우에, 버스에 대한 호출은 적당치 않게 되는데, 그 이유는 포트 우선번호를 갖는 포트가 동시요청의 경우에 항상 보내게 되므로 버스에 대한 호출이 정당치 않게 된다. 이와 같은 포트의 부당한 할당은 어떤 시스템에서 허용될 수도 있지만, 그 시스템에서는 모든 포트에 의한 정당한 호출이 필요하게 되는 문제점이 있다.

이러한 문제점들은 본 발명에 의한 시스템으로 해결되며 분할요구설비에 호출을 할당하기 위한 본 발명의 시스템에 있어서, 중재회로망은, 복수의 다중논리 상태 장치와, 유니트의 현재 동작상태를 나타내는 특정변수의 제어하에 각 유니트내에서 논리장치를 제1 상태에서 제2 상태로 선택 조합적으로 스위칭하는 논리제어 회로망 및 동적번호의 상위 디지트 위치에 변수 디지트인 논리장치의 출력을 공급하고 동적번호의 하위 디지트 위치에 할당된 우선번호의 디지트를 공급하는데 의해 각 유니트의 동적우선번호를 형성하는 레지스터 회로망을 구비하고 있으며, 시스템은 또한, 유니트를 상호 접속하는 마스크 도선과, 예정된 시간마다 마스크 도선에 마스크 반전신호를 공급하는 제어기내의 제1 회로망과, 분할요구설비에 대한 현재 호출을 요청하고 있는 각 유니트내에서 관련된 동적우선번호의 대응 디지트를 한 디지트씩 순차적으로 중재버스상에서 동시에 집중시키는 중첩회로망과, 중재버스상의 디지트치와 요청유니트에 의해 공급된 대응디지트치를 비교하는 각 요청유니트에 의해 공급된 대응디지트치를 비교하는 각 요청유니트내의 비교회로망과, 마스크 버스상에 마스크 신호가 존재하면 이에 응답하여 요청유니트의 비교회로망 출력을 디스에이블링 시켜 유니트에 의해 중재버스상에 중첩된 변수디지트가 호출결정에 사용되지 않도록 하는 각 요청 유니트내의 디스에이블링 회로망 및, 버스디지트치와 유니트에 의해 공급된 대응디지트간의 규정된 비교결과를 검출할때 한 요청유니트의 설비호출흔돈을 제거하는 제2 회로망을 구비하여, 동시 요청되는 유니트간의 설비호출은 비교 결과 디스에이블링되지 않는 어떤 변수디지트와 요청 유니트의 할당된 우선번호의 공급디지트에 의해 결정되도록 디스에이블링회로가 작동하게 한다. 본 발명에 의하면, 각 포트는, 다양한 동작 포트변수의 현 상태를 동적으로 모니터하고 이를 변수를 나타내는 대응포트의 우선비트를 발생하는 설비를 포함하고 있다. 이를 발생된 비트는 할당된 포트 우선번호 비트와 관련 사용되어 버스 호출을 결정하게 된다.

본 발명의 설비에 의하여 발생된 포트 파라메터 비트는 포트 시프트레지스터의 상위 비트 위치로 들어간다. 할당된 포트 우선순위 비트는 파라메터 비트 보다 하위에 있도록 시프트레지스터의 리메인더에 들어간다. 버스경합시간 동안 각 요청포트의 시프트레지스터내의 비트는 최상위 비트로 시작되는 시간에 순차적으로 판독되어 중재버스에 인가된다. 본 발명의 설비에 의하여 아무 포트 파라메터 비트도 발생하지 않을 상태 동안 시프트 레지스터는 대응하는 상위 비트 위치에 0을 포함하고 하위 비트 위치에는 정규적으로 할당된 포트 우선번호 비트를 포함한다. 이러한 상태하에서 포트 우선순위는 단지 할당된 포트 우선번호를 사용하여 결정된다. 그러나 이 하나이상의 파라메터 비트에 대하

여 발생되는 포트의 동작상태 동안 파라메터 비트는 포트 우선순위 번호앞에 시프트레지스터의 판독이며 자연적으로 제어버스를 억세스한다. 둘 이상의 포트가 하나에 동일한 파라메터 비트 세트를 가지거나 더 높은 우선순위를 지시하는 파라메터 비트를 가지는 다른 비트가 없다면 포트 우선 순위번호 비트는 연결을 파괴하도록 사용된다.

포트 시프트레지스터에 기입하기 위하여 포트 파라메터를 수신하고 대응하는 파라메터 비트를 발생하는 본 발명에 따라 제공된 설비는 각 포트내의 패킷 버퍼의 현재 내용을 감지하는 설비를 포함하여 패킷정보의 적어도 반 또는 전체 보다 작은지를 결정한다. 이들 설비는 각각 무 비트, 반 및 전체 비트를 발생한다.

포트 파라메터 비트를 발생하기 위하여 제공된 설비는 특정시간에 작용하는 모든 포트가 후에 요구하는 포트앞에 작용되는 것을 보장하는 스냅숏트설비를 포함한다. 이러한 스냅숏트설비는 플립-플롭을 포함하여 버스 억세스를 요구하는 각 포트내에 스냅숏트 시간으로 부르는 특정한 시간에서 세트된다. 이러한 각 포트내의 플립-플롭의 세팅은 할당된 포트 우선순위번호의 비트앞에 상위 비트로서 관련된 시프트레지스터에 "1"의 스냅숏트비트를 인가한다. 스냅숏트 플립-플롭은 포트가 주어진 버스 억세스이며 종래 사이클의 주어진 번호의 끝에서 이들의 스냅숏트 플립-플롭 세트를 갖는 모든 포트가 작용하면 리세트되고 이들의 스냅숏트 플립-플롭은 모두 리세트 상태가 될 것이다. 그러면 새로운 스냅숏트 시간이 발생하고 현재 요청포트내의 스냅숏트 플립-플롭은 세트되어 주어진 포트가 호출되도록 포트의 새로운 그룹을 결정한다.

위와 같이 각 요청포트의 대응하는 시프트레지스터 비트는 1 비트씩 순차적으로 경합시간 동안 중재 버스에 인가된다. 이것은 할당된 포트 우선순위번호 비트와 마찬가지로 포트 파라메터비트를 포함한다. 각 대응하는 포트의 비트값은 버스디지트값에 일치하는 상술한 차수에 비교된다. 어떤 디지트 비교상에 상술한 결과가 높은 우선순위의 다른 포트가 요청 억세스인 것을 지시하도록 일어진다면 버스경합으로부터 한 유니트가 이동된다. 본 발명에 나타난 실시예에서 버스 억세스용 우선순위는 파라메터 비트에 의하여 결정된 번호의 크기와 각 포트의 시프트레지스터내의 우선순위번호 비트에 근거한다. 나타난 실시예에서 와이어드 OR TTL 버스는 "1"이 낮은 전압상태를 나타내도록 사용된다.

또한 본 발명에 따라 마스크버스의 장치에 의하여 포트호출을 결정하는 가요성이 증가된다. 마스크 버스는 경합시간 동안 각 포트의 임의회로가 어떤 또는 모든 파라메터 비트를 선택적으로 무시하도록 시스템 제어기에 의하여 작동될때 효과적이다.

마스크 신호는 각 포트내부의 회로를 일시적으로 디스에이블 시키며 버스 억세스가 마스크되지않은 어떤 파라메터 비트에 할당된 포트 우선순위번호를 가산하여서 결정되도록 한다. 마스크회로 또한 중재버스에 인가되므로 "1"의 어떤 마스크된 비트를 막는다. 버스는 마스크 상태 동안 0 비트 상태 이트내에 유지된다.

이러한 마스킹은 어떤 시스템상태하에서 버스억세스를 결정하는 하나이상의 파라메터에 관계 없이 바람직하기 때문에 바람직한 특징이다. 본 발명은 마스크 버스 특징을 할당된 포트 우선순위비트의 마스킹으로부터 마스크 버스를 막는 잘못된 공차방법으로 나타난다. 이것은 독특한 포트가 파라메터 마스크 신호를 마스크 버스에 인가하는 트러블 상태의 경우에 항상 선택된 것이다.

각 포트에 독특한 도체를 포함하고 시스템 제어기에서 포트로 연락되는 인에이블/디스에이블 버스 또한 제공된다. 도체는 각 포트내의 회로에 접속되어 효과적으로 포트를 디스에이블 시키고 버스 억세스에 금지되는 것을 막는다. 이러한 특징은 회로기능장애에 대한 접속에 유용하며 중재시간 동안에 포트가 버스에 모든 "1"을 계속하여 인가하도록 하며 그러므로 버스억세스를 독점한다.

패킷 스위치에서 패킷은 포트내의 버퍼 메모리로 저장되며 포트 경합논리는 호출에 대하여 여기에서 데이터 버스로 불리는 공통 패킷 전달버스를 포함하는 공통 패킷 리세스와 필적한다. 패킷은 버퍼 메모리내의 이미 하나 이상의 패킷을 가지는 포트에 전송되면 없어져 버리며 다른 패킷을 저장할 충분한 장소를 갖지 못한다.

패킷 손실비율은 통계적인 기초하에서 패킷 손실률이 스위치의 트래픽 제한에서 받아들일 수 있도록 충분한 메모리를 제공하므로 작게할 수 있다.

본 발명은 패킷 스위치를 더 작은 메모리가 주어진 회로망 트래픽량에서 동일한 패킷 손실률을 주도록 설계가 가능하며 또 고정된 메모리량으로 패킷손실률이 주어진 트래픽량 보다 작도록 설계가 가능하다. 대부분의 스위치의 코스트 및 복잡성은 포트의 메모리 및 대기행열내에 포함되므로 포트 경합 논리는 매우 확장될 수 있으며 또한 본 발명의 능력이 메모리내의 상당한 코스트 및 복잡성을 감소할 수 있으므로 시스템의 코스트 및 복잡성을 감소시킨다. 본 발명은 포트의 동적상태를 감지하는 스위치의 중재 알고리즘을 만드는 수단을 제공하며 마찬가지로 알고리즘이 프레임 대 프레임 기초상에 감지되는 파라메터를 변경하는 수단을 제공한다. 이것은 중재수단의 분포된 특성을 희생함 없이 잘못된 공차수단에 의하여 이루어진다.

상술한 배열은 복잡성을 증가시키며 시스템내의 설비나 버스에 억세스 하는 포트의 최적 배경을 제공하는 종래 기술의 약점을 극복하며 이러한 시스템에서 각 포트는 크기가 버스 억세스 우선순위가 달리 결정되는 고정된 우선순위번호가 할당된다. 이하, 도면을 참조하여 본 발명을 더욱 상세히 설명하기로 한다.

제1도는 본 발명을 실시하는 패킷 스위칭 시스템을 보인다. 제1도상에는 극성 발생기(122)를 갖는 제어기(100)와, 포트들(110-1 내지 110-n), 스위치(107), 제어기(100)와 포트들(110)을 상호 접속하는 복수개의 버스가 도시되어 있다. 패킷버스(105)는 각 포트의 출력(111)으로부터 다른 포트를 향해 공급된 데이터를 수신한다. 패킷버스(106)는 그것이 스위치(107)를 통하여 안정된 후 이 데이터를 수신하여 그것을 각 포트의 입력(112)에 인가한다. 클럭버스(103)는 제3도상에 도시된 신호를 제어기로 부터 포트로 연장한다. 중재버스(102)는 버스경합시간 동안 각 요청포트에 의해 순차적으로 인가된 해당 무선비트를 동시에 수신한다. 극성도선(101)은 우선번호와 각 디지트의 역(반전)을 버

스(102)에 인가하게끔 선택된 시간에서 전위를 제어기(100)로부터 포트(110)로 인가한다.

인에이블/디스에이블 버스(108)는 각 포트에 대해 독특한 도선을 포함하고 있으며, 이 버스는 제어기(100)로부터 각 포트(110)로 연장되어 있다. 이 버스는, 관련포트가 서비스로 부터 제거되어지도 록 작동하고 중재버스(102) 및 패킷버스(105) 및 (106)에 대한 호출을 부정하도록 작용할때, 실행된다. 마스크 버스(104)는 모든 포트에 공통인 도선을 구비하고 있으며, 제어기(100)로부터 포트로 연장되어 있다. 이것은, 회선선택 시간 동안 포트변수비트의 어떤 조합이 무시되도록 마스크 신호가 제어회로(124)에 의해 선택된 시간 동안 인가될때 버스호출이 나머지 변수비트에 의거하여 실행되고 때에 따라 각 포트에 할당된 우선번호에 의거하여 실행될때 작용한다.

데이터 처리기(120-1), 단자제어기(120-n) 및 단자(121)는 포트들에 의해 사용될 수도 있는 설비의 형태를 예시한 것이다. 패킷 스위칭에서 일반적인 것처럼, 패킷 버스(105)로 도달케하는 전송포트가 어떠한 데이터를 원하든간에 스위치(107)를 통해 패킷버스(105)를 거쳐, 그리고 패킷버스(106)를 거쳐 정보가 향하는 포트의 입력(112)로 전송한다.

제2도는 제1도의 포트(110)을 상세히 도시한 것이다. 각 포트는 입출력 인터페이스(200)와 입력버스 인터페이스(210) 및 출력버스 인터페이스(200)를 포함하고 있다. 입력버스 인터페이스(210)는 패킷 버스(105)에 데이터를 공급하는 중재논리회로망(218) 및 버퍼(213)를 포함하고 있으며, 또한 FIFO 버퍼(211) 및 FIFO 제어기(214)도 포함하고 있다. FIFO는 인터페이스(200)로부터의 패킷정보를 수신하여, 이 정보가 해독될때까지 일시적으로 기억하며 버퍼를 거쳐 패킷버스(105)까지 연장되어 있다. FIFO 제어기(214)는 통로(21)를 거쳐 FIFO로 부터의 정보 즉, FIFO가 현재 총만되었는지 또는 반만 총만되었는지를 구별하는 비트가 포함된 정보를 수신한다. 제어기는 이 정보를 통로(206) 및 (207)를 거쳐 중재논리 회로망(218)으로 전송하며, 회로망은 이 정보를 경합 목적용의 부가변수비트로 사용한다.

출력버스 인터페이스(220)는 패킷버스(106)로부터의 정보를 수신하는 포트가 있는 회로망을 포함하고 있다. 이 회로망에는 버퍼(221)와 FIFO (227), FIFO 제어기(225) 및 패킷인식기(223)가 포함되어 있다.

전형적으로, 제2도의 포트에 사용된 데이터 처리기(120)는 한 패킷의 정보를 인가하여 입출력 인터페이스(200)를 통해 통로(116-1)를 거쳐 다른 포트로, 그리고 통로(210)를 거쳐 FIFO (211)로 보내게 된다.

FIFO 제어기(214)는 FIFO(211)에 의해 완성된 패킷의 수신을 검출하여, 버스호출에 대한 요청을 중재논리회로망(218)으로 전송한다. 그후, 중재논리회로망은 다음 경합간격동안 버스(105)에 대한 포트의 호출을 얻는 작용을 한다. 이와 같은 도달이 이루어지자마자, FIFO 제어기(214)는 FIFO (211)가 그것이 포함한 패킷정보를 버퍼(213)를 거쳐 패킷버스(105)로 인가하게 한다. 이 정보는 패킷이 보내지고 있는 포트를 식별하는 헤더정보를 포함한다. 제1도상의 스위치(107)를 통과한 후, 정보는 수신포트의 통로(112)를 거쳐 패킷버스로, 그것의 버퍼(221)를 거쳐 FIFO (227)로 그리고 그것의 패킷식별기(223)로 인가된다. 소자(223)는 FIFO (227)내의 현재 정보가 실제로 이 포트로 향하는지 검출한 다음에, FIFO 제어기(225)에 의해 FIFO (227)가 통로(202), 입출력 인터페이스(200)를 거쳐, 그리고 통로(117)를 거쳐 수신포트에 의해 사용된 장치로 출력하게 한다.

제3도는 클럭버스(103)를 거쳐 포트로 인가된 타이밍신호 및 제어신호의 파형을 도시한다. 위쪽의 신호는 정의 프레임 필스이며 각 프레임의 개시부를 식별한다. 버스 경합간격은 프레임필스로써 시작한다. 이 프레임은 전송될 전체 패킷에 요구되는 길이이다. 버스 경합논리 및 패킷전송은 매 프레임동안 포트와 동시에 발생할 수 있고, 포트는 다음 프레임 동안 패킷버스(105)를 제어하는 경합주기를 확보한다. 낮은 신호는비트 클럭 신호이며 경합 혹은 중재간격동안 다수의 제어 목적을 위해 사용된다.

제4도 및 제5도에서는 제2도의 중재논리회로망(218)의 상세도가 도시되어 있다. 이 회로망에는 우선 코드비트 및 인에이블/디스에이블 또는 마스크 버스가 부가 설치되어 있어 디스에이블 전위가 공급되면 중재 버스상의 어떠한 상태의 비트도 각 요청포트에서 무시하게 된다.

기본적인 중재주기 동안 소자(527)내의 하드웨이어 된 포트번호는 통로(528)를 거쳐 시프트 레지스터(500)로 병렬입력 및 직렬출력식으로 부하된다. 프레임 클럭필스는 통로(426)를 거쳐 시프트레지스터(500)의 부하입력으로 전송된다. 프레임 클럭필스가 HI로 되면 할당된 포트번호의 모든 비트는 시프트 레지스터(500)에 병렬로 부하된다. 이때 시프트레지스터(500)에 공급된 전체 비트(통로 524), 반 비트(통로 522) 및 스냅숏트 비트(통로423)에 대한 신호는 L0로 가정하며 후술될 것이다.

포트가 1차로 온되면, 플립플롭(410), (412), (418), (421) 및 (422)는 통로(416)상의 각 CLR 입력에 대한 마스터 클리어 신호 입력에 의해 리셋된다. 이를 플립플롭이 리셋되면 이를 각 Q 출력은 L0로 된다.

요청 펜딩신호(216)가 포트 요청버스 호출로서 FIFO 제어기(214)로부터 나타난다면 HI는 통로(216)를 통하여 NAND 게이트(430)의 우측입력 및 AND 게이트(417)의 하부입력에 통과된다. 이 HI는 이들 게이트를 인에이블 시킨다. 다음의 프레임 클럭이 통로(426)상에 HI가 되면 NAND 게이트(430)의 출력은 L0가 된다. NAND 게이트(430)의 출력은 통로(431)를 통하여 D 플립플롭(410)의 능동 L0 프리세트 입력 및 SR 플립플롭(412)의 능동 L0 세트 입력으로 통한다. 이러한 L0 입력은 양 플립플롭을 세트시키며 이들의 Q 출력을 HI로 만든다. SR 플립플롭(412)의 HI Q 출력은 통로(413)를 통과 시켜 부분적으로 3 입력 NAND 게이트(406)를 인에이블 시킨다. 이러한 HI는 또한 D 플립플롭(421)의 D 입력을 인에이블 시킨다.

시프트레지스터내의 모든 비트는 각 필스를 갖는 시간에서 시프트레지스터 외부로 익스클루시브 OR 게이트(404)의 하부입력에 통로(501)를 통하여 직렬로 한 비트 시프트된다. 이 시점에서 익스클루시브 OR 게이트(404)의 상부 입력이 통로(501)를 통하여 하부 입력상의 신호가 익스클루시브 OR 게이

트(404)를 통하여 변하지 않고 통로(405)로 통과하도록 L0 인 것을 가정하자. 익스클루시브 OR 게이트의 출력은 통로(405)를 통하여 4 입력 NAND 게이트(406)의 좌측 중앙입력 및 OR 게이트(409)의 하부 입력에 인가된다. 4 입력 NAND 게이트(406)의 우측 및 좌측 입력은 현재로 인에이블되고 그러므로 중심 입력에 인가된 비트는 반전되어 통로(407)를 통하여 중재버스(102)로 간다.

모든 요청포트에 의하여 버스(102)에 인가된 우선순위 비트의 논리 유니온은 게이트(417)의 상부입력과 마찬가지로 통로(408)를 통하여 버스(102)에서 OR 게이트(409)의 상부 입력에 인가된다. OR게이트(409)는 포트가 버스상에 인가하는 디지트값을 가지는 중재버스(102)의 현재 디지트값과 비교한다. 부정합이 일어나면 OR게이트의 입력은 정합되며 OR게이트(409)의 입력은 L0가 된다. 게이트(406)의 출력에서 버스에 1을 인가하는 적어도 다른 한 포트에 의하여 버스가 L0로 구동되는 시간에 4입력 NAND 게이트(406)의 출력을 통하여 0으로 포트가 버스에 HI를 인가하려고 할때 부정합이 존재한다고 말한다. 그래서 이러한 부정합이 존재할때 OR게이트(409)의 하부 입력은 현재 포트의 시프트레지터의 0로부터 L0이며 게이트의 상부 입력 또한 다른 포트의 NAND 게이트(406)에 의하여 버스(102)에 반전된 형태로 인가된 1로부터 L0이다. 이것은 OR게이트(409)가 부정합 신호로서 L0를 발생하게 한다. 이것은 1을 인가하는 포트가 높은 우선순위를 가지며 0을 인가하는 포트가 경합에서 스스로 제거되어야 한다는 것을 의미한다.

OR게이트(409)의 L0 부정합신호는 통로(439)에서 게이트(440)를 통하여 D플립플롭(410)의 D입력에 인가된다. 다음 비트 클럭펄스의 시작에서 D플립플롭(410)의 Q출력은 L0가 되며 이 L0는 통로(411)를 통하여 RS플립플롭(412)의 능동 L0 R 입력에 인가된다. 이 L0는 RS플립플롭(412)을 리세트한다. RS플립플롭(412)의 Q에서 결과적인 L0출력은 통로(413)를 통하여 NAND 게이트(406)의 우측입력에 인가된다. 이 L0는 효과적으로 우측 입력은 디스에이블 시키므로 버스(102)로부터 NAND 게이트(406)를 제거시킨다. 그래서 제4도 및 제5도의 포트는 상기 가정된 조건하에서 임으로 되지 않는다. 부정합이 검출되지 않는다고 가정하자. OR게이트(409)의 출력은 게이트의 두 입력이 정합되지 않으므로 각 디지트가 인가될때 HI로 남게 된다. 이러한 HI 출력은 통로(439)를 통하여 D플립플롭(410)의 D 입력에 인가된다. 이러한 HI 입력은 Q출력이 통로(411)를 통하여 SR플립플롭(412)의 L0리세트 입력에 HI로 유지되도록 한다. SR플립플롭(412)의 L0리세트 입력상의 이러한 HI 신호를 플립플롭을 리세트시키지 않으며 그러므로 Q출력은 HI로 유지된다. SR플립플롭(412)의 Q출력은 통로(413)를 통하여 NAND 게이트(406)의 우측 3입력에 인가된다. 이것은 NAND 게이트가 중재버스(102)에 우선순위 비트를 통과하도록 하며 경합내에 포트를 유지한다.

포트는 부정합 조건이 OR게이트(409)에 의하여 검출되지 않을때 버스(102)에 대하여 중재버스를 이긴다. 이것은 플립플롭(410) 및 (412)의 Q출력이 HI가 되도록 만든다. SR플립플롭(412)에서 HI Q출력은 통로(413)를 통하여 D플립플롭(421)의 D입력에 인가된다. 다음 프레임 클럭펄스의 HI천이에 L0는 D플립플롭(421)의 Q출력을 HI로 세트한다. D플립플롭(421)의 Q에서 HI출력은 통로(217)상에 포트선택신호로서 통과한다. 포트선택신호는 SR플립플롭(422)의 R 입력을 통하여 Q입력을 L0로 세트한다. SR플립플롭(422)의 이러한 L0 Q입력은 통로(423)를 통하여 SSB비트에 대하여 0으로 시트프레지스터(500)에 인가된다.

본 발명은 경합동안 포트의 우선순위 코드의 최상위 비트로서 단 (527)의 할당된 포트번호 비트가 더해지도록 부가 우선순위 코드비트를 공급한다. 이것들은 "반" 또는 "전체"조건이 FIFO 제어기(214)에 의하여 검출될때 동작하는 플립플롭(521) 및 (523)에 의하여 제공된다. FIFO 제어기(214)가 FIFO(211)이 적어도 하프풀인 것을 결정할때 HI 반신호는 FIFO 제어기(214)에서 D플립플롭(521)의 D 입력에 통로(206)를 통하여 인가된다. 통로(426)를 통하여 플립플롭(521)의 CLK 입력상에 다음 프레임 클럭펄스의 HI천이에 L0는 플립플롭이 Q출력을 HI가 되도록 세트한다. D플립플롭(521)의 HI Q출력은 통로(522)를 통하여 시크트레지스터(500)의 2SB 입력에 인가된다. 플립플롭(521)내의 릴레이는 프레임 클럭의 동일 클럭연부가 경쟁조건 없이 플립플롭(521) 및 시프트레지스터(500)를 클럭시킨다.

FIFO 제어기(214)가 FIFO(211)이 풀이되는 것을 결정할때 HI풀신호는 통로(207)를 통하여 FIFO 제어기(214)로부터 D플립플롭(523)의 D입력으로 통과한다. 플립플롭(523)의 CLK 입력상에 다음 프레임 클럭의 HI 천이는 플립플롭을 Q출력이 HI가 되도록 세트시킨다. 플립플롭(523)의 HI Q출력은 통로(524)를 통하여 시프트레지스터(500)의 MSB 입력에 인가된다. 플립플롭(523)내의 릴레이는 프레임 클럭의 동일 클럭 연부가 경쟁조건 없이 플립플롭(523) 및 시프트레지스터(500)를 클럭시킨다. FIFO 제어기 (124)는 스위칭 플립플롭(521, 523)를 제1상태에서, 포트의 현재 다이나믹 상태를 나타내는 "FIFO(211)풀" 및 "FIFO(211)1/2풀"피라메터의 제어하에 제2상태로 전환시키도록 논리제어 회로로서 작용한다.

플립플롭(521) 및 (523)의 비트는 반 또는 전체 비트 결정상의 종제포트에 대하여 우선순위를 변화시킨다. 이를 비트는 통로(423)상에 스냅숏트 비트를 따라 시프트레지스터(500)내로 저장되며 통로(528)를 통하여 할당된 하드-와이어드 포트번호(527)내에 저장된다.

스냅숏트 비트는 다른 포트가 중재버스(102)에 스냅숏트로서 1을 인가하지 않는다면 3분할 카운터(514)에 의하여 1에 인가하지 않는다면 3분할 카운터(514)에 의하여 1에 세트되며 동시에 SSB 트는 시프트레지스터의 출력을 판독하여 버스(102)에 인가된다. 그때 버스는 모든 포트가 0을 인가하므로 HI이다. 3분할 카운터(514)는 각 프레임 펄수에 의하여 리세트되며 통로(425)상의 CLK 입력에 인가된 후속 비트 클럭펄스를 카운트한다.

3분할 카운터(514)에 의하여 발생된 펄스의 상승연부에 대하여 플립플롭(418)으로 정확히 스냅숏트 비트 클럭하기 위하여 케어는 스냅숏트신호가 클럭펄스가 카운터(514)에서 발생할때 플립플롭(418)의 D 입력에서 안정하도록 선택된 파트의 특수한 조합이 되어야만 한다. 전위 경쟁조건은 중재논리가 중재버스(102)상에 다음 비트를 나타내는 비트 클럭의 동일한 상승연부 또한 카운터(514)를 클럭하므로 존재한다. 대부분의 수행에 있어서 최악의 경우의 타이밍 분석은 시프트레지스터(500), 익스클루시브 OR 게이트(404)는, 버스 드라이버게이트(406), 중재버스(102)의 용량 및 게이트(417)에 의하여 발생된 릴레이의 조합에 의해 발생된 릴레이는 카운터(514)를 통한 릴레이보다 크며 경쟁조건

이 존재하지 않는다는 것을 보여준다. 논리파트의 특별한 선택에 대하여 경쟁문제가 존재한다면 게이트(417) 및 플립플롭(418)의 D 입력 사이에 삽입된 릴레이 요소는 이러한 문제를 제거한다. 중재버스(102)상에 있는 SSB 비트는 0을 나타내며 HI로서 AND 게이트(417)의 상부입력에 인가된다. D 플립플롭(418)이 단지 3분할 카운터(514)로부터 세번째 비트클럭에 의하여 클럭되기 때문에 이 플립플롭의 Q 출력은 AND 게이트(417)가 이때 HI이면 HI로 세트될 수 있다. AND 게이트(417)의 출력은 중재버스(102)상에 1의 스냅숏트 비트가 없고, 이러한 포트가 통로(216)상에 능동 HI 요청 펜딩 신호를 가지면 3비트 클럭시간에서 HI이다. 이러한 경우에 HI 신호는 게이트(417)에 걸쳐 통로(114-1)를 통하여 HI 신호가 카운터(514)에 의하여 클럭될 때 세트 플립플롭(418)에 인가된다. D 플립플롭(418)의 HI Q 출력은 Q 출력을 HI로 세트하도록 통로(419)를 통하여 SR 플립플롭(422)의 세트 입력에 인가된다. 이러한 HI 출력은 1로서 통로(423)를 통하여 시프트레지스터(500)가 SSB 입력에 인가된다. 스냅숏트 비트는 다음 프레임 클럭의 L0 천이에 의하여 시프트레지스터(500)에 저장된다.

별렬입력 및 직렬출력 시프트레지스터(500)내의 모든 비트는 통로(501)를 통하여 익스클루시브 OR게이트(404)에 한번에 한비트씩 시프트레지스터의 출력이 순차적으로 시프트된다. 익스클루시브 OR게이트(404)의 상부입력 L0를 가지고 비트는 익스클루시브 OR게이트(404)에 의하여 변화되지 않고 통과한다. 카운터(433) 및 플립플롭(435)은 비트 클럭펄스를 카운터하며 극성버스(101)사의 신호가 최초 3 우선순위비트(반, 전체 및 스냅숏트비트)의 효과적인 반전을 막도록 제공되며 극성버스(101)상의 신호가 요소(527)에서 입수된 할당된 포트어드레스 비트를 반전하도록 제공된다. 마스크 버스(104)상의 신호는 스냅숏트비트, 전체 및 반 비트를 마스크 하도록 한다.

카운터(433)와 SR 플립플롭(435)은 프레임 클럭펄스가 통로(426)에서 HI가 될 때 리셋된다. 이것은 SR 플립플롭(435)의 Q 출력에서 L0가 출력되게 한다. 이 L0는 통로(436)를 거쳐서 AND 게이트(402)의 낮은 압력으로 가며, 도한 OR게이트(437)의 낮은 입력으로 간다. 이 낮은 입력 L0로, OR게이트(437)의 출력은 통로(118-1)를 통하여 마스크버스로부터 게이트의 높은 입력에 인가되는 L0 마스크 신호를 반전시킨다. 반전된 마스크버스 신호는 OR게이트(440)의 낮은 입력에 통로(438)상의 HI로서 인가된다. OR게이트(440)는 폐쇄에 의해 응답하며, 그에 의하여 OR게이트(409)의 출력이 플립플롭(410)에 도달하지 않게 한다.

이것은 마스크신호를 설정하고 OR게이트(440)상의 HI가 플립플롭(410)이 리셋되지 않도록 하므로 처음 3비트의 시간동안 속박으로부터 해제되는 것을 방지한다. 이것은 포트에 의해 중재버스(102)상에 파라메터 디지트가 충돌되며 반면에 마스크신호가 억세스를 결정하는데 사용되지 않는 효과를 가진다. 그러나 MSB, 2SB 및 SSB 비트는 버스(102)에 아직도 인가되어 다른 시스템은 상태 기록이나 다른 목적을 위해 사용된다.

처음 3비트 기간이 AND 게이트를 무능화 시킨 후 플립플롭(435)의 Q 출력으로부터 AND 게이트(402)에 대한 L0입력은 통로(113-1)를 거쳐서 극성버스(101)로부터 수신된 극성 반전신호를 통과시키지 않도록 작용한다.

AND 게이트(402)로부터의 결과적인 L0출력은 익스클루시브 OR게이트(404)에 통로(434)를 거쳐서 인가된다. 이것은 통로(501)를 거쳐 시프트레지스터(500)의 다른 입력이 변하지 않고 통로(405)상의 익스클루시브 OR게이트(404)를 통하여 4입력 NAND 게이트(406)의 중심입력과 OR게이트(409)에 통하여도록 한다.

3분할 카운터(433)는 각 비트가 시프트레지스터(500)의 출력에 의해 시프트함에 따라 HI 클럭에 의해 증분된다. 3비트 클럭펄스가 카운터될 때 최초의 3비트(전체, 반, 스냅숏트)는 시프트레지스터(500)의 밖으로 시프트되며 3분할 카운터(433)는 출력 HI를 통로(434)를 통하여 SR 플립플롭(435)에 세트한다. SR 플립플롭(435)은 S입력에서 HI를 세트시키고 Q출력을 HI로 세트시킨다. SR플립플롭(435)의 HI 출력은 AND게이트(402)와 OR게이트(437)에 인가된다.

OR게이트(437)의 HI 입력은 출력 HI를 나타나게 한다. 이것은 통로(118-1)상에 받아들여질 수 있는 어떤 L0 마스크 버스가 OR게이트(437)를 통과하는 것을 막는다. OR게이트(437)의 HI입력은 통로(438)상의 HAND 게이트(406)를 통하여 부분적으로 인에이블시킨다. 이것은 버스(102)로부터 할당된 포트번호 우선순위의 마스킹 가능성을 금지시킨다.

통로(436)를 통하여 AND 게이트(402)에서 SR 플립플롭(435)에 인가되는 HI입력은 부분적으로 AND게이트(402)를 인에이블 시킨다. 이것은 우선순위 버스(101)가 AND게이트(402)를 통하여 상부 입력상의 익스클루시브 OR게이트(404)에 통로(113-1)에 걸쳐 극성반전 신호를 통과하도록 한다. 극성버스 반전 신호와 시프트레지스터(500)의 포트번호 비트가 익스클루시브 OR게이트(404)의 입력에서 둘다 HI일 때 게이트의 출력은 L0로 될 것이다. 극성버스의 입력신호와 포트번호가 다르다면 출력은 HI로 될 것이다. 그래서 극성버스(101)의 L0신호는 어떤 포트번호비트가 변화되지 않고 익스클루시브 OR게이트(404)를 통하여도록 한다. 극성버스의 HI 신호입력은 익스클루시브 OR게이트(404)를 통하여 어떤 포트번호 비트를 반저니킨다. 익스클루시브 OR게이트(404)의 출력은 다시 통로(405)를 통하여 NAND 게이트(406) 및 OR게이트(409)에 인가된다.

4-입력 NAND 게이트(406)의 좌측입력은 플립플롭(442)에 의하여 통로(443)를 통하여 정상적으로 인에이블 된다. D플립플롭(442)은 프레임의 시작에서 프레임 클럭으로 동기적으로 포트중재논리를 인에이블 또는 디스에이블시킬 수 있다. 통로(119-1)상이 HI로 D플립플롭(442)은 통로(446)를 통하여 프레임 클럭펄스에 의하여 HI로 세트된다. Q에서 HI출력은 게이트를 부분적으로 인에이블 시키도록 통로(443)상에 NAND 게이트(406)의 좌측 입력에 인가된다. 플립플롭(442)은 L0포트 디스에이블 신호가 제어기(100)에서 플립플롭의 D입력으로 이 포트를 디스에이블 시키도록 통로(119-1)를 통하여 수신되지 않는 Q출력 HI의 세트상태로 남게 한다.

4-입력 NAND 게이트(406)의 우측 입력은 상술한대로 통로(413)를 통하여 인에이블 된다. NAND 게이트(406)는 게이트의 4 입력상에서 인에이블되고 익스클루시브 OR게이트(404)의 입력신호는 반전되어 우선순위 비트로서 통로(407)를 통하여 중재버스(102)에 인가된다. 버스(102)상의 우선순위 비트는 익스클루시브 OR게이트(409) 및 게이트(417)에 인가된다. 익스클루시브 OR게이트(409)는 중재버스

(102)상에 있는 디지트값을 이 포트가 버스상에 놓여있는 각 디지트의 값과 비교한다. 부정합이 생기면 OR게이트(409)의 두 입력은 동일해지고 OR게이트(409)의 출력은 L0가 된다. 버스신호가 1(L0)이고, 포트신호가 0(HI)일때 부정합이 검출된다. OR게이트(409)의 L0출력은 통로(439)를 통하여 OR게이트(440)에 도달한다. 이 L0신호는 D플립플롭(410)의 D 입력에 인가된다. 이것은 플립플롭(410) 및 (412)로 리세트 시키며 상술된대로 경험에서 포트를 제거하도록 AND 게이트(406)를 디스에이블시킨다.

OR게이트(409)에 대한 입력이 동일하지 않으면, OR게이트(409)의 출력은 HI로 된다. 이 HI 출력은 통로(439)를 통하여 OR게이트(440)에 속한다. OR게이트(440)에 대한 HI 입력은 HI 출력을 유발하여 D여플립플롭(410)상의 D에 HI 입력을 유발한다. D 플립플롭(410)의 D입력에서, 기본 종재 사이클은 상술한대로 완료될때까지 계속된다.

(57) 청구의 범위

청구항 1

각 유니트가 독특한 n 디지트의 우선번호(427)를 갖는 복수의 유니트(110)중 패킷버스(105)에 호출을 할당하기 위한 시스템으로서, 시스템 제어기(100)와 모든 유니트(110)를 상호 접속하는 중재버스(102) 및, 패킷버스(105)에 호출을 요청하기 위한 각 유니트(110)내의 중재회로망(218)을 구비한 시스템에 있어서, 중재회로망이, 플립플롭(521, 523)과, 유니트의 동적상태를 나타내는 특정변수의 제어하에 각 유니트내에서 논리장치를 제1상태로부터 제2상태로 선택조합하여 스윗칭하는 논리제어회로망(214)과, 동적번호의 상위비트 위치에 플립플롭(521, 523)의 출력을 변수 디지트로 공급하고 동적번호의 하위비트위치에 할당된 우선번호(527)의 디지트를 공급하는데 의해 각 유니트의 동적우선번호를 형성하는 레지스터(500)를 구비하고, 또한 상기 시스템이, 유니트(110)를 상호 접속하는 마스크 도선(104)과, 예정된 시간마다 마스크 도선(104)에 마스크신호를 공급하는 제어기(100)내의 제어회로(124)와, 패킷버스(105)에 대해 호출을 요청하고 있는 각 유니트내에서 관련된 동적 우선번호의 대응디지트를 핸디지트씩 순차적으로 중재버스(102)상에 동시에 중첩시키는 4-입력 NAND 게이트(406)와, 요청유니트에 의해 버스(102)에 공급된 대응디지트치와 중재버스상의디지트치를 비교하는 각 요청유니트(110)내의 OR게이트(409)와, 마스크 신호가 마스크 버스에 존재할때 이에 응답하여 요청유니트의 OR게이트(409)출력을 디스에이블링시켜 유니트(110)에 의해 중재버스(102)상에 요청유니트의 변수디지트가 중첩되지 않도록 각 요청유니트내에서 디스에이블링 작용을 하는 OR게이트(437) 및, 유니트에 의해 공급된 대응 디지트치와 버스상의 디지트치간 규정된 비교결과를 검출할 때 한 요청유니트의 설비호출흔돈을 제거하는 D플립플롭(421)을 구비하여 동시 요청 유니트간의 설비호출은 비교결과 디스에이블링 되지 않는 어떤 변수 디지트에 의해 또한 요청유니트의 할당된 우선번호의 공급된 디지트에 의해 결정되도록 OR게이트(437)가 디스에이블링 하는 것을 특징으로 하는 분할 요구 설비에 호출을 할당하기 위한 시스템.

청구항 2

제1항에 있어서, 논리제어회로망이, 각 유니트의 FIFO 버퍼(211)와, 각 유니트내의 버퍼를 모니터하여 유니트에 의해 패킷 버스(105)에 공급될 정보가 충만되었는지 또는 X% 충만되었는지 또는 X% 이하인지를 결정하는 FIFO 제어기(214)와, 유니트내의 버퍼가 적어도 X% 충만되었을때 각 유니트내의 플립플롭(521)을 제2상태에서 제1상태로 스윗칭하는 통로(206)와, 유니트내의 버퍼가 충만되었을때 각 유니트내의 플립플롭(523)을 제1상태에서 제2상태로 수윗칭하는 통로(207)와, 버스에 동적 우선번호의 상위비트로서 변수 디지트인 셋트논리장치의 출력을 공급하는 레지스터(500)를 구비하는 것을 특징으로 하는 시스템.

청구항 3

제2항에 있어서, 논리제어회로망이, 시스템 제어기에 의해 제어되어 스냅숏시간발생을 정하는 각 유니트내의 SR플립플롭(422)과, 스냅숏시간 발생동안 동시 요청되는 설비호출을 기록하는 각 유니트내의 게이트(417)와 플립플롭(418)을 더 구비하며, 이 논리장치(417)(418)는 스냅숏시간 발생동안 존재하는 서비스 요청을 갖는 각 유니트내에서 SR플립플롭(422)을 제1상태에서 제2상태로 스윗칭하는 게이트를 포함하고 있고, 제2상태의 SR플립플롭(422)이 유니트의 동적 우선번호의 한 변수비트로서 스냅숏비트(423)를 발생하도록 구성시킨 것을 특징으로 하는 시스템.

청구항 4

제1항 또는 제3항에 있어서, 중재회로망이, 요청 유니트의 할당된 우선번호 디지트가 중재버스상에 중첩될 때는 마스크 버스상의 마스크 신호에 의해 중첩회로망이 디스에이블되는 것을 방지하는 플립플롭(435)과 OR게이트(437)를 구비하는 것을 특징으로 하는 시스템.

청구항 5

제1항에 있어서, 인에이블/디스에이블 도선(108)과, 요출호출로부터 유니트가 호출할당되는 것을 방지하도록 이 유니트를 디스에이블링 시키도록 인에이블/디스에이블 도선을 통한 전위의 인가에 응답하는 플립플롭(422)을 포함하는 것을 특징으로 하는 시스템.

청구항 6

각 유니트가 설비호출을 결정하기 위한 독특한 n 디지트의 우선번호를 갖는 복수의 유니트중 복수의 유니트가 동시에 호출을 요청할때 패킷버스에 호출을 할당하는 방법에 있어서, 각 유니트내의 플립플롭을 조합셋트하여 특정유니트변수의 동적상태를 나타내도록 하는 단계와, 장치에 의해 발생된 디지트를 가진 동적 유니트 우선번호를 각 유니트내에서 형성하여 유니트의 변수가 상위비트위치에 있으며 유니트의 할당된 우선번호 디지트하위 디지트 위치에 있도록 하는 단계와, 마스크버스와

중재버스에 유니트를 상호접속하는 단계와, 예정된 시간마다 마스크버스에 마스크 신호를 공급하는 단계와, 설비호출을 동시에 요청하는 각 유니트의 동적 우선번호의 대응 디지트를 한 디지트씩 순차적으로 중재버스상에 동시에 중첩하는 단계와, 마스크버스에 마스크신호가 존재할때는 중재버스상의 어떠한 변수 디지트도 중첩을 금지하는 단계와, 각 요청유니트에 의해 공급된 대응 디지트치와 중재 버스상의 디지트를 순차 비교하는 단계와, 마스크버스상에 마스크신호가 동시에 존재할때 버스상의 중첩된 변수디지트의 비교를 금지하여 요청유니트간의 설비호출은 비교가 금지되지 않은 어떤 변수 디지트에 의해 또한 할당된 우선번호의 디지트에 의해 결정되는 단계와, 중재버스상의 디지트치와 유니트에 의해 공급된 대응 디지트치간의 규정된 비교결과를 검출할때 어떠한 요청 유니트의 설비호출흔돈을 제거하는 단계 및, 모든 동적 디지트가 중재버스상에 공급된 후 흔돈상태로 남아 있는 유니트에 설비호출을 승인하는 단계를 구비하는 것을 특징으로 하는 호출할당방법.

청구항 7

제5항에 있어서, 유니트내의 버퍼를 모니터하여 유니트에 의해 설비로 공급될 대기정보가 충만한지 또는 X% 충만인지 또는 X% 이하인지를 결정하는 단계와, 유니트내의 메모리가 적어도 X% 충만일때 유니트의 논리장치를 제1 상태에서 제2 상태로 스위칭하는 단계와, 중재버스에 요청유니트의 동적 우선번호의 상위 디지트로서 변수디지트인 논리장치의 출력을 공급하는 단계에 의해 각 요청 유니트 내에 어떤 변수디지트가 발생되도록 구성된 호출할당방법.

청구항 8

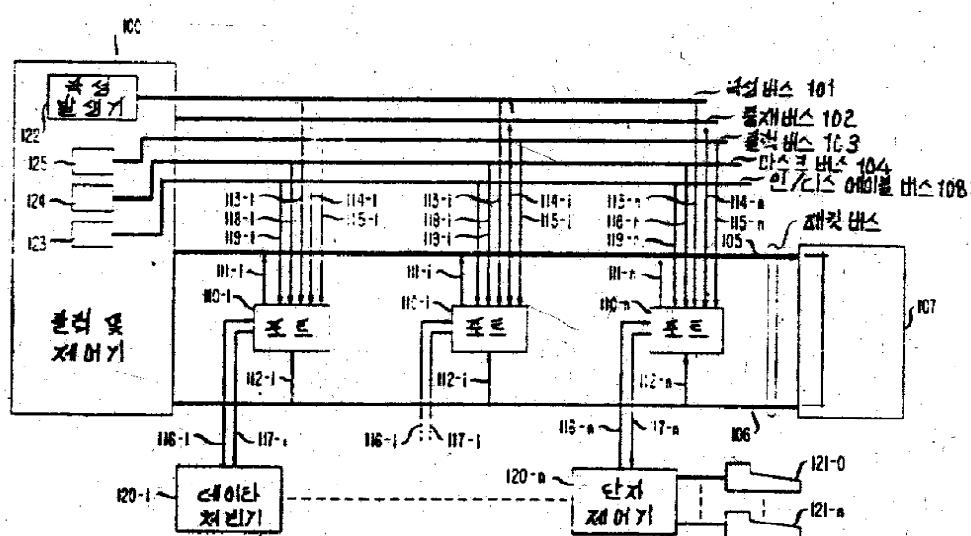
제6항의 방법에 있어서, 스냅숏시간을 규정하는 단계와, 스냅숏시간의 발생동안 호출을 요청하는 각 유니트내의 논리장치를 제1 상태에서 제2 상태로 스위칭하는 단계와, 스냅숏시간 동안 호출을 요청하는 각 유니트내의 한 변수디지트로서 버스에 스냅숏디지트를 공급하는 단계 및, 버스에 스냅숏비트를 공급하는 동안 버스에 대한 호출이 순차승인된 각 유니트내에서 적어도 논리장치를 제2 상태에서 제1 상태로 스위칭하는 단계에 의하여 각 요청유니트내에 적어도 하나의 변수디지트가 발생되도록 구성된 호출할당방법.

청구항 9

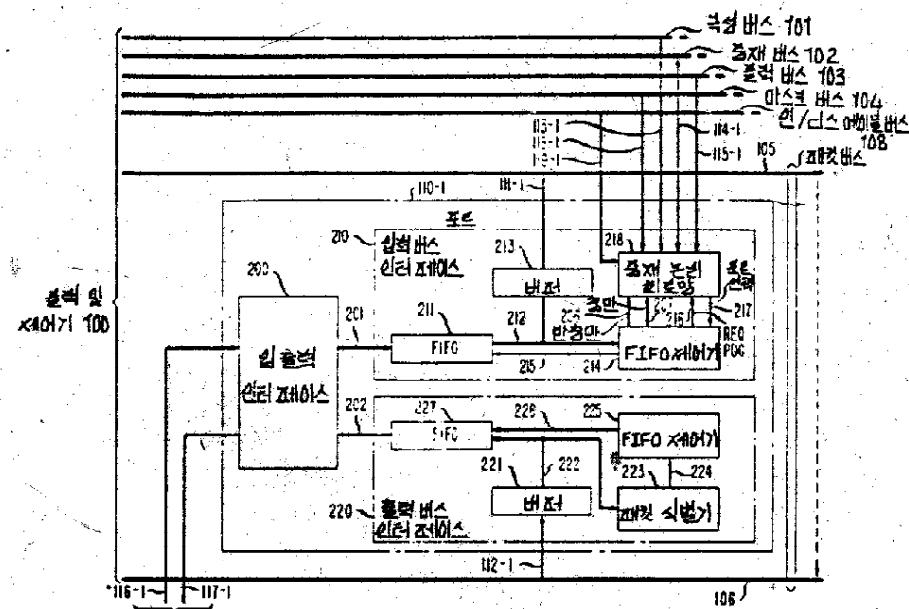
제6항 또는 제7항에 있어서, 중재버스상에 할당된 우선 디지트가 동시에 중첩되어 마스크버스상에 마스크신호가 존재하면 할당된 우선번호의 비교금지를 방지하는 단계와 조합되어 있는 것을 특징으로 하는 호출할당방법.

도면

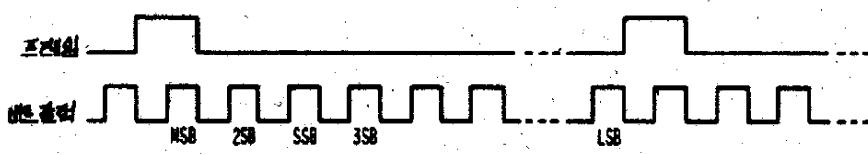
도면1



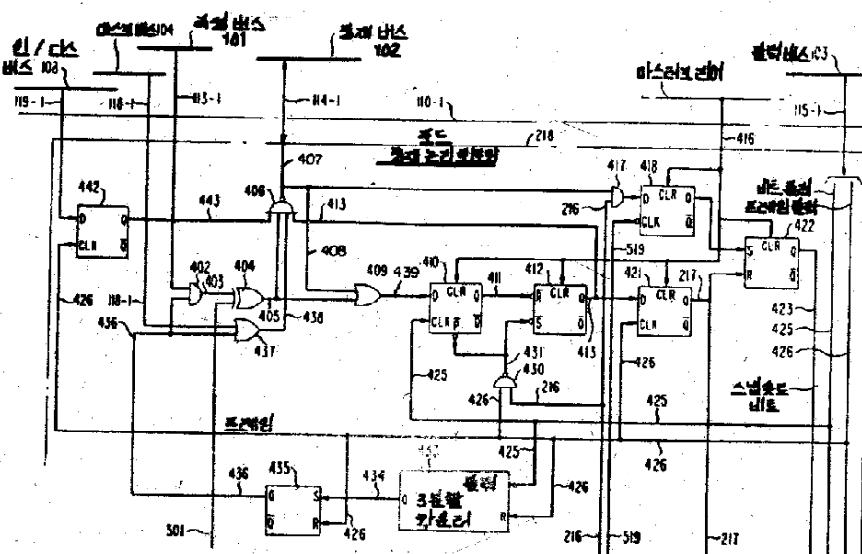
도면2



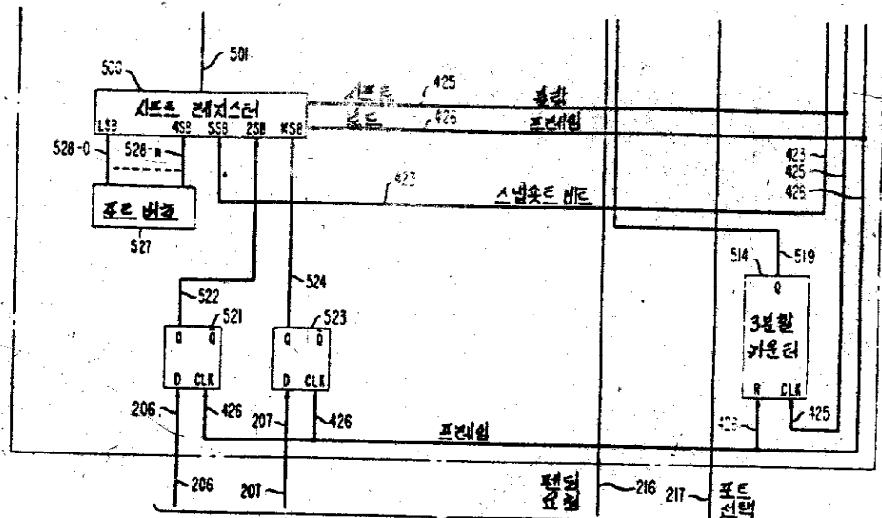
도면3



도면4



도면5



도면6

통제 논리회로도

