



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2007년11월23일
(11) 등록번호 10-0779319
(24) 등록일자 2007년11월19일

(51) Int. Cl.

H01L 29/786 (2006.01)

(21) 출원번호 10-2001-0010416
(22) 출원일자 2001년02월28일
심사청구일자 2006년02월28일
(65) 공개번호 10-2002-0063472
공개일자 2002년08월03일

(30) 우선권주장

2001-019570 2001년01월29일 일본(JP)

(56) 선행기술조사문현

JP11087730 A

(73) 특허권자

가부시키가이샤 히타치세이사쿠쇼

일본국 도쿄도 치요다구 마루노우치 1초메 6반 6
고

(72) 발명자

하따노무쓰꼬

일본도쿄도지요다구마루노우찌1초메5-1신마루노우
찌빌딩가부시키가이샤히타치세이사쿠쇼지적소유
권본부내

야마구찌신야

일본도쿄도지요다구마루노우찌1초메5-1신마루노우
찌빌딩가부시키가이샤히타치세이사쿠쇼지적소유
권본부내

(뒷면에 계속)

(74) 대리인

구영창, 장수길

전체 청구항 수 : 총 10 항

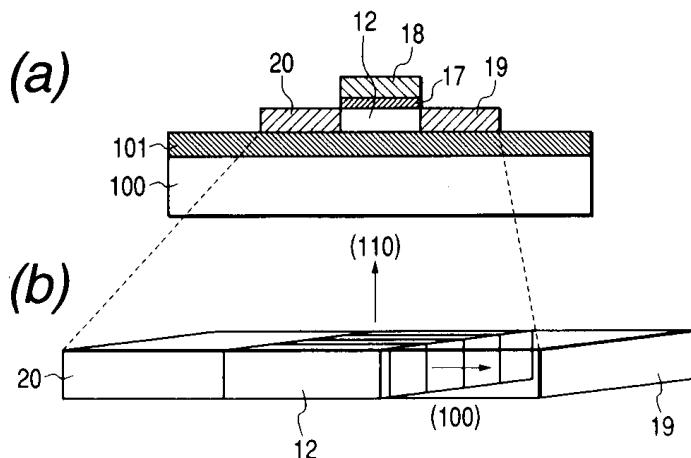
심사관 : 박혜련

(54) 박막 반도체 장치 및 화상 표시 장치

(57) 요 약

절연 기판 상의 다결정 실리콘막인 제1 반도체층 상에 게이트 절연막을 개재시켜 형성된 게이트 전극과, 반도체 층에 형성된 채널 영역, 소스 영역 및 채널 영역 양측에 배치된 드레인 영역을 포함하는 MIS 전계 효과 트랜지스터에서, 박막 반도체 장치는 게이트 절연막의 표면에 대해 적어도 {110}인 채널 영역의 주 배향을 갖는다. 또한, {110}의 소스 영역과 드레인 영역을 연결하는 방향에 대해 거의 수직인 면의 주 배향은 반도체 장치의 채널에서 사용되는 것이 바람직하다. 본 발명에 따르면, 그레인 경계, 그레인 크기, 결정 배향을 제어할 수 있으며, 결정화에 의해 형성된 막 거칠기와 결정 결함을 감소시킬 수 있는 고품질의 다결정 반도체막을 절연 기판 상에 형성할 수 있다.

대표도 - 도2



(72) 발명자

기무라요시노부

일본도교도지요다꾸마루노우찌1조메5-1신마루노우
찌빌딩가부시키가이샤히타치세이사쿠쇼지적소유권
본부내

박성기

일본도교도지요다꾸마루노우찌1조메5-1신마루노우
찌빌딩가부시키가이샤히타치세이사쿠쇼지적소유권
본부내

특허청구의 범위

청구항 1

절연성 기판과,
 다결정 반도체막으로 이루어진 제1 반도체막과,
 게이트 전극과,
 상기 제1 반도체막과 상기 게이트 전극의 사이에 형성된 게이트 절연막과,
 상기 제1 반도체막에 소정의 간격으로 형성된 제1 전하 송수 수단 및 제2 전하 송수 수단과,
 상기 제1 및 제2 전하 송수 수단 사이의 제1 반도체막에 형성되는 채널 영역
 을 포함하며,
 상기 채널 영역을 구성하는 상기 제1 반도체막의, 상기 절연성 기판 또는 상기 게이트 절연막의 주표면에 대한
 주배향이 {110}이며, 상기 제1 반도체막이, 상기 제1 및 제2 전하 송수 수단을 연결하는 방향에 대하여 거의 수
 직인 상기 채널 영역으로 이루어진 제1 반도체막의 면의 주배향이 {100}인 것을 특징으로 하는 박막 반도체 장
 치.

청구항 2

절연성 기판과,
 다결정 반도체막으로 이루어진 제1 반도체막과,
 게이트 전극과,
 상기 제1 반도체막과 상기 게이트 전극의 사이에 형성된 게이트 절연막과,
 상기 제1 반도체막에 소정 간격으로 형성된 제1 전하 송수 수단 및 제2 전하 송수 수단과,
 상기 제1 및 제2 전하 송수 수단 사이의 제1 반도체막에 형성되는 채널 영역
 을 포함하며,
 상기 채널 영역을 구성하는 상기 제1 반도체막의, 상기 절연성 기판 또는 상기 게이트 절연막의 주표면에 대한
 주배향이 {110}이고, 상기 반도체층을 구성하는 상기 전하 송수 수단의 일부에, 상기 채널 영역의 두께보다도
 두꺼운 영역을 갖는 것을 특징으로 하는 박막 반도체 장치.

청구항 3

절연성 기판과,
 다결정 반도체막으로 이루어진 제1 반도체막과,
 게이트 전극과,
 상기 제1 반도체 막과 상기 게이트 전극 사이에 형성된 게이트 절연막과,
 상기 제1 반도체막에 소정 간격으로 형성된 제1 전하 송수 수단 및 제2 전하 송수 수단과,
 상기 제1 및 제2 전하 송수 수단 사이의 제1 반도체막에 형성되는 채널 영역
 을 포함하며,
 상기 채널 영역을 구성하는 상기 제1 반도체막의, 상기 절연성 기판 또는 상기 게이트 절연막의 주표면에 대한
 주배향이 {110}이고, 상기 반도체층의 동일 평면 내의 주연부에, 폭 5 마이크로미터 이하, 돌출길이 5 마이크로
 미터 이하의 적어도 하나의 돌출부를 갖는 것을 특징으로 하는 박막 반도체 장치.

청구항 4

제2항에 있어서, 상기 제1 반도체층이, 상기 제1 및 제2 전하 송수 수단을 연결하는 방향에 대하여 거의 수직인

상기 채널 영역으로 이루어진 제1 반도체막의 면의 주배향이 {100}인 것을 특징으로 하는 박막 반도체 장치.

청구항 5

제3항에 있어서, 상기 제1 반도체막이, 상기 제1 및 제2 전하 송수 수단을 연결하는 방향에 대하여 거의 수직인 상기 채널 영역으로 이루어진 제1 반도체막의 면의 주배향이 {100}인 것을 특징으로 하는 박막 반도체 장치.

청구항 6

절연성 기판과,

상기 절연성 기판 상에 형성된 다결정 반도체막으로 이루어진 제1 반도체막과,

게이트 전극과,

상기 제1 반도체막과 상기 게이트 전극 사이에 형성된 게이트 절연막과,

상기 제1 반도체 막에 소정 간격으로 형성된 제1 전하 송수 수단 및 제2 전하 송수 수단과,

상기 제1 및 제2 전하 송수 수단 사이의 제1 반도체막에 형성되는 채널 영역

을 포함하며,

상기 채널 영역을 구성하는 상기 제1 반도체막의, 상기 절연성 기판 또는 상기 게이트 절연막의 주표면에 대한 주배향이 {110}이며, 상기 제1 반도체막이, 상기 제1 및 제2 전하 송수 수단을 연결하는 방향에 거의 수직인 상기 채널 영역으로 이루어진 제1 반도체막의 면의 주배향이 {100}인 박막 반도체 장치를 포함하는 화상 표시 장치.

청구항 7

절연성 기판과,

상기 절연성 기판 상에 형성된 다결정 반도체막으로 이루어진 제1 반도체막과,

게이트 전극과,

상기 제1 반도체막과 상기 게이트 전극 사이에 형성된 게이트 절연막과,

상기 제1 반도체막에 소정 간격으로 형성된 제1 전하 송수 수단 및 제2 전하 송수 수단과,

상기 제1 및 제2 전하 송수 수단 사이의 제1 반도체막에 형성되는 채널 영역

을 포함하며,

상기 채널 영역을 구성하는 상기 제1 반도체막의, 상기 절연성 기판 또는 상기 게이트 절연막의 주표면에 대한 주배향이 {110}이며, 상기 반도체층을 구성하는 상기 전하 송수 수단의 일부에 상기 채널 영역의 두께보다 두꺼운 영역을 갖는 박막 반도체 장치를 포함하는 화상 표시 장치.

청구항 8

절연성 기판과,

상기 절연성 기판 상에 형성된 다결정 반도체막으로 이루어진 제1 반도체 막과,

게이트 전극과,

상기 제1 반도체막과 상기 게이트 전극 사이에 형성된 게이트 절연막과,

상기 제1 반도체막에 소정 간격으로 형성된 제1 전하 송수 수단 및 제2 전하 송수 수단과,

상기 제1 및 제2 전하 송수 수단 사이의 제1 반도체막에 형성되는 채널 영역을 포함하며,

상기 채널 영역을 구성하는 상기 제1 반도체막의, 상기 절연성 기판 또는 상기 게이트 절연막의 주표면에 대한 주배향이 {110}이며, 상기 반도체층의 동일 평면 내의 주연부에, 폭 5 마이크로미터 이하, 돌출길이 5 마이크로미터 이하의 적어도 하나의 돌출부를 갖는 박막 반도체 장치를 포함하는 화상 표시 장치.

청구항 9

제7항에 있어서,

상기 제1 반도체막이, 상기 제1 및 제2 전하 송수 수단을 연결하는 방향에 거의 수직인 상기 채널 영역으로 이루어진 제1 반도체막의 면의 주배향이 {100}인 것을 특징으로 하는 박막 반도체 장치를 포함하는 화상 표시 장치.

청구항 10

제8항에 있어서,

상기 제1 반도체막이, 상기 제1 및 제2 전하 송수 수단을 연결하는 방향에 거의 수직인 상기 채널 영역으로 이루어진 제1 반도체막의 면의 주배향이 {100}인 것을 특징으로 하는 박막 반도체 장치를 포함하는 화상 표시 장치.

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <23> 본 발명은 다결정 반도체막을 가진 박막 반도체 장치와, 다결정 반도체막을 제조하기 위한 공정 및 장치에 관한 것이다. 본 발명의 박막 반도체 장치는 이미지 표시 장치에 유용하다.
- <24> 비결정 실리콘 박막에 펠스 레이저를 주사하여 결정화하는 종래의 공정은 도 12를 참조로 하여 설명된다. 도 12는 액시머 펠스 레이저로 결정화하는 종래의 가장 일반적인 공정을 도시한다. 전체 기판은 기저막(101)을 통해 기판(100) 상에 형성되었던 비결정 실리콘막(102)에 수 밀리미터의 폭 L을 가진 1 내지 여러 개의 펠스 간격에서의 레이저 노출 위치를 움직이는 선형 액시머 레이저로부터 레이저 빔(105)을 조사함으로써 결정화된다. 이러한 종래의 공정에서는, 결정핵이 레이저 노출에 의해 무작위로 형성된다. 또한, 형성된 결정핵 사이의 평균 거리는 보통의 레이저 어닐링 조건 하에서 $0.5\mu\text{m}$ 이하이다. 따라서, 획득된 다결정 실리콘막(103)은 $0.5\mu\text{m}$ 이하의 그레인 크기를 가지며, 크기에 있어서 균일하지 않다.
- <25> 또한, 국제 특허 공개 WO9745827은 이하의 공정을 개시하고 있다. 즉, 도 12에 도시된 레이저 빔(105)의 폭 L이 $0.5\mu\text{m}$ 이하로 감소되고 이 형태를 갖는 레이저 빔(105)의 위치가 $0.5\mu\text{m}$ 이하로 이동할 때, 결정은 씨드 (seed)와 같이 초기에 형성된 결정 그레인으로 한 방향으로 성장한다. 상기의 한 방향이란 횡 방향, 즉 성장하는 막의 두께 방향에 수직인 방향이다.
- <26> 상술한 종래의 공정에서, 결정 성장에 요구되는 시간은 100 ns 이하이기 때문에, 획득된 결정은 $1\mu\text{m}$ 이하의 그레인 크기를 가지고 그레인 크기는 거의 일정치 않다. 그레인의 배향은 일정치 않고, 결함 밀도는 크고, 막 표면의 거칠기는 크다. 따라서, 큰 그레인 크기를 갖는 다결정 실리콘을 성장시키거나 혹은 그레인 크기 또는 그레인의 경계를 정확하게 조절하는 것이 불가능하다. 그러므로, 그레인 경계는 무작위로 채널에서 포함된다. 그 결과, TFT 장치의 특성, 신뢰성 및 균일성을 개선하는 것이 어렵다.
- <27> 상기 국제 특허 공개 WO9745827에 의해 개시된 기술에서 빔은 $1\mu\text{m}$ 이하의 크기로 수렴되어야만 하기 때문에, 레이저의 에너지는 손실되고 조사 레이저의 광학적 시스템은 복잡해진다. 레이저 펠스 사이의 이동 거리가 $1\mu\text{m}$ 이하이기 때문에, 전체 기판을 결정화 하는 데에 오랜 시간이 걸리고, 공정량을 개선하고 비용을 감소시키는 것이 어렵다. 특히, 이 공정은 대형 면적의 기판에 적용될 수 없다. 또한, 매우 작은 거리의 이동이 진동에 의해 쉽게 영향을 받고, 제조의 문제점을 수반한다.

발명이 이루고자 하는 기술적 과제

- <28> 본 발명의 첫번째 목적은 유리 등으로 만든 절연 기판 상에, 그레인 경계, 그레인 크기 및 결정 배향을 제어할 수 있고 결정화 공정에서 형성된 막의 거칠기와 결정 결함이 감소된 고품질의 다결정 반도체막을 형성하기 위한 제조 공정과 장치를 제공하고, 상기의 다결정 반도체막을 포함하는 박막 반도체 장치를 제공하는 것이다.
- <29> 본 발명의 두번째 목적은 저렴한 비용과 고품질의 다결정 반도체막을 형성하기 위한 제조 공정 및 장치를 제공하여 제조 단계의 수를 줄일 수 있고, 대형 면적의 기판에도 적용가능하며 높은 공정량을 가지고, 상기의 다결정 반도체막을 포함하는 박막 반도체 장치를 제공하는 것이다.
- <30> 본 발명의 세번째 목적은 유리 등으로 이루어진 저가의 절연 기판 상에 고 성능 및 고신뢰성으로 동작하며, 장치들 중 균일성이 우수한 고품질 다결정 반도체막을 형성하는 제조 공정 및 장치를 제공하는 것이며, 이러한 다결정 반도체막을 포함하는 박막 반도체 장치를 제공하는 것이다.

발명의 구성 및 작용

- <31> 본 발명의 주요한 특징은 후술되는 바와 같다.
- <32> 본 발명의 제1 특징은 절연 기판과, 다결정 반도체막인 제1 반도체막과, 상기 반도체막 상에 게이트 절연막을 사이에 두고 형성된 게이트 전극과, 상기 반도체막 상에 소정의 간격을 두고 형성되어 있는 제1 전하 송수 (transmitting and receiving) 수단과 제2 전하 송수 수단과, 상기 제1 전하 송수 수단과 제2 전하 송수 수단 사이에 형성된 채널 영역을 포함하며, 상기 채널 영역을 구성하는 상기 제1 반도체막의 주 배향은 상기 절연 기판과 상기 게이트 절연막의 주 면에 대해 {110}인 박막 반도체 장치가 제공된다.
- <33> 다결정 반도체막이 사용되는 경우에도 채널 영역의 반도체막의 주 배향을 절연 기판 또는 게이트 절연막의 주면에 대해 선택함으로써 고신뢰성을 갖는 박막 트랜지스터를 제공할 수 있다. 이하, 다결정 막의 주 배향을 제어하는 방법이 후술될 것이다.

- <34> 본 발명에 따른 MIS형 박막 반도체 장치는 다음과 같이 구성된다.
- <35> (1) 소정의 다결정 반도체막 상에 게이트 절연막을 사이에 두고 형성된 게이트 전극을 갖는 MIS형 박막 반도체 장치.
- <36> (2) 소정의 다결정 반도체막 하부에 게이트 절연막을 사이에 두고 형성된 게이트 전극을 갖는 MIS형 박막 반도체 장치.
- <37> (3) 소정의 다결정 반도체막의 측면 상에 게이트 절연막을 사이에 두고 형성된 게이트 전극을 갖는 MIS형 박막 반도체 장치.
- <38> 본 발명의 제2 특징에 따르면, 박막 반도체 장치에 있어서, 절연 기판과,
- <39> 다결정 반도체막인 제1 반도체막과, 상기 반도체막 상에 게이트 절연막을 사이에 두고 형성된 게이트 전극과, 상기 반도체막 상에 소정의 간격을 두고 형성되어 있는 제1 전하 송수 수단과 제2 전하 송수 수단과, 상기 제1 전하 송수 수단과 제2 전하 송수 수단 사이에 형성된 채널 영역을 포함하며, 상기 채널 영역을 구성하는 상기 제1 반도체막의 주 배향은 상기 절연 기판과 상기 게이트 절연막의 주 면에 대해 {110}이며, 상기 반도체막은 본질적으로 상기 채널 영역에서 상기 제1 전하 송수 수단과 제2 전하 송수 수단을 연결하기 위한 방향에 대해 45도 또는 그 이하의 길이 방향으로의 축을 갖는 결정 그레인으로 구성되는 박막 반도체 장치가 제공된다. 이러한 박막 반도체 장치는 본 발명의 보다 실용적 구현예이다.
- <40> 본 발명의 박막 반도체 장치에 있어서, 제1 반도체막은 제1 전하 송수 수단과 제2 전하 송수 수단을 연결하는 방향에 대하여 75° 이하의 각을 갖는 소형의 경사 그레인 경계를 갖는다.
- <41> 본 발명의 제3 특징에 따르면, 박막 반도체 장치에 있어서, 절연 기판과, 다결정 반도체막인 제1 반도체막과, 반도체막 상에 게이트 절연막을 사이에 두고 형성된 게이트 전극과, 반도체막 상에 소정의 간격을 두고 형성되어 있는 제1 전하 송수 수단과 제2 전하 송수 수단과, 제1 전하 송수 수단과 제2 전하 송수 수단 사이에 형성된 채널 영역을 포함하며, 채널 영역을 구성하는 제1 반도체막의 주 배향은 절연 기판과 게이트 절연막의 주 면에 대해 {110}이며, 제1 반도체막의 채널 영역은 제1 전하 송수 수단과 제2 전하 송수 수단을 연결하기 위한 적어도 하나의 결정 그레인을 갖는 박막 반도체 장치가 제공된다.
- <42> 본 발명의 제3 특징은 더 바람직하다. 즉, 제1 반도체막의 채널 영역은 제1 전하 송수 수단과 제2 전하 송수 수단을 연결하는 길이 방향(longitudinal direction)의 길이를 갖는 결정 그레인으로 구성된다. 따라서, 높은 신뢰도를 갖는 박막 반도체 장치가 제공될 수 있다.
- <43> 본 발명의 제4 특징에 따르면, 박막 반도체 장치에 있어서, 절연 기판과, 다결정 반도체막인 제1 반도체막과, 반도체막 상에 게이트 절연막을 사이에 두고 형성된 게이트 전극과, 반도체막 상에 소정의 간격을 두고 형성되어 있는 제1 전하 송수 수단과 제2 전하 송수 수단과, 제1 전하 송수 수단과 제2 전하 송수 수단 사이에 형성된 채널 영역을 포함하며, 채널 영역을 구성하는 제1 반도체막의 주 배향은 절연 기판과 게이트 절연막의 주 면에 대해 {110}이며, 제1 전하 송수 수단과 제2 전하 송수 수단을 연결시키는 방향에 대해 거의 수직인 제1 반도체막의 표면의 주 배향은 {100}인 반도체 장치가 제공된다. 제1 반도체막의 채널 영역은 제1 전하 송수 수단과 제2 전하 송수 수단을 연결하는 길이 방향의 길이를 갖는 결정 그레인으로 구성되며, 다결정막의 주 배향은 {100}이므로, 매우 높은 신뢰도를 갖는 박막 반도체 장치를 제공할 수 있다. 정리하면, 제1 반도체막이 다결정 질이긴 하지만, 각각의 결정 그레인은 단결정질과 동일한 특성을 갖는 것이다.
- <44> 본 발명의 제5 특징에 따르면, 절연 기판 상의 적어도 두 반도체 장치부, 제2 반도체층 및 상기 절연 기판의 공간 영역 상에 선택적으로 형성된 절연막층을 포함하며, 상기 제2 반도체층과 상기 절연막층으로 이루어지는 적층체는 제1 반도체층과 접촉하고, 상기 제2 반도체층은 제1 반도체 장치와 제2 반도체 장치 사이에는 존재하지 않으며, 상기 제1 반도체층 상에 게이트 절연막을 개재시켜 형성된 게이트 전극과, 상기 제1 반도체막 상에 소정의 간격을 두고 형성되어 있는 제1 전하 송수 수단과 제2 전하 송수 수단과, 상기 제1 전하 송수 수단과 제2 전하 송수 수단 사이에 형성된 채널 영역을 포함하는 박막 반도체 장치가 제공된다. 또한, 이 박막 반도체 장치에서는, 채널 영역을 구성하는 제1 반도체막의 주 배향이 절연성 비결정 기판 또는 게이트 절연막의 주요면에 대해 양호하게는 {110}의 주 배향을 갖는다.
- <45> 이 박막 반도체 장치는 소망의 반도체 장치부 아래에 제2 반도체층을 갖고, 반도체 장치부는 본 발명의 제1 특징을 갖는다. 또한, 본 발명에서는, 제2 반도체층이 소망의 장치부 아래로 연장될 수 있고, 반도체 장치부는 본 발명의 제2 내지 제4 특징 중 임의의 하나를 가질 수 있다. 본 발명은 본원의 명세서에 개시되어 있는 반도

체 장치부 중 임의의 하나를 이용하여 성취될 수 있다는 것은 말할 필요도 없다.

- <46> 본 발명의 제6 특징에 따르면, 절연 기판 상의 적어도 두 반도체 장치부와, 제1 열 전도도를 갖는 제1 박막 상에 선택적으로 형성되고 상기 제1 열 전도도보다 높은 제2 열 전도도를 갖는 제2 박막을 포함하며, 상기 제2 박막은 반도체층과 접촉하지 않게 제1 반도체 장치부와 제2 반도체 장치부 사이에 배치되며, 상기 반도체 장치부는 본원 발명이 제1 특징 내지 제4 특징 중 어느 한 특징의 박막 반도체 장치인, 박막 반도체 장치가 제공된다.
- <47> 본 발명의 제7 특징에 따르면, 절연 기판 상의 적어도 두 반도체 장치부와, 제1 열 전도도를 갖는 제1 박막 상에 선택적으로 형성되고 상기 제1 열 전도도보다 높은 제2 열 전도도를 갖는 제2 박막을 포함하며, 상기 제2 박막은 반도체층과 접촉하도록 제1 반도체 장치부와 제2 반도체 장치부 사이에 배치되지 않으며, 상기 반도체 장치부는 제1특징 내지 제4특징 중 어느 한 특징의 박막 반도체 장치인, 박막 반도체 장치가 제공된다.
- <48> 본 발명의 박막 반도체 장치의 실제적인 변형에 대해 이하에서 후술한다.
- <49> 본 발명의 주요 특징에 따른 반도체 박막 제조 공정을 이하에서 후술한다. 관심을 두고 있는 다결정 반도체막은 다음 공정을 이용하여 얻어질 수 있다.
- <50> 본 발명의 제8 특징에 따르면, 절연 기판 상에 형성된 반도체 층에서 결정핵들을 성장시키는 단계와 결정 그레인들을 성장시키기 위해 레이저 빔을 조사함으로써 반도체 박막을 용융 재결정화하는(melt recrystallizing) 단계를 분리하여 행함으로써 다결정 반도체막을 제조하는 공정이 제공된다.
- <51> 본 발명의 제9 특징에 따르면, 결정 그레인을 성장시키기 위해 레이저 빔을 조사함으로써 절연 기판 상에 형성된 비결정 반도체막이 용융 재결정화되는, 다결정 반도체막을 제조하는 공정이 제공된다.
- <52> 본 발명의 제10 특징에 따르면, 레이저 빔의 파장이 240nm 내지 600nm의 범위로부터 선택되고 비결정 반도체막의 파장의 흡수 계수가 다결정 반도체막의 흡수 계수보다 큰, 다결정 반도체막을 제조하는 공정이 제공된다.
- <53> 본 발명의 제11 특징에 따르면, 절연막 상에 형성된 다결정 실리콘막의 결정핵들이 레이저 빔의 조사에 의한 용융 재결정화에 의해 형성되는, 다결정 반도체막을 제조하는 공정이 제공된다.
- <54> 절연 기판 상의 다결정 실리콘막의 결정핵들은 촉매 작용의 화학 기상 증착에 의해 성장되는 것이 바람직하다.
- <55> 본 발명의 제조 장치는 레이저 빔의 펄스폭, 레이저 빔 세기의 시간 의존 형상, 및 레이저 빔 펄스의 간격을 변조하는 수단, 발진 소스로부터 조사된 상기 레이저 빔의 프로파일의 조사 범위를 소정의 형태로 형성하고 조사 해야 할 대상에 이를 접속하는 수단, 및 상기 레이저 빔의 조사와 동기하여 소정의 속도 및 퍼치로 절연 기판을 이동하는 수단을 포함한다.
- <56> 본 발명에서, 전하 송수 수단은 일반적으로 소스 또는 드레인 영역을 의미한다.
- <57> 본 발명의 바람직한 실시예들을 설명하기 전에, 본 발명의 전형적인 실시예와 관련된 보충적인 설명을 할 것이다.
- <58> 본 발명의 제1 및 제2 목적을 달성하기 위해서는, 다음의 수단이 유용하다.
- <59> 채널 영역보다 두꺼운 영역이 반도체층을 구성하는 드레인 또는 소스 영역의 부분에 형성된다. 이에 의해, 매우 유용한 다결정 반도체막이 얻어질 수 있다.
- <60> 또한, 상기 목적들은 다음의 수단에 의해 쉽게 달성될 수 있다.
- <61> 상기 레이저 빔의 펄스폭은 100ns 내지 1ms이고, 에너지 세기는 200mJ/cm^2 내지 10J/cm^2 이다. 레이저 빔의 세기 분포는 세기가 빔 폭에서 균일한 분포 패턴을 가지거나, 한 방향에서 다른 방향으로 단조 증가 또는 감소한다.
- <62> 또한, 상기 제3 목적은 게이트 절연막을 개재시켜 절연 기판 상에 형성된 다결정 반도체막인 제1 반도체 층 상에 형성된 게이트 전극과, 상기 반도체 층 상에 형성된 채널 영역, 및 상기 채널 영역의 양측 상에 형성된 드레인 영역을 갖는 MIS 형 전계 트랜지스터에 의해 달성될 수 있고, 반도체층은 기판 또는 게이트 절연막의 표면에 대해 채널 영역을 구성하는 결정 그레인의 주 배향은 {110}이고 소스 및 드레인 영역을 접속하는 방향에 직교하는 표면의 주 배향은 {100}인 반도체의 채널에 사용되는 다결정 반도체막이다.
- <63> 또한, 상기 목적은 다결정 반도체막에 다음의 특징들을 적용함으로써 쉽게 달성될 수 있다.

- <64> 제1 특징은 75° 이하의 각을 갖는 작은 경사각 그레인 경계는 채널 영역의 소스 및 드레인 영역 사이에 위치된다는 것이다.
- <65> 제2 특징은 채널 영역의 표면 거칠기가 20nm보다 작고, 채널 영역의 내부 신장 내력은 10^9 dyn/cm^2 이상이라는 것이다.
- <66> 제3 특징은 반도체층에 포함된 금속 원소의 밀도는 10^{19} cm^{-3} 이하이고 채널 영역에 포함된 결정 결함의 밀도는 10^{17} cm^{-3} 이하이다.
- <67> 본 발명의 박막 반도체 장치의 바람직한 예는 상기 절연 기판으로서 저용점 유리 기판인 박막 반도체 장치이다. 이 절연 기판은 유리 기판, 특히 저용점 유리 기판과 같은 비결정 기판으로 대표된다.
- <68> 본 발명은 다음의 박막 반도체 장치를 제공한다.
- <69> (1) 반도체층과 접촉하여 절연 기판의 표면 상에 10nm 이상의 높이의 기복부를 갖는 박막 반도체 장치. 유리 기판과 같은 절연 기판은 10nm 이상의 높이의 기복부를 가진다.
- <70> (2) 상기 반도체 층을 구성하는 상기 전하 송수 수단의 부분, 즉 드레인 영역 또는 소스 영역에 채널 영역보다 더 두꺼운 영역을 갖는 박막 반도체 장치.
- <71> (3) 반도체 층과 동일 평면의 주변에 5 μm 이하의 폭 및 5 μm 이하의 돌출 길이를 갖는 적어도 하나의 돌출부를 갖는 박막 반도체 장치.
- <72> 본 발명의 박막 반도체 장치에 있어서, 채널 영역의 반도체 결정의 그레인 크기는 전하 송수 수단, 즉 소스 및 드레인 영역의 결정 그레인의 크기보다 클 수 있다.
- <73> 본 발명은 또한 다음 다결정 반도체 박막 제조 공정을 제공한다.
- <74> (4) 조사 레이저 빔의 펄스 폭이 100ns 내지 1ms인 다결정 반도체 박막을 제조하기 위한 공정.
- <75> (5) 레이저 빔의 펄스 폭, 시간 의존 형태 및 간격을 변조하는 수단, 복수의 렌즈로 구성된 광학 시스템에 의해 발진 소스로부터의 레이저 빔의 프로파일의 조사 범위를 선정된 형태로 형태화하고, 이를 반도체 박막 상에 접속하는 수단, 및 레이저 빔의 조사와 동기하여 소정의 속도 및 피치로 절연 기판을 이동시키는 수단을 포함하는, 반도체 박막을 용융 재결정화시키기 위해 절연 기판 상에 형성된 비결정 또는 다결정 반도체 박막을 레이저 빔으로 조사함으로써 다결정 반도체 박막을 제조하기 위한 공정 및 장치.
- <76> (6) 레이저 빔의 조사와 동기하여 절연 기판 또는 광학 시스템을 소정의 속도 및 간격으로 이동시키고, 절연 기판 상의 정렬 패턴을 동일 시간에서 검출하는 수단 및 레이저 빔을 간접계로 기판과 정렬시키는 수단을 갖는, (5)에 설명된 다결정 반도체 박막을 제조하기 위한 공정 및 장치.
- <77> (7) 레이저 빔의 펄스 폭이 100 ns 내지 1ms, 에너지 밀도가 200 mJ/cm^2 내지 10 J/cm^2 , 및 레이저 빔의 상승 시간, 하강 시간, 펄스 폭 및 펄스 간격이 외부 전압에 따라 EO 변조기와의 편광에 의해 제어되는, (5) 또는 (6)에 설명된 다결정 반도체 박막을 제조하기 위한 공정 및 장치.
- <78> (8) 레이저 빔의 세기 분포는 빔의 폭의 세기가 균일하거나 단조롭게 증가하거나 한 방향에서 다른 방향으로 감소하는 분포 패턴을 갖는, 다결정 반도체 박막을 제조하기 위한 공정 및 장치.
- <79> (9) 본 발명의 다결정 반도체 박막의 제조에 사용되는 레이저 빔은 바람직하게 고체상태(solid-state) 레이저 또는 레이저 다이오드이다.
- <80> (10) 레이저 빔의 세기 분포가 소스 및 드레인 방향에 평행한 방향으로 광학 에너지의 세기 그레이언트 (gradient)를 갖는, 다결정 반도체 박막을 제조하기 위한 공정 및 장치.
- <81> 본 발명의 바람직한 실시예에 따른 박막 반도체 장치, 제조 공정 및 제조 장치는 첨부 도면을 참조하여 이하 설명될 것이다.
- <82> <실시예 1>
- <83> 도 1a 내지 도 1c는 본 발명의 실시예 1에 따른 박막 반도체 장치를 설명하기 위한 도면이다. 도 1a 내지 도 1c는 세가지 다결정 실리콘막 트랜지스터를 갖는 박막 반도체 장치를 도시한다. 도 1a는 박막 반도체 장치의

단면도이고 도 1b는 박막 반도체 장치의 평면도이다. 도 1a 및 1b에서, 참조 번호 100은 절연 기판을, 101은 하부층막을, 18은 게이트 전극을, 17은 게이트 절연막을 나타낸다. 유리 기판은 절연 기판으로서 자주 사용된다. 실리콘 산화(SiO₂)막은 일반적으로 상기 하부층막으로서 사용된다.

<84> 각 실리콘 반도체층은 채널 영역(12), 소스 영역(20), 드레인 영역(19) 및 돌출 결정핵 영역(30)을 포함한다. 채널 영역(12)은 큰 그레인 크기를 갖는 다결정 실리콘막으로 구성되고 결정핵 영역(30)은 일반적으로 작은 그레인 크기를 갖는 다결정 실리콘막으로 구성되어 있다.

<85> 본 실시예에서, 도 1b의 평면도에 도시된 바와 같이, 게이트 전극(18)은 서로 접속되어 있다. 당연한 일로서, 게이트 전극은 독립적으로 형성될 수 있다.

<86> 큰 그레인 크기를 갖는 채널 영역(12)은 도 1c에 도시된 바와 같이 결정화 방법에 의해 얻어진다. 비결정 실리콘막 또는 다결정 실리콘막은 도 1c에 도시된 바와 같은 세기 분포를 갖는 입사 선형 레이저 빔으로 조사된다. 도 1c의 참조 번호 105는 이러한 레이저 광의 전형적인 입사 세기 분포를 나타낸다. 레이저 광의 펄스 폭은 100 ns 내지 1 ms의 범위로부터 바람직하게 선택된다. 300 nm 이하의 두께 및 채널의 길이보다 큰 예를 들어 5 μm의 그레인 크기를 갖는 실리콘 반도체 층을 얻기 위한 최적 조건은 10 ms의 펄스 폭 및 1 W의 전력이다. 레이저 빔이 상기 조건하에서 조사될 때, 실리콘막이 주위의 실리콘막보다 더 두꺼운 결정핵 영역(30)으로부터 결정화가 시작된다. 즉, 저온 영역으로부터 결정 성장이 시작된다. 도 1c의 화살표로 도시된 방향으로 결정이 성장하고, 채널 영역보다 큰 그레인 크기를 갖는 다결정 반도체막(31)이 형성된다.

<87> 도 3a 내지 도 3c는 본 실시예의 박막 반도체 장치의 제조 공정을 도시하는 단면도이다. 이산화실리콘막(101) 및 비결정 또는 다결정 실리콘막(110)인 기저층은 유리 등으로부터 만들어진 비결정 혹은 다결정의 기판(100) 상에 형성된다(도 3a). 이러한 비결정 실리콘막 또는 다결정 실리콘막(110)은 일반적인 포토레지스트를 이용하여 에칭함으로써 세개의 영역으로 공정된다. 이 때, 결정핵 영역(30)이 형성된다(도 3b). 그래서, 상술된 입사 발광 또는 광 세기를 갖는 레이저 광으로 조사된다(도 3c). 이 경우, 레이저 광은 각 반도체 장치의 영역에 따라 입사 발광 세기를 가지도록 조절된다. 반도체 박막이 용융 재결정된 후, 게이트 절연막(17) 및 게이트 전극(18)이 형성된다(도 3d). 소스 및 드레인은 일반적인 이온 주입에 의해 형성된다. 인 및 보론과 같은 불순물이 자주 사용된다(도 3e).

<88> 이 실시예에서, 결정핵 영역(30)을 포함하는 다결정 실리콘막이 절연 기판 상에 형성된 후, 상기 결정핵으로부터 그레인을 성장시키기 위해 레이저 빔을 조사하여 반도체 박막을 용융 재결정하는 단계가 따로 실행될 수 있다. 효율적으로 결정 그레인을 선택적 성장시키는데 적절한 레이저 빔의 파장은 240 내지 600 nm의 범위에서 선택되는 것이 바람직하다. 이러한 이유는 500 nm 파장에서의 비결정 실리콘막의 흡수 계수가 다결정 실리콘막의 흡수 계수보다 약 5배 크기 때문이다. 그러므로, 씨드로서 다결정 실리콘막으로 구성된 결정핵을 갖는 다른 반도체 층 영역을 선택적으로 용융 재결정시키는 것이 용이하다. 한편, 절연 기판 상에 그레인 크기가 작은 다결정 실리콘막으로 구성된 결정핵 영역은 일반적인 엑시머 펄스 레이저 빔을 조사하여 용융 재결정시킴으로써 형성될 수 있다.

<89> 도 2의 (a) 및 (b)는 반도체 층, 특히 채널 영역의 결정 상태를 개략적으로 도시한 것이다. 도 2의 (a)는 트랜지스터 부분의 단면도이고, 도 2(b)는 반도체 층의 사시도이다. 도 2의 (a)와 (b)의 대응하는 영역은 점선으로 표시된다. 도 1a 내지 도 1c와 동일한 참조부호는 동일한 장치를 나타낸다. 이 실시예는 본 발명의 가장 바람직한 실시예이다.

<90> 최소한 채널 영역(12) 내의 다결정 기판의 주 배향은 게이트 절연막 및 기판의 표면에 대해 {110}이다. 다결정 기판은 {100}과 같이 소스 영역(20)과 드레인 영역(19)을 접속하는 방향에 거의 수직인 표면의 주 배향을 갖는 다결정 실리콘막이다. 회전각이 70° 이하인 작은 경사각의 그레인 경계는 채널 영역(12)을 구성하는 다수의 결정 그레인들 사이에 위치된다.

<91> 또한, 채널 영역(12)의 표면 거칠기는 20 nm보다 작고, 내부 신장 내력을 10^9 dyn/cm^2 이상이며, 함유된 결정 결합의 밀도는 10^{17} cm^{-3} 이하이다. 채널 영역(12)을 포함하는 전체 반도체 층 내에 포함된 금속 원소의 밀도는 10^{19} cm^{-3} 이하이다.

<92> 도 4는 본 발명의 실시예에 사용된 제조 장치의 예를 도시한 것이다. 이 장치는 도 2의 (a) 및 (b)에 도시된 절연 기판(205) 상에 형성된 비결정 또는 다결정 반도체 박막을 레이저 빔으로 조사함으로써 반도체 박막을 용융 재결정하여 다결정 반도체막을 형성하는 데 적합하다. 이 장치는 CW 레이저 유닛(200), 레이저 빔(201,

202, 203)의 펄스 폭, 시간-의존성 형상 및 간격을 변조하는 수단, 발진 소스로부터 레이저 빔을 접속하는 광학 시스템 및 조사되어질 물체에 관해 레이저 빔을 이동시킬 수 있는 이동 수단을 포함한다. 변조 수단은 EO 변조기(201), 편광판(202) 및 구동기(203)를 갖는다. 광 시스템은 발진 소스로부터 조사된 레이저 빔의 프로파일을 다수의 렌즈 또는 회절 광학 장치로 구성된 광학 시스템 수단에 의해 적합한 형태가 되도록 형상화하기 위한 빔 형상화 유닛(204), 스캐닝 기능을 구비한 미러(208), 및 레이저 빔의 초점을 맞추기 위한 초점 렌즈 시스템(207)을 포함한다. 이동 수단은 레이저 빔의 조사와 동기화하여 소정의 피치로 절연 기판(205)을 이동시킬 수 있다.

<93> 레이저 빔의 펄스 폭, 시간 의존 과형 및 펄스 간격이 도 5a 및 도 5b에 도시되었다. 도 5a는 EO 변조기(201)에 가해지는 전압 과형을 도시하였고 도 5b는 편광기를 통과한 빔의 세기 과형을 도시하였다. 빔 세기의 상승 시간, 펄스 폭, 하강 시간 및 펄스 간격은 외부로부터의 전압에 의해 제어될 수 있다. 도 5a 및 도 5b는 서로 다른 폭을 갖는 두개의 펄스와 제어될 한 경사 펄스를 도시하였다.

<94> 도 6a 및 도 6b는 레이저 빔의 형태를 도시하였다. 이런 투시도는 빔 형상화 유닛(204)에 의해 형태가 갖추어지고 초점 렌즈에 의해 샘플 상에 초점이 맞추어진 레이저 빔의 형태를 도시하였다. 도 6a는 세기가 한 방향에서 다른 방향으로 단조적으로 증가하는 분포 패턴을 보여주고 도 6b는 빔의 폭 방향으로 균일한 세기를 나타낸다. 본 발명의 박막 반도체 장치가 제조되어야 할 때 만약 레이저 빔의 폭 방향과 레이저 빔의 세기 분포가 소스 및 드레인 방향들에 대해서 평행하다면 큰 규모의 결정 그레인이 효율적으로 획득된다.

<95> 절연 기판(206) 또는 미러(208)를 레이저 빔의 조사와 동기화하여 소정의 속도 및 간격으로 이동시킴으로써 소망하는 영역이 결정화될 수 있다.

<96> 본 발명에서 절연 기판 상의 정렬 패턴이 도 1a에서 도 1c에서의 반도체 층 막의 레벨차 또는 결정핵 영역(30)의 레벨 차에 대해서 검출될 수 있다. 더 특정하게 얘기하면 레이저 빔은 간접계에 대해서 기판과 정렬될 수 있다.

<97> 본 실시예에 따라서 그레인 경계와, 그레인 크기 및 결정화 방향이 제어될 수 있고 결정화에 의해 야기된 막 거칠기와 결정 결함이 감소된 고품질의 다결정 반도체막이 유리 등에 의해 만들어진 절연 기판 상에 형성될 수 있다. 본 실시예에 따라서, 제조 단계를 줄일 수 있고 저렴한 가격의 고품질의 다결정 반도체막을 형성하는 제조 공정 및 장치가 대형 기판에 대해 적용될 수 있고 높은 수율이 실현될 수 있다.

<98> 또한, 본 실시예에 따른 다결정 반도체막이 MIS 형 전계 효과 트랜지스터에 사용될 때 전계 효과 이동도가 약 $300\text{cm}^2/\text{V}\cdot\text{s}$ 이상이 되도록 제어될 수 있고 문턱 전압의 변이가 $\pm 0.2\text{ V}$ 보다 적게 되도록 억제될 수 있다. 따라서, 본 발명에 따라, 고성능 및 고신뢰성으로 동작하며 장치들 중에서 탁월한 균일성을 갖는 박막 반도체 장치가 얻어질 수 있다.

<99> 삭제

<100> 본 실시예에서, 레이저 빔의 조사 이전에 다결정 실리콘막이 반도체막으로서 사용되었다. 비결정 실리콘막이 사용되는 경우, 동일한 효과가 얻어진다. 본 실시예에서, 경사 레이저 빔(inclined laser beam)이 사용된다. 균일한 빔이 사용되는 경우, 동일한 효과가 얻어진다. 또한, 본 실시예에서, 결정이 결정핵 영역(crystal nucleus region)(30)을 시작점으로 하여 성장된다. 레이저 빔의 형태를 최적화시킴으로서, 돌출부 상에 어떤 결정핵(30)도 포함하지 않는 구조에서 동일한 효과가 얻어진다. 이러한 경우에, 초기 반도체막은 결정핵을 포함하는 다결정 실리콘막이며 엑시머 레이저 빔의 조사에 의한 용융 재결정화(melt recrystallization)에 의해 얻어질 수 있다. 저온에서 CAT-CVD(촉매-화학 기상 증착)에 의해 상기 다결정 실리콘막이 형성되는 경우 동일한 효과가 얻어진다.

<101> <실시예 2>

<102> 도 7a 내지 도 7c는 본 발명의 실시예 2에 따른 반도체 장치를 설명하는 도면이다. 본 실시예에서, 결정 성장의 관점에서 제2 반도체층이 채널을 형성하는 반도체층 밑에 형성된다. 도 7a 내지 도 7c는 장착된 3개의 다결정 실리콘 박막 트랜지스터를 도시한다. 반도체 장치에 대하여 도 7a는 단면도이고 도 7b는 평면도이다. 도 7c는 레이저 빔 조사 방법을 설명하는 단면도이다.

<103> 도 7a 및 도 7b에서, 참조 번호 100은 절연 기판, 101은 하부층막, 18은 게이트 전극, 17은 게이트 절연막을 나

타낸다. 유리 기판은 종종 절연 기판으로서 사용된다. 이산화실리콘막은 일반적으로 하부층막으로서 사용된다.

<104> 제1 반도체층은 채널 영역(12), 소스 영역(20), 및 드레인 영역(19)을 갖는다. 채널 영역(12)은 큰 그레인 크기를 갖는 다결정 실리콘막으로 구성되어 있다. 제2 반도체층(41)은 절연막(40)과 함께 실리콘 반도체층과 하부층막(101) 사이에 선택적으로 삽입되어 있다. 제2 반도체층(41)은 다수의 반도체 장치 사이의 영역에 형성되지 않는다.

<105> 도 8a 내지 도 8f는 본 실시예의 박막 반도체 장치를 제조하는 공정을 도시하는 단면도이다. 이산화실리콘막(101)인 기저층, 제2 반도체층(41)인 비결정 실리콘층 및 이산화실리콘층(40)이 유리 같은 것으로 이루어진 비결정 기판(100) 상에 형성되어 있다(도 8a).

<106> 상기 층들(40 및 41)은 소정의 박막 반도체 장치들의 3개의 영역 안에서 예정 공정된다(도 8b). 상기 층들 상에는 비결정질 실리콘막 또는 다결정 실리콘막(110)이 형성된다(도 8c). 따라서 예비된 기판에 상술한 경사 발광 강도를 갖는 레이저광(105)이 조사된다(도 8d). 이 경우, 레이저광은 각 반도체 장치의 영역에 따른 경사 발광 강도를 갖도록 조정된다. 본 실시예에서, 제2 반도체막(40)이 없는 영역은 결정핵 영역이다. 제1 반도체 박막이 용융 재결정화된 후, 소정의 형태로 공정된다(도 8e). 게이트 절연막(17)과 게이트 전극(18)은 제1 반도체 박막 상에 형성된다. 소스와 드레인은 공통 이용 방법에 의해 형성된다(도 8f).

<107> 큰 그레인 크기를 가진 채널 영역(12)은 도 7c에 도시된 결정화 방법에 의해 얻어진다. 비결정질 실리콘막 또는 다결정질 실리콘막에는 도 7c에 도시된 세기 분포를 가지는 경사 선형 레이저 빔에 의해 광이 조사된다. 이 레이저의 펄스 폭은 100ns 내지 1ms의 범위 내에서 선택되는 것이 바람직하다. 100nm 이하의 두께와 채널 길이 보다 큰 5μm의 그레인 크기를 갖는 실리콘 반도체층막을 얻기 위한 최적의 레이저 조건은 10ms의 펄스 폭과 1W의 전력이다.

<108> 레이저 빔이 상기 조건 하에서 조사될 때, 실리콘 반도체층 하부의 제2 실리콘 반도체층을 제외한 영역에서부터 결정화가 시작된다. 그 이유는 레이저 빔이 조사될 때 제1 실리콘 반도체막을 통과하는 레이저 빔이 제2 실리콘 반도체막에 도달하기 때문이다. 이 레이저 빔은 제2 실리콘 반도체막 안으로 흡수되고 반도체층의 온도는 상승한다. 이러한 온도 상승은 히트 싱크(heat sink)로서 기능하여 퀼칭(quenching)을 억제한다. 제1 실리콘 반도체층 하부층에서 이러한 히트 싱크가 형성되지 않은 영역에서는, 온도가 낮아 결정화 시작 시간이 빠르다. 그러므로, 제1 실리콘 반도체층 하부의 제2 반도체층을 제외한 영역에서부터 결정화가 시작하고, 이 영역이 결정핵 영역(42)이 된다. 결정 그레인들을 선택적으로 고효율 성장시키는데 적합한 레이저 빔의 파장은 240 nm 내지 600nm 범위 내에서 선택되는 것이 바람직하다. 본 실시예에서는, 액정 핵 영역(30)을 포함하는 다결정 실리콘 막이 절연 기판 상에 형성된 후, 결정핵들로부터의 그레인을 성장시키기 위해 레이저 빔의 조사에 의해 반도체 박막을 용해하여 재결정화하는 단계가 개별적으로 수행될 수 있다. 절연 기판 상의 소형 그레인 크기를 가진 다결정 실리콘막으로 이루어진 결정핵 영역은 종래의 액시머 펄스 레이저로부터의 레이저 빔 조사에 의해 용융 재결정화됨으로써 형성될 수 있다.

<109> 도 2의 (a) 및 (b)는 반도체층의 결정 상태, 특히 채널 영역을 도시한다. 반도체층은 적어도 채널 영역의 주 배향은 게이트 절연막의 표면과 연결된 {110}이고, 상부 소스 영역(20) 및 드레인 영역(19)을 연결하는 방향에 가장 수직인 표면의 주 배향은 {100}인 다결정 실리콘막으로 구성되어 있다. 75° 또는 그 이하의 회전각을 가진 작은 경사각 그레인 경계는 채널 영역을 구성하는 다수의 결정 그레인 사이에 형성된다. 또한, 채널 영역(12)의 표면 거칠기는 20 nm보다 작고, 그것의 내부 신장 내력은 10^9 dyn/cm^2 이상이고, 그 내부에 포함된 결정 결함 밀도는 10^{17} cm^{-3} 이하이다. 채널 영역(12)을 포함하는 전체 반도체층에 포함된 금속 원소의 밀도는 10^{19} cm^{-3} 이하이다.

<110> 실시예 1의 도 4에 도시된 반도체 박막을 용융 재결정하는 것에 의해서 다결정 반도체막을 제조하는 공정 및 형성하는 장치가 사용되었을 때, 같은 효과가 획득된다. 본 실시예에서, 절연 기판 상의 정렬 패턴은 제2 반도체층 필름(41) 및 절연막(40) 사이의 레벨 차이 또는 도 8에서 결정핵 영역(42)의 레벨 차이에 따라 검출된다.

<111> 본 실시예에 따르면, 고품질의 다결정 반도체막의 그레인 경계, 그레인 크기 및 결정 주 배향은 제어 가능하고, 감소된 이 막의 거칠기 및 결정화에 따라 형성된 결정 결함은 유리 또는 유사 물질로부터 만들어진 절연 기판 상에 형성될 수 있다. 본 실시예에 따르면, 저렴한 비용 및 고품질의 다결정 반도체막을 형성하기 위한 제조 공정 및 장치는 제조 단계의 개수를 줄일 수 있고, 넓은 면적의 기판에 적용될 수 있으며, 높은 작업 공정량을

실현시킬 수 있다. 또한, 본 실시예에 도시된 다결정 반도체막은 MIS형 전계 효과 트랜지스터에 사용되고, 전계 효과 이동도는 약 $300 \text{ cm}^2/\text{V}\cdot\text{s}$ 이상까지 제어 가능하고, 임계 전압의 변동은 $\pm 0.2\text{V}$ 이하로 제한될 수 있다. 본 실시예에 따르면, 고성능 및 고안정성으로 동작하고, 장치 사이의 균일성이 뛰어난 반도체 장치가 획득될 수 있다.

<112> <실시예 3>

<113> 도 9a 내지 도 9c는 본 발명의 실시예 3에 따른 반도체 장치를 도시하는 도면이다. 본 실시예에서, 결정 성장 동안의 국부적인 열 반사를 촉진시키는 부재가 사용된다.

<114> 도 9a 내지 도 9c는 상부에 3개의 다결정 실리콘 박막 트랜지스터를 갖는 반도체 장치를 도시한다. 도 9a는 단면도이고 도 9b는 반도체 장치의 평면도이다.

<115> 도 9a 및 도 9b에서, 참조 번호 (100)은 절연 기판, (101)은 하층막, (19)는 게이트 전극 및 (17)은 게이트 절연막을 나타낸다. 반도체 층은 채널 영역(12), 소스 영역(20) 및 드레인 영역(19)으로 구성되고, 채널 영역(12)은 그레인 크기가 큰 다결정 실리콘막으로 구성된다. 절연막(50)은 다수의 반도체 장치 사이에 하층막(101) 상에 선택적으로 형성된다. 절연막(50)의 열 전도도는 하층막(101)과 절연 기판(100)의 열 전도도보다 높다.

<116> 도 10a 내지 도 10e는 본 실시예의 박막 반도체 장치의 제조 공정을 도시하는 단면도이다. 이산화실리콘막(101)인 기저층과, 절연막(50)으로서 기능하고 하층막(101)보다 열 전도도가 더 높은 Si_3N_4 층이, 유리 등으로 이루어진 비결정 기판(100) 상에 형성된다 (도 10a). 절연막(50)은 박막의 반도체 장치 각각의 영역에 제공된다. 절연막(50)이 제공되는 영역은 결정핵 영역이다. 이렇게 마련된 기판 상에 비결정 실리콘막 또는 다결정 실리콘막(110)이 형성된다 (도 10b). 이 기판은 상기 경사 광도를 갖는 레이저 광(105)으로 조사된다 (도 10c). 이 경우에, 레이저 광은 각 반도체 장치의 영역에 따른 상기 경사진 광도를 갖도록 조정된다. 제1 반도체 박막을 용융 재결정화한 다음, 제1 반도체막은 원하는 형상으로 가공된다 (도 10d). 게이트 절연막(17)과 게이트 전극(18)이 이 제1 반도체막 상에 형성된다. 소스 및 드레인은 통상적인 방법으로 형성된다 (도 10e).

<117> 그레인 크기가 큰 채널 영역(12)은 도 9c에 나타난 결정화 방법에 의해 얻어진다. 비결정 실리콘막 또는 다결정 실리콘막에는 도 9c에 나타난 세기 분포를 갖는 경사 선형 레이저 빔이 조사된다. 레이저의 펄스 폭은 100ns 내지 1ms의 범위로부터 선택되는 것이 바람직하다. 두께가 100nm 이하이고 그레인 크기가 채널 길이보다 큰 $5\mu\text{m}$ 인 실리콘 반도체층 막을 구하기 위한 광학 레이저 조건은 펄스 폭이 $10\mu\text{s}$ 이고 전력이 1w이다. 상술한 조건하에서 레이저 빔이 조사될 때, 실리콘 반도체층 하부에 절연막(50)이 형성되는 영역으로부터 결정화가 시작된다. 그 이유는 하부에 절연막(50)을 갖는 반도체 영역이 절연막(50)의 열 전도도가 비결정 실리콘막 또는 다결정 실리콘막(110)의 열 전도도보다 더 큰 것과 같이 다른 반도체막 영역보다 더 큰 양의 하향 분포된 열을 갖기 때문이며, 그 결과 반도체 영역은 온도의 초기 감소와 초기 다결정 시작 시간으로 인해 결정핵 영역이 된다. 이 실시예에서, 결정핵 영역(30)을 포함하는 다결정 실리콘막이 절연 기판 상에 형성된 후, 레이저 빔을 조사하여 결정핵으로부터 그레인을 성장시키기 위해 반도체 박막을 용융 재결정화하는 단계는 별도로 수행될 수 있다. 절연 기판 상에 작은 그레인 크기를 갖는 다결정 실리콘막으로 이루어진 결정핵 영역은 종래 기술의 엑시머 펄스 레이저로부터 레이저 빔을 조사함으로써 용융 재결정화되어 형성될 수 있다. 본 실시예에서, 절연막(50)은 사각형으로 공정된다. 절연막(50)이 직선 형상으로 형성될 때에도 동일 효과가 구해진다. 실리콘 질화막은 절연막(50)으로서 사용하기에 적합하다.

<118> 도 2의 (a)와 (b)는 반도체층, 특히 채널 영역의 결정 상태를 나타낸다. 반도체층은 채널 영역의 적어도 주 배향이 게이트 절연막의 표면에 대해 {110}이고 상술한 소스 영역(20)과 드레인 영역(19)을 접속하기 위한 방향에 거의 수직한 표면의 주 배향이 {100}이 되는 다결정 실리콘막으로 이루어진다. 70° 이하의 회전각을 갖는 작은 경사각 그레인 경계는 채널 영역(12)을 구성하는 복수의 결정 그레인들 사이에 형성된다. 더욱이, 채널 영역(12)의 표면 거칠기는 20nm보다 작고, 내부 신장 내력은 10^9 dyn/cm^2 이상이고, 내재된 결정 결함의 밀도는 10^{17} m^{-3} 이하이며, 채널 영역(12)을 포함하는 전체 반도체층 내에 포함된 금속 원소의 밀도는 10^{19} cm^{-3} 이하이다.

<119> 도 3a 내지 도 3e에 도시된 실시예 1에 따른 반도체 박막을 용융 재결정화함으로써 다결정 반도체막을 형성하기 위한 제조 공정 및 장치가 사용될 때, 동일한 효과를 얻을 수 있다. 본 실시예에서, 절연 기판 상의 정렬 패턴은 도 11a 내지 도 11c에 도시된 절연막(51)의 레벨 차에 의해 검출될 수 있다.

<120> 본 실시예에 따르면, 그레인 경계, 그레인 크기, 및 결정 배향이 제어되어 결정화에 의해 형성된 막 거칠기 및

결정 결함이 감소된 고품질의 다결정 반도체막이 유리 등으로 형성된 절연 기판 상에 형성될 수 있다. 본 실시 예에 따르면, 제조 단계를 감소시키면서 저비용 고품질의 다결정 반도체막을 형성하기 위한 제조 공정 및 장치가 넓은 영역의 기판에 응용되어 높은 처리량이 구현될 수 있다. 또한, 본 실시예에 따른 다결정 반도체막이 MIS 형 전계 효과 트랜지스터에서 사용되는 경우, 전계 효과 이동도가 약 $300\text{cm}^2/\text{V}\cdot\text{s}$ 이상으로 제어될 수 있고, 임계 전압의 변화는 $\pm 0.2\text{V}$ 이하로 제어될 수 있고, 고 성능 및 고 신뢰도에서 동작하고 장치 중 균일성이 탁월한 반도체 장치를 얻을 수 있다.

<121> <실시예 4>

도 11a 내지 도 11c는 본 발명의 실시예 4에 따른 반도체 장치를 설명하기 위한 도면이다. 도 11a는 그 위에 3개의 다결정 실리콘 박막 트랜지스터를 갖는 반도체 장치의 단면도이고, 도 11b는 그 평면도이다. 도 11a 및 도 11b에서, 참조 번호 100은 절연 기판을, 참조 번호 101은 하부층막을, 참조 번호 51은 절연막을, 참조 번호 18은 게이트 전극을 참조 번호 17은 게이트 절연막을 나타낸다. 반도체층은 채널 영역(12), 소스 영역(20), 드레인 영역(19)을 포함하고, 채널 영역(12)은 큰 그레이크기를 갖는 다결정 실리콘막으로 구성된다. 절연막(51)은 실리콘 반도체층 및 하부층막(101) 사이에 선택적으로 삽입된다. 절연막(51)의 열 전도도가 비결정 실리콘막 또는 다결정 실리콘막(31)의 열 전도도 보다 낮다.

<123> 큰 그레이크기를 갖는 채널 영역(12)은 도 11(c)에 나타낸 결정화 방법에 의해 얻어진다. 비결정 실리콘막 또는 다결정 실리콘막은 도 11(c)의 나타낸 세기 분포를 갖는 경사 선형 레이저 범위에 의해 조사된다. 레이저의 펄스 폭은 바람직하게 100 ns 또는 1 ms 범위에서 설정된다. 두께 100 nm 이하의 두께, 채널의 길이보다 큰 5 μm 의 그레이크기를 갖는 실리콘 반도체층 막을 얻기 위하여 최적 레이저 조건은 펄스 폭 10 μm 및 파워 1 W이다. 레이저 범위 상기 조건에서 조사될 때, 절연막(51)이 실리콘 반도체층 이하에서 형성되지 않는 영역부터 결정화가 시작된다. 그 이유는 절연막(51)의 열 전도도가 비결정 실리콘막 또는 다결정 실리콘막(31)의 열전도도 보다 낮기 때문에 아래에 절연막(51)을 갖는 반도체 영역이 다른 반도체막 영역 보다 아래로 조사된 열의 양이 작아서 온도에서 이른 감소 및 이른 결정화 개시 시간에 기인하여 반도체 영역이 결정핵 영역(42)으로 되기 때문이다. 이 실시예에서, 결정핵 영역(42)을 포함하는 다결정 실리콘막이 절연 기판 상에 형성된 후, 결정핵으로부터 그레이크를 성장시키기 위하여 조사하는 레이저 범위에 의해 반도체 박막을 용융 재결정화하는 단계가 분리되어 수행될 수 있다. 절연 기판 상에 작은 그레이크를 갖는 다결정 실리콘막으로 구성된 결정핵 영역이 종래 기술의 엑시머 펄스 레이저로부터 레이저 범위 조사에 의해 용융 재결정화되어 형성될 수 있다. 작은 밀도 및 작은 유전 상수를 갖는 절연막 또는 다공성 실리콘 산화막이 절연막(51)으로 사용되는데 적합하다.

<124> 도 2의 (a) 및 (b)는 반도체층의 결정 상태, 특히 채널 영역을 나타낸다. 반도체층은 다결정 실리콘막으로 구성되고 여기서 적어도 채널 영역의 주 배향은 게이트 절연막의 표면에 대하여 {110}이고 상기 소스 영역(20) 및 드레인 영역(19)을 연결하는 방향에 거의 직각인 표면의 주 배향은 {100}이다. 70° 이하의 회전각을 갖는 작은 경사각 그레이크 경계가 채널 영역(12)을 이루는 다수의 결정 그레이크 사이에 형성된다. 또한, 채널 영역(12)의 표면 거칠기는 20 nm 보다 작고, 내부 신장 내력은 10^9dyn/cm^{-2} 이상이고, 포함된 결정 결함의 밀도는 10^{17}m^{-3} 이하이고, 채널 영역을 포함하는 전체 반도체층에 포함된 금속 원소의 밀도는 10^{19}cm^{-3} 이하이다.

<125> 실시예 1의 도 3a 내지 3e에 도시된 반도체 박막을 용융 재결정화 함으로써 다결정 반도체막을 형성하기 위한 제조 공정 및 장치가 사용되는 경우, 동일한 효과를 얻는다. 이 실시예에서, 절연 기판 상의 정렬 패턴은 도 11a 내지 11c 내의 절연막(50)의 레벨 차이에 의해 겹출될 수 있다.

<126> 본 실시예에 따르면, 그레이크, 그레이크 크기 및 결정 배향이 제어될 수 있으며 유리 등으로 이루어진 절연 기판 상에 결정에 의해 형성된 결정 결함 및 막 거칠기가 감소된 고품질의 다결정 반도체막이 형성될 수 있다. 본 실시예에 따르면, 제조 단계를 절감할 수 있고, 대면적 기판에 적용될 수 있으며, 높은 처리량을 갖는, 저비용과 고품질의 다결정 반도체막을 형성하기 위한 제조 공정 및 장치가 실현될 수 있다. 또한, 본 실시예의 다결정 반도체막이 MIS형 전계 효과 트랜지스터에 사용될 때, 전계 효과 이동도(mobility)는 대략 $300 \text{cm}^2/\text{V}\cdot\text{s}$ 이상으로 제어될 수 있으며, 임계 전압의 변화는 $\pm 0.2\text{V}$ 이하로 억제될 수 있으며, 고성능 및 고신뢰성으로 동작하며 장치간 균일성이 우수한 반도체 장치를 얻을 수 있다.

발명의 효과

<127> 본 발명에 따르면, 유리 등으로 이루어진 절연 기판 상에, 그레이크, 그레이크 크기 및 그레이크 배향이 제어될 수 있으며 결정에 의해 형성된 결정 결함 및 막 거칠기가 감소된 고품질의 다결정 반도체막을 구비한 반도체 장

치를 얻을 수 있다. 또한, 제조 단계를 저감할 수 있고, 대면적 기판에 적용될 수 있으며, 높은 쓰루풋을 갖는, 저비용 고품질 다결정 반도체막을 형성하기 위한 제조 공정 및 장치가 제공된다. 또한, 고가가 아닌 유리 등으로 이루어진 절연 기판 상에, 고성능 및 고신뢰성으로 동작하며 장치간 균일성이 우수한 반도체막과, 이러한 다결정 반도체막을 포함하는 반도체 장치를 형성하기 위한 제조 공정 및 장치를 얻을 수 있다.

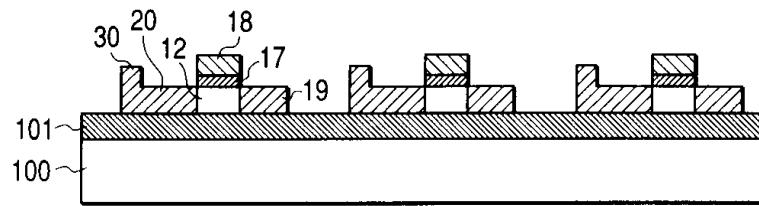
<128> 본 발명에 따르면, 비결정 기판 상에 박막 반도체 장치가 형성될 수 있다. 또한, 상기 반도체 장치에 사용될 수 있는 다결정 반도체 박막을 생성하기 위한 방법이 제공된다. 또한, 상기 제조 공정에 유용한 제조 장치가 제공된다.

도면의 간단한 설명

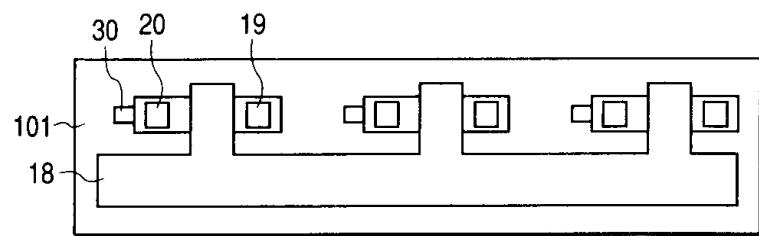
- <1> 도 1a 내지 1c는 본 발명의 실시예 1에 따른 반도체 장치의 도면.
- <2> 도 2의 (a) 및 (b)는 본 발명의 실시예 1에 따른 반도체 장치를 설명하는 도면.
- <3> 도 3a 내지 3e는 본 발명에 따른 반도체 장치 제조 공정을 제조 단계 순으로 설명하는 구분도.
- <4> 도 4는 본 발명의 제조 장치의 개념도.
- <5> 도 5a 및 5b는 레이저 빔 세기의 시간 변화를 나타내는 도면.
- <6> 도 6a 및 6b는 레이저 빔 세기의 공간적 분포의 예들을 나타내는 도면.
- <7> 도 7a 내지 7c는 본 발명의 실시예 2에 따른 반도체 장치를 설명하는 도면.
- <8> 도 8a 내지 8f는 본 발명에 따른 반도체 장치 제조 공정을 제조 단계 순으로 설명하는 구분도.
- <9> 도 9a 내지 9c는 본 발명의 실시예 3에 따른 반도체 장치를 설명하는 도면.
- <10> 도 10a 내지 10e는 본 발명에 따른 반도체 장치 제조 공정을 제조 단계 순으로 설명하는 구분도.
- <11> 도 11a 내지 11c는 본 발명의 실시예 4에 따른 반도체 장치를 설명하는 도면.
- <12> 도 12는 종래 기술의 레이저 빔 조사의 일예를 나타내는 사시도.
- <13> <도면의 주요 부분에 대한 부호 설명>
- <14> 100: 기판
- <15> 101: 기저막
- <16> 102: 비결정 실리콘막
- <17> 12: 채널 영역
- <18> 17: 게이트 절연막
- <19> 18: 게이트 전극
- <20> 19: 드레인 영역
- <21> 20: 소스 영역
- <22> 30: 결정핵 영역

도면

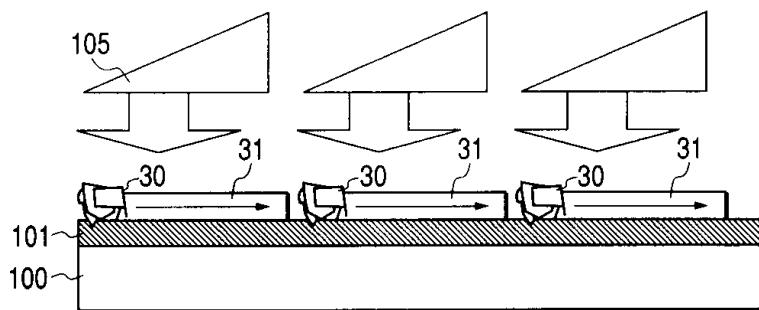
도면1a



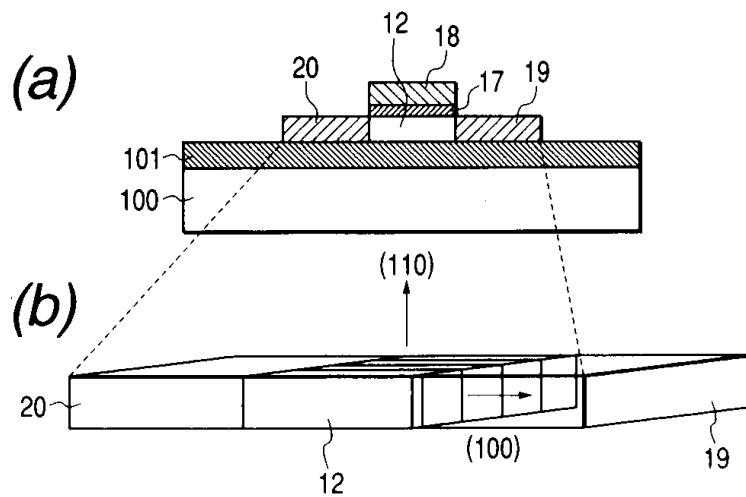
도면1b



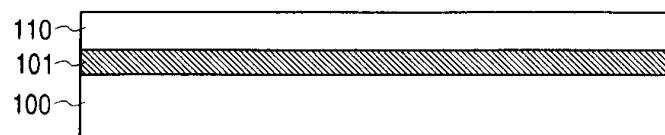
도면1c



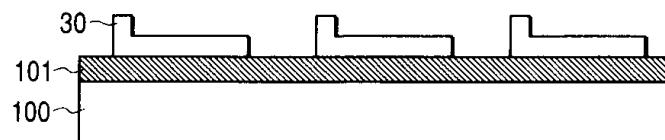
도면2



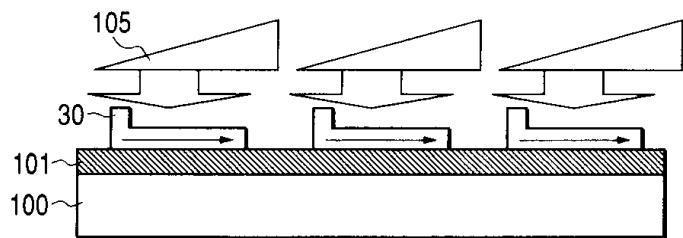
도면3a



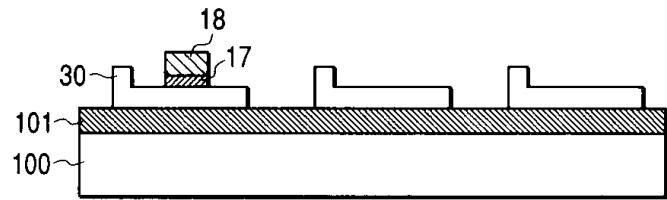
도면3b



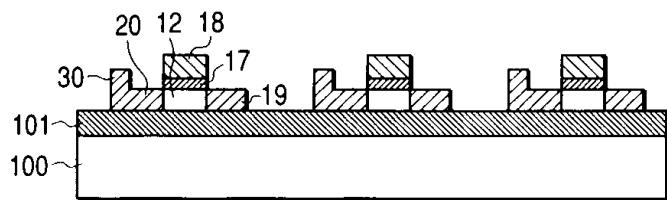
도면3c



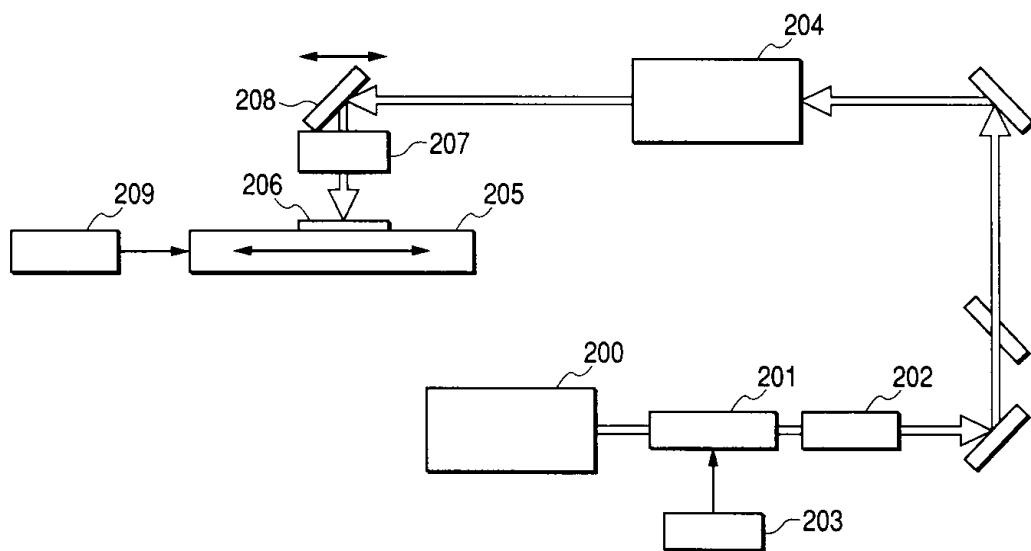
도면3d



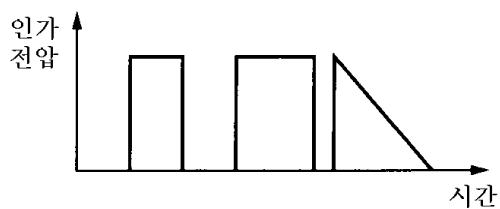
도면3e



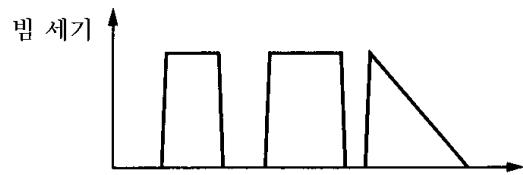
도면4



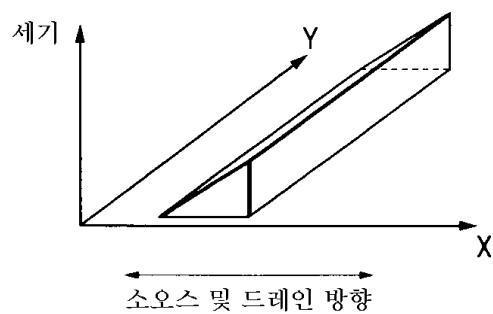
도면5a



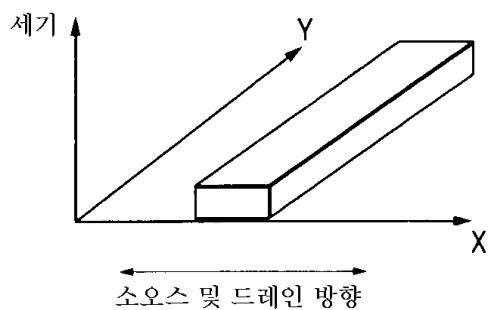
도면5b



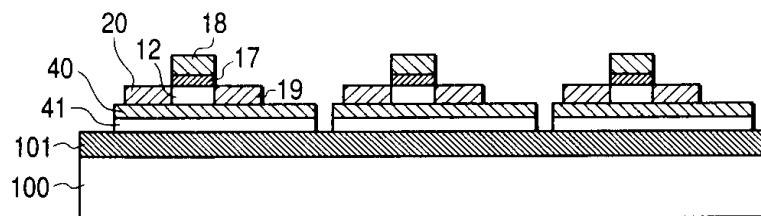
도면6a



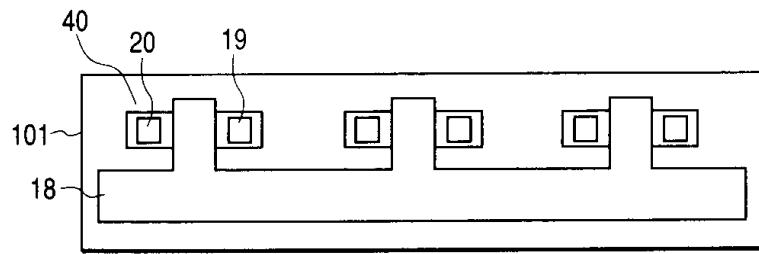
도면6b



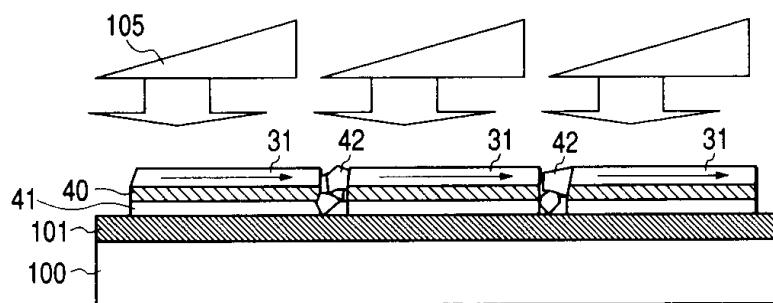
도면7a



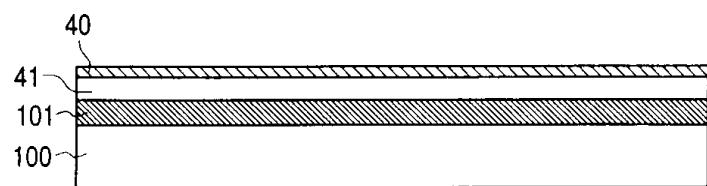
도면7b



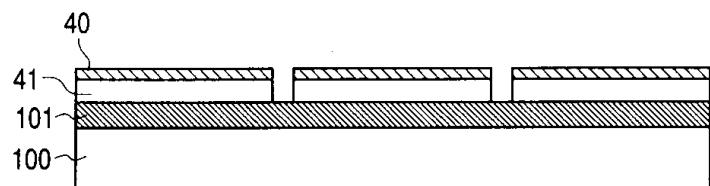
도면7c



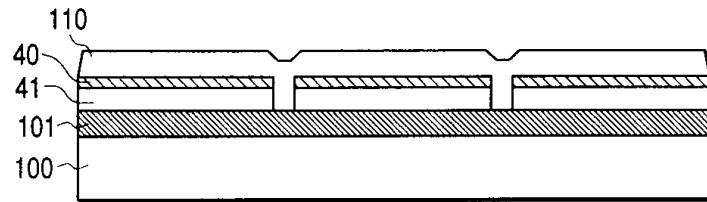
도면8a



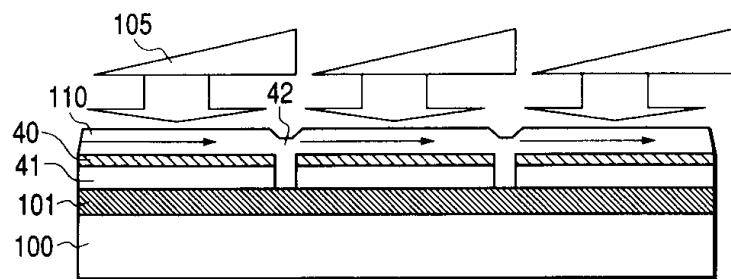
도면8b



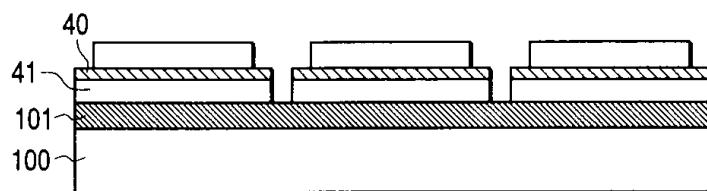
도면8c



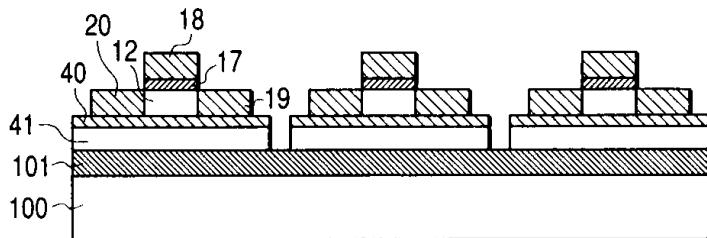
도면8d



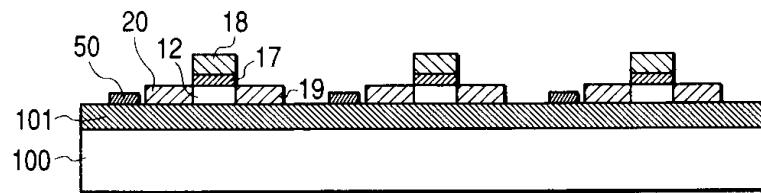
도면8e



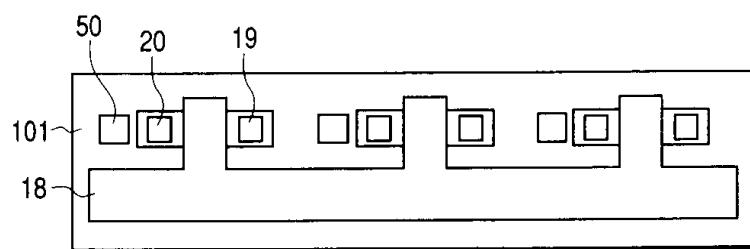
도면8f



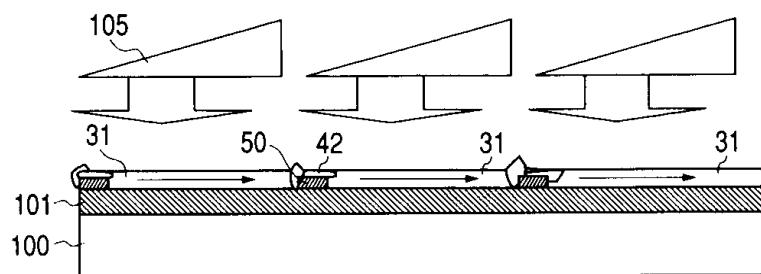
도면9a



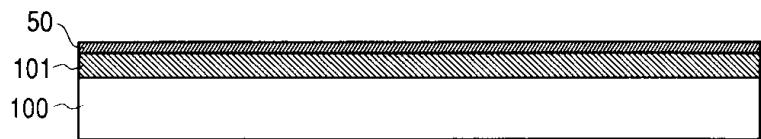
도면9b



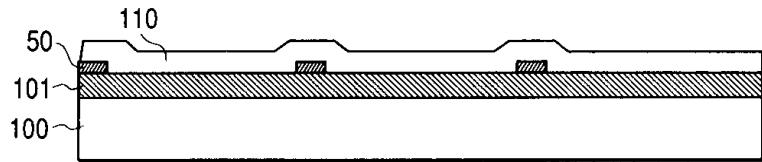
도면9c



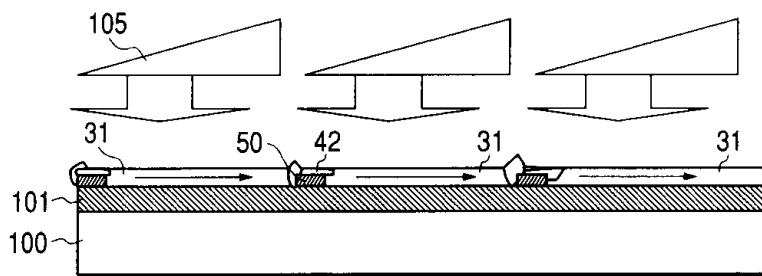
도면10a



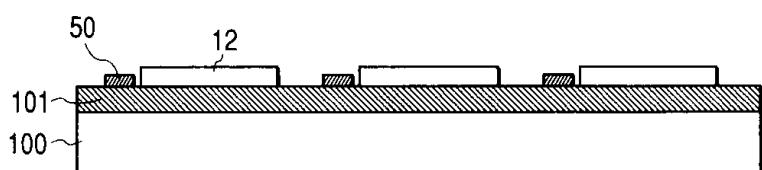
도면10b



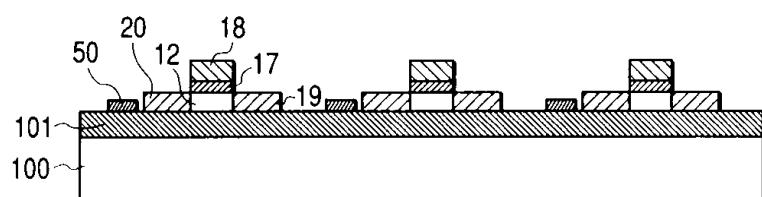
도면10c



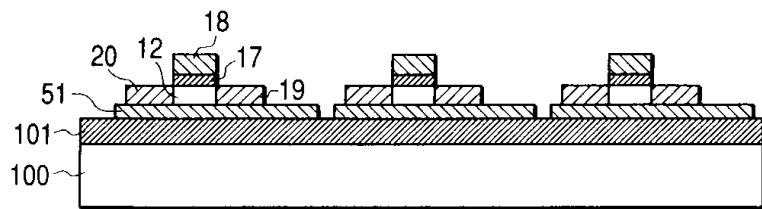
도면10d



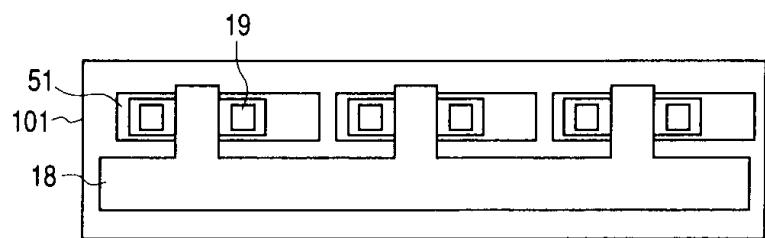
도면10e



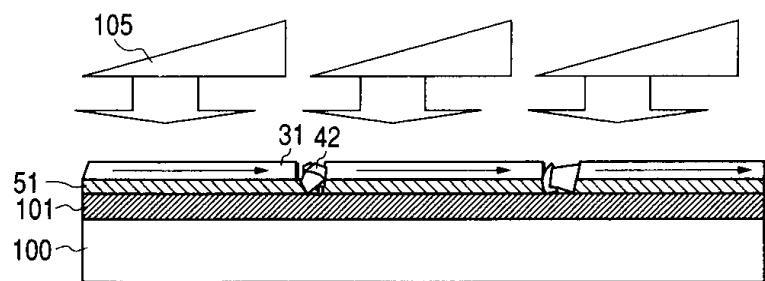
도면11a



도면11b



도면11c



도면12

