

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2014년 1월 3일 (03.01.2014)



(10) 국제공개번호
WO 2014/003396 A1

- (51) 국제특허분류:
H01L 27/115 (2006.01) *H01L 21/8247* (2006.01)
- (21) 국제출원번호: PCT/KR2013/005570
- (22) 국제출원일: 2013년 6월 25일 (25.06.2013)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보:
10-2012-0069610 2012년 6월 28일 (28.06.2012) KR
10-2012-0069609 2012년 6월 28일 (28.06.2012) KR
10-2012-0069608 2012년 6월 28일 (28.06.2012) KR
10-2012-0083571 2012년 7월 31일 (31.07.2012) KR
10-2012-0083570 2012년 7월 31일 (31.07.2012) KR
- (71) 출원인: 인텔렉추얼 디스커버리(주) (INTELLECTUAL DISCOVERY CO., LTD.) [KR/KR]; 135-745 서울시 강남구 삼성동 144-17 골든타워 10층, Seoul (KR).
- (72) 발명자: 황현상 (HWANG, Hyun-Sang); 706-032 대구시 수성구 돌안로 360 수성태형테시아파트 106-906, Daegu (KR).

(74) 대리인: 유미특허법인 (YOU ME PATENT AND LAW FIRM); 135-080 서울시 강남구 역삼동 649-10 서림빌딩, Seoul (KR).

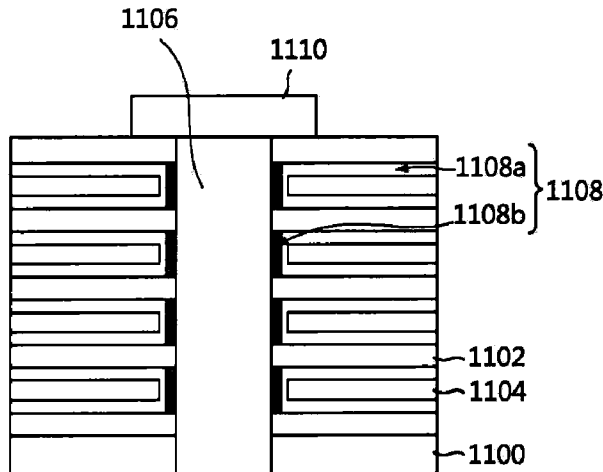
(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KN, KP, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),

[다음 쪽 계속]

(54) Title: VERTICAL RESISTIVE RANDOM ACCESS MEMORY DEVICE, AND METHOD FOR MANUFACTURING SAME

(54) 발명의 명칭 : 수직형 저항 변화 메모리 소자 및 그 제조방법



(57) Abstract: The present invention relates to a resistive random access memory device and to a method for manufacturing same. The resistive random access memory device of the present invention comprises: a plurality of horizontal electrodes stacked with a predetermined spacing therebetween and extending in a horizontal direction; interlayer insulation films formed among the plurality of horizontal electrodes; a plurality of vertical electrodes penetrating through the plurality of stacked horizontal electrodes and the interlayer insulation films in the vertical direction so as to form points of intersection with the horizontal electrodes; and metal oxide films formed between the interlayer insulation films and the horizontal electrodes such that the U-shaped cross-section thereof surrounds the horizontal electrodes, said metal oxide films having surfaces that contact the vertical electrodes, said surfaces being treated with oxygen such that the oxygen composition ratio of the surfaces contacting the vertical electrodes is higher than the oxygen composition ratio of the surfaces contacting the horizontal electrodes, thus enabling the metal oxide films to have threshold switching characteristics and memory switching characteristics.

(57) 요약서:

[다음 쪽 계속]



WO 2014/003396 A1



OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, **공개:**
ML, MR, NE, SN, TD, TG).

— 국제조사보고서와 함께 (조약 제 21 조(3))

본 발명은 저항 변화 메모리 소자 및 그 제조방법에 관한 것이다. 본 발명은 서로 일정 간격을 두고 적층되고 수평 방향으로 연장된 복수의 수평 전극; 복수의 수평 전극들 사이에 각각 형성된 층간 절연막; 적층된 복수의 수평 전극들과 층간 절연막들을 수직 방향에서 관통하여 수평 전극과 교차점을 갖도록 형성되는 복수의 수직 전극; 및 층간 절연막과 수평 전극 사이에서 수평 전극을 감싸는 형태로 그 단면이 U 형을 갖도록 형성되고, 수직 전극과 접하는 면이 산소 처리되어 수직 전극과 접하는 면의 산소 조성비가 수평 전극과 접하는 면의 산소 조성비보다 높도록 형성되어 문턱 스위칭 특성과 메모리 스위칭 특성을 갖도록 형성된 금속 산화물막을 포함한다.

명세서

발명의 명칭: 수직형 저항 변화 메모리 소자 및 그 제조방법

기술분야

[0001] 본 발명은 수직형 저항 변화 메모리(ReRAM: Resistance change RAM)에 관한 것으로, 더욱 자세하게는 수평 방향으로 연장되고 절연층을 사이에 두고 적층된 복수의 수평 전극과 수직 방향으로 연장된 수직 전극이 만나는 교차점에 문턱 스위칭 특성과 메모리 스위칭 특성을 함께 갖는 금속 산화물막을 형성하여 집적도를 향상시킨 저항 변화 메모리 소자 및 그 제조방법에 관한 것이다.

[0002]

배경기술

[0003] 정보화 산업시대의 발달과 함께 전자 산업, 특히 그 중에서도 PC 산업과 통신 산업의 발달로 모바일(Mobile) 기기들이 발전하게 되었다. 즉 PC 산업과 통신 산업이 팽창되면서 기존의 기술 개발 속도를 능가하는 급속한 고기능화와 다기능화가 요구되고 있다. 전통적인 관점에서 보면 반도체 소자는 고성능화 다기능화를 위해서 주어진 면적 내에 다양한 회로를 구성하는 방법이 주된 발전의 방향이 되어 왔다. 이를 위해서 제조 공정 기술의 미세화가 가장 중점적으로 추진되어 왔으며, 지금까지는 무어의 법칙을 만족시키면서 지속되어 왔다. 특히 최근 각광받고 있는 비휘발성 메모리인 플래시(FLASH) 메모리 소자의 경우 스케일링(Scaling)의 어려움이 있어서, 차세대 테라비트급 비휘발성 메모리를 개발하기 위해서는 새로운 반도체 소자용 특성 물질에 기반을 둔 메모리 소자의 개발이 시급한 실정이다.

[0004] 이러한 측면에서, 저항 변화 메모리(ReRAM)는 간단한 공정과 우수한 온/오프(On/Off) 특성으로 인해서 가장 유망한 차세대 비휘발성 메모리 소자로 부상하게 되었다. 저항 변화 메모리에 대한 연구는 아직 기술 개발의 초기 단계로 세계적인 수준의 기술과 우리나라의 기술 격차가 그다지 크지 않은 상태이므로 진입 장벽이 낮은 편이어서 핵심기술을 확보하기 위한 연구가 활발하게 진행되고 있다.

[0005] 저항 변화 메모리는 일반적으로, 금속 산화물을 이용하여 금속/금속 산화물/금속(MIM)의 구조를 갖고 있으며, 적당한 전기적 신호를 금속 산화물에 인가하면 금속 산화물의 저항이 큰 상태(High Resistance State, HRS 또는 OFF state)에서 저항이 작은 상태(Low Resistance State, LRS 또는 ON state), 또는 그 반대의 상태로 바뀌게 되어 메모리 소자로서의 특성이 나타나게 된다. ON/OFF 스위칭 메모리 특성을 구현하는 전기적 방식에 따라 전류 제어 부성 미분 저항(Current Controlled Negative Differential Resistance, CCNR) 또는 전압 제어

부성 미분 저항(Voltage Controlled Negative Differential Resistance, VCNR)으로 분류될 수 있으며, VCNR의 경우 전압이 증가함에 따라 전류가 큰 상태에서 작아지는 상태로 변화하는 특징을 보이는데 이때 나타나는 큰 저항 차이를 이용하여 메모리 특성을 구현할 수 있다.

[0006] 인가되는 전압에 따라 저항 상태가 바뀌게 되는 금속 산화물의 스위칭 특성에 대하여 많은 연구가 오랫동안 진행되어 왔으며 그 결과 크게 2가지 스위칭 모델이 제시되었다.

[0007] 첫째는 금속 산화물 내부에 어떤 구조적인 변화가 야기되어 본래의 금속 산화물과 저항 상태가 다른 전도성이 큰 통로(path)가 형성되는데, 이것이 전도성 필라멘트(conducting filament) 모델이다. 이 모델에 따르면 전기적 스트레스(일반적으로 forming process라고 함)에 의해 박막 내부로 전극 금속 물질이 확산 또는 주입되거나 박막 내 결함 구조의 재배열에 의해 전도성이 매우 높은 전도성 필라멘트가 형성된다는 것이다. 이 전도성 필라멘트는 국부적 영역에서의 줄 히팅(joule heating)에 의해 전도성 필라멘트의 파괴가 발생하며 박막 내 온도, 박막 외부 온도, 인가된 전기장, 공간 전하(space charge) 현상 등과 같은 요인에 의해 전도성 필라멘트가 재형성되는 현상이 반복적으로 발생함에 따라 스위칭 특성이 나타난다는 것이다.

[0008] 둘째는 금속 산화물 내부에 존재하는 많은 트랩(trap)들에 의한 스위칭 모델이다. 일반적으로 금속 산화물에는 금속 입자나 산소 입자와 관련된 많은 트랩이 존재하게 되며 이 트랩에 전하가 충전 및 방전(charging or discharging)되면 전극과 박막 계면에서 밴드 벤딩(band bending)이 발생하거나 공간 전하에 의해 내부 전기장의 변화를 일으키게 되어 스위칭 특성이 나타난다고 한다.

[0009] 이러한 메커니즘들을 통해 저항 변화 메모리(ReRAM) 소자는 기존의 플래시 메모리보다 매우 빠른 동작 속도(수십 nsec)를 나타내며 DRAM과 같이 낮은 전압(2~5 V 이하)에서도 동작이 가능하다. 또한 SRAM과 같은 빠른 읽기-쓰기가 가능하고, 메모리 소자가 간단한 구조를 가지기 때문에 공정상 발생할 수 있는 결함을 감소시킬 수 있을 뿐 아니라 동시에 공정비용을 줄일 수 있어 값싼 메모리 소자 제작이 가능하다는 장점이 있다. 더구나 우주복사선이나 전자파 등에 영향을 받지 않아 우주공간에서도 제 기능을 발휘할 수 있으며 10^{10} 회 이상의 쓰기와 지우기를 반복하여도 메모리 성능에 저하가 없다.

[0010] 이러한 장점으로 인해 저장 매체가 필요한 모든 기기에 적용이 가능하며 특히, 내장형 집적회로(embedded IC)와 같이 시스템 온 어 칩(system-on-a chip; SoC)화 되어가는 메모리 소자의 용도에 적합한 특성을 가지고 있다.

[0011] 이와 같은 장점에도 불구하고 아직까지 저항변화 메모리는 정확한 스위칭 메커니즘이 알려져 있지 않아 재현성에 상당한 약점을 지니고 있으며, 이 밖에도 각 소자 간 동작 전압, 전류, 내구력 등 약간의 편차가 존재한다. 따라서 저항 변화 메모리(ReRAM)가 실제 제품화하기 위해서는 위에서 언급한 문제들을

해결하기 위한 신재료 개발, 스위칭 메카니즘 규명, 공정개발, 공정 장비, 회로 설계 등에 있어서 종합적인 연구개발이 필요한 상황이다.

[0012] 한편, 최근에는 저항 변화 메모리(ReRAM) 소자의 집적도를 향상시키기 위해 수평 방향으로 연장되는 복수의 수평 전극과 수직방향으로 연장되는 복수의 수직 전극이 크로스 포인트 구조에 배치되고, 크로스 포인트에 저항변화물질층을 형성한 메모리 소자가 제안되었다.

[0013] 일본 공개특허공보2011-129639호에 제안된 저항변화 메모리 소자는 수평 방향으로 연장되는 복수의 수평 전극과 수직 방향으로 연장되는 복수의 수직 전극이 크로스 포인트 구조에 배치되는 저항 변화 메모리 소자로, 각 전극의 대향 영역에 정류 절연막, 도전층 및 저항 가변막이 설치되고, 정류 절연막은 수평 전극 및 수직 전극의 일측면에 접하여 설치되고, 저항 가변막은 수평 전극 및 수직 전극의 다른 방향의 측면에 접하여 설치되며, 도전층은 정류 절연막과 저항 가변막 사이에 설치되고, 수평 전극 방향 또는 수직 전극 방향의 단면에 있어서 인접하는 전극 간의 영역에서 분단되어 있다. 이와 같은 종래 기술은 수직형 전극과 수평 전극의 크로스 포인트에 저항 변화 메모리 셀을 형성하여 집적도를 향상시킬 수는 있지만, 여전히 제조 시 공정이 복잡하다는 단점이 있다.

[0014] 한편, 저항 변화 메모리 소자를 어레이로서 구현하기 위해서는, 메모리 특성을 나타내는 저항 변화 소자와 더불어서 이 저항 변화 소자에 전기적으로 연결된 선택 소자를 구비하는 것이 일반적이다. 선택 소자는 트랜지스터 또는 다이오드일 수 있다. 그러나, 트랜지스터는 펀치 스루(punch through)와 같은 단채널 효과(short channel effect)로 인해 소자 사이즈 감소에 한계가 있다. 또한, 다이오드는 한 방향으로만 전류를 흐르게 하므로, 저항 변화 소자와 같이 양극성에서 저항 변화 특성을 나타내는 바이폴라 소자에는 적절하지 않은 단점이 있다.

[0015] 일본 공개특허2011-129639호는 선택소자로 정류 절연막을 이용한다. 선택 소자는 트랜지스터 또는 다이오드일 수 있다. 하지만, 현재까지 제안된 선택 소자들은 전류 밀도가 작아 저항변화 물질층을 동작시키기에는 충분한 전류를 제공하지 못한다는 문제점이 있다. 이와 같은 문제점을 극복하기 위해서는 선택소자의 면적을 저항변화 물질층의 면적보다 충분히 크게 해야 한다.

[0016] 한편, 일반적으로 저항변화 메모리는 하부전극과 상부전극 사이에 인가되는 전압에 따라 저항변화 물질층 내에 전류 경로가 형성되거나, 형성된 전류 경로가 사라진다. 통상 전류 경로는 입자 경계(grain boundary)를 따라 발생된다. 그런데, 전류 경로 서로 다른 인가 전압에서 형성되므로 저항변화 물질층의 저항 변화를 일으키는 전압의 분포는 넓어진다. 즉, 저항변화 메모리는 명확히 두 개의 서로 다른 저항 상태를 갖지만, 두 저항 상태가 변화하기 시작하는 전압의 범위가 과도하게 넓다. 이와 같이, 저항 변화를 일으키는 전압의 분포가 넓은 경우, 저항변화 물질층의 저항 변화를 제한된 전압 범위에서 재현하기 어렵다. 이것은

동일한 인가 전압에서 저항변화 물질층이 동일한 저항 상태를 갖고 있어야 하는데, 실제로는 그렇지 않을 수 있음을 의미한다. 이와 같은 문제점을 해결하기 위해서는 메모리 스위칭에 관여하는 저항변화 물질층과 전극 사이의 접촉 면적을 가능한 한 작게 만들 필요가 있다.

[0017] 한편, 일반적으로 저항변화 메모리는 하부전극과 상부전극 사이에 인가되는 전압에 따라 저항변화 물질층 내에 전류 경로가 형성되거나, 형성된 전류 경로가 사라진다. 통상 전류 경로는 입자 경계(grain boundary)를 따라 발생된다. 그런데, 전류 경로 서로 다른 인가 전압에서 형성되므로 저항변화 물질층의 저항 변화를 일으키는 전압의 분포는 넓어진다. 즉, 저항변화 메모리는 명확히 두 개의 서로 다른 저항 상태를 갖지만, 두 저항 상태가 변화하기 시작하는 전압의 범위가 과도하게 넓다. 이와 같이, 저항 변화를 일으키는 전압의 분포가 넓은 경우, 저항변화 물질층의 저항 변화를 제한된 전압 범위에서 재현하기 어렵다. 이것은 동일한 인가 전압에서 저항변화 물질층이 동일한 저항 상태를 갖고 있어야 하는데, 실제로는 그렇지 않을 수 있음을 의미한다.

[0018] 한편, 저항 변화 메모리 소자를 어레이로서 구현하기 위해서는, 메모리 특성을 나타내는 저항 변화 소자와 더불어서 이 저항 변화 소자에 전기적으로 연결된 선택 소자를 구비하는 것이 일반적이다. 선택 소자는 트랜지스터 또는 다이오드일 수 있다. 그러나, 트랜지스터는 펀치 스루(punch through)와 같은 단채널 효과(short channel effect)로 인해 소자 사이즈 감소에 한계가 있다. 또한, 다이오드는 한 방향으로만 전류를 흐르게 하므로, 저항 변화 소자와 같이 양극성에서 저항 변화 특성을 나타내는 바이폴라 소자에는 적절하지 않은 단점이 있다.

[0019]

발명의 요약

기술적 과제

[0020] 따라서 본 발명은 상기와 같은 종래 기술의 문제점을 해결하기 위해 제안된 것으로, 수평 방향으로 연장되고 절연층을 사이에 두고 적층된 복수의 수평 전극과 수직 방향으로 연장된 수직 전극이 만나는 교차점에 문턱 스위칭 특성과 메모리 스위칭 특성을 함께 갖는 금속 산화물막을 형성하여 집적도를 향상시키고 더불어 제조 공정을 매우 단순화시켜 제조 비용을 절감할 수 있는 하이브리드 스위칭 막을 갖는 수직형 저항 변화 메모리 소자 및 그 제조방법을 제공하는데 일 목적이 있다.

[0021] 또한 본 발명은 수평 방향으로 연장되고 절연층을 사이에 두고 적층된 복수의 수평 전극과 수직 방향으로 연장된 수직 전극이 만나는 교차점에 저항변화 물질층을 형성한 수직형 저항변화 메모리에서 선택소자 기능층을 수직 전극을 따라 연장하여 각 메모리 셀들이 공통으로 사용할 수 있도록 함으로써, 선택소자의 면적을 저항변화 물질층보다 충분히 넓게 하여 안정적인 동작이

가능한 수직형 저항 변화 메모리 소자 및 그 제조방법을 제공하는데 다른 목적이 있다.

[0022] 또한 본 발명은 수평 방향으로 연장되고 절연층을 사이에 두고 적층된 복수의 수평 전극과 수직 방향으로 연장된 수직 전극이 만나는 교차점에 저항변화 물질층을 형성한 수직형 저항변화 메모리에서 저항변화 물질층과 수평 전극 사이에 원자층 증착법(ALD: Atomic Layer Deposition)을 이용해 박막층을 형성하여, 박막층에 형성된 미세한 틈을 통해 저항변화 물질층과 수평 전극 사이에 접촉이 일어나도록 함으로써, 저항변화 물질층과 전극 사이의 접촉 면적을 최소화 할 수 있는 수직형 저항 변화 메모리 소자 및 그 제조방법을 제공하는데 또 다른 목적이 있다.

[0023] 또한 본 발명은 상기와 같은 종래 기술의 문제점을 해결하기 위해 제안된 것으로, 수평 방향으로 연장되고 절연층을 사이에 두고 적층된 복수의 수평 전극과 수직 방향으로 연장된 수직 전극이 만나는 교차점에 저항변화 물질층을 형성한 수직형 저항변화 메모리에서, 수평 전극을 선택 식각비가 상이한 도전물질을 이용해 복층으로 구성하여 피뢰침 형상을 갖도록 함으로써, 저항 변화 물질층의 스위칭 균일성을 향상시킨 수직형 저항 변화 메모리 소자 및 그 제조방법을 제공하는데 또 다른 목적이 있다.

[0024] 또한 본 발명은 수평 방향으로 연장되고 절연층을 사이에 두고 적층된 복수의 수평 전극과 수직 방향으로 연장된 수직 전극이 만나는 교차점에 형성되는 저항변화 물질층을, 서로 다른 물질로 구성된 제1 저항변화 물질층과 제2 저항변화 물질층으로 구성하고, 제1 저항변화 물질층 내에 제1 저항변화 물질층과 상이한 금속 물질에 의해 형성되는 전도성 필라멘트를 형성하는 것에 의해 선택소자 없이 구동 가능한 수직형 저항 변화 메모리 소자 및 그 제조방법을 제공하는데 또 다른 목적이 있다.

[0025] 본 발명의 목적들은 이상에서 언급한 목적으로 제한되지 않으며, 언급되지 않은 본 발명의 다른 목적 및 장점들은 하기의 설명에 의해서 이해될 수 있으며, 본 발명의 실시예에 의해 보다 분명하게 알게 될 것이다. 또한, 본 발명의 목적 및 장점들은 특허 청구 범위에 나타낸 수단 및 그 조합에 의해 실현될 수 있음을 쉽게 알 수 있을 것이다.

[0026]

과제 해결 수단

[0027] 상기 목적을 달성하기 위한 본 발명은, 서로 일정 간격을 두고 적층되고 수평 방향으로 연장된 복수의 수평 전극; 상기 복수의 수평 전극들 사이에 각각 형성된 층간 절연막; 상기 적층된 복수의 수평 전극들과 층간 절연막들을 수직 방향에서 관통하여 상기 수평 전극과 교차점을 갖도록 형성되는 복수의 수직 전극; 및 상기 층간 절연막과 상기 수평 전극 사이에서 상기 수평 전극을 감싸는 형태로 그 단면이 U형을 갖도록 형성되고, 상기 수직 전극과 접하는 면이 산소

처리되어 상기 수직 전극과 접하는 면의 산소 조성비가 상기 수평 전극과 접하는 면의 산소 조성비보다 높도록 형성되어 문턱 스위칭 특성과 메모리 스위칭 특성을 갖도록 형성된 금속 산화물막을 포함한다.

[0028] 또한 본 발명은 수직형 저항 변화 메모리 소자의 제조 방법에 있어서, (a) 기판 상에 층간 절연막과 희생막을 교대로 적층하는 단계; (b) 상기 층간 절연막과 희생막을 수직 방향으로 관통하면서 서로 일정 간격 이격되는 제1 개구부를 형성하고, 상기 제1 개구부 내에 제거 가능한 물질로 채워 기둥부를 형성하는 단계; (c) 상기 기둥부들 사이에 복수의 제2 개구부를 형성한 후, 상기 희생막을 제거하여 상기 층간 절연막들 사이에 요부를 형성하는 단계; (d) 상기 요부에 의해 노출된 상기 기둥부 및 상기 층간 절연막 상에 금속 산화물막을 형성하는 단계; (e) 상기 요부 내에 형성된 상기 금속 산화물막 상에 도전물질을 매립하여 수평 전극을 형성하는 단계; (f) 상기 금속 산화물막의 일부가 노출되도록 상기 기둥부를 제거하여 제3 개구부를 형성하는 단계; (g) 메모리 스위칭 특성과 문턱 스위칭 특성을 갖도록 상기 제3 개구부에서 노출된 금속 산화물막을 산소 처리하는 단계; 및 (h) 상기 제3 개구부 내에 도전물질을 매립하여 수직 전극을 형성하는 단계를 포함한다.

[0029] 바람직하게는 상기 금속 산화물막은, 동일한 금속 산화물로 구성되고, 상기 수직 전극과 접하는 면인 산소 조성비가 높은 부분이 상기 메모리 스위칭 특성을 가지며, 상기 수평 전극과 접하는 면이 문턱 스위칭 특성을 갖는다.

[0030] 바람직하게는 상기 금속 산화물막은, FeOx , VOx , TiOx , 또는 NbOx 중 어느 하나로 구성될 수 있다.

[0031] 바람직하게는 상기 수평 전극 및 상기 수직 전극은, 금속 도전체로 구성될 수 있다.

[0032] 바람직하게는 상기 층간 절연막은, 실리콘 질화물일 수 있고, 상기 희생막은 실리콘 산화물일 수 있다.

[0033] 또한 본 발명에 따른 저항변화 메모리 소자는, 서로 일정 간격을 두고 적층되고 수평 방향으로 연장된 복수의 수평 전극; 상기 복수의 수평 전극들 사이에 각각 형성된 층간 절연층; 상기 적층된 복수의 수평 전극들과 층간 절연층들을 수직 방향에서 관통하여 상기 수평 전극과 교차점을 갖도록 형성되는 복수의 수직 전극; 상기 수직 전극의 측벽을 따라 길이 방향으로 연장되게 형성되어 인가되는 전압의 크기 또는 극성에 따라 통과 전류량을 제어하는 선택소자 기능층; 상기 층간 절연층과 상기 수평 전극 사이에서 상기 층간 절연층 상 및 상기 선택소자 기능층 상에 형성된 도전층; 및 상기 도전층과 상기 수평 전극 사이에 형성되는 인가되는 전압에 따라 저항치가 가변되는 저항변화 물질층을 포함한다.

[0034] 또한 본 발명에 따른 저항변화 메모리 소자의 제조방법은, 수직형 저항 변화 메모리 소자의 제조 방법에 있어서, (a) 기판 상에 층간 절연층과 희생층을 교대로 적층하는 단계; (b) 상기 층간 절연층과 희생층을 수직 방향으로 관통하면서 서로 일정 간격 이격되는 제1 개구부를 형성하는 단계; (c) 상기 제1

개구부 내벽에 선택소자 기능층을 증착하고, 상기 제1 개구부 내부를 도전막으로 채워 수직 전극을 형성하는 단계; (d) 상기 수직 전극들 사이에 복수의 제2 개구부를 형성한 후, 상기 희생층을 제거하여 상기 층간 절연층들 사이에 요부를 형성하는 단계; (e) 상기 요부에 의해 노출된 상기 선택소자 기능층 및 상기 층간 절연층 상에 도전층을 형성하는 단계; (f) 상기 도전층 상에 저항변화 물질층을 형성하는 단계; 및 (g) 상기 요부 내에 형성된 상기 저항변화 물질층 상에 도전물질을 매립하여 수평 전극을 형성하는 단계를 포함한다.

[0035] 또한 본 발명에 따른 저항변화 메모리 소자는, 서로 일정 간격을 두고 적층되고 수평 방향으로 연장된 복수의 수평 전극; 상기 복수의 수평 전극들 사이에 각각 형성된 층간 절연층; 상기 적층된 복수의 수평 전극들과 층간 절연층들을 수직 방향에서 관통하여 상기 수평 전극과 교차점을 갖도록 형성되는 복수의 수직 전극; 상기 수직 전극의 측벽을 따라 길이 방향으로 연장되게 형성되어 인가되는 전압에 따라 저항치가 가변되는 저항변화 물질층; 및 상기 저항변화 물질층과 상기 수평 전극들 사이에 미세한 틈을 갖도록 형성되어, 상기 미세한 틈을 통해 상기 저항변화 물질층과 상기 수평 전극이 접촉되도록 하는 박막층을 포함한다.

[0036] 또한 본 발명에 따른 저항변화 메모리 소자의 제조방법은, 수직형 저항 변화 메모리 소자의 제조 방법에 있어서, (a) 기판 상에 층간 절연층과 도전층을 교대로 적층하는 단계; (b) 상기 층간 절연층과 상기 도전층을 수직 방향으로 관통하면서 서로 일정 간격 이격되는 복수의 제1 개구부를 형성하여 수평 전극을 형성하는 단계; (c) 상기 제1 개구부 내벽에 미세한 틈을 갖는 박막층을 형성하는 단계; (d) 박막층 상에 저항변화 물질층을 형성하는 단계; 및 (f) 상기 제1 개구부를 채우도록 상기 저항변화 물질층 상에 도전층을 매립하여 수직 전극을 형성하는 단계를 포함한다.

[0037] 또한 본 발명에 따른 저항변화 메모리 소자는, 서로 일정 간격을 두고 적층되고 수평 방향으로 연장되며, 선택 식각비가 서로 상이한 도전성 물질을 이용해 복층 구조로 형성되는 복수의 수평 전극; 상기 복수의 수평 전극들 사이에 각각 형성된 층간 절연층; 상기 적층된 복수의 수평 전극들과 층간 절연층들을 수직 방향에서 관통하여 상기 수평 전극과 교차점을 갖도록 형성되는 복수의 수직 전극; 및 상기 수직 전극의 측벽을 따라 길이 방향으로 연장되게 형성되어 인가되는 전압에 따라 저항치가 가변되는 저항변화 물질층을 포함한다.

[0038] 또한 본 발명에 따른 저항변화 메모리 소자의 제조방법은, 수직형 저항 변화 메모리 소자의 제조 방법에 있어서, 기판 상에 층간 절연층과 도전층을 교대로 적층하되, 상기 도전층은 선택 식각비가 서로 상이한 도전성 물질을 복층 적층하는 단계; 상기 층간 절연층과 상기 도전층을 수직 방향으로 관통하면서 서로 일정 간격 이격되는 복수의 제1 개구부를 형성하여 수평 전극을 형성하는 단계; 상기 제1 개구부 내벽에 저항변화 물질층을 형성하는 단계; 및 상기 제1 개구부를 채우도록 상기 저항변화 물질층 상에 도전층을 매립하여 수직 전극을 형성하는 단계를 포함한다.

[0039] 또한 본 발명에 따른 저항변화 메모리 소자의 제조방법은, 수직형 저항 변화 메모리 소자의 제조 방법에 있어서, 기판 상에 층간 절연층과 도전층을 교대로 적층하되, 상기 도전층은 선택 식각비가 서로 상이한 도전성 물질을 복층 적층하는 단계; 상기 층간 절연층과 상기 도전층을 수직 방향으로 관통하면서 서로 일정 간격 이격되는 복수의 제1 개구부를 형성하여 수평 전극을 형성하는 단계; 상기 제1 개구부 내에 노출된 상기 수평 전극에 대해 선택 에칭하는 단계; 상기 제1 개구부 내벽에 저항변화 물질층을 형성하는 단계; 및 상기 제1 개구부를 채우도록 상기 저항변화 물질층 상에 도전층을 매립하여 수직 전극을 형성하는 단계를 포함한다.

[0040] 또한 본 발명은 서로 일정 간격을 두고 적층되고 수평 방향으로 연장된 복수의 수평 전극; 상기 복수의 수평 전극들 사이에 각각 형성된 층간 절연막; 상기 적층된 복수의 수평 전극들과 층간 절연막들을 수직 방향에서 관통하여 상기 수평 전극과 교차점을 갖도록 형성되는 복수의 수직 전극; 상기 수직 전극과 상기 수평 전극 사이에 상기 수직 전극에 접촉되게 형성되고, 금속 이온 필라멘트가 형성된 제1 저항변화 물질층; 및 상기 제1 저항변화 물질층과 다른 물질로 형성되고, 상기 수평 전극과 상기 제1 저항변화 물질층 사이에 형성된 제2 저항변화 물질층을 포함한다.

[0041] 또한 본 발명은 수직형 저항 변화 메모리 소자의 제조 방법에 있어서, (a) 기판 상에 층간 절연막과 희생막을 교대로 적층하는 단계; (b) 상기 층간 절연막과 희생막을 수직 방향으로 관통하면서 서로 일정 간격 이격되는 제1 개구부를 형성하고, 상기 제1 개구부 내에 수직 전극을 형성하는 단계; (c) 상기 수직 전극들 사이에 복수의 제2 개구부를 형성한 후, 상기 희생막을 제거하여 상기 층간 절연막들 사이에 요부를 형성하는 단계; (d) 상기 요부 내에 제1 저항변화 물질층을 형성하는 단계; (e) 상기 제1 저항변화 물질층 상의 상기 요부 내에 금속 물질을 증착한 후, 열 처리를 통해 상기 제1 저항변화 물질층 내에 금속 이온 필라멘트를 형성하는 단계; (f) 상기 요부 내의 금속 물질을 제거하는 단계; (g) 상기 제1 저항변화 물질층 상에 상기 제1 저항변화 물질층과 상이한 물질의 제2 저항변화 물질층을 형성하는 단계; 및 (h) 상기 요부 내에 형성된 상기 제2 저항변화 물질층 상에 도전물질을 매립하여 수평 전극을 형성하는 단계를 포함한다.

[0042]

발명의 효과

[0043] 상기와 같은 본 발명은 수평 방향으로 연장되고 절연층을 사이에 두고 적층된 복수의 수평 전극과 수직 방향으로 연장된 수직 전극이 만나는 교차점에 문턱 스위칭 특성과 메모리 스위칭 특성을 함께 갖는 금속 산화물막을 형성하는 것만으로 별도의 선택소자 없이 저항 변화 메모리를 구현할 수 있어 제조 비용을 최소화 할 수 있는 효과가 있다. 또한, 본 발명은 복수의 수평 전극들이 적층되고

수평 전극 사이를 수직방향으로 관통하는 수직 전극들 사이에 문턱 스위칭 특성과 메모리 스위칭 특성을 함께 갖는 금속 산화물막을 위치시킴으로써 집적도를 매우 높일 수 있는 효과가 있다.

[0044] 또한 본 발명은 수평 방향으로 연장되고 절연층을 사이에 두고 적층된 복수의 수평 전극과 수직 방향으로 연장된 수직 전극이 만나는 교차점에 저항변화 물질층을 형성한 수직형 저항변화 메모리에서 선택소자 기능층을 수직 전극을 따라 연장하여 각 메모리 셀들이 공통으로 사용하도록 하는 셀 구조를 제공한다. 이와 같은 본 발명은 선택소자의 면적을 저항변화 물질층보다 충분히 넓게 하여 저항변화 물질층의 저항 상태 변화를 위한 충분한 전류 밀도를 제공함으로써 저항변화 메모리의 안정적인 동작이 가능한 효과가 있다.

[0045] 또한 본 발명은 수평 방향으로 연장되고 절연층을 사이에 두고 적층된 복수의 수평 전극과 수직 방향으로 연장된 수직 전극이 만나는 교차점에 저항변화 물질층을 형성한 수직형 저항변화 메모리에서 저항변화 물질층과 수평 전극 사이에 형성된 박막층의 미세한 틈을 통해 저항변화 물질층과 수평 전극 사이에 접촉이 일어나도록 함으로써, 저항변화 물질층과 전극 사이의 접촉 면적을 최소화 할 수 있어 저항변화 메모리의 안정적인 동작이 가능한 효과가 있다.

[0046] 또한 본 발명은 수평 방향으로 연장되고 절연층을 사이에 두고 적층된 복수의 수평 전극과 수직 방향으로 연장된 수직 전극이 만나는 교차점에 저항변화 물질층을 형성한 수직형 저항변화 메모리에 있어서, 선택 식각비가 상이한 도전물질을 이용해 수평 전극을 복층으로 구성하여 피뢰침 형상을 갖도록 함으로써, 저항 변화 물질층의 스위칭 균일성을 향상시킬 수 있으며, 이에 따라 저항변화 메모리의 안정적인 동작이 가능한 효과가 있다.

[0047] 또한 본 발명은 수평 방향으로 연장되고 절연층을 사이에 두고 적층된 복수의 수평 전극과 수직 방향으로 연장된 수직 전극이 만나는 교차점에 저항변화 물질층을 형성하되, 상기 저항변화 물질층을 서로 다른 물질로 구성된 제1 저항변화 물질층과 제2 저항변화 물질층으로 구성하고, 제1 저항변화 물질층 내에 제1 저항변화 물질층과 상이한 금속 물질에 의해 형성되는 전도성 필라멘트를 형성하는 것에 선택소자 없이 저항변화 메모리 소자를 구동할 수 있도록 함으로써, 제조 비용을 최소화 할 수 있고 집적도를 향상시킬 수 있는 효과가 있다.

[0048]

도면의 간단한 설명

[0049] 도 1은 본 발명의 실시예에 따른 수직형 저항 변화 메모리 소자의 단면도이고,

[0050] 도 2 내지 도 11는 본 발명의 실시예에 따른 수직형 저항 변화 메모리 소자의 제조 방법을 설명하기 위한 공정 단면도이며,

[0051] 도 12 내지 도 19는 본 발명의 실시예에 따른 저항 변화 메모리 단위 셀의 전류-전압 특성을 설명하기 위한 단면도이고,

- [0052] 도 20는 본 발명의 실시예에 따른 저항 변화 메모리 단위 셀의 전류-전압 그래프이며,
 [0053] 도 21은 본 발명의 실시예에 따른 공통 선택소자를 갖는 수직형 저항 변화 메모리 소자의 단면도이고,
 [0054] 도 22 내지 도 31는 본 발명의 실시예에 따른 공통 선택 소자를 갖는 수직형 저항 변화 메모리 소자의 제조 방법을 설명하기 위한 공정 단면도이며,
 [0055] 도 32은 본 발명의 실시예에 따른 수직형 저항 변화 메모리 소자의 단면도이고,
 [0056] 도 33는 본 발명의 실시예에 따른 도 32의 A부분의 확대 단면도이며,
 [0057] 도 34 내지 도 40는 본 발명의 실시예에 따른 수직형 저항 변화 메모리 소자의 제조 방법을 설명하기 위한 공정 단면도이고,
 [0058] 도 41은 본 발명의 실시예에 따른 수직형 저항 변화 메모리 소자의 단면도이며,
 [0059] 도 42 및 도 43는 본 발명의 실시예에 따른 도 41의 A부분의 확대 단면도이고,
 [0060] 도 44 내지 도 48는 본 발명의 실시예에 따른 수직형 저항 변화 메모리 소자의 제조 방법을 설명하기 위한 공정 단면도이며,
 [0061] 도 49은 본 발명의 실시예에 따른 수직형 저항 변화 메모리 소자의 단면도이고,
 [0062] 도 50 내지 도 61은 본 발명의 실시예에 따른 수직형 저항 변화 메모리 소자의 제조 방법을 설명하기 위한 공정 단면도이며,
 [0063] 도 62 및 도 63는 본 발명의 실시예에 따른 저항 변화 메모리 소자의 전류-전압 특성을 나타낸 그래프이다.

[0064]

발명의 실시를 위한 최선의 형태

- [0065] 상술한 목적, 특징 및 장점은 첨부된 도면을 참조하여 상세하게 후술되어 있는 상세한 설명을 통하여 보다 명확해 질 것이며, 그에 따라 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 것이다. 또한, 본 발명을 설명함에 있어서 본 발명과 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에 그 상세한 설명을 생략하기로 한다. 이하, 본 발명의 바람직한 실시예를 첨부된 도면들을 참조하여 상세히 설명한다.
- [0066] 도 1은 본 발명의 실시예에 따른 수직형 저항 변화 메모리 소자의 단면도를 나타낸다. 도 1을 참조하면 기판(1100) 상에 절연층(1102)들과 수평 전극(1104)들이 교대로 적층되고, 절연층(1102)들과 수평 전극(1104)들을 수직으로 관통하도록 복수의 수직 전극(1106)들이 형성된다. 여기서 수평 전극(1104) 및 수직 전극(1106)은 금속 도전체로 예를 들어, Pt, Ti, TiN, TaN, W일 수 있다. 그리고 절연층(1102)은 실리콘 산화막, 실리콘 질화막, 또는 실리콘 산화질화막으로 형성될 수 있다. 복수의 수직 전극(1106)들은 그 상부에 형성된 비트라인(1110)을 통해 서로 전기적으로 연결된다.
- [0067] 금속 산화물막(1108)은 절연층과 절연층 사이에서 수평 전극(1104)을 감싸면서

일단이 수직 전극(1106)과 접하도록 그 단면이 U형태로 형성된다. 여기서, 금속 산화물막(1108)은 금속이 상대적으로 풍부한 비화학양론막으로서, 문턱 스위칭 특성을 나타내는 막일 수 있다. 일 예로서, 금속 산화물막(1108)은 금속-절연체 전이를 나타내는 막일 수 있으며, FeO_x , VO_x , TiO_x , 또는 NbO_x 일 수 있다.

[0068] 금속 산화물막(1108)은 수직 전극(1106)과 접하는 부분을 산소 처리하여 메모리 스위칭 특성과 문턱 스위칭 특성을 갖도록 한 것이다. 금속 산화물막(1108)의 수직 전극(1106)과 접하는 부분을 산소 처리하는 것은 일 예로서, 수직 전극(1106)을 형성하기 이전 수직 전극이 형성되는 부분의 금속 산화물막(1108)이 노출된 상태에서 증착 장비 내에서 산소 기체를 공급하거나 공기 중에 놓아둘 수 있다.

[0069] 구체적으로, 금속 산화물막(1108) 중 노출되지 않은 영역은 금속 산화물막과 거의 동일한 조성을 갖는 막으로서, 문턱 스위칭 특성을 갖는 문턱 스위칭막(1108a)일 수 있다. 또한, 금속 산화물막(1108) 중 노출된 영역은 상기 산소 처리에 의해, 문턱 스위칭막(1108a)에 비해 금속과 산소의 원자비가 화학양론비에 가까워진 막으로서, 메모리 스위칭 특성을 갖는 메모리 스위칭막(1108b)일 수 있다. 여기서 메모리 스위칭막(1108b)은 문턱 스위칭막(1108a)과 동일한 금속의 산화물막이되, 메모리 스위칭막(1108b)의 산소의 조성비는 문턱 스위칭막(1108a)의 산소의 조성비에 비해 클 수 있다.

[0070] 문턱 스위칭막(1108a)은 금속-절연체 전이(Metal-Insulator Transition) 특성을 나타내는 막일 수 있다. 이러한 문턱 스위칭막(1108a)은 특정한 온도(문턱 온도) 또는 전압(문턱 전압) 이상에서, 전기 저항이 약 10^4 내지 10^5 배 정도로 급격하게 감소할 수 있어, 절연체에서 금속으로 전이될 수 있다.

[0071] 이와 같은 문턱 스위칭막(1108a)과 메모리 스위칭막(1108b)을 갖는 금속 산화물막(1108)을 이용해 저항 변화 메모리로 동작하는 구체적인 방법에 대해서는 도 12 내지 도 4를 참조하여 후술한다.

[0072] 도 2 내지 도 11는 본 발명의 실시예에 따른 수직형 저항 변화 메모리 소자의 제조 방법을 설명하기 위한 공정 단면도이다. 본 발명에 따른 수직형 저항 변화 메모리 소자를 제조하기 위해 먼저, 도 2에 도시되 바와 같이 기판(1100) 상에 층간 절연막(1102) 및 희생막(1103)을 수직 방향으로 반복하여 적층한다. 층간 절연막(1102) 및 희생막(1103)들은 화학기상 증착 공정을 통해 형성될 수 있다.

[0073] 본 실시예에서, 상기 반복 적층되는 구조물의 최하부에는 층간 절연막(1102a)이 구비되고, 최상부에는 희생막(1103e)이 구비되는 것으로, 설명되고 있지만, 최상부에 층간 절연막(1102e)이 구비되는 것도 가능하다.

[0074] 희생막(1103)들은 후속 공정에서 제거되어 금속 산화물막을 형성과 수평 전극이 형성될 부위를 정의한다. 희생막(1103)들은 층간 절연막(1102)들과 식각 선택비를 갖는 물질로 형성되어야 한다. 또한, 희생막(1103)들은 습식 식각 공정을 통해 용이하게 제거될 수 있는 물질로 형성되어야 한다. 바람직하게는 희생막(1103)들은 실리콘 산화물로 이루어지고, 층간 절연막(1102)들은 실리콘

질화물로 이루어질 수 있다. 이하에서는, 희생막(1103)을 실리콘 산화막으로, 층간 절연막(1102)을 실리콘 질화막으로 각각 설명한다.

- [0075] 도 3를 참조하면, 최상부에 위치하는 실리콘 산화막(1103e) 상에 제1 포토레지스트 패턴(도시안됨)을 형성하고, 제1 포토레지스트 패턴을 식각 마스크로 사용하여 실리콘 산화막(1103)들 및 실리콘 질화막(1102)들을 순차적으로 식각함으로써 제1 개구부(1112)들을 형성한다. 이때, 제1 개구부(1112)의 저면에는 기판(1100) 표면이 노출되도록 한다.
- [0076] 도 4를 참조하면, 제1 개구부(1112)들의 내부를 절연물질로 채워 절연물질 패턴(1114)을 형성한다. 절연물질 패턴(1114)은 희생막(1103)을 제거하여 생성된 개구부내에 금속 산화물막을 형성한 후 수직 전극을 형성하기 위해 제거될 것이다. 따라서 절연물질 패턴(1114)은 반드시 절연물질로 채울 필요는 없으며 추후 식각을 통해 제거가 용이한 어떠한 물질도 무방하다.
- [0077] 도 5를 참조하면, 제1 개구부(1112) 내에 절연물질 패턴(1114)을 형성한 후, 실리콘 질화막(1102e)이 노출되도록 실리콘 산화막(1103e)을 연마 공정을 통해 제거한다. 그리고 적층 구조물 상에, 절연물질 패턴(1114)들 사이의 적층 구조물 일부분을 선택적으로 노출하는 제2 포토레지스트 패턴(도시안됨)을 형성한다. 그리고 제2 포토레지스트 패턴을 식각 마스크로 사용하여 상기 적층 구조물을 식각함으로써 제2 개구부(1120)들을 형성한다. 각각의 제2 개구부(1120)들의 저면에는 적층 구조물의 최하부막인 제1 실리콘 질화막(1102a)의 상부면이 노출되도록 한다. 여기서, 제2 개구부(1120)들은 실리콘 산화막 패턴(1103a 내지 1103d)들을 제거하기 위하여 각 층 실리콘 산화막에 습식 식각액이 침투되는 공간을 마련하기 위하여 제공된다.
- [0078] 도 6를 참조하면, 제2 개구부(1120)들의 측벽에 노출되어 있는 제1 내지 제4 실리콘 산화막 패턴(1103a ~ 1103d)을 선택적으로 제거한다. 제1 내지 제4 실리콘 산화막 패턴(1103a ~ 1103d)은 습식 식각 공정을 통해 제거한다. 구체적으로, 제1 내지 제4 실리콘 산화막 패턴(1103a ~ 1103d)은 불산 수용액을 사용하여 제거할 수 있다. 상기 공정을 수행하면, 절연물질 패턴(1114)의 측벽에는 일정 간격을 두고 제1 내지 제5 실리콘 질화막 패턴(1102a ~ 1102e)이 남아있게 된다. 또한, 제2 개구부(1120)의 측벽에서 제1 내지 제4 실리콘 산화막 패턴(1103a ~ 1103d)이 제거된 부위에는 요부(1122)가 생성된다. 이때, 각 층의 요부(1122)들은 서로 통하게 되며, 요부(1122)에 의해서 절연물질 패턴(1114)의 일 측벽이 노출된다. 요부(1122)에 의해 노출되는 절연물질 패턴(1114) 부위는 금속 산화물막과 수평 전극이 형성될 부위이다.
- [0079] 도 7를 참조하면, 요부(1122)에 의해 노출된 절연물질 패턴(1114) 및 제1 내지 제5 실리콘 질화막 패턴(1102a ~ 1102e) 상에 금속 산화물막(1108)을 형성한다. 금속 산화물막(1108)은 금속이 상대적으로 풍부한 비화학양론막으로서, 문턱 스위칭 특성을 나타내는 막일 수 있다. 일 예로서, 금속 산화물막(1108)은 금속-절연체 전이를 나타내는 막일 수 있으며, FeOx, VOx, TiOx, 또는 NbOx 일 수

있다. 금속 산화물막(1108)을 형성하는 것은 물리 기상 증착법, 또는 화학 기상 증착법을 사용하여 수행할 수 있다. 일 예로서, 금속 산화물막(1108)을 형성하는 것은 스퍼터링법 구체적으로, 반응성 스퍼터링법을 사용하여 수행할 수 있다.

[0080] 도 8를 참조하면, 금속 산화물막(1108) 상에, 제2 개구부(1120) 및 요부(1122) 내부를 완전히 채우도록 도전막(1124)을 증착한다. 도전막(1124)은 후속 공정을 통해 수평 전극 패턴으로 제공된다. 제2 개구부(1120) 및 요부(1122) 내부에 도전 물질을 보이드 없이 채우기 위해서는 스텝 커버리지 특성이 양호한 물질을 사용하여 증착하는 것이 바람직하다. 예를 들어, 도전막(1124)은 Pt, Ti, TiN, TaN, W 등일 수 있다.

[0081] 도 9를 참조하면, 적층 구조물의 상부 표면에, 제2 개구부(1120) 내부에 형성되어 있는 도전막(1124) 상부면 및 절연물질 패턴(1114)을 선택적으로 노출하는 제3 포토레지스트 패턴(도시안됨)을 형성한다. 즉, 제3 포토레지스트 패턴은 제2 개구부(1120)와 동일한 부위 또는 제2 개구부(1120)보다 더 넓은 부위를 노출시키는 형상을 갖는다. 그리고 제3 포토레지스트 패턴을 식각 마스크로 사용하여 노출된 도전막(1124) 및 절연물질 패턴(1114)을 이방성 식각함으로써, 각 층의 도전막 패턴(1104a 내지 1104d)들이 수직 방향으로 서로 분리되도록 하는 제3 개구부(1126)를 형성함과 동시에 절연물질 패턴(1114)을 제거하여 금속 산화물막(1108)의 일부면이 노출되도록 하는 제4 개구부(1128)를 형성한다. 제3 개구부(1126)의 저면에는 제1 실리콘 질화막 패턴(1102a)이 노출될 수 있으며, 제4 개구부(1128)의 저면에는 기판(1100)이 노출될 수 있다.

[0082] 이와 같은 식각 공정에 의해, 제1 내지 제5 실리콘 질화막 패턴(1102a ~ 1102e) 사이에는 제1 내지 제4층 수평 전극 패턴(1104a ~ 1104e)과 금속 산화물막(1108) 패턴이 형성된다. 이때, 동일한 층에 형성된 수평 전극 패턴(1102a ~ 102e)들은 서로 전기적으로 연결된다. 그러나, 서로 다른 층에 형성된 수평 전극 패턴(1102a ~ 1102e)들 간에는 서로 절연된다.

[0083] 도 10를 참조하면, 제4 개구부(1128)에 의해 노출된 금속 산화물막(1108)의 표면을 산소 처리한다. 금속 산화물막(1108)의 표면을 산소 처리하는 것은 일 예로서, 금속 산화물막(1108)을 증착 장비 내에서 산소 기체를 공급할 수 있다. 다른 예로서, 금속 산화물막(1108)이 형성된 적층 구조물을 공기 중에 놓아둘 수 있다. 그 결과, 문턱 스위칭 특성과 메모리 스위칭 특성을 함께 갖는 하이브리드 스위칭막이 형성될 수 있다.

[0084] 구체적으로, 금속 산화물막(1108) 중 노출되지 않은 영역은 금속 산화물막과 거의 동일한 조성을 갖는 막으로서, 문턱 스위칭 특성을 갖는 문턱 스위칭막(1108a)일 수 있다. 또한, 금속 산화물막(1108) 중 노출된 영역은 상기 산소 처리에 의해, 문턱 스위칭막(1108a)에 비해 금속과 산소의 원자비가 화학양론비에 가까워진 막으로서, 메모리 스위칭 특성을 갖는 메모리 스위칭막(1108b)일 수 있다. 여기서 메모리 스위칭막(1108b)은 문턱 스위칭막(1108a)과 동일한 금속의 산화물막이 되, 메모리 스위칭막(1108b)의

산소의 조성비는 문턱 스위칭막(1108a)의 산소의 조성비에 비해 클 수 있다.

- [0085] 문턱 스위칭막(1108a)은 금속-절연체 전이(Metal-Insulator Transition) 특성을 나타내는 막일 수 있다. 이러한 문턱 스위칭막(1108a)은 특정한 온도(문턱 온도) 또는 전압(문턱 전압) 이상에서, 전기 저항이 약 10^4 내지 10^5 배 정도로 급격하게 감소할 수 있어, 절연체에서 금속으로 전이될 수 있다.
- [0086] 도 11를 참조하면, 금속 산화물막을 산화시킨 후, 제4 개구부 내에 수직 전극을 위한 도전막을 채워 수직 전극(1106)을 형성한다. 여기서 도전막은 Pt, Ti, TiN, TaN, W 등일 수 있다. 그리고 제3 개구부(1126) 내부를 매립하도록 절연막(1130)을 형성한다. 절연막(1130)은 실리콘 산화물을 화학기상 증착법으로 증착시켜 형성할 수 있다. 그리고 수직 전극 패턴(1106)들 및 제5 실리콘 질화막 패턴(1102e) 상에 도전막(도시안됨)을 형성한다. 이 후, 상기 도전막을 사진 식각 공정을 통해 패터닝함으로써, 수직 전극 패턴(1106)들의 상부를 서로 연결시키는 비트 라인(1110)들을 형성한다.
- [0087] 도 12 내지 도 19는 본 발명의 실시예에 따른 저항 변화 메모리 단위 셀의 전류-전압 특성을 설명하기 위한 단면도이고, 도 20는 본 발명의 실시예에 따른 저항 변화 메모리 단위 셀의 전류-전압 그래프를 나타낸다.
- [0088] 도 12 및 도 20를 참조하면, 수평 전극(1104)에 기준전압 예를 들어, 그라운드 전압(V_0)을 인가한 상태에서, 수직 전극(1106)에 OV에서 제1 문턱 전압($V_{th}(+)$) 미만까지의 양의 스위칭 전압(V_p)을 인가한다(P1). 이때, 수평 및 수직 전극들(1104, 1106) 사이에 걸린 양의 전계로 인해 메모리 스위칭막(1108b) 내의 산소이온은 수직 전극(1106) 내로 이동하여, 수직 전극(1106)의 하부 영역을 산화시킴에 따라 전도성 산화물 영역(1302)의 두께를 증가시킬 수 있다. 이와 동시에 메모리 스위칭막(1108b) 내에 유입된 산소 공공은 산소공공 필라멘트(Fa)를 성장시킬 수 있다. 그러나, 산소공공 필라멘트(Fa)는 수직 전극(1106)에 접촉할 수 있을 정도로 성장하지는 못한다. 그 결과, 메모리 스위칭막(1108b)은 고저항 상태(HRS)를 유지한다. 한편, 문턱 스위칭막(1108a)에는 유효한 양의 전계가 인가되지 못하여, 오프(off) 상태를 유지한다(P1 상태: HRS/OFF).
- [0089] 도 13 및 도 20를 참조하면, 수직 전극(1106)에 제1 문턱 전압($V_{th}(+)$)에서 셋 전압(V_{set}) 미만까지의 양의 스위칭 전압(V_p)을 인가한다(P2). 수직 전극(1106)에 제1 문턱 전압($V_{th}(+)$)이 인가될 때, 문턱 스위칭막(1108a)은 저항이 크게 감소하여 온(on) 상태로 변화된다. 도면에서 전도성 필라멘트(C)를 도시하였으나, 이는 실제로 생성되는 것은 아니며 온(on) 상태로 변화됨을 암시하는 것에 불과하다. 이때, 메모리 스위칭막(1108b) 내의 산소이온은 수직 전극(1106) 방향으로 이동하여, 전도성 산화물 영역(1302)의 두께를 증가시킬 수 있다. 이와 동시에 메모리 스위칭막(1108b) 내에 유입된 산소공공은 산소공공 필라멘트(Fa)를 성장시킬 수 있으나, 산소공공 필라멘트(Fa)는 수직 전극(1106)에 접촉할 수 있을 정도로 성장하지는 못한다. 따라서, 메모리 스위칭막(1108b)은 고저항 상태(HRS)를 유지한다(P2 상태: HRS/ON).

- [0090] 도 14 및 도 20를 참조하면, 수직 전극(1106)에 셋 전압(Vset)에서 제1 유지 전압(Vhold(+)) 미만까지의 양의 스위칭 전압(Vp)을 인가한다(P3). 메모리 스위칭막(1108b) 내에는 계속적으로 축적된 산소공공으로 인해 산소공공 필라멘트(Fa)가 수직 전극(1106)에 접촉하게 되고, 이에 따라 메모리 스위칭막(1108b)은 저저항 상태(LRS)로 스위칭된다. 그 후에도 이러한 저저항 상태(LRS)가 유지된다. 한편, 문턱 스위칭막(1108a)은 온(on) 상태를 유지한다(P3 상태: LRS/ON).
- [0091] 도 15 및 도 20를 참조하면, 수직 전극(1106)에 제1 유지 전압(Vhold(+))에서 OV까지의 양의 스위칭 전압(Vp)을 인가한다(P4). 문턱 스위칭막(1108a)은 수직 전극(1106)에 제1 유지 전압(Vhold(+))이 인가될 때, 저항이 크게 증가하여 오프(off) 상태로 변화된다. 한편, 메모리 스위칭막(1108b) 내에는 축적된 산소공공으로 인해 산소공공 필라멘트(Fa)가 수직 전극(1106)에 접촉한 저저항 상태(LRS)가 유지된다(P4 상태: LRS/OFF).
- [0092] 도 16 및 도 20를 참조하면, 수직 전극(1106)에 OV에서 제2 문턱 전압(Vth(-)) 미만(절대값 기준)까지의 음의 스위칭 전압(Vm)을 인가한다(P5). 이때, 수평 전극 및 수직 전극들(1104, 1106) 사이에 걸린 음의 전계로 인해 수직 전극(1106)으로부터 메모리 스위칭막(1108b)으로 산소 이온이 유입되나, 유효한 음의 전계가 인가되지 못하여 산소공공 필라멘트(Fa)는 수직 전극(1106)으로부터 떨어지지 않고 유지될 수 있다. 그 결과, 메모리 스위칭막(1108b)은 저저항 상태(LRS)를 유지한다. 한편, 문턱 스위칭막(1108a)에는 유효한 음의 전계가 인가되지 못하여, 오프(off) 상태를 유지한다(P5 상태: LRS/OFF).
- [0093] 도 17 및 도 20를 참조하면, 수직 전극(1106)에 제2 문턱 전압(Vth(-))에서 리셋 전압(Vreset) 미만(절대값 기준)까지의 음의 스위칭 전압(Vm)을 인가한다(P6). 수직 전극(1106)에 제2 문턱 전압(Vth(-))이 인가될 때, 문턱 스위칭막(1108a)은 저항이 크게 감소하여 온(on) 상태로 변화된다. 도면에서 전도성 필라멘트(C)를 도시하였으나, 이는 실제로 생성되는 것은 아니며 온(on) 상태로 변화됨을 암시하는 것에 불과하다. 한편, 수평 및 수직 전극들(1104, 1106) 사이에 걸린 음의 전계로 인해 수직 전극(1106)으로부터 메모리 스위칭막(1108b)으로 산소 이온이 계속 유입되나, 유효한 음의 전계가 인가되지 못하여 산소공공 필라멘트(Fa)는 수직 전극(1106)으로부터 떨어지지 않고 유지될 수 있다. 그 결과, 메모리 스위칭막(1108b)은 저저항 상태(LRS)를 유지한다(P6 상태: LRS/ON).
- [0094] 도 18 및 도 20를 참조하면, 수직 전극(1106)에 리셋 전압(Vreset)에서 제2 유지 전압(Vhold(-)) 미만(절대값 기준)까지의 음의 스위칭 전압(Vm)을 인가한다(P7). 수직 전극(1106)에 리셋 전압(Vreset)이 인가될 때, 메모리 스위칭막(1108b) 내의 산소공공 필라멘트(Fa)의 끝단은 완전히 산화되어 수직 전극(1106)으로부터 이탈된다. 이에 따라, 메모리 스위칭막(1108b)은 고저항 상태(HRS)로

스위칭되고, 그 후에도 이러한 고저항 상태(HRS)가 유지된다. 한편, 문턱 스위칭막(1108a)은 온(on) 상태를 유지한다(P7 상태: HRS/ON).

[0095] 도 19 및 도 20를 참조하면, 수직 전극(1106)에 제2 유지 전압(Vhold(-))에서 OV까지의 음의 스위칭 전압(Vm)을 인가한다(P8). 수직 전극(1106)에 제2 유지 전압(Vhold(-))이 인가될 때, 문턱 스위칭막(1108a)은 저항이 크게 증가하여 오프(off) 상태로 변화된다. 한편, 메모리 스위칭막(1108b) 내로 산소 이온이 계속적으로 유입되므로, 메모리 스위칭막(1108b) 내의 산소공공 필라멘트(Fa)의 산화가 계속된다. 그 결과, 메모리 스위칭막(1108b)은 고저항 상태(HRS)를 유지한다(P8 상태: HRS/OFF).

[0096] 도 21은 본 발명의 실시예에 따른 공통 선택소자를 갖는 수직형 저항 변화 메모리 소자의 단면도를 나타낸다.

[0097] 도 21을 참조하면, 기판(2100) 상에 층간 절연층(2102a 내지 2102e)들과 수평 전극(2104a 내지 2104d)들이 교대로 적층되고, 층간 절연층(2102a 내지 2102e)들과 수평 전극(2104a 내지 2104d)들을 수직으로 관통하도록 복수의 수직 전극(2106)들이 형성된다. 여기서 수평 전극(2104a 내지 104d)들 및 수직 전극(2106)들은 금속 도전체로, 예를 들어, Pt, Ti, TiN, TaN, W일 수 있다. 그리고 층간 절연층(2102)은 실리콘 산화막, 실리콘 질화막, 또는 실리콘 산화질화막으로 형성될 수 있다.

[0098] 선택소자 기능층(2107)은 수직 전극(2106)이 형성되는 개구부의 내벽을 따라 수직 전극(2106)과 접하도록 컵 형상으로 형성된다. 이에 따라 수평 전극과 접해 형성된 저항변화 물질층으로 구성된 메모리 셀들은 수직 전극(2106)의 길이 방향을 따라 연장된 선택소자 기능층(2107)을 공통으로 사용하게 된다. 선택소자 기능층(2107)은 공급되는 전압의 크기나 극성에 따라 통과 전류량을 제어하는 절연 재료로 이루어지면, 예를 들어, 실리콘 질화막이나 알루미늄 등의 고유전체 절연막 또는 TaOx, TiOx와 같은 금속 산화막일 수 있다. 특히 선택소자 기능층(2107)을 TaOx/TiOx/TaOx와 같이 서로 다른 물질의 산화막을 이용해 복층으로 구성하는 경우 큰 기울기를 갖는 전류 제어 그래프를 얻을 수 있다. 여기서 본 발명의 실시예에서는 제조 공정 중에 실리콘 산화막을 희생층으로 사용하기 때문에 실리콘 산화막은 선택소자 기능층(2107)으로 사용하지 않는 것이 바람직하다. 또한 선택소자 기능층(2107)은 유전율차가 큰 절연막 재료를 복층으로 적층하는 경우 보다 큰 효과를 얻을 수 있다.

[0099] 층간 절연막(2102a 내지 2102e)들 사이의 수평 전극(2104a 내지 2104d)들이 형성된 부분에는 각각 층간 절연막 및 선택소자 기능층(2107) 상에 U자 형태로 도전층(2108)이 형성된다. 도전층(2108)은 도전성을 갖는 재료로, 금속, 실리사이드, 산화물, 질화물, 또는 불순물이 도핑된 실리콘 등일 수 있으며, 본 발명의 실시예에서는 바람직하게 금속 물질을 도전층으로 사용한다.

[0100] 도전층(2108) 상에는 저항 변화 물질층(2109)이 도전층(2108) 형상과 같이 U자 형태로 형성된다. 저항 변화 물질층(2109)은 인가되는 전압에 따라 저저항

상태와 고저항 상태를 반복적으로 변화할 수 있는 물질로, 전이금속 산화물, 상변화 물질, 페로브스카이트 물질 등이 있을 수 있다. 본 발명의 실시예에서는 바람직하게 낮은 스위칭 전압으로 동작하는 산소 이온 이동형 또는 금속 이온 이동형이 바람직하다.

[0101] 복수의 수직 전극(2106)들은 그 상부에 형성된 비트 라인(2110)을 통해 서로 전기적으로 연결된다. 또한 도면에서 부호 130은 제조 공정 중에서 희생층을 제거하기 위해 형성된 개구부를 절연물질로 채워 넣은 것으로 분리용 절연막이다.

[0102] 도 22 내지 도 31는 본 발명의 실시예에 따른 공통 선택소자를 갖는 수직형 저항 변화 메모리 소자의 제조 방법을 설명하기 위한 공정 단면도이다. 본 발명에 따른 수직형 저항 변화 메모리 소자를 제조하기 위해 먼저, 도 22에 도시되 바와 같이 기판(2100) 상에 층간 절연막(2102) 및 희생층(2103)을 수직 방향으로 반복하여 적층한다. 층간 절연층(2102) 및 희생층(2103)들은 화학기상 증착 공정을 통해 형성될 수 있다.

[0103] 본 실시예에서, 상기 반복 적층되는 구조물의 최하부에는 층간 절연층(2102a)이 구비되고, 최상부에는 희생층(2103e)이 구비되는 것으로 설명되고 있다.

[0104] 희생층(2103)들은 후속 공정에서 제거되어 도전층(2108)과 저항변화 물질층(2109) 및 수평 전극(2104)이 형성될 부위를 정의한다. 희생층(2103)들은 층간 절연층(2102)들과 식각 선택비를 갖는 물질로 형성되어야 한다. 또한, 희생층(2103)들은 습식 식각 공정을 통해 용이하게 제거될 수 있는 물질로 형성되어야 한다. 바람직하게는 희생층(2103)들은 실리콘 산화물로 이루어지고, 층간 절연층(2102)들은 실리콘 질화물로 이루어질 수 있다. 이하에서는, 희생층(2103)을 실리콘 산화막으로, 층간 절연층(2102)을 실리콘 질화막으로 각각 설명한다.

[0105] 도 23를 참조하면, 최상부에 위치하는 실리콘 산화막(2103e) 상에 제1 포토레지스트 패턴(도시되지 않음)을 형성하고, 제1 포토레지스트 패턴을 식각 마스크로 사용하여 실리콘 산화막(2103)들 및 실리콘 질화막(2102)들을 순차적으로 식각함으로써 제1 개구부(2112)들을 형성한다. 이때, 제1 개구부(2112)의 저면에는 기판(2100) 표면이 노출되도록 한다.

[0106] 도 24를 참조하면, 상기 최상부에 위치하는 실리콘 산화막(2103e) 상 및 제1 개구부(2112)들의 내벽을 따라 선택소자 기능층(2107)이 증착된다. 상기 선택소자 기능층(2107)은 고 유전율의 절연 물질로 화학 기상 증착법을 통해 형성될 수 있다.

[0107] 도 25를 참조하면, 상기 제1 개구부(2112) 내에 수직 전극을 위한 도전 물질을 채워 넣는다. 상기 제1 개구부(2112) 내에 도전 물질을 보이드 없이 채우기 위해서는 스텝 커버리지 특성이 양호한 물질을 사용하여 증착하는 것이 바람직하다. 예를 들어, 도전 물질은 Pt, Ti, TiN, TaN, W 등일 수 있다.

- [0108] 도 26를 참조하면, 상기 제1 개구부(2112) 내에 도전 물질을 채워 수직 전극(2106)을 형성한 후, 실리콘 질화막(2102e)이 노출되도록 실리콘 산화막(2103e)을 연마 공정을 통해 제거한다. 그리고 적층 구조물 상에, 상기 수직 전극(2106)들 사이의 적층 구조물 일부분을 선택적으로 노출하는 제2 포토레지스트 패턴(도시되지 않음)을 형성한다. 그리고 상기 제2 포토레지스트 패턴을 식각 마스크로 사용하여 상기 적층 구조물을 식각함으로써 제2 개구부(2120)들을 형성한다. 각각의 제2 개구부(2120)들의 저면에는 상기 적층 구조물의 최하부막인 제1 실리콘 질화막(2102a)의 상부면이 노출되도록 한다. 여기서, 제2 개구부(2120)들은 실리콘 산화막 패턴(2103a 내지 2103d)들을 제거하기 위하여 각 층 실리콘 산화막에 습식 식각액이 침투되는 공간을 마련하기 위하여 제공된다.
- [0109] 도 27를 참조하면, 제2 개구부(2120)들의 측벽에 노출되어 있는 제1 내지 제4 실리콘 산화막 패턴(2103a ~ 2103d)을 선택적으로 제거한다. 제1 내지 제4 실리콘 산화막 패턴(2103a ~ 2103d)은 습식 식각 공정을 통해 제거한다. 구체적으로, 제1 내지 제4 실리콘 산화막 패턴(2103a ~ 2103d)은 불산 수용액을 사용하여 제거할 수 있다. 상기 공정을 수행하면, 수직 전극(2106)을 따라 수직 방향으로 연장된 선택소자 기능층(2107)의 측벽에는 일정 간격을 두고 제1 내지 제5 실리콘 질화막 패턴(2102a ~ 2102e)이 남아있게 된다. 또한, 제2 개구부(2120)의 측벽에서 제1 내지 제4 실리콘 산화막 패턴(2103a ~ 2103d)이 제거된 부위에는 요부(2122)가 생성된다. 이때, 각 층의 요부(2122)들은 서로 통하게 되며, 요부(2122)에 의해서 선택소자 기능층(2107)의 일 측벽이 노출된다. 요부(2122)에 의해 노출되는 선택소자 기능층(2107) 부위는 도전층(2108)과 저항변화 물질층(2109) 및 수평 전극(2104)이 순서적으로 형성될 부위이다.
- [0110] 도 28를 참조하면, 요부(2122)에 의해 노출된 선택소자 기능층(2107) 및 제1 내지 제5 실리콘 질화막 패턴(2102a ~ 2102e) 상에 도전층(2108)을 형성한다. 도전층(2108)은 도전성 물질로 이루어지면, 바람직하게는 금속으로 이루어지는 것이 좋다. 도전층(2108)을 형성하는 것은 물리 기상 증착법, 또는 화학 기상 증착법을 사용하여 수행할 수 있다. 일 예로서, 도전층(2108)을 형성하는 것은 스퍼터링법 구체적으로, 반응성 스퍼터링법을 사용하여 수행할 수 있다.
- [0111] 또한 도 28를 참조하면, 도전층(2108) 상에 저항변화 물질층(2109)을 형성한다. 저항 변화 물질층(2109)은 인가되는 전압에 따라 저저항 상태와 고저항 상태를 반복적으로 변화할 수 있는 물질로, 전이금속 산화물, 상변화 물질, 페로브스카이트 물질 등이 있을 수 있다. 본 발명의 실시예에서는 바람직하게 낮은 스위칭 전압으로 동작하는 산소 이온 이동형 또는 금속 이온 이동형이 바람직하다. 저항변화 물질층(2109)은 물리 기상 증착법 또는 화학 기상 증착법을 사용하여 증착될 수 있다. 예를 들어, 저항변화 물질층(2109)은 스퍼터링법 구체적으로, 반응성 스퍼터링법을 사용하여 증착될 수 있다.
- [0112] 도 29를 참조하면, 저항변화 물질층(2109) 상에, 제2 개구부(2120) 및 요부(2122)

내부를 완전히 채우도록 도전막(2124)을 증착한다. 도전막(2124)은 후속 공정을 통해 수평 전극 패턴으로 제공된다. 제2 개구부(2120) 및 요부(2122) 내부에 도전 물질을 보이드 없이 채우기 위해서는 스텝 커버리지 특성이 양호한 물질을 사용하여 증착하는 것이 바람직하다. 예를 들어, 도전막(2124)은 Pt, Ti, TiN, TaN, W 등일 수 있다.

- [0113] 도 30를 참조하면, 적층 구조물의 상부 표면에, 제2 개구부(2120) 내부에 형성되어 있는 도전막(2124) 상부면을 선택적으로 노출하는 제3 포토레지스트 패턴(도시되지 않음)을 형성한다. 즉, 제3 포토레지스트 패턴은 제2 개구부(2120)와 동일한 부위 또는 제2 개구부(2120)보다 더 넓은 부위를 노출시키는 형상을 갖는다. 그리고 제3 포토레지스트 패턴을 식각 마스크로 사용하여 노출된 도전막(2124)을 이방성 식각함으로써, 각 층의 도전막 패턴(2104a 내지 2104d)들이 수직 방향으로 서로 분리되도록 하는 제3 개구부(2126)를 형성한다. 제3 개구부(2126)의 저면에는 제1 실리콘 질화막 패턴(2102a)이 노출될 수 있다.
- [0114] 이와 같은 식각 공정에 의해, 제1 내지 제5 실리콘 질화막 패턴(2102a ~ 2102e) 사이에는 제1 내지 제4층 수평 전극 패턴(2104a ~ 2104e)과 저항변화 물질층(2109) 및 도전층(2108) 패턴이 형성된다. 이때, 동일한 층에 형성된 수평 전극 패턴(2102a ~ 2102e)들은 서로 전기적으로 연결된다. 그러나, 서로 다른 층에 형성된 수평 전극 패턴(2102a ~ 2102e)들 간에는 서로 절연된다.
- [0115] 도 31를 참조하면, 제3 개구부(2126) 내부를 매립하도록 절연막(2130)을 형성한다. 절연막(2130)은 실리콘 산화물을 화학기상 증착법으로 증착시켜 형성할 수 있다. 그리고 수직 전극 패턴(2106)들 및 제5 실리콘 질화막 패턴(2102e) 상에 도전막(도시되지 않음)을 형성한다. 이 후, 상기 도전막을 사진 식각 공정을 통해 패터닝함으로써, 수직 전극 패턴(2106)들의 상부를 서로 연결시키는 비트 라인(2110)들을 형성한다.
- [0116] 이상에서 설명한 바와 같이 본 발명은, 수평 방향으로 연장되고 절연층을 사이에 두고 적층된 복수의 수평 전극과 수직 방향으로 연장된 수직 전극이 만나는 교차점에 저항변화 물질층을 형성한 수직형 저항변화 메모리에서 선택소자 기능층을 수직 전극을 따라 연장하여 각 메모리 셀들이 공통으로 사용하도록 하는 셀 구조를 제공한다. 이와 같은 본 발명은 선택소자의 면적을 저항변화 물질층보다 충분히 넓게 하여 저항변화 물질층의 저항 상태 변화를 위한 충분한 전류 밀도를 제공함으로써 저항변화 메모리의 안정적인 동작이 가능하다.
- [0117] 도 32은 본 발명의 실시예에 따른 수직형 저항 변화 메모리 소자의 단면도를 나타내고, 도 33는 본 발명의 실시예에 따른 도1의 A 부분의 확대 단면도를 나타낸다.
- [0118] 도 32을 참조하면, 기판(3100) 상에 층간 절연층(3102a 내지 3102e)들과 수평 전극(3104a 내지 3104d)들이 교대로 적층되고, 층간 절연층(3102a 내지

3102e)들과 수평 전극(3104a 내지 3104d)들을 수직으로 관통하도록 복수의 수직 전극(3106)들이 형성된다. 여기서 수평 전극(3104a 내지 3104d)들 및 수직 전극(3106)들은 금속 도전체로, 예를 들어, Pt, Ti, TiN, TaN, W일 수 있다. 그리고 층간 절연층(3102)은 실리콘 산화막, 실리콘 질화막, 또는 실리콘 산화질화막으로 형성될 수 있다.

- [0119] 박막층(3105)은 수직 전극(3106)이 형성되는 개구부의 내벽을 따라 층간 절연층(3102a 내지 3102e) 및 수평 전극(3104a 내지 3104d)들과 접하도록 컵 형상으로 형성된다. 박막층(3105)은 원자층 증착법(ALD)을 이용해 형성된 5 monolayer 이하의 절연층으로, 실리콘 산화막, 실리콘 질화막, 또는 실리콘 산화질화막으로 형성될 수 있다. 이에 따라 박막층(3105)은 도 33에 도시된 B와 같이 미세한 틈을 가지게 된다.
- [0120] 박막층(3105) 상에는 저항변화 물질층(3107)이 형성되는데, 저항변화 물질층(3107)은 박막층(3105)과 같이 컵 형태로 형성된다. 저항변화 물질층(3107)은 인가되는 전압에 따라 저저항 상태와 고저항 상태를 반복적으로 변화할 수 있는 물질로, 전이금속 산화물, 상변화 물질, 페로브스카이트 물질 등이 있을 수 있다. 본 발명의 실시예에서는 바람직하게 낮은 스위칭 전압으로 동작하는 산소 이온 이동형 또는 금속 이온 이동형이 바람직하다.
- [0121] 저항변화 물질층(3107) 상에는 도전층(3108)이 컵 형태로 형성된다. 도전층(3108)은 도전성을 갖는 재료로, 금속, 실리콘사이드, 산화물, 질화물, 또는 불순물이 도핑된 실리콘 등일 수 있으며, 본 발명의 실시예에서는 바람직하게 금속 물질을 도전층으로 사용한다.
- [0122] 도전층(3108) 상에는 선택소자 기능층(3109)이 컵 형태로 형성된다. 선택소자 기능층(3109)은 공급되는 전압의 크기나 극성에 따라 통과 전류량을 제어하는 절연 재료로 이루어지면, 예를 들어, 실리콘 질화막이나 알루미늄 등의 고유전체 절연막일 수 있다. 또한 선택소자 기능층(3109)은 유전율차가 큰 절연막 재료를 복층으로 적층하는 경우 보다 큰 효과를 얻을 수 있다.
- [0123] 수직 전극(3106)은 선택소자 기능층(3109)과 접하면서 개구부를 도전물질로 채워 형성된다. 복수의 수직 전극(3106)들은 그 상부에 형성된 비트 라인(3110)을 통해 서로 전기적으로 연결된다.
- [0124] 도 33를 참조하면, 수평 전극(3104c)과 수직 전극(3106) 사이에 저항변화 물질층(3107)이 형성되는데, 저항변화 물질층(3107)과 수평 전극(3104c) 사이에는 5 monolayer 이하의 원자층 증착법(ALD)에 의해 형성된 박막층(3105)이 형성된다. 이에 따라 박막층(3105)은 B와 같은 미세한 틈이 형성되게 되고, 상기 형성된 틈을 통해 저항변화 물질층(3107)이 수평 전극(3104c)과 접촉하게 된다. 이에 따라 저항변화 물질층(3107)과 수평 전극(3104c)의 접촉 면적은 최소가 된다.
- [0125] 저항변화 물질층(3107)과 수직 전극(3106) 사이에는 도전층(3108)과 선택소자 기능층(3109)이 형성된다. 이는 1D1R 구조를 의미한다. 하지만, 선택소자가

필요없는 저항변화 메모리의 경우 도전층(3108)과 선택소자 기능층(3109)은 생략될 수 있다. 이 경우에는 저항변화 물질층(3107)은 바로 수직 전극(3106)에 접하게 된다.

[0126] 도 34 내지 도 40는 본 발명의 실시예에 따른 수직형 저항 변화 메모리 소자의 제조 방법을 설명하기 위한 공정 단면도이다.

[0127] 본 발명에 따른 수직형 저항 변화 메모리 소자를 제조하기 위해 먼저, 도 33a에 도시되 바와 같이 기판(3100) 상에 층간 절연층(3102) 및 도전층(3104)을 수직 방향으로 반복하여 적층한다. 층간 절연층(3102) 및 도전층(3104)들은 화학기상 증착 공정을 통해 형성될 수 있다. 도전층(3104)들은 Pt, Ti, TiN, TaN, W일 수 있다. 그리고 층간 절연층(3102)은 실리콘 산화막, 실리콘 질화막, 또는 실리콘 산화질화막일 수 있다.

[0128] 도 35를 참조하면, 최상부에 위치하는 층간 절연층(3102e) 상에 제1 포토레지스트 패턴(도시되지 않음)을 형성하고, 제1 포토레지스트 패턴을 식각 마스크로 사용하여 층간 절연막(3102a 내지 3102e)들 및 도전층(3104a 내지 3104d)들을 순차적으로 식각함으로써 제1 개구부(3112)들을 형성한다. 이때, 제1 개구부(3112)의 저면에는 기판(3100) 표면이 노출되도록 한다. 이에 따라 수평 전극(3104)과 층간 절연층(3102)이 형성된다.

[0129] 도 36를 참조하면, 상기 최상부에 위치하는 층간 절연층(3102e) 상 및 제1 개구부(3112)들의 내벽을 따라 박막층(3105)을 형성한다. 박막층(3105)은 원자층 증착법(ALD)을 이용해 형성된 5 monolayer 이하의 절연층으로, 실리콘 산화막, 실리콘 질화막, 또는 실리콘 산화질화막으로 형성될 수 있다. 이에 따라 박막층(3105)은 미세한 틈을 가지게 된다.

[0130] 도 37를 참조하면, 박막층(3105) 상에는 저항변화 물질층(3107)이 형성된다. 저항 변화 물질층(3107)은 인가되는 전압에 따라 저저항 상태와 고저항 상태를 반복적으로 변화할 수 있는 물질로, 전이금속 산화물, 상변화 물질, 페로브스카이트 물질 등이 있을 수 있다. 본 발명의 실시예에서는 바람직하게 낮은 스위칭 전압으로 동작하는 산소 이온 이동형 또는 금속 이온 이동형이 바람직하다. 저항변화 물질층(3107)은 물리 기상 증착법 또는 화학 기상 증착법을 사용하여 증착될 수 있다. 예를 들어, 저항변화 물질층(3107)은 스퍼터링법 구체적으로, 반응성 스퍼터링법을 사용하여 증착될 수 있다.

[0131] 도 38를 참조하면, 저항변화 물질층(3107) 상에는 도전층(3108)이 형성된다. 도전층(3108)은 도전성을 갖는 재료로, 금속, 실리사이드, 산화물, 질화물, 또는 불순물이 도핑된 실리콘 등일 수 있으며, 본 발명의 실시예에서는 바람직하게 금속 물질을 도전층으로 사용한다. 도전층(3108)을 형성하는 것은 물리 기상 증착법, 또는 화학 기상 증착법을 사용하여 수행할 수 있다. 일 예로서, 도전층(3108)을 형성하는 것은 스퍼터링법 구체적으로, 반응성 스퍼터링법을 사용하여 수행할 수 있다.

[0132] 도 39를 참조하면, 도전층(3108) 상에는 선택소자 기능층(3109)이 형성된다.

선택소자 기능층(3109)은 공급되는 전압의 크기나 극성에 따라 통과 전류량을 제어하는 절연 재료로 이루어지면, 예를 들어, 실리콘 질화막이나 알루미늄 등의 고유전체 절연막일 수 있다. 또한 선택소자 기능층(3109)은 유전율차가 큰 절연막 재료를 복층으로 적층하는 경우 보다 큰 효과를 얻을 수 있다. 선택소자 기능층(3109)은 화학 기상 증착법을 통해 형성될 수 있다.

- [0133] 도 40를 참조하면, 제1 개구부(3112) 내에 형성된 박막층(3105), 저항변화 물질층(3107), 도전층(3108), 선택소자 기능층(3109)을 제외하고 최상부에 위치한 층간 절연층(3102e) 상에 형성된 박막층(3105), 저항변화 물질층(3107), 도전층(3108), 선택소자 기능층(3109)을 제거한다. 그리고, 제1 개구부(3112) 내의 선택소자 기능층(3109) 상에 수직 전극을 위한 도전 물질을 채워 넣는다. 제1 개구부(3112) 내에 도전 물질을 보이드 없이 채우기 위해서는 스텝 커버리지 특성이 양호한 물질을 사용하여 증착하는 것이 바람직하다. 예를 들어, 도전 물질은 Pt, Ti, TiN, TaN, W 등일 수 있다. 이에 따라 수직 전극(3106)이 형성된다.
- [0134] 그리고 수직 전극(3106)들 및 최상부에 위치한 층간 절연층(3102e) 상에 도전막(도시되지 않음)을 형성한다. 이 후, 상기 도전막을 사진 식각 공정을 통해 패터닝함으로써, 수직 전극(3106)들의 상부를 서로 연결시키는 비트 라인(3110)들을 형성한다.
- [0135] 이상에서 설명한 바와 같이 본 발명은, 수평 방향으로 연장되고 절연층을 사이에 두고 적층된 복수의 수평 전극과 수직 방향으로 연장된 수직 전극이 만나는 교차점에 저항변화 물질층을 형성한 수직형 저항변화 메모리에서 저항변화 물질층과 수평 전극 사이에 원자층 증착법(ALD: Atomic Layer Deposition)을 이용해 박막층을 형성하여, 상기 박막층에 형성된 미세한 틈을 통해 저항변화 물질층과 수평 전극 사이에 접촉이 일어나도록 한다. 이에 따라 본 발명은 저항변화 물질층과 전극 사이의 접촉 면적을 최소화 할 수 있어, 저항변화 메모리의 안정적인 동작이 가능하다.
- [0136] 한편, 본 발명의 실시 예에서는 1D1R 구조의 저항변화 메모리 셀에 대해 설명하였다. 하지만, 선택소자가 필요없는 저항변화 물질을 사용하는 경우에는 박막층(3105) 상에 저항변화 물질층(3107)만을 형성한 후, 수직 전극(3106)을 바로 형성할 수 있다. 또한 1D1R 구조에서도 필요에 따라 저항변화 물질층(3107)과 선택소자 기능층(3109) 사이 형성되는 도전층(3108)이 생략될 수 있다.
- [0137] 도 41은 본 발명의 실시예에 따른 수직형 저항 변화 메모리 소자의 단면도를 나타내고, 도 42 및 도 43는 본 발명의 실시예에 따른 도1의 A 부분의 확대 단면도를 나타낸다.
- [0138] 도 41을 참조하면, 기판(4100) 상에 복수의 층간 절연층(4102)들과 복수의 수평 전극(4104)들이 교대로 적층된다. 이때 수평 전극은 TiN, W, Cu, Ag, Ni, Zr과 같은 도전성 물질로 형성된다. 본 발명에서는 이와 같은 수평 전극을 형성함에 있어 선택 식각비가 서로 다른 두가지 이상의 도전물질을 이용해 수평 전극을

제1 도전층(4104a)/제2 도전층(4104b)/제3 도전층(4104c)과 같이 복층의 도전층으로 구성한다. 예를 들어, 수평 전극을 W/TiN/W 또는 W/Zr/W와 같이 복층의 도전층으로 구성할 수 있다. 수평 전극(4104)의 두께는 약 30nm일 수 있으며, 이때 중간에 형성되는 제2 도전층(4104b)의 두께는 5nm이하로 형성될 수 있다.

[0139] 도 42는 수직 전극을 형성하기 위한 개구부를 형성한 후, 수평 전극에 대한 별도의 선택 에칭 공정을 수행하지 않은 경우를 나타내고, 도 43는 수평 전극에 대해 별도의 선택 에칭 공정을 수행한 경우를 나타낸다.

[0140] 도 42 및 도 43를 참조하면, 수평 전극(4104)은 제1 도전층(4104a), 제1 도전층(4104a) 상에 5nm이하로 형성되고, 제1 도전층(4104a)과 선택 식각비가 상이한 물질로 형성되는 제2 도전층(4104b)과, 제2 도전층(4104b) 상에 형성되고, 제1 도전층(4104a)과 동일한 물질로 형성되는 제3 도전층(4104c)으로 구성된다. 도 42와 같이, 수직 전극을 위한 개구부를 형성하기 위해 적층된 수평 전극들을 관통하도록 선택 에칭 공정을 수행하게 되는데, 수평 전극(4104)을 구성하는 복층 구조의 도전층들(4104a 내지 4104c)은 서로 다른 물질로 구성되어 중간층에 위치한 제2 도전층(4104b)은 제1 및 제3 도전층(4104a, 4104c)에 비해 돌출되는 형태를 갖게 된다. 이에 따라 수평 전극(4104)은 피뢰침 구조를 가지게 된다. 도 43는 수직 전극을 위한 개구부를 형성한 후, 수평 전극에 대해 추가적인 선택 에칭 공정을 수행한 결과를 나타내는 것으로, 이에 따라 중간층에 위치한 제2 도전층(4104b)은 제1 및 제3 도전층(4104a, 4104c)에 비해 더욱 돌출되는 형태를 갖게 된다. 이에 따라 수평 전극(4104)은 피뢰침 구조를 가지게 된다.

[0141] 복수의 수직 전극(4110)들은 층간 절연층(4102)들과 수평 전극(4104)들을 수직으로 관통하도록 형성된다. 여기서 수직 전극(4106)들은 금속 도전체로, 예를 들어, Pt, Ti, TiN, TaN, W, Cu, Ag, Ni, Zr 등일 수 있다. 그리고 층간 절연층(4102)은 실리콘 산화막, 실리콘 질화막, 또는 실리콘 산화질화막으로 형성될 수 있다.

[0142] 저항변화 물질층(4106)은 수직 전극(4110)이 형성되는 개구부의 내벽을 따라 층간 절연층(4102)들 및 수평 전극(4104)들과 접하도록 컵 형상으로 형성된다. 저항 물질층(4106)은 원자층 증착법(ALD) 또는 화학기상증착법(CVD)을 이용해 5 nm 두께를 갖도록 형성될 수 있다.

[0143] 저항 변화 물질층(4106)은 인가되는 전압에 따라 저저항 상태와 고저항 상태를 반복적으로 변화할 수 있는 물질로, HfO, MnO, TiO, TaO, NiO와 같은 전이금속 산화물, $\text{Pr}_{0.7}\text{Ca}_{0.3}\text{MnO}_3$ (PCMO), $\text{La}_{0.7}\text{Ca}_{0.3}\text{MnO}_3$ (LCMO), Nb-doped SrTiO_3 등의 상변화 물질, 페로브스카이트 물질 등이 있을 수 있다.

[0144] 저항변화 물질층(4106) 상에는 필요에 따라 선택적으로 선택소자를 위한 스위칭층(4108)이 형성될 수 있다. 스위칭층(4108)은 도전층과 선택소자 기능층으로 구성될 수 있다. 상기 도전층은 도전성을 갖는 재료로, 금속, 실리사이드, 산화물, 질화물, 또는 불순물이 도핑된 실리콘 등일 수 있으며, 상기

선택소자 기능층은 공급되는 전압의 크기나 극성에 따라 통과 전류량을 제어하는 절연 재료로, 예를 들어, 실리콘 질화막이나 알루미늄 등의 고유전체 절연막일 수 있다.

- [0145] 수직 전극(4110)들은 스위칭층(4108)과 접하면서 개구부를 도전물질로 채워 형성된다. 복수의 수직 전극(4110)들은 그 상부에 형성된 비트 라인(4112)을 통해서 전기적으로 연결된다.
- [0146] 도 44 내지 도 48는 본 발명의 실시예에 따른 수직형 저항 변화 메모리 소자의 제조 방법을 설명하기 위한 공정 단면도이다.
- [0147] 본 발명에 따른 수직형 저항 변화 메모리 소자를 제조하기 위해 먼저, 도 42에 도시되 바와 같이 기판(4100) 상에 층간 절연층(4102) 및 도전층(4104)을 수직 방향으로 반복하여 적층한다. 이때 수평 전극은 TiN, W, Cu, Ag, Ni, Zr과 같은 도전성 물질로 형성될 수 있는데, 본 발명에서는 이와 같은 수평 전극을 형성함에 있어 선택 식각비가 서로 다른 두가지 이상의 도전물질을 이용해 수평 전극을 제1 도전층(4104a)/제2 도전층(4104b)/제3 도전층(4104c)과 같이 복층의 도전층으로 구성한다. 예를 들어, 수평 전극을 W/TiN/W 또는 W/Zr/W와 같이 복층의 도전층으로 구성할 수 있다. 수평 전극(4104)의 두께는 약 30nm일 수 있으며, 이때 중간에 형성되는 제2 도전층(4104b)의 두께는 5nm이하로 형성될 수 있다.
- [0148] 층간 절연층(4102) 및 도전층(4104)들은 스퍼터링을 통해 형성될 수 있다. 그리고 층간 절연층(4102)은 30nm 두께로 형성될 수 있으며, 실리콘 산화막, 실리콘 질화막, 또는 실리콘 산화질화막일 수 있다.
- [0149] 도 45를 참조하면, 최상부에 위치하는 층간 절연층(4102) 상에 제1 포토레지스트 패턴(도시되지 않음)을 형성하고, 제1 포토레지스트 패턴을 식각 마스크로 사용하여 층간 절연막(4102)들 및 도전층(4104)들을 순차적으로 식각함으로써 제1 개구부(4114)들을 형성한다. 제1 개구부(4114)의 저면에는 기판(4100) 표면이 노출되도록 한다. 그리고 제1 개구부(4114)들은 30nm 폭을 갖고, 서로 30nm 간격 떨어지도록 형성될 수 있다. 이에 따라 수평 전극(4104)과 층간 절연층(4102)이 형성된다. 이와 같이 제1 개구부(4114)를 형성한 후, 도 43를 통해 설명한 바와 같이 수평 전극에 대해 추가적인 선택 에칭 공정을 수행할 수 있다.
- [0150] 도 46를 참조하면, 최상부에 위치하는 층간 절연층(4102) 상 및 제1 개구부(4114)들의 내벽을 따라 저항변화 물질층(4106)이 형성된다. 저항 변화 물질층(4106)은 인가되는 전압에 따라 저저항 상태와 고저항 상태를 반복적으로 변화할 수 있는 물질로, 전이금속 산화물, 상변화 물질, 페로브스카이트 물질 등이 있을 수 있다. 저항변화 물질층(4106)은 원자 증착법(ALD) 또는 물리 기상 증착법 또는 화학 기상 증착법을 사용하여 증착될 수 있으며, 5nm 두께로 형성된다.
- [0151] 도 47를 참조하면, 저항변화 물질층(4106) 상에는 필요에 따라 선택적으로

스위칭층(4108)이 형성될 수 있다. 스위칭층(4108)은 도전층과 선택소자 기능층으로 구성될 수 있으며, 상기 도전층은 도전성을 갖는 재료로, 금속, 실리콘사이드, 산화물, 질화물, 또는 불순물이 도핑된 실리콘 등일 수 있다. 또한 선택소자 기능층(4109)은 공급되는 전압의 크기나 극성에 따라 통과 전류량을 제어하는 절연 재료로 이루어지며, 예를 들어, 실리콘 질화막이나 알루미늄 등의 고유전체 절연막일 수 있다.

[0152] 도 48를 참조하면, 제1 개구부(4114) 내에 형성된 저항변화 물질층(4106)과, 스위칭층(4108)을 제외하고 최상부에 위치한 층간 절연층(4102) 상에 형성된 저항변화 물질층(4106)과 스위칭층(4108)을 제거한다. 그리고, 제1 개구부(4114) 내의 스위칭층(4108) 상에 수직 전극을 위한 도전 물질을 채워 넣는다. 제1 개구부(4114) 내에 도전 물질을 보이드 없이 채우기 위해서는 스텝 커버리지 특성이 양호한 물질을 사용하여 증착하는 것이 바람직하다. 예를 들어, 도전 물질은 Pt, Ti, TiN, TaN, W 등일 수 있다. 이에 따라 수직 전극(4110)이 형성된다.

[0153] 그리고 수직 전극(4110)들 및 최상부에 위치한 층간 절연층(4102) 상에 도전막(도시되지 않음)을 형성한다. 이 후, 상기 도전막을 사진 식각 공정을 통해 패터닝함으로써, 수직 전극(4110)들의 상부를 서로 연결시키는 비트 라인(4112)들을 형성한다.

[0154] 이상에서 설명한 바와 같이 본 발명은, 수평 방향으로 연장되고 절연층을 사이에 두고 적층된 복수의 수평 전극과 수직 방향으로 연장된 수직 전극이 만나는 교차점에 저항변화 물질층을 형성한 수직형 저항변화 메모리에 있어서, 선택 식각비가 상이한 도전물질을 이용해 수평 전극을 복층으로 구성하여 피뢰침 형상을 갖도록 함으로써, 저항 변화 물질층의 스위칭 균일성을 향상시킬 수 있어, 저항변화 메모리의 안정적인 동작이 가능하다.

[0155] 한편, 본 발명의 실시 예에서는 1D1R 구조의 저항변화 메모리 셀에 대해 설명하였다. 하지만, 선택소자가 필요없는 저항변화 물질을 사용하는 경우에는 스위칭층 없이 저항변화 물질층(4106)만으로 형성될 수 있다.

[0156] 도 49은 본 발명의 실시예에 따른 수직형 저항 변화 메모리 소자의 단면도를 나타낸다.

[0157] 도 49을 참조하면 기판(5100) 상에 절연층(5102a 내지 5102e)들과 수평 전극(5104a 내지 5104d)들이 교대로 적층되고, 절연층(5102a 내지 5102e)들과 수평 전극(5104a 내지 5104d)들을 수직으로 관통하도록 복수의 수직 전극(5109)들이 형성된다. 여기서 수평 전극(5104a 내지 5104d) 및 수직 전극(5109)은 금속 도전체로 예를 들어, Pt, Ti, TiN, TaN, W일 수 있다. 그리고 절연층(5102a 내지 5102e)들은 실리콘 산화막, 실리콘 질화막, 또는 실리콘 산화질화막으로 형성될 수 있다. 복수의 수직 전극(5109)들은 그 상부에 형성된 비트 라인(5110)을 통해 서로 전기적으로 연결된다.

[0158] 수직 전극(5109)과 수평 전극들(5104a 내지 5104d)이 교차하는 지점에 저항변화 물질층이 형성된다. 저항변화 물질층은 제1 저항변화 물질층(5106)과

제1 저항변화 물질층(5106)과 다른 물질로 구성되는 제2 저항변화 물질층(5108)으로 구성된다. 제1 저항변화 물질층(5106)과 제2 저항변화 물질층(5108)은 HfO_2 , MnO_2 , TiO_2 , TaO_2 , NiO_2 와 같은 전이금속 산화물로 구성된다. 제1 저항변화 물질층(5106)은 수직 전극(5109)의 측벽과 절연층(5102a 내지 5102e) 상에 형성된다.

[0159] 제1 저항변화 물질층(5106) 내에는 구리(Cu) 또는 은(Ag)과 같은 금속 이온에 의해 형성되는 금속 이온 필라멘트(5107)가 형성된다. 금속 이온 필라멘트(5107)는 제1 저항변화 물질층(5106) 상에 구리 또는 은을 증착한 후, 400°C 온도에서 일정 시간 열처리를 통해 형성될 수 있다. 금속 이온 필라멘트(5107)가 형성된 제1 저항변화 물질층(5106) 상에는 제1 저항변화 물질층(5106)과 상이한 전이금속 산화물로 구성되는 제2 저항변화 물질층(5108)이 형성된다. 제2 저항변화 물질층(5108) 상에는 수평 방향으로 연장된 수평 전극들(5104a 내지 5104d)이 형성되어 있다.

[0160] 도 62 및 도 63는 본 발명의 실시예에 따른 저항 변화 메모리 소자의 전류-전압 특성을 나타낸 그래프이다.

[0161] 도 62 및 도 63에 도시된 그래프는 수직 전극(5109)으로 백금(Pt)을 이용하고, 제1 저항변화 물질층(5106)으로 HfO_2 를 이용하며, 금속 이온 필라멘트(5107)로 구리(Cu)를 이용하고, 제2 저항변화 물질층(5108)으로 TiO_2 를 이용하며, 수평 전극(5104)으로 백금(Pt)을 이용하는 실시예의 결과를 나타낸 것이다.

[0162] 도 62 및 도 63에 도시된 바와 같이, 저항변화 물질층 내에 금속 이온의 양을 원자 단위로 최소화하면 모래시계의 모래 양이 제한되어 더 이상 모래가 흐르지 않는 것과 같이 특정 전압/시간 조건 이상에서 더 이상 전류가 흐르지 않게 되어 선택소자가 있는 소자와 유사한 전류-전압 특성을 구현할 수 있다. 즉, 구리(Cu)의 양을 원자층 단위의 스케일로 최소화하여 제1 저항변화 물질층 내에 필라멘트를 형성하는 경우, 제1 저항변화 물질층은 도 62 및 도 63에 도시된 바와 같은 전류-전압 특성을 나타내게 된다. 이에 따라 별도의 선택소자 없이도 제1 저항변화 물질층은 선택소자가 있는 것과 같은 전류-전압 특성을 나타내게 되어 선택 소자로 기능하게 된다.

[0163] 도 50 내지 도 61은 본 발명의 실시예에 따른 수직형 저항 변화 메모리 소자의 제조 방법을 설명하기 위한 공정 단면도이다.

[0164] 본 발명에 따른 수직형 저항 변화 메모리 소자를 제조하기 위해 먼저, 도 50에 도시된 바와 같이 기판(5100) 상에 층간 절연막(5102) 및 희생막(5103)을 수직 방향으로 반복하여 적층한다. 층간 절연막(5102) 및 희생막(5103)들은 화학기상 증착 공정을 통해 형성될 수 있다.

[0165] 본 실시예에서, 반복 적층되는 구조물의 최하부에는 층간 절연막(5102a)이 구비되고, 최상부에는 희생막(5103e)이 구비되는 것으로 설명되고 있지만, 최상부에 층간 절연막(5102e)이 구비되는 것도 가능하다.

[0166] 희생막(5103)들은 후속 공정에서 제거되어 저항변화 물질층 형성과 수평

전극이 형성될 부위를 정의한다. 희생막(5103)들은 층간 절연막(5102)들과 다른 식각 선택비를 갖는 물질로 형성되어야 한다. 또한 희생막(5103)들은 습식 식각 공정을 통해 용이하게 제거될 수 있는 물질로 형성되어야 한다. 바람직하게는 희생막(5103)들은 실리콘 산화물로 이루어지고, 층간 절연막(5102)들은 실리콘 질화물로 이루어질 수 있다. 이하에서는 희생막(5103)을 실리콘 산화막으로, 층간 절연막(5102)을 실리콘 질화막으로 각각 설명한다.

- [0167] 도 51를 참조하면, 최상부에 위치하는 실리콘 산화막(5103e) 상에 제1 포토레지스트 패턴(도시안됨)을 형성하고, 제1 포토레지스트 패턴을 식각 마스크로 사용하여 실리콘 산화막(5103)들 및 실리콘 질화막(5102)들을 순차적으로 식각함으로써 제1 개구부(5112)들을 형성한다. 이때, 제1 개구부(5112)의 저면에는 기판(5100) 표면이 노출되도록 한다.
- [0168] 도 52를 참조하면, 제1 개구부(5112)들의 내부를 수직 전극을 위한 도전막을 채워 수직 전극(5109)을 형성한다. 여기서 도전막은 Pt, Ti, TiN, TaN, W 등일 수 있다.
- [0169] 도 53를 참조하면, 제1 개구부(5112) 내에 도전막을 채워 수직 전극(5109)을 형성한 후, 실리콘 질화막(5102e)이 노출되도록 실리콘 산화막(5103e)을 연마 공정을 통해 제거한다. 그리고 적층 구조물 상에, 수직 전극(5109)들 사이의 적층 구조물 일부분을 선택적으로 노출하는 제2 포토레지스트 패턴(도시안됨)을 형성한다. 그리고 제2 포토레지스트 패턴을 식각 마스크로 사용하여 상기 적층 구조물을 식각함으로써 제2 개구부(5120)들을 형성한다. 각각의 제2 개구부(5120)들의 저면에는 상기 적층 구조물의 최하부 막인 제1 실리콘 질화막(5102a)의 상부면이 노출되도록 한다. 여기서, 제2 개구부(5120)들은 실리콘 산화막 패턴(5103a 내지 5103d)들을 제거하기 위하여 각 층 실리콘 산화막에 습식 식각액이 침투되는 공간을 마련하기 위하여 제공된다.
- [0170] 도 54를 참조하면, 제2 개구부(5120)들의 측벽에 노출되어 있는 제1 내지 제4 실리콘 산화막 패턴(5103a ~ 5103d)을 선택적으로 제거한다. 제1 내지 제4 실리콘 산화막 패턴(5103a ~ 5103d)은 습식 식각 공정을 통해 제거한다. 구체적으로, 제1 내지 제4 실리콘 산화막 패턴(5103a ~ 5103d)은 불산 수용액을 사용하여 제거할 수 있다. 상기 공정을 수행하면, 수직 전극(5109)의 측벽에는 일정 간격을 두고 제1 내지 제5 실리콘 질화막 패턴(5102a ~ 5102e)이 남아있게 된다. 또한, 제2 개구부(5120)의 측벽에서 제1 내지 제4 실리콘 산화막 패턴(5103a ~ 5103d)이 제거된 부위에는 요부(5122)가 생성된다. 이때, 각 층의 요부(5122)들은 서로 통하게 되며, 요부(5122)에 의해서 수직 전극(5109)의 측벽이 노출된다. 요부(5122)에 의해 노출되는 수직 전극(5109) 측벽에는 저항변화 물질층이 형성될 부위이다.
- [0171] 도 55를 참조하면, 요부(5122)에 의해 노출된 수직 전극(5109)의 측벽 및 요부 내의 실리콘 질화막 패턴(절연막)(5102a 내지 5102e) 상에 제1 저항변화 물질층(5106)을 형성한다. 제1 저항변화 물질층(5106)은 HfO_2 , MnO_2 , TiO_2 , TaO_2 ,

NiO₂와 같은 전이금속 산화물로 구성될 수 있다. 제1 저항변화 물질층(5106)은 원자 증착법(ALD)을 통해 형성될 수 있다.

[0172] 도 56를 참조하면, 제1 저항변화 물질층(5106) 상에 요부(5122) 내부를 완전히 채우도록 구리 또는 은과 같은 금속 물질(5107a)을 증착한다. 이때, 구리 또는 은과 같은 금속 물질(5107a)은 원자 증착법(ALD) 또는 스퍼터링 방법을 통해 증착될 수 있다. 본 발명의 실시예에서는 구리 또는 은을 요부 내에 완전히 채우도록 증착하는 것을 설명하였지만, 필요한 금속의 양이 1~2 원자층 정도이므로 요부 내를 완전히 채우지 않고 증착하더라도 무방하다.

[0173] 이와 같이 제1 저항변화 물질층(5106) 상의 요부 내에 구리 또는 은과 같은 금속 물질(5107a)을 증착한 후, 400°C 이하의 온도에서 수초 또는 수분 열처리하여, 제1 저항변화 물질층(5106) 내에 구리 또는 은 물질로 구성된 금속 이온 필라멘트(5107)가 형성되도록 한다.

[0174] 도 57를 참조하면, 제1 저항변화 물질층(5106) 내에 금속 이온 필라멘트(5107)를 형성한 후, 습식 식각 공정을 통해 요부 내에 남아있는 구리 또는 은의 금속 물질을 완전히 제거한다. 이에 따라 요부 내에는 금속 이온 필라멘트(5107)가 형성된 제1 저항변화 물질층(5106) 만이 남게 된다.

[0175] 도 58를 참조하면, 금속 이온 필라멘트(5107)가 형성된 제1 저항변화 물질층(5106) 상에 제1 저항변화 물질층(5106)과 다른 전이금속 산화물로 구성되는 제2 저항변화 물질층(5108)을 형성한다. 여기서 제2 저항변화 물질층(5108)은 제1 저항변화 물질층과 금속 이온 확산 정도가 상이한 전이 금속 산화물인 것이 바람직하다. 제2 저항변화 물질층(5108)은 원자 증착법(ALD)을 이용해 제1 저항변화 물질층(5106) 상에 형성된다.

[0176] 도 59를 참조하면, 제2 저항변화 물질층(5108) 상의 요부 및 제2 개구부(5102) 내에 도전막(5111)을 형성한다. 도전막(5111)은 후속 공정을 통해 수평 전극 패턴으로 제공된다. 제2 개구부(5120) 및 요부(5122) 내부에 도전막(5111)을 보이드 없이 채우기 위해서는 스텝 커버리지 특성이 양호한 물질을 사용하여 증착하는 것이 바람직하다. 예를 들어, 도전막(5111)은 Pt, Ti, TiN, TaN, W 등일 수 있다.

[0177] 도 60를 참조하면, 적층 구조물의 상부 표면에, 제2 개구부(5120) 내부에 형성되어 있는 도전막(5111) 상부면을 선택적으로 노출하는 제3 포토레지스트 패턴(도시안됨)을 형성한다. 즉, 제3 포토레지스트 패턴은 제2 개구부(5120)와 동일한 부위 또는 제2 개구부(5120)보다 더 넓은 부위를 노출시키는 형상을 갖는다. 그리고 제3 포토레지스트 패턴을 식각 마스크로 사용하여 상기 노출된 도전막(5111)을 이방성 식각함으로써, 상기 각 층의 도전막 패턴(5104a 내지 5104d)들이 수직 방향으로 서로 분리되도록 하는 제3 개구부(130)를 형성한다. 제3 개구부(130)의 저면에는 제1 실리콘 질화막 패턴(5102a)이 노출될 수 있다. 이와 같은 식각 공정에 의해, 제1 내지 제5 실리콘 질화막 패턴(5102a ~ 5102e) 사이에는 제1 내지 제4 수평 전극(5104a ~ 5104e)이 형성된다. 이때, 동일한 층에

형성된 수평 전극(5104a ~ 5104d)들은 서로 전기적으로 연결된다. 그러나, 서로 다른 층에 형성된 수평 전극(5104a ~ 5104d)들 간에는 서로 절연된다.

[0178] 도 61을 참조하면, 제3 개구부(130) 내에 절연 물질(140)을 채울 수 있다. 또는 제3 개구부(5103) 내에 수직 전극을 위한 도전막을 채워 추가적인 수직 전극을 형성할 수 있다. 그리고 수직 전극(5109)들 및 제5 실리콘 질화막 패턴(5102e) 상에 도전막(도시안됨)을 형성한다. 이 후, 상기 도전막을 사진 식각 공정을 통해 패터닝함으로써, 수직 전극 패턴(5109)들의 상부를 서로 연결하는 비트 라인(5110)들을 형성한다.

[0179] 따라서 본 발명의 청구범위는 특정 실시예에 한정되는 것은 아니며, 본 발명과 관련하여 통상의 지식을 가진자에게 자명한 범위내에서 여러 가지의 대안, 수정 및 변경하여 실시할 수 있다. 따라서, 본 발명에 개시된 실시예 및 첨부된 도면들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예 및 첨부된 도면에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

청구범위

- [청구항 1] 서로 일정 간격을 두고 적층되고 수평 방향으로 연장된 복수의 수평 전극;
 상기 복수의 수평 전극들 사이에 각각 형성된 층간 절연막;
 상기 적층된 복수의 수평 전극들과 층간 절연막들을 수직 방향에서 관통하여 상기 수평 전극과 교차점을 갖도록 형성되는 복수의 수직 전극; 및
 상기 층간 절연막과 상기 수평 전극 사이에서 상기 수평 전극을 감싸는 형태로 그 단면이 U형을 갖도록 형성되고, 상기 수직 전극과 접하는 면이 산소 처리되어 상기 수직 전극과 접하는 면의 산소 조성비가 상기 수평 전극과 접하는 면의 산소 조성비보다 높도록 형성되어 문턱 스위칭 특성과 메모리 스위칭 특성을 갖도록 형성된 금속 산화물막을 포함하는 수직형 저항 변화 메모리 소자.
- [청구항 2] 제 1 항에 있어서,
 상기 금속 산화물막은,
 동일한 금속 산화물로 구성되고, 상기 수직 전극과 접하는 면인 산소 조성비가 높은 부분이 상기 메모리 스위칭 특성을 가지며,
 상기 수평 전극과 접하는 면이 문턱 스위칭 특성을 가지는 수직형 저항 변화 메모리 소자.
- [청구항 3] 제 2 항에 있어서,
 상기 금속 산화물막은 FeOx , VOx , TiOx , 또는 NbOx 중 어느 하나인 수직형 저항 변화 메모리 소자.
- [청구항 4] 제 1 항에 있어서,
 상기 수평 전극 및 상기 수직 전극은 금속 도전체인 것을 특징으로 하는 수직형 저항 변화 메모리 소자.
- [청구항 5] 제 1 항에 있어서,
 상기 층간 절연막은 실리콘 질화물인 것을 특징으로 하는 수직형 저항 변화 메모리 소자.
- [청구항 6] 수직형 저항 변화 메모리 소자의 제조 방법에 있어서,
 (a) 기판 상에 층간 절연막과 희생막을 교대로 적층하는 단계;
 (b) 상기 층간 절연막과 희생막을 수직 방향으로 관통하면서 서로 일정 간격 이격되는 제1 개구부를 형성하고, 상기 제1 개구부 내에 제거 가능한 물질로 채워 기둥부를 형성하는 단계;
 (c) 상기 기둥부들 사이에 복수의 제2 개구부를 형성한 후, 상기 희생막을 제거하여 상기 층간 절연막들 사이에 요부를 형성하는 단계;

(d) 상기 요부에 의해 노출된 상기 기둥부 및 상기 층간 절연막 상에 금속 산화물막을 형성하는 단계;
 (e) 상기 요부 내에 형성된 상기 금속 산화물막 상에 도전물질을 매립하여 수평 전극을 형성하는 단계;
 (f) 상기 금속 산화물막의 일부가 노출되도록 상기 기둥부를 제거하여 제3 개구부를 형성하는 단계;
 (g) 메모리 스위칭 특성과 문턱 스위칭 특성을 갖도록 상기 제3 개구부에서 노출된 금속 산화물막을 산소 처리하는 단계; 및
 (h) 상기 제3 개구부 내에 도전물질을 매립하여 수직 전극을 형성하는 단계
 를 포함하는 하이브리드 스위칭 막을 갖는 수직형 저항 변화 메모리 소자의 제조방법.

[청구항 7]

제 6 항에 있어서,
 상기 (g) 단계에서 금속 산화물막은 동일한 금속의 산화물막이고, 상기 수직 전극과 접하는 면이 산소 조성비가 높아 상기 메모리 스위칭 특성을 가지며, 상기 수평 전극과 접하는 면이 문턱 스위칭 특성을 가지는 하이브리드 스위칭 막을 갖는 수직형 저항 변화 메모리 소자의 제조방법.

[청구항 8]

제 7 항에 있어서,
 상기 금속 산화물막은 FeO_x , VO_x , TiO_x , 또는 NbO_x 중 어느 하나인 하이브리드 스위칭 막을 갖는 수직형 저항 변화 메모리 소자의 제조방법.

[청구항 9]

제 7 항에 있어서,
 상기 층간 절연막은 실리콘 질화물인 하이브리드 스위칭 막을 갖는 수직형 저항 변화 메모리 소자의 제조방법.

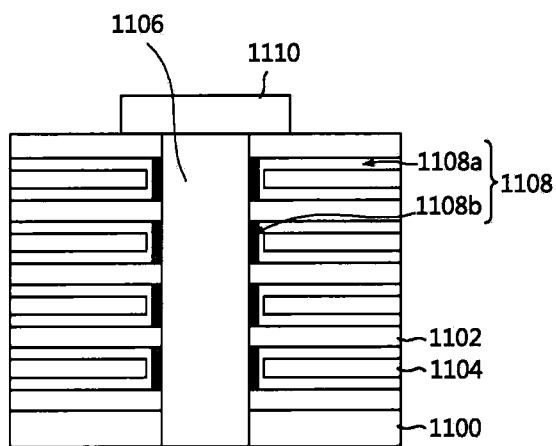
[청구항 10]

제 7 항에 있어서,
 상기 희생막은 실리콘 산화물인 하이브리드 스위칭 막을 갖는 수직형 저항 변화 메모리 소자의 제조방법.

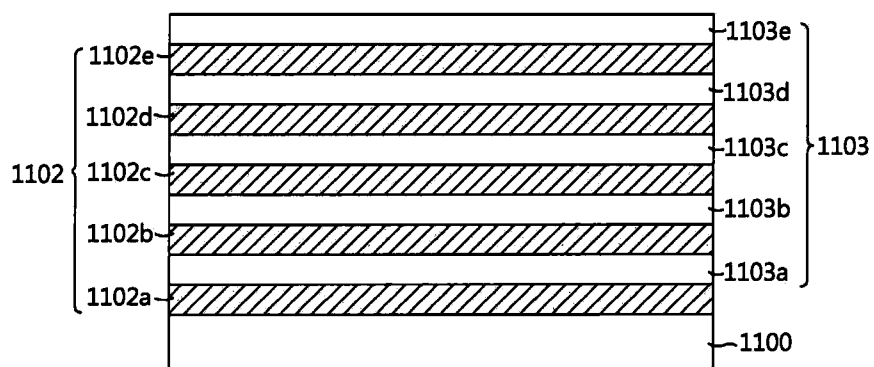
[청구항 11]

제 7 항에 있어서,
 상기 수직 전극을 형성한 후, 상기 층간 절연막 상에 도전층을 형성하고, 패터닝을 통해 비트 라인을 형성하는 단계를 더 포함하는 하이브리드 스위칭 막을 갖는 수직형 저항 변화 메모리 소자의 제조방법.

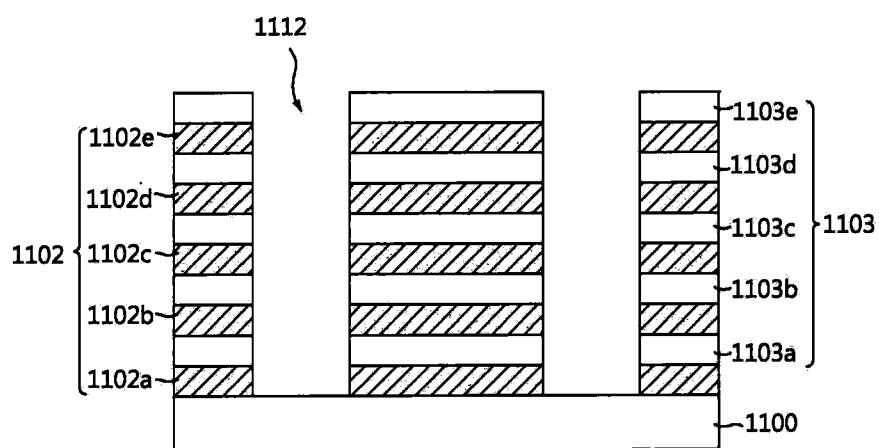
[Fig. 1]



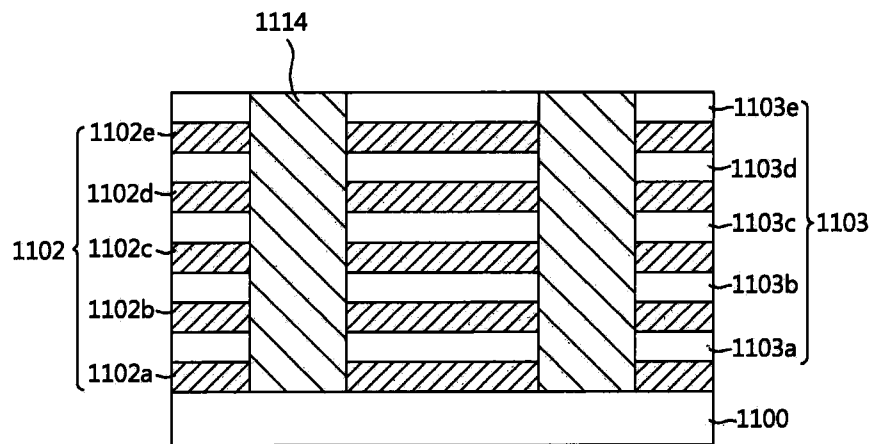
[Fig. 2]



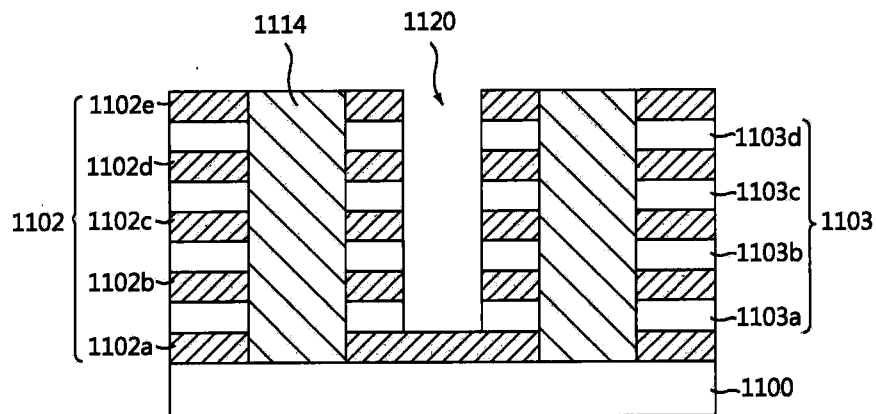
[Fig. 3]



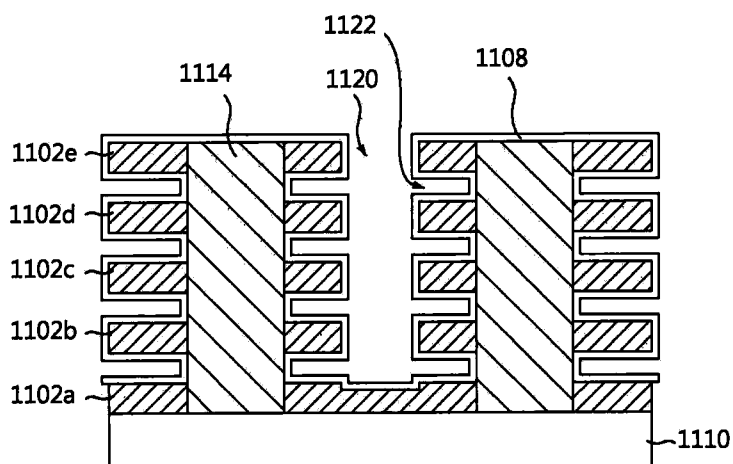
[Fig. 4]



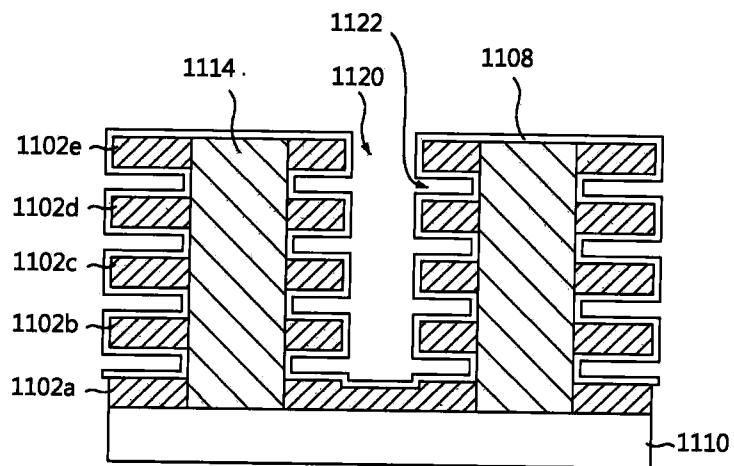
[Fig. 5]



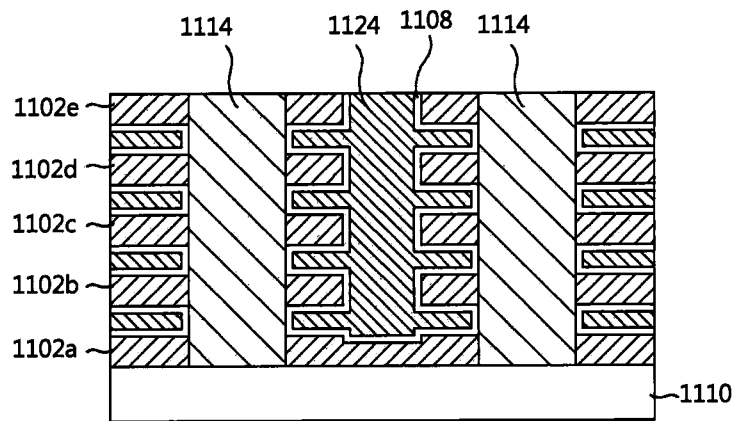
[Fig. 6]



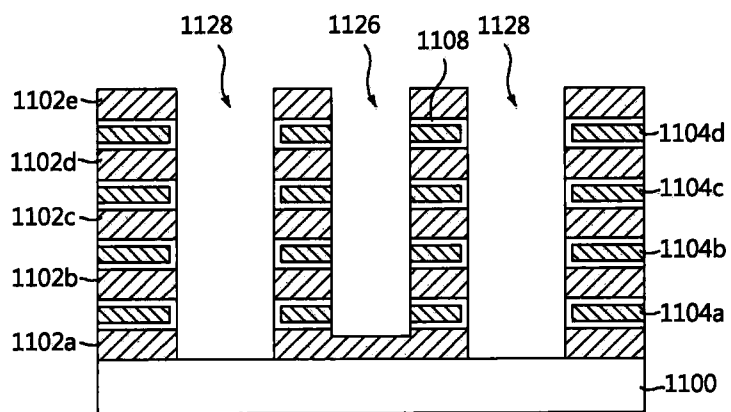
[Fig. 7]



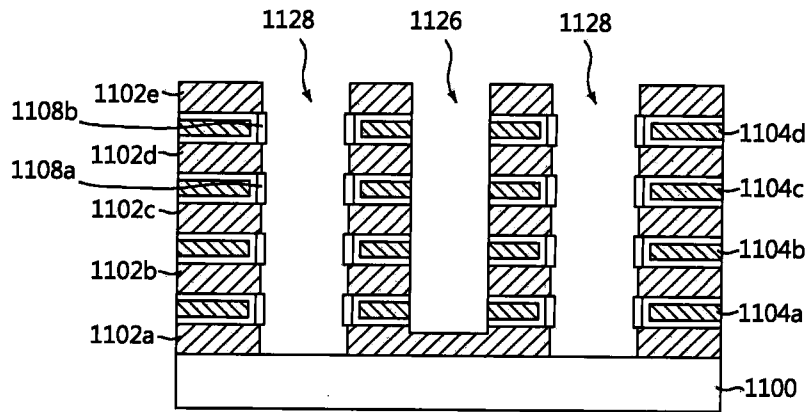
[Fig. 8]



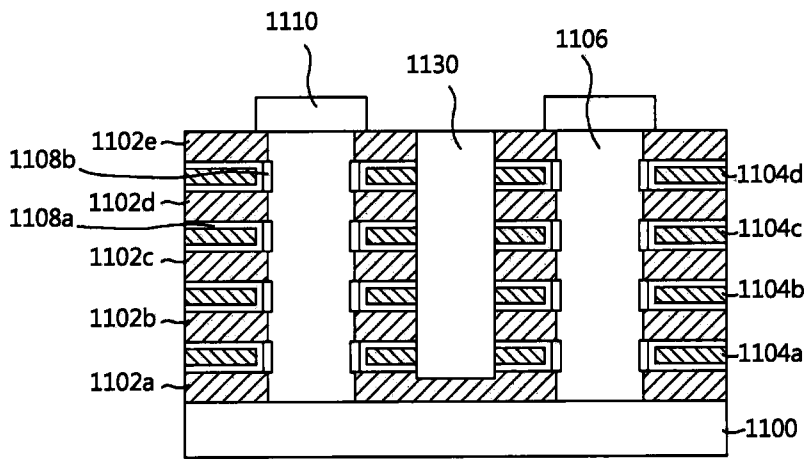
[Fig. 9]



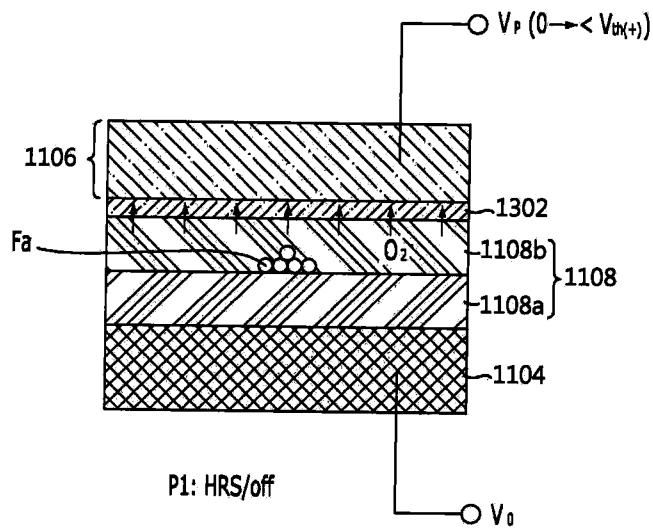
[Fig. 10]



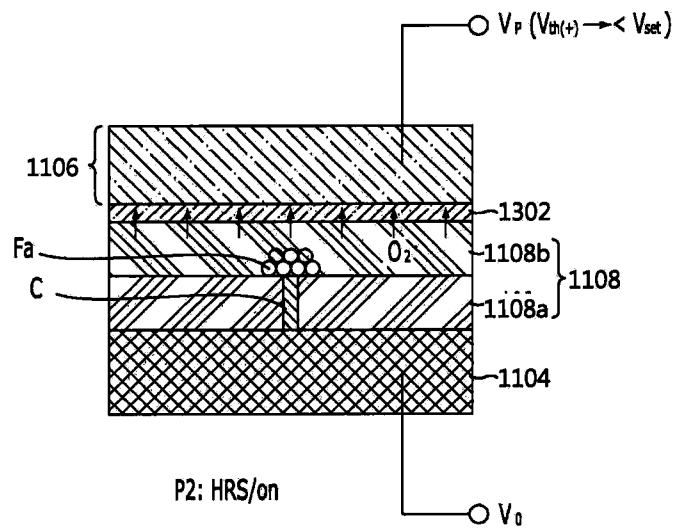
[Fig. 11]



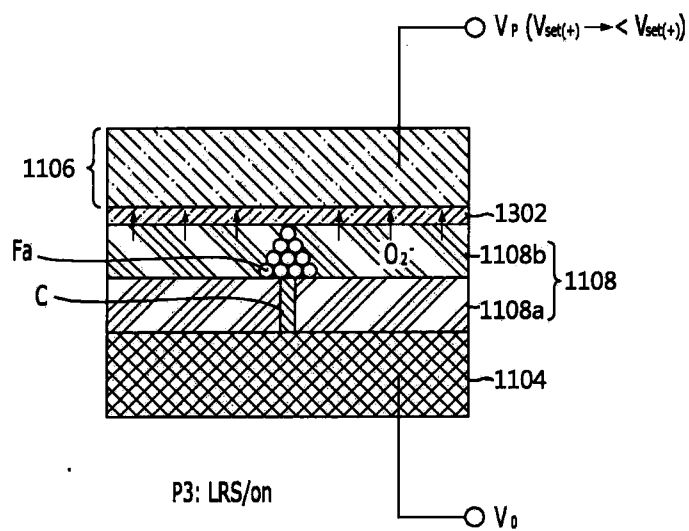
[Fig. 12]



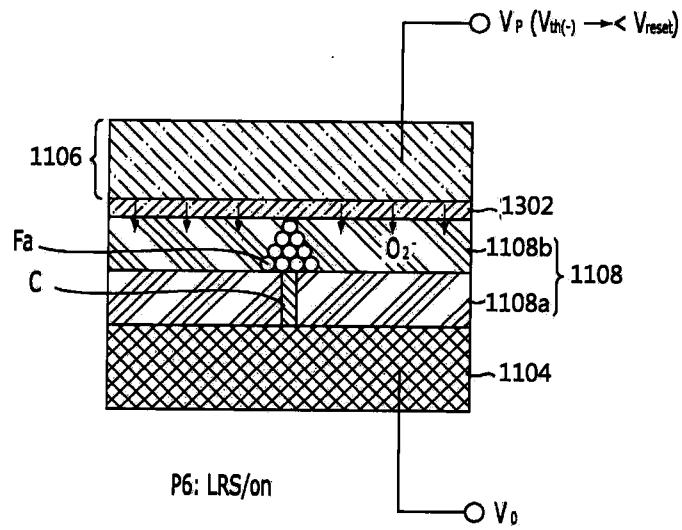
[Fig. 13]



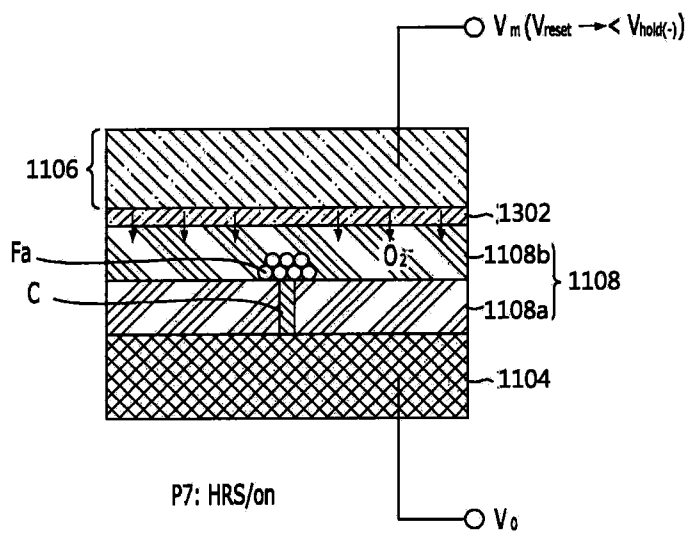
[Fig. 14]



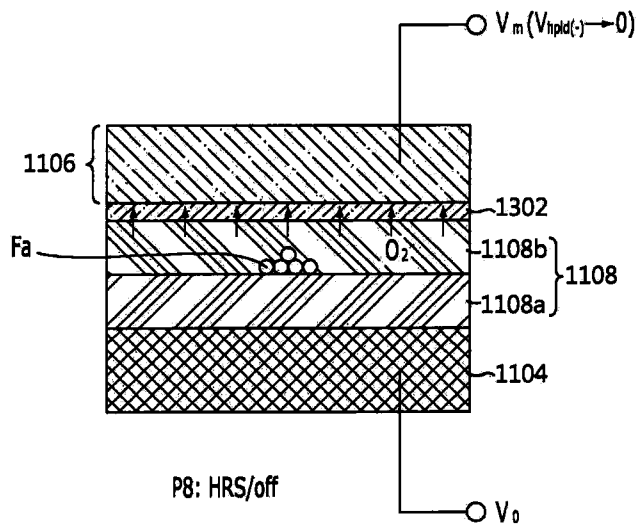
[Fig. 17]



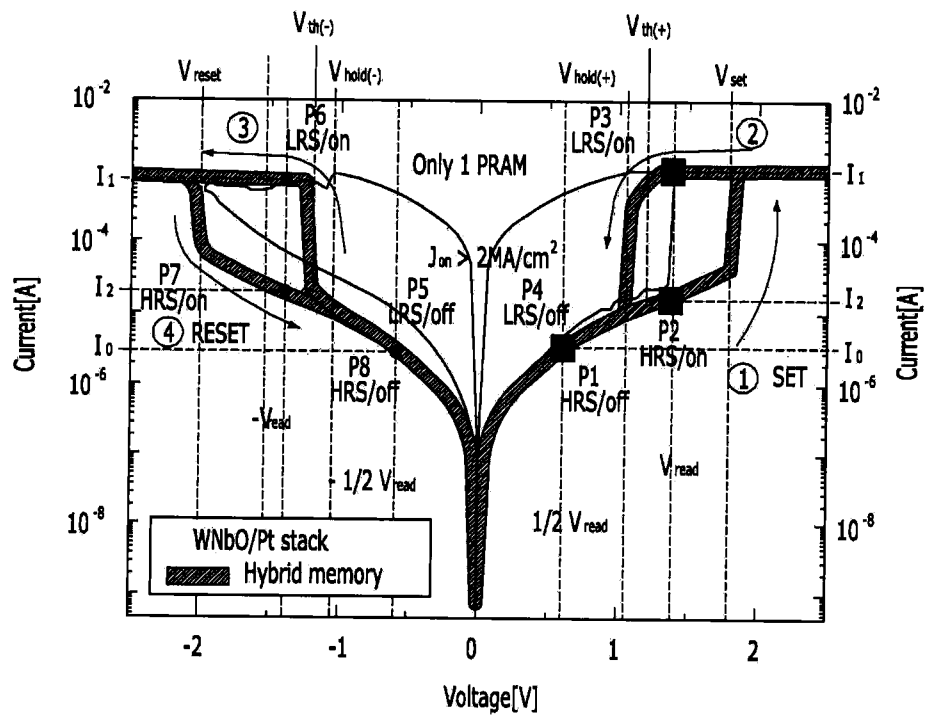
[Fig. 18]



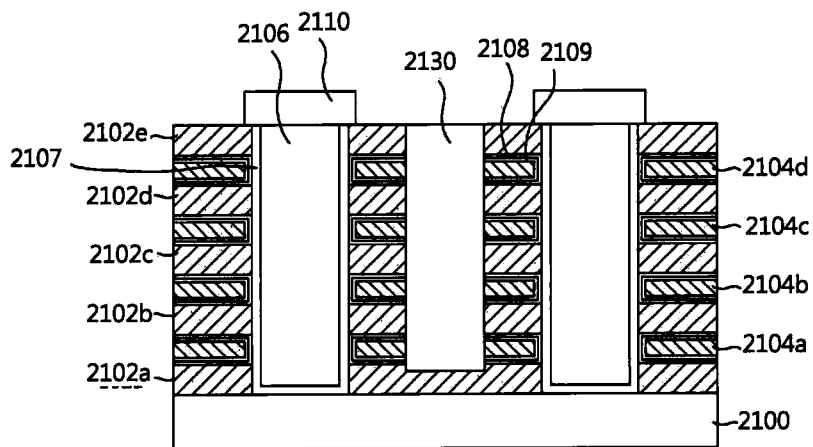
[Fig. 19]



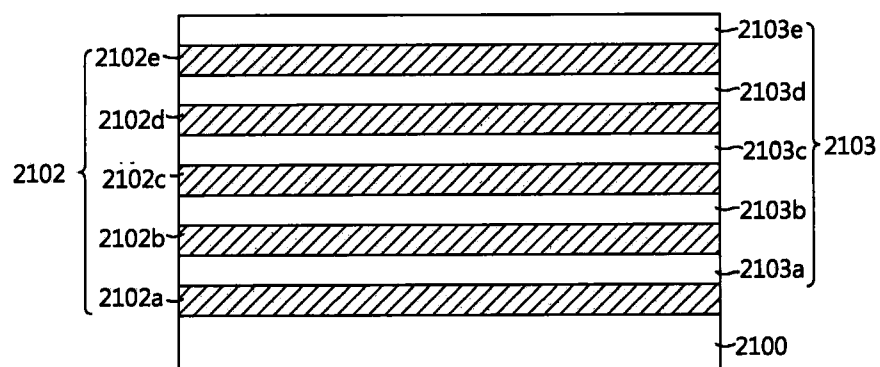
[Fig. 20]



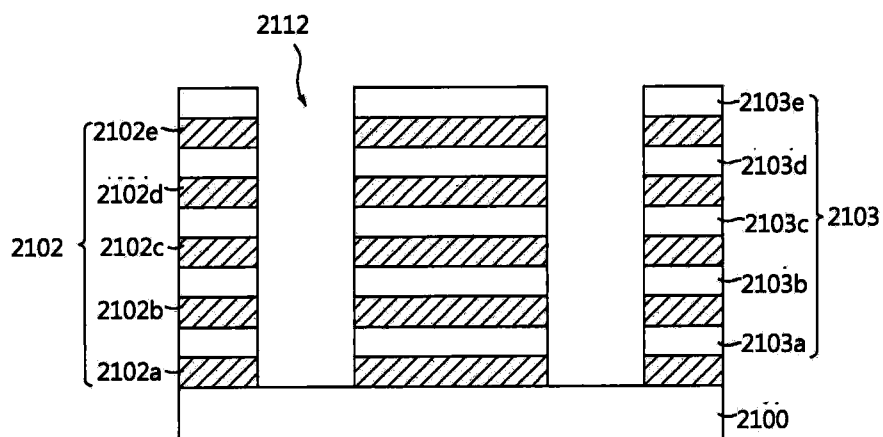
[Fig. 21]



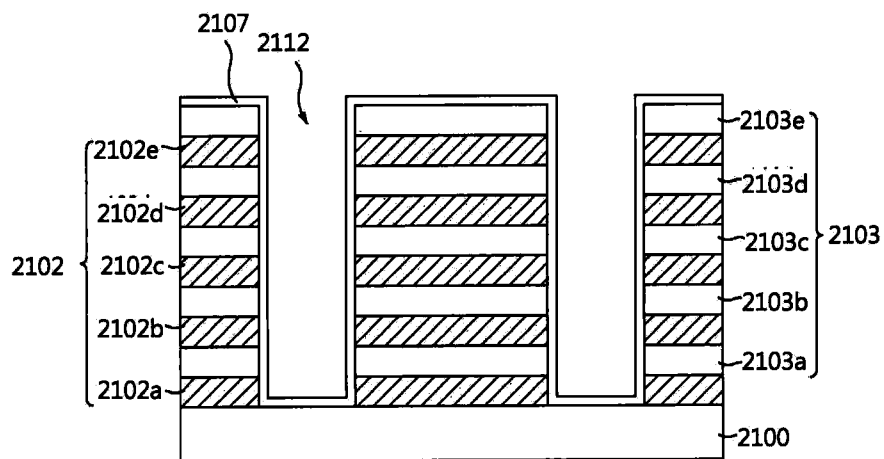
[Fig. 22]



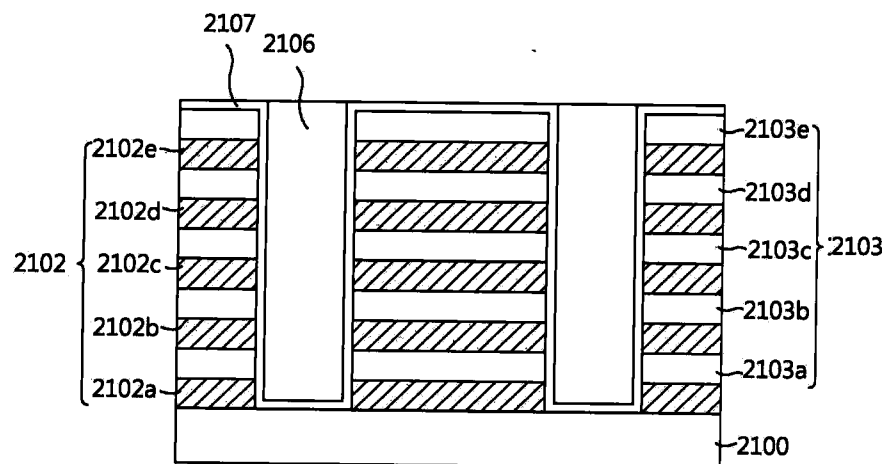
[Fig. 23]



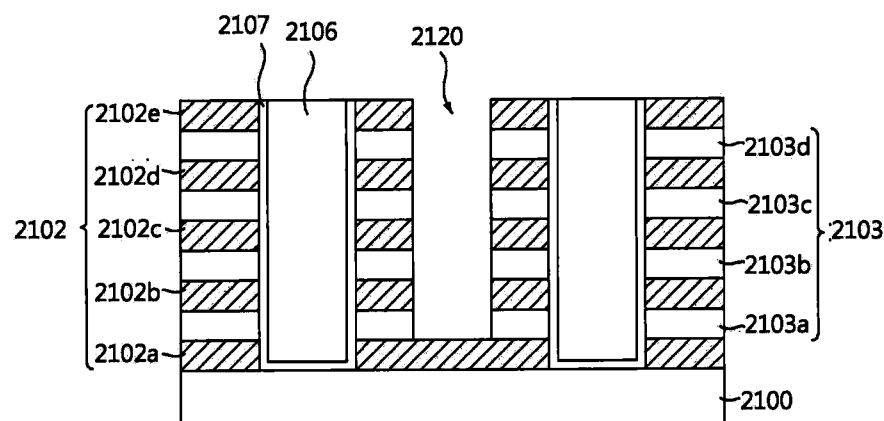
[Fig. 24]



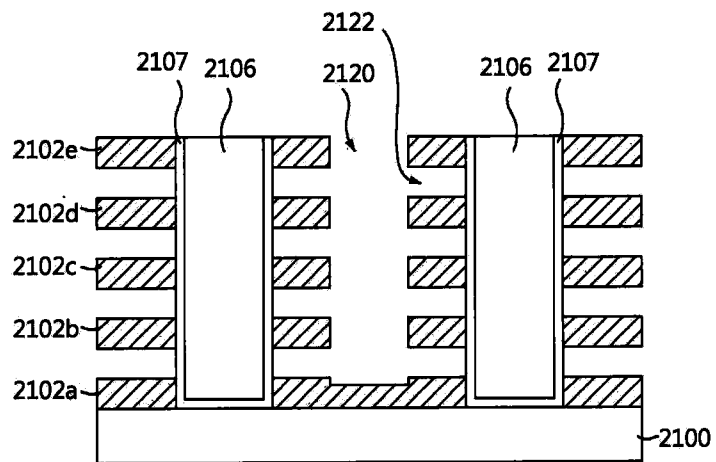
[Fig. 25]



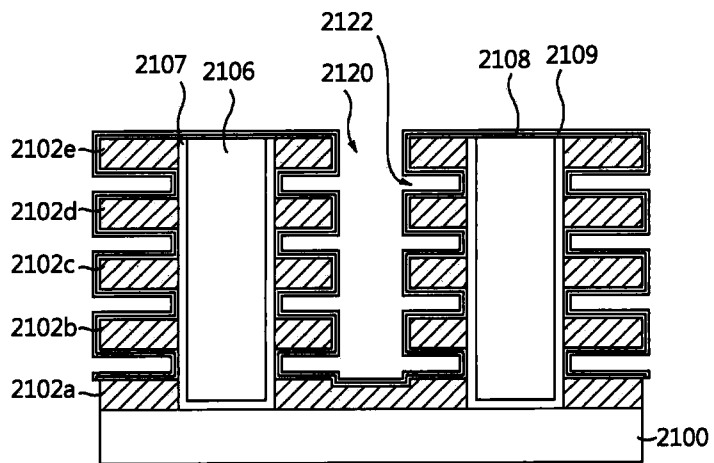
[Fig. 26]



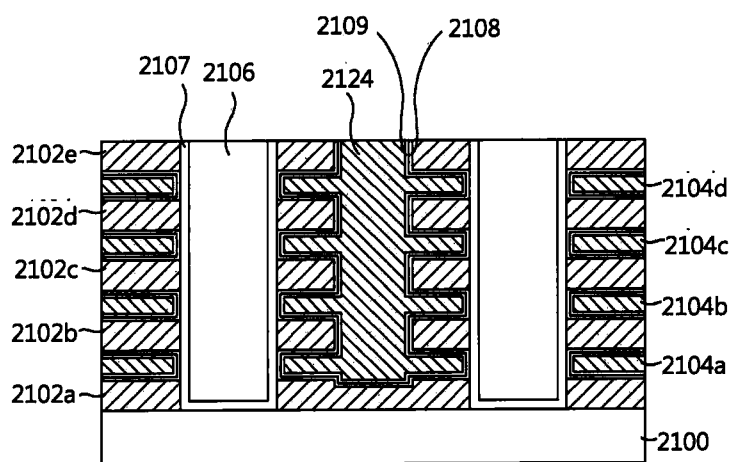
[Fig. 27]



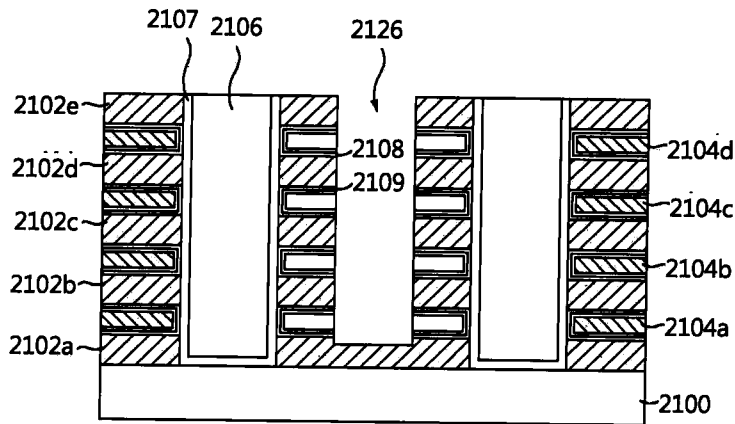
[Fig. 28]



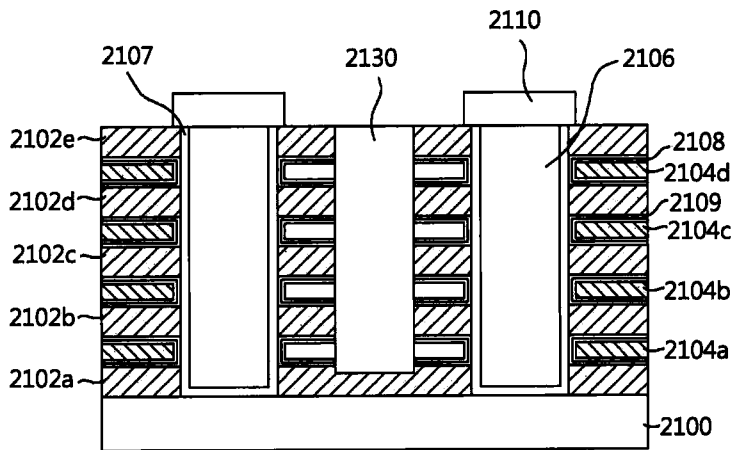
[Fig. 29]



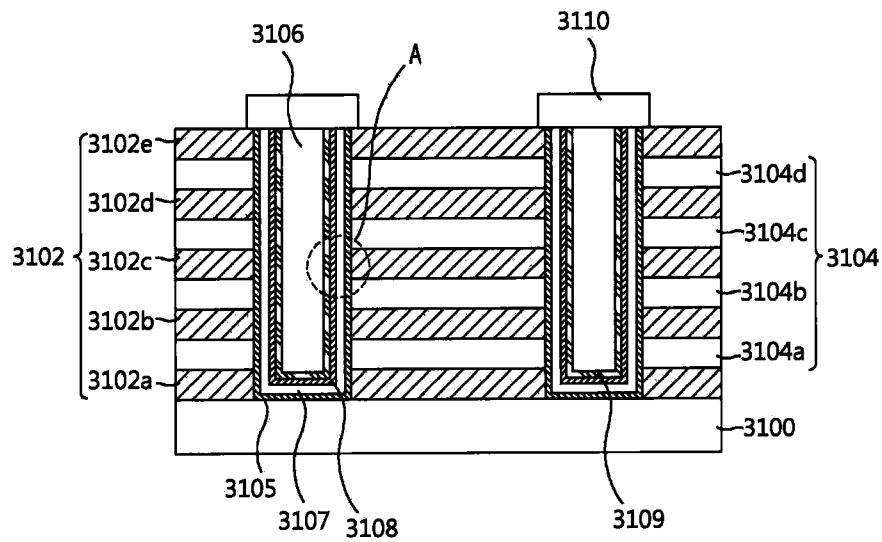
[Fig. 30]



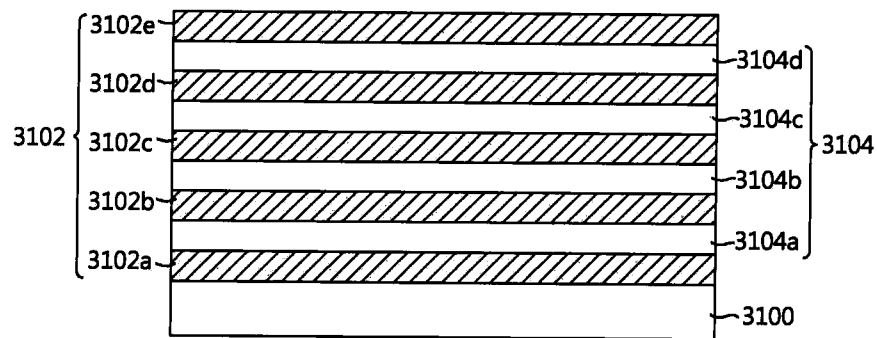
[Fig. 31]



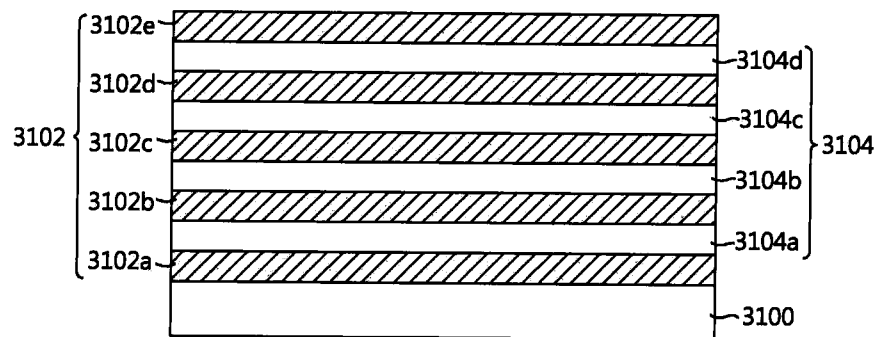
[Fig. 32]



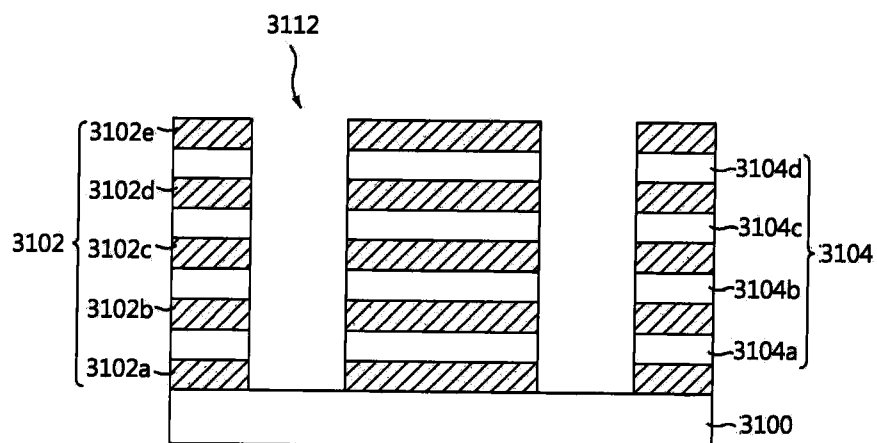
[Fig. 33]



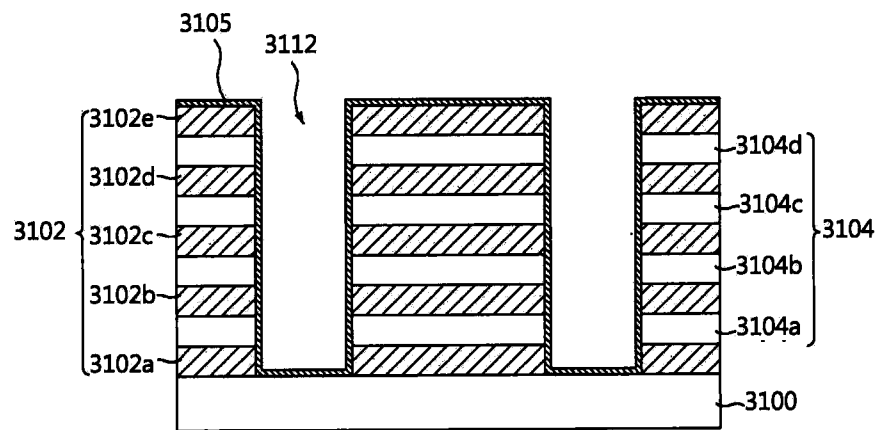
[Fig. 34]



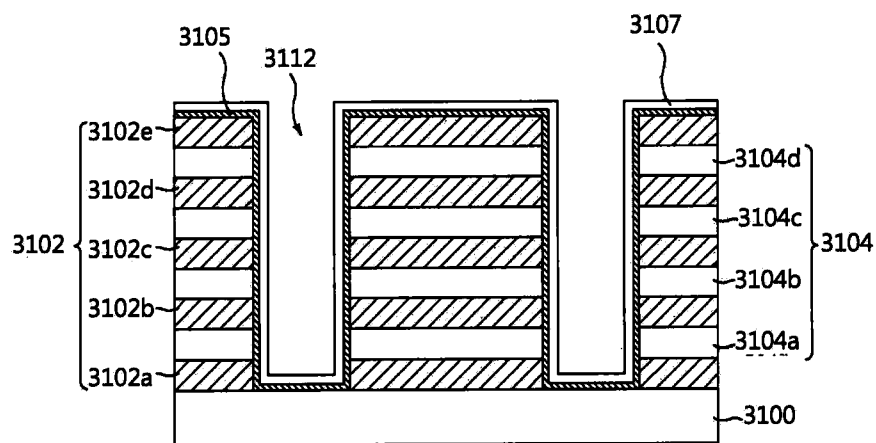
[Fig. 35]



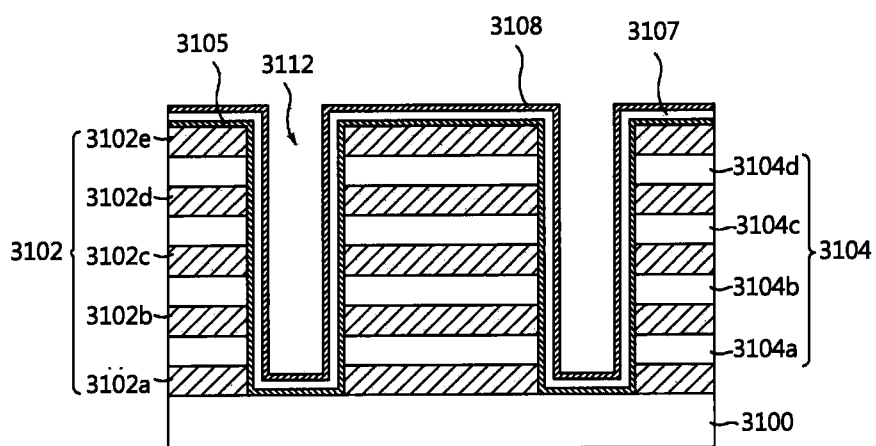
[Fig. 36]



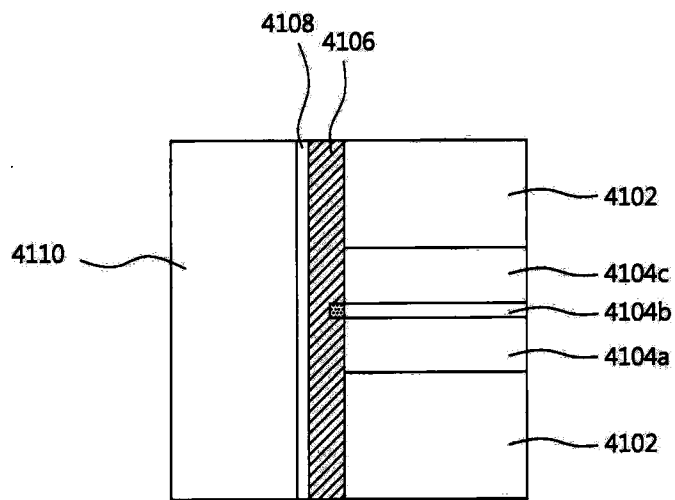
[Fig. 37]



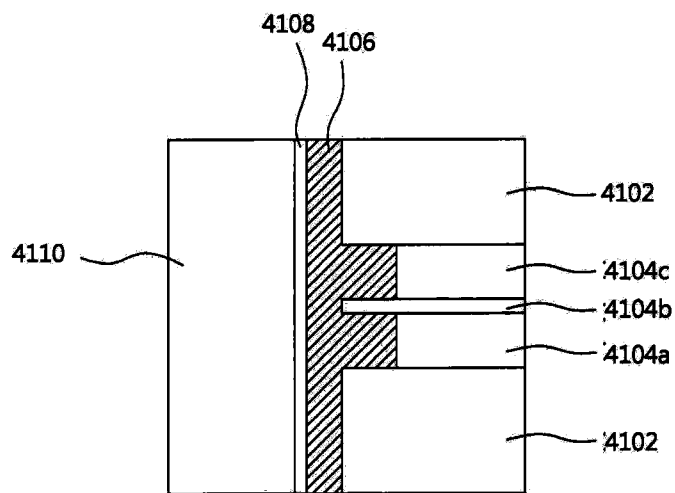
[Fig. 38]



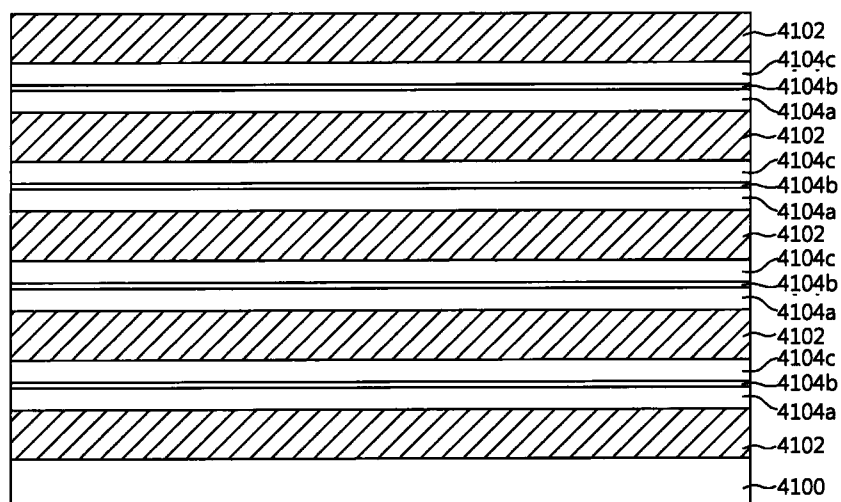
[Fig. 42]



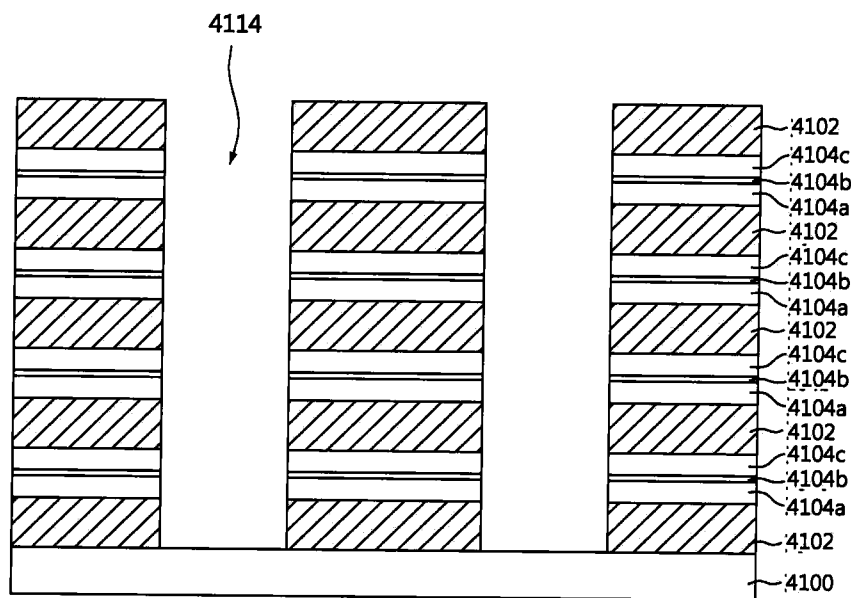
[Fig. 43]



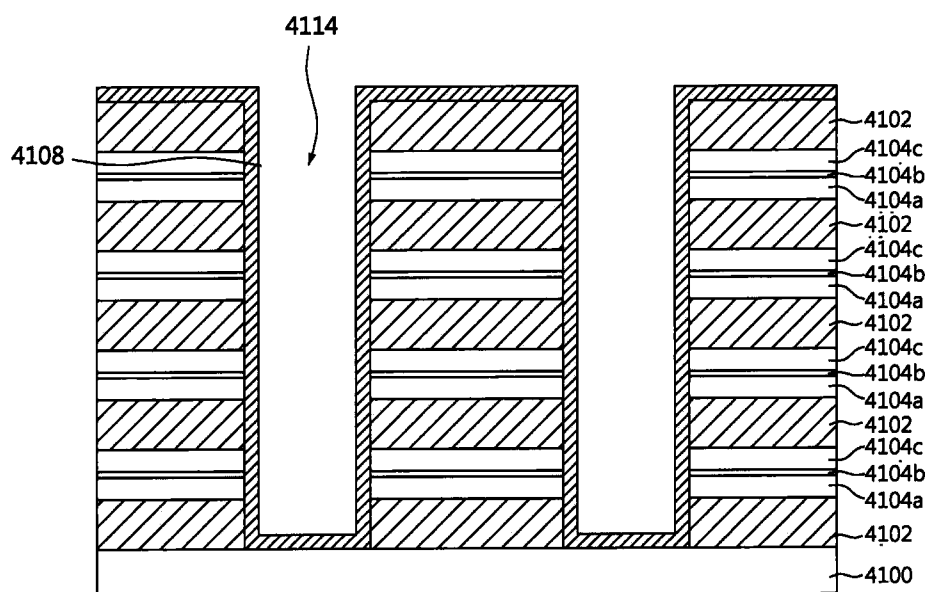
[Fig. 44]



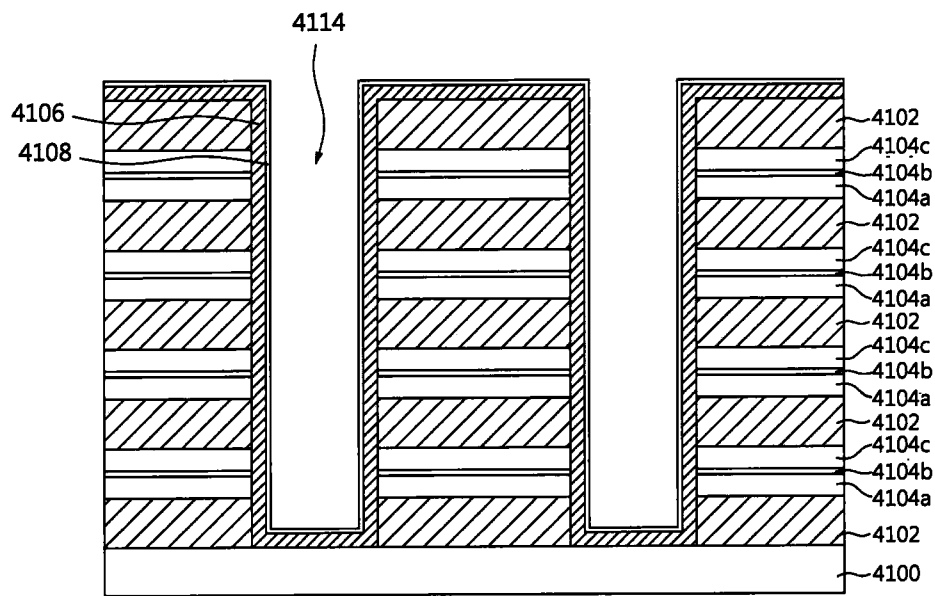
[Fig. 45]



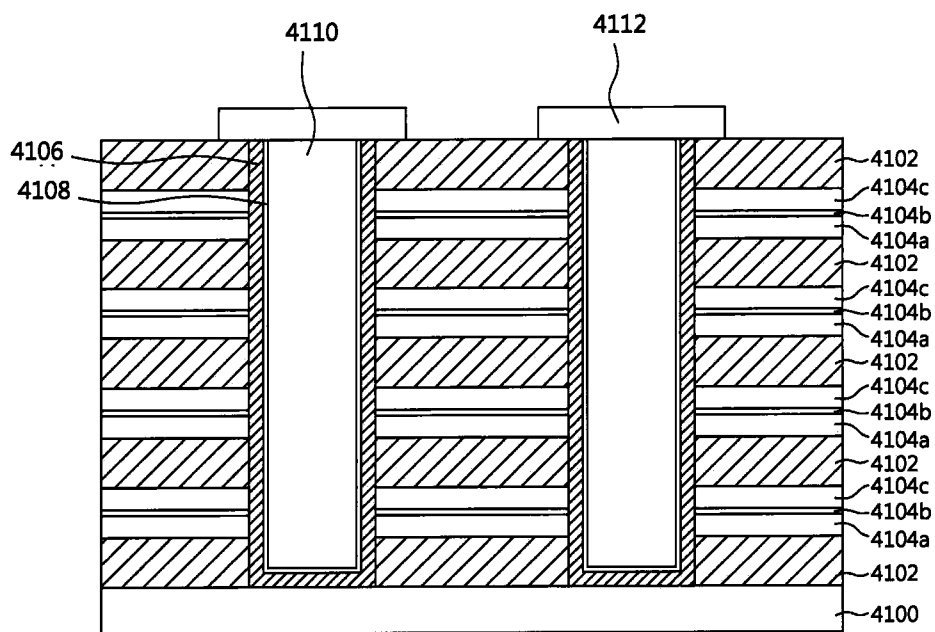
[Fig. 46]



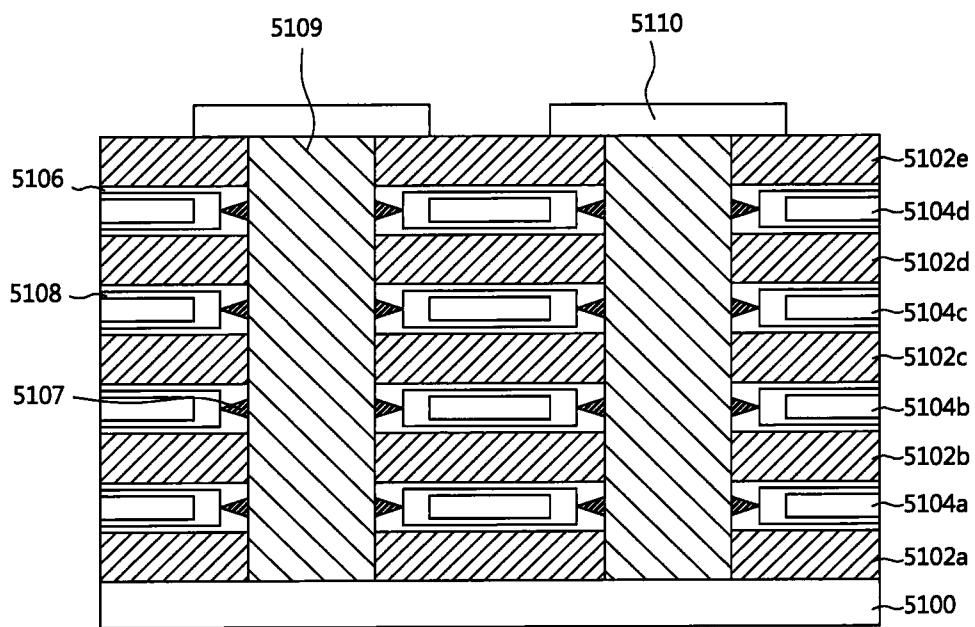
[Fig. 47]



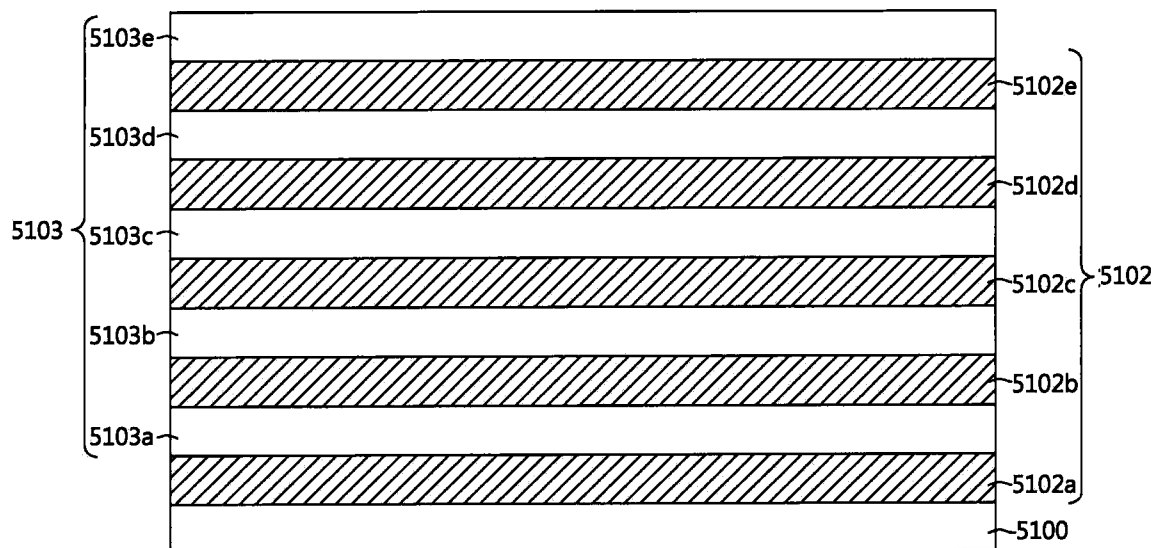
[Fig. 48]



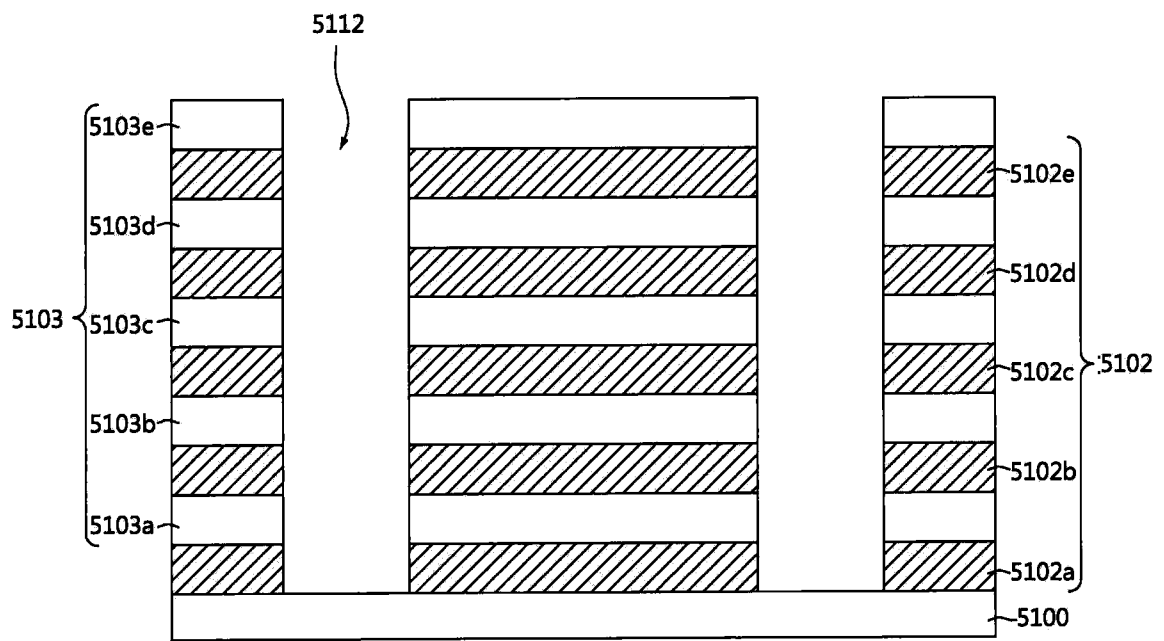
[Fig. 49]



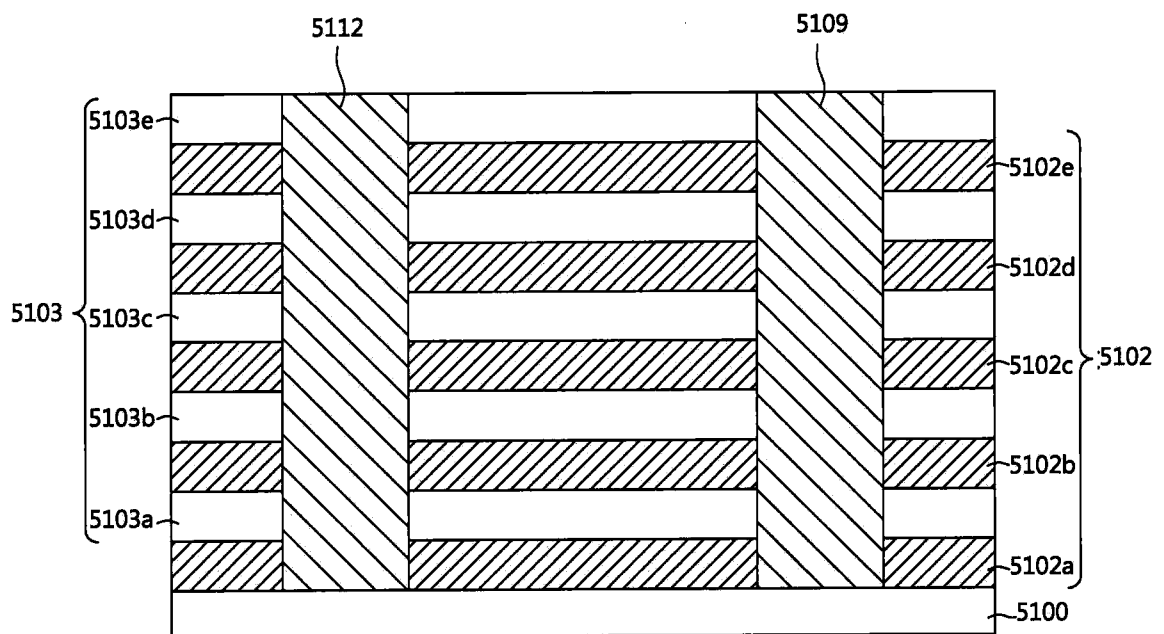
[Fig. 50]



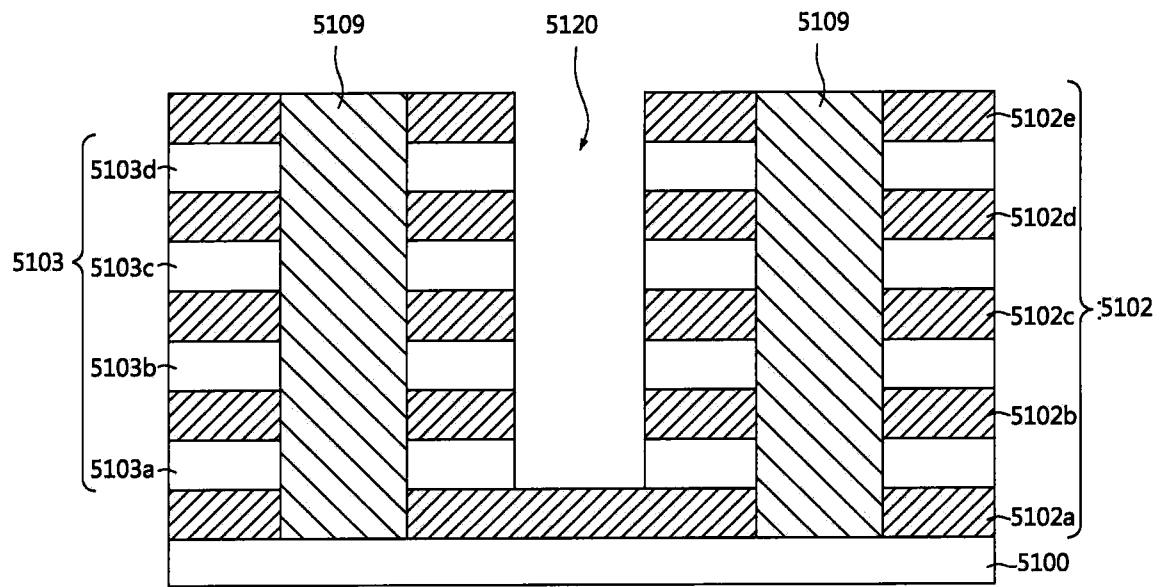
[Fig. 51]



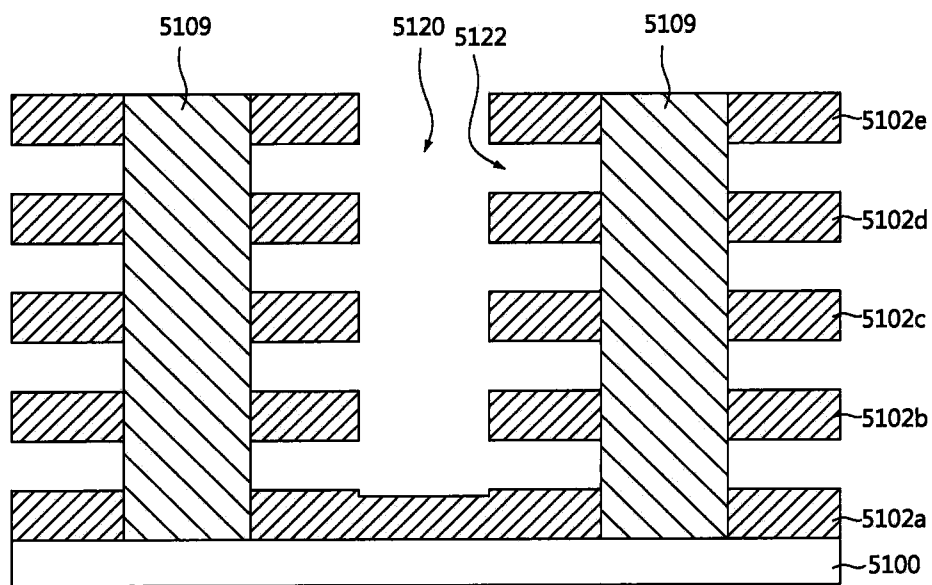
[Fig. 52]



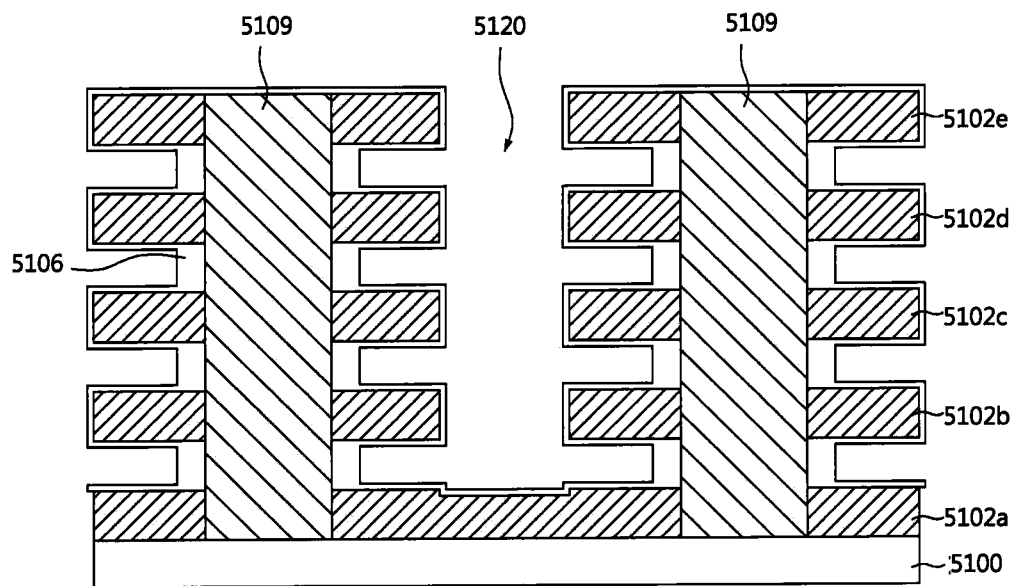
[Fig. 53]



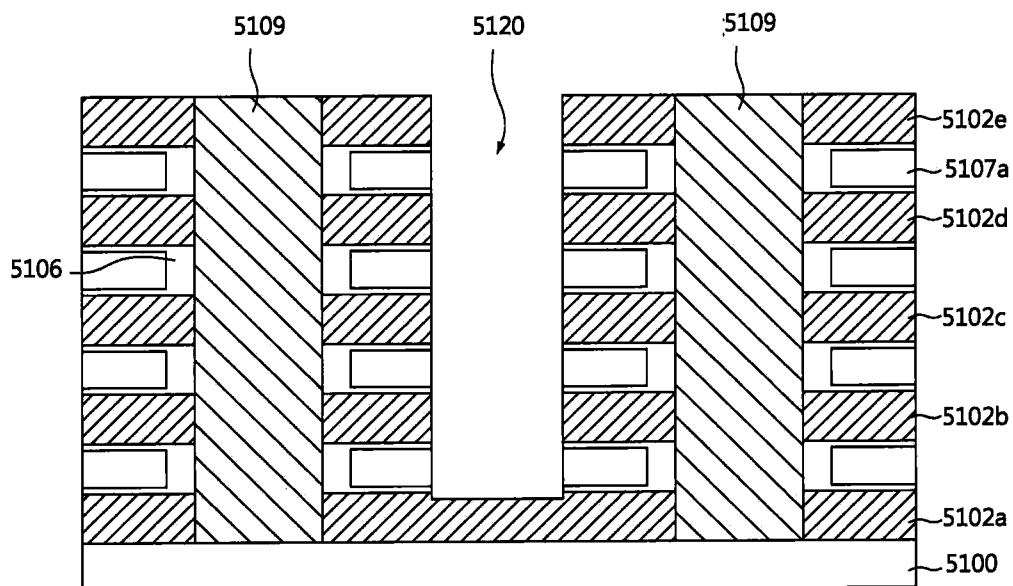
[Fig. 54]



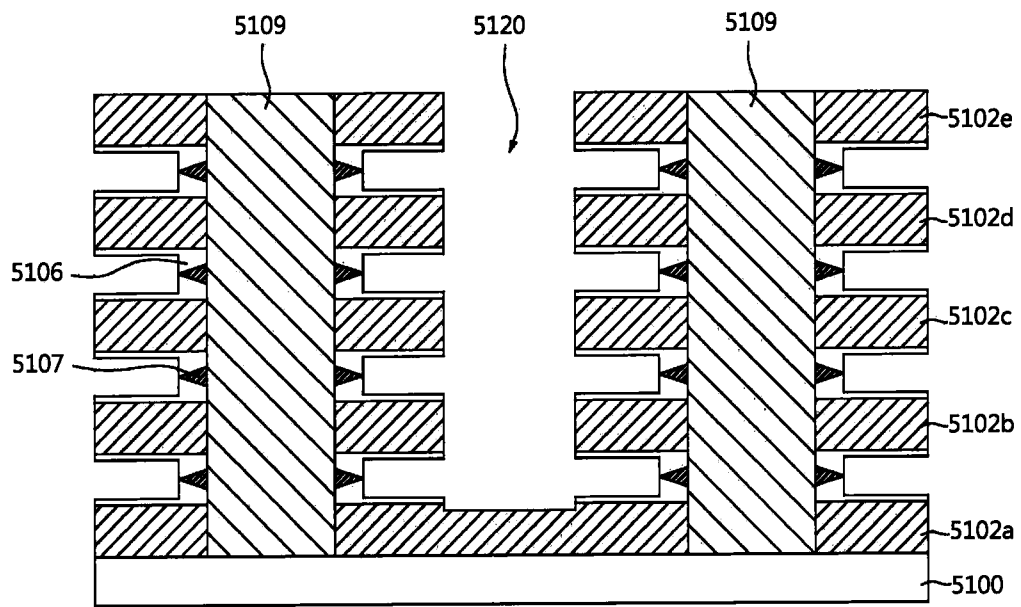
[Fig. 55]



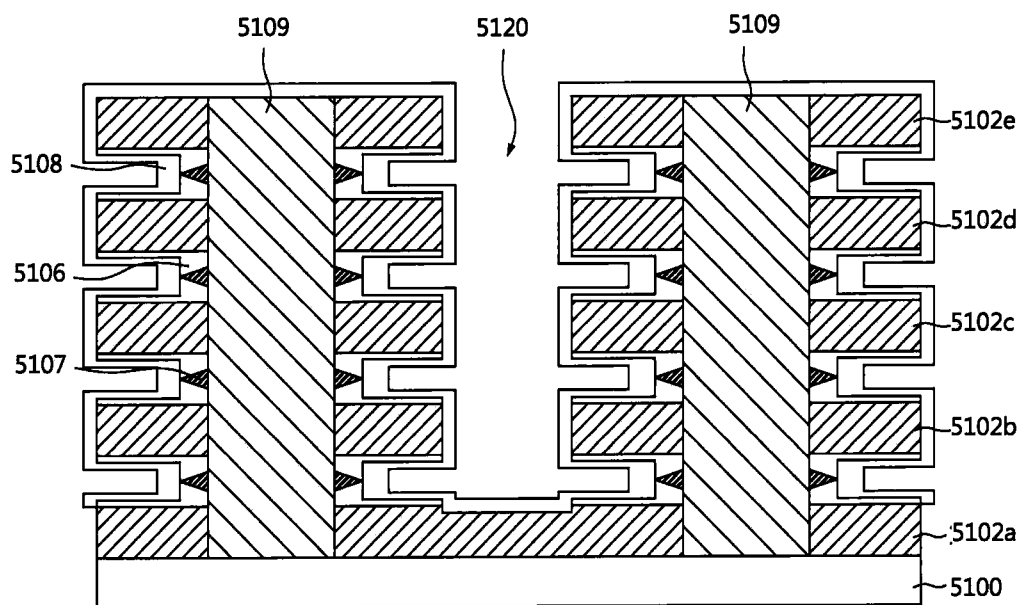
[Fig. 56]



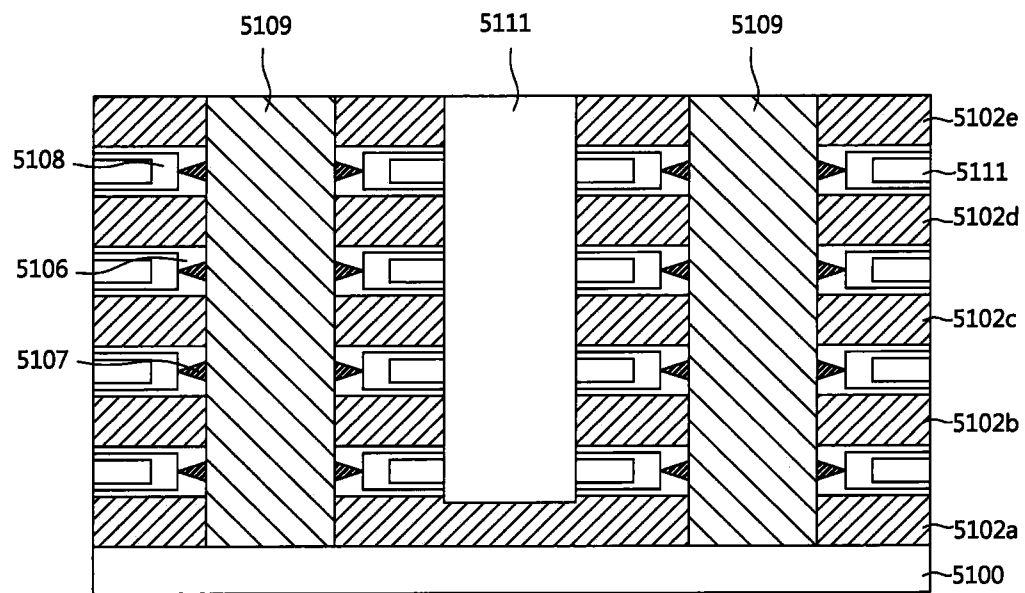
[Fig. 57]



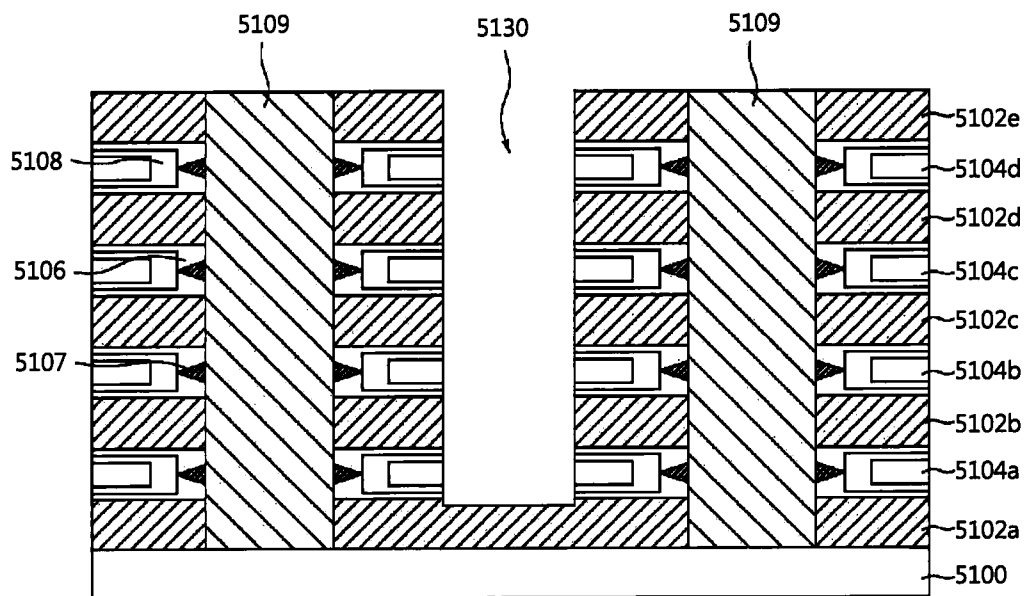
[Fig. 58]



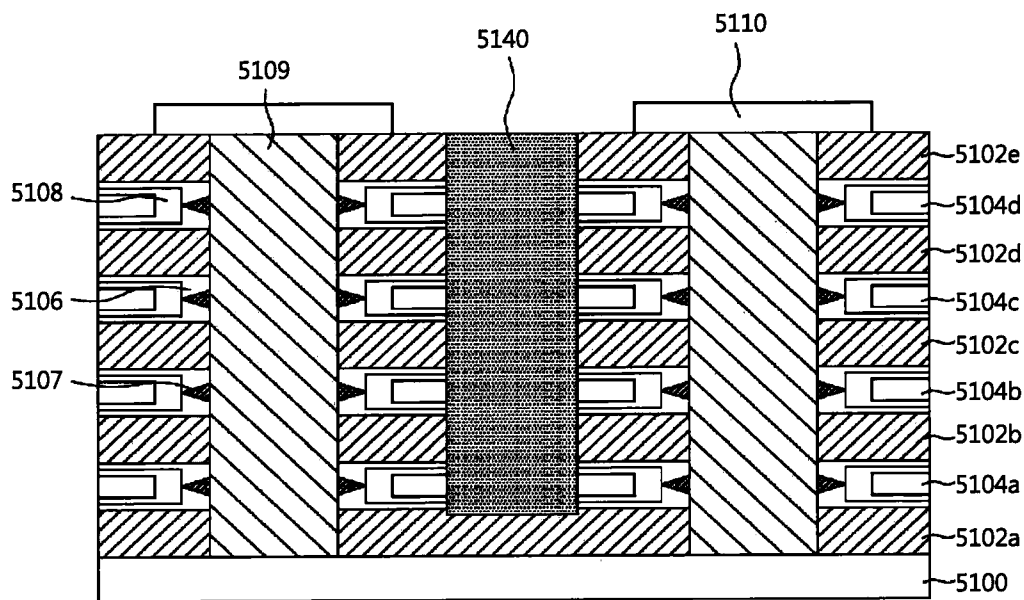
[Fig. 59]



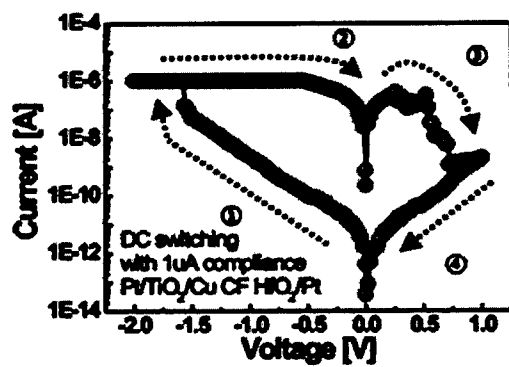
[Fig. 60]



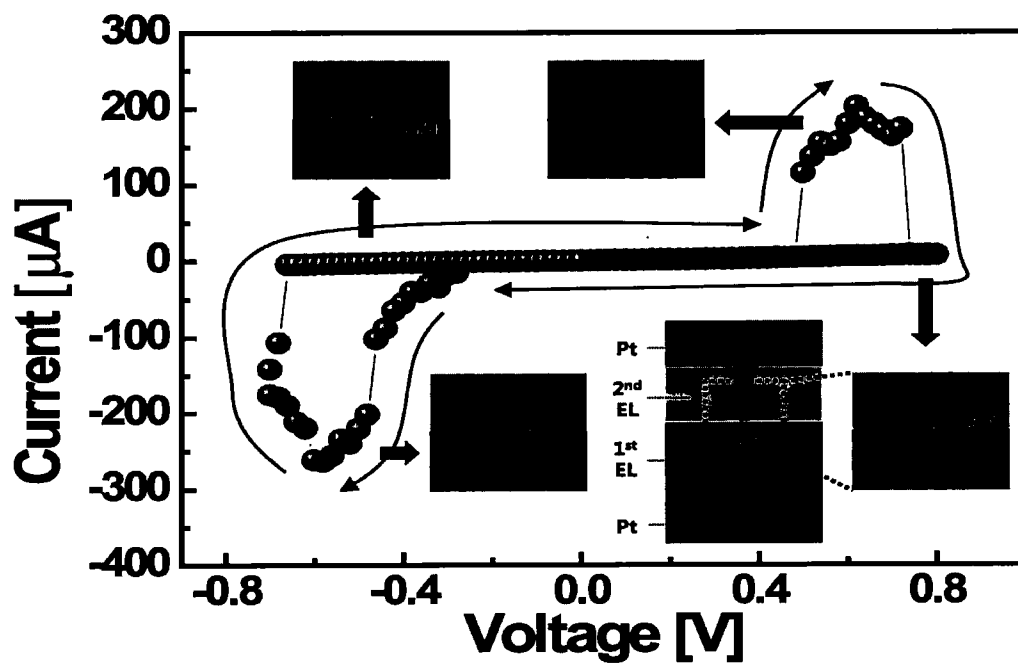
[Fig. 61]



[Fig. 62]



[Fig. 63]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2013/005570**A. CLASSIFICATION OF SUBJECT MATTER****H01L 27/115(2006.01)i, H01L 21/8247(2006.01)i**

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 27/115; G11C 11/15; H01L 45/00; B82Y 10/00; H01L 27/10; H01L 21/8247

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean Utility models and applications for Utility models: IPC as above

Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: horizontal electrode, intedielectric layer, vertical electrode, oxygen, metal oxide

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2009-081251 A (PANASONIC CORP) 16 April 2009 The detailed description [0076], [0079]-[0082] Claims 1, 2 Figures 3, 12-18	1-11
A	KR 10-0687755 B1 (ELECTRONICS AND TELECOMMUNICATIONS RESEARCH INSTITUTE) 27 February 2007 Figures 1d, 4a. Figures 1d, 4a related the detailed description Claim 1 Figures 1d, 4a	1-11
A	KR 10-2010-0083402 A (SAMSUNG ELECTRONICS CO., LTD.) 22 July 2010 The detailed description [0056], [0098] Claim 1 Figure 5b	1-11



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

30 SEPTEMBER 2013 (30.09.2013)

Date of mailing of the international search report

30 SEPTEMBER 2013 (30.09.2013)

Name and mailing address of the ISA/KR



Korean Intellectual Property Office
Government Complex-Daejeon, 189 Seonsa-ro, Daejeon 302-701,
Republic of Korea

Facsimile No. 82-42-472-7140

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2013/005570

Patent document cited in search report	Publication date	Patent family member	Publication date
JP 2009-081251 A	16/04/2009	NONE	
KR 10-0687755 B1	27/02/2007	NONE	
KR 10-2010-0083402 A	22/07/2010	CN101840995 A	22/09/2010
		JP 2010-166047A	29/07/2010
		US 2010-0178729 A1	15/07/2010
		US 8338224 B2	25/12/2012

A. 발명이 속하는 기술분류(국제특허분류(IPC)) H01L 27/115(2006.01)i, H01L 21/8247(2006.01)i		
B. 조사된 분야 조사된 최소문헌(국제특허분류를 기재) H01L 27/115; G11C 11/15; H01L 45/00; B82Y 10/00; H01L 27/10; H01L 21/8247 조사된 기술분야에 속하는 최소문헌 이외의 문헌 한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우)) eKOMPASS(특허청 내부 검색시스템) & 키워드: 수평전극, 증간절연막, 수직전극, 산소, 금속산화물		
C. 관련 문헌		
카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
A	JP 2009-081251 A (PANASONIC CORP) 2009.04.16 상세한 설명 [0076], [0079]-[0082] 청구항 1, 2 도 3, 12-18	1-11
A	KR 10-0687755 B1 (한국전자통신연구원) 2007.02.27 도면 1d, 4a관련 상세한 설명 부분 청구항 1 도 1d, 4a	1-11
A	KR 10-2010-0083402 A (삼성전자주식회사) 2010.07.22 상세한 설명 [0056], [0098] 청구항 1 도 5b	1-11
☐ 추가 문헌이 C(계속)에 기재되어 있습니다. ☒ 대응특허에 관한 별지를 참조하십시오.		
* 인용된 문헌의 특별 카테고리: “A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌 “E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌 “L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌 “O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌 “P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌 “T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌 “X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다. “Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다. “&” 동일한 대응특허문헌에 속하는 문헌		
국제조사의 실제 완료일 2013년 09월 30일 (30.09.2013)		국제조사보고서 발송일 2013년 09월 30일 (30.09.2013)
ISA/KR의 명칭 및 우편주소  대한민국 특허청 (302-701) 대전광역시 서구 청사로 189, 4동 (둔산동, 정부대전청사) 팩스 번호 +82-42-472-7140		심사관 박성호 전화번호 +82-42-481-5724 

국제조사보고서
대응특허에 관한 정보

국제출원번호

PCT/KR2013/005570

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
JP 2009-081251 A	2009/04/16	없음	
KR 10-0687755 B1	2007/02/27	없음	
KR 10-2010-0083402 A	2010/07/22	CN101840995 A	2010/09/22
		JP 2010-166047A	2010/07/29
		US 2010-0178729 A1	2010/07/15
		US 8338224 B2	2012/12/25