[19]中华人民共和国专利局

[51]Int.Cl[6]
G11C 16/02
H01L 27/112

[12]发明专利说明书

[21] ZL 专利号 94100839.8

[45]授权公告日 1998 年 8 月 26 日

[11] 授权公告号 CN 1039608C

[22]申请日 94.1.13 [24]颁证日 98.4.16

[21]申请号 94100839.8

[30]优先权

[32]93.1.13 [33]KR[31]390/93

[73]专利权人 三星电子株式会社

地址 韩国京畿道水原市

[72]发明人 徐康德 金镇祺 崔定㤗

[74]专利代理机构 中国专利代理(香港)有限公司

代理人 吴增勇 马铁良

[56]参考文献

EP405220A2

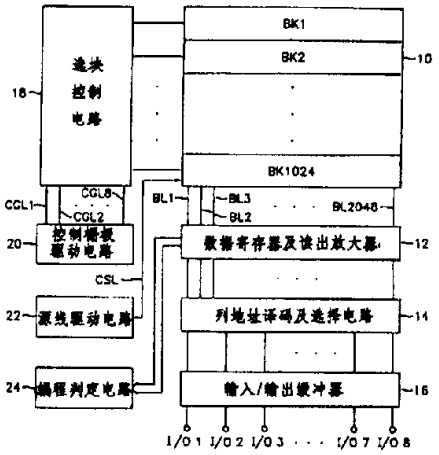
审查员 王晓光

权利要求书 7 页 说明书 44 页 附图页数 19 页

[54]发明名称 非易失型半导体存贮器

[57]摘要

一种在编程时不必给未选位线加上高的编程禁止电压就能缩小芯片面积和功耗、防止过编程的非易失性半导体存贮器。在块擦除操作中，令被选存贮块的字线处于参考电压，而令未选字线处于浮动态，给衬底加上擦除电压，则处于浮动态的字线就会自动防止通过电容耦合上述擦除电压而被擦除。



权 利 要 求 书

1.一种非易失性半导体存储器，包括在半导体衬底的一个表面上形成的多个字线，和在上述一个表面上形成的多个单元部件的阵列，

每个部件单元具有至少 1 个存储晶体管，所述存储晶体管由在半导体衬底上形成的源区和漏区、处在该两个区之间的沟道区、在该沟道区上面被绝缘地形成的浮置栅、和在该浮置栅上面被绝缘地形成的控制栅构成，每个存储晶体管的控制栅与对应的字线接通，

所述阵列划分为多个存储块，每个存储块由多个单元部件构成，

通过利用数据擦除动作向半导体衬底施加高压擦除电压并向与被选择的存储块中的被选择的存储晶体管接通 的字线施加参考电压，来擦除借助浮置栅与半导体衬底之间的电荷移动所选择的存储晶体管；该种非易失性半导体存储器的特征在于:

包括一个在数据擦除动作中能使与未被选择的存储块中的存储晶体管接通的字线浮置、并且使擦除电压的大部分在浮置字线上进行电容耦合的装置，以此来防止未被选择的存储块中的存储晶体管被擦除。

2.如权利要求 1 所述的非易失性半导体存储器，其特征在于，部件单元由多个存储晶体管构成，是一种将相互邻接的存储晶体管的源极和漏极互相接通了的串联式 NAND 部件单元。

3.在一种非易失性半导体存储器中，包括在半导体衬底的一个表面上形成的多个字线，和在上述一个表面上形成的多个部件单元的阵列，每个阵列单元具有至少 1 个存储晶体管，所述存储晶体管由在半导体衬底上形成的源区和漏区、处在该两个区之间的沟道区、在该沟道区上面被绝缘地形成的浮置栅、和在该浮置栅上面被绝缘地形成的

控制栅构成，每个存储晶体管的控制栅与对应的字线接通，所述阵列划分为多个存储块，每个存储块由多个部件单元构成，该种非易失性半导体存储器的用于防止擦除未被选择的存储块中的存储晶体管的方法的特征在于:

包括使未被选择的存储块中的字线浮置的步骤，和向半导体衬底施加擦除电压的步骤，通过在未被擦除电压的设定值选择的存储块中的字线上进行电容耦合，来防止擦除未被选择的存储块中的存储晶体管。

4.一种非易失性半导体存储器，包括在半导体衬底上形成的多个字线，和多个NAND部件单元，

每个NADA部件单元由多个串联连接的存储晶体管构成，每个存储晶体管由在半导体衬底上形成的源以及漏结、源区和漏区之间的沟道区、在沟道区上面形成的用于存储二进制数据的浮置栅、和在浮置栅上面形成的与对应的字线接通的控制栅构成，该种非易失性半导体存储器的特征在于，

为了使在进行擦除以及存入动作期间在被选择的NAND部件单元内的存储晶体管中存储的二进制数据不产生变更而设有一个控制装置，该控制装置能对所述被选择的NAND部件单元内的存储晶体管的沟道区和源以及漏结或字线之一进行充电。

5.在一种非易性半导体存储器中，具有在半导体衬底的一个表面上形成的、由多个相互串联连接的存储晶体管构成的NAND部件单元，每个存储晶体管由在半导体衬底上形成的源以及漏结、源区和漏区之间的沟道区、在沟道区上面形成的用于存储二进制数据的浮置栅、和在浮置栅上面形成的与对应的字线接通的控制栅构成，该种非易失性半导体存储器的用于对NAND部件单元进行编程的方法的特征在于包括下列步骤:

将 NAND 部件单元内的所有存储晶体管的沟道区和源以及漏结充电至防止编程电压;

当被选择的存储晶体管不能存入其它二进制数据时，则维持防止编程电压，当被选择的存储晶体管被编程为其它二进制数据时，则将防止编程电压放电至基准电位;

将编程电压施加到被选择的存储晶体管的控制栅上。

6.在一种非易失性半导体存储器中，具有在半导体衬底的一个表面上形成的、由多个相互串联连接的存储晶体管构成的 NAND 部件单元，每个存储晶体管由在半导体衬底上形成的源以漏结、源区和漏区之间的沟道区、在沟道区上面形成的用于存储二进制数据的浮置栅、和在浮置栅上面形成的控制栅构成，该种非易失性半导体存储器的用于对 NAND 元件单元进行编程的方法的特征在于包括下列步骤:

在对被选择的存储晶体管的控制栅施加编程电压的同时，对未被选择的存储晶体管的控制栅施加脉冲电压，并对 NAND 部件单元内的所有存储晶体管的沟道区和源以及漏结容量充电至设定的充电电压;

当被选择的存储晶体管被编程为其它二进制数据时，则将所述充电电压放电，当被选择的存储晶体管不被编程为其它二进制数据时，则维持上述充电电压。

7.在一种非易失性半导体存储器中，具有在半导体衬底的一个表面上形成的、以行和列的矩阵形态排列的多个存储晶体管，通过将设定数量的存储晶体管串连连接而构成多个部件单元，每个存储晶体管由在半导体衬底上形成的源以及漏结、源区和漏区之间的沟道区、和在沟道区上面形成的用于存储 2 进制数据的浮置栅、和在浮置栅上面形成的控制栅构成，每行的 NAND 部件单元构成为一个存储块，处在同一行中的存储晶体管的控制栅与对应的一个字线接通;

还具有与字线相交的多个位线，各个存储块的各个 NAND 部件

单元的一端通过第 1 选择晶体管与对应的位线接通，各个 NAND 部件单元的另一端通过第 2 选择晶体管与公共源线接通；

该种非易失半导体存储器的用于对一行存储晶体管进行编程的方法的特征在于包括下列步骤：

在对被选择的存储块中的被选择的一个字线施加编程电压的同时，对被选择的存储块中未被选择的字线施加脉冲电压，并且对与被选择的存储块相关的第 1 选择晶体管的栅极施加逻辑高电平电压，并将与被选择的存储块相关的第 2 选择晶体管关闭；

对与被编程为其它二进制的存储晶体管相关的位线施加基准电位，并且对与未被编程为其它二进制的存储晶体管相关的位线施加逻辑高电平电压。

8.一种非易失性半导体存储器，具有多个位线和多个部件单元；

每个部件单元由至少一个存储晶体管构成，每个所述存储晶体管由具有浮动栅和控制栅的浮动栅场效应晶体管构成；

所述部件单元的一端与对应的位线接通，另一端能接受参考电压；

还包括一个控制装置，该装置在读取动作期间能向被选择的存储晶体管的控制栅施加读取电压，在数据编程动作期间以及编程校验动作期间，由向被选择的存储晶体管的控制栅分别施加编程电压和编程校验电压；

该种非易失性半导体存储器的特征在于还包括：

在读取动作和编程校验动作时能向位线供应少量电流的电源装置，

和公用数据锁存装置，该装置便在数据编程动作期间储存通过位线向被选择的存储晶体管提供的存入数据，在读取期储存读取数据，在编程校验期间储存校验数据，

和数据检测装置，在读取动作和编程校验动作时，能依照从电源装置通过被选择的存储晶体管流动的电流来检测读取数据以及校验数据，并分别提供给公用数据锁存装置。

9.一种电可擦除和可编程只读存贮器，具有多个单元部件，并连于位线和参考电压之间，每个所述单元部件包括多个串连的存贮晶体管，每个所述存贮晶体管具有浮动栅和控制栅，和行解码器，用于选择一个所述单元部件和所述单元部件的一个所述存贮晶体管，并用于使所述选择的单元部件的未被选择的存贮晶体管导通，并使所述选择的一个所述存贮晶体管读出存贮在其中的所述位线数据，其特征在于，所述存贮器包括:

为所述位线提供电流的电流源电路；和

连接到所述位线的数据锁存电路，根据提供给所述位线的电流是否流过所述的选择的一个所述存贮晶体管而检测和存贮所述数据。

10.根据权利要求 9 的电可擦除和可编程只读存贮器，其特征在于，所述电流源电路在所述数据锁存电路检测和存贮数据时继续向所述位线提供所述电流。

11.根据权利要求 9 的电可擦除和可编程只读存贮器，其特征在于，所述位线在所述数据锁存电路检测和存锁数据之前不会予充电到予定电压。

12. 根据权利要求 10 的电可擦除和可编程只读存贮器，其特征在于，所述位线在所述数据锁存电路检测和存锁数据之前不会予充电到予定电压。

13. 根据权利要求 9 的电可擦除和可编程只读存贮器，其特征在于，所述电流源电路包括:

电源端子;

电流源晶体管，包括:

控制电极，和

连接于所述位线和所述电源端子间的电流通路；和

连接到所述电流源晶体管的所述控制电极的公共参考电路。

14. 根据权利要求 9 的电可擦除和可编程只读存贮器，其特征在于，所述数据锁存电路包括:

数据检测晶体管，具有

连接到所述位线的控制极，

连接到所述参考电压的源电极；和

漏极;

连接到所述数据检测晶体管的所述漏极的第一节点;

经一隔离晶体管连接到所述位线的第二节点；和

交叉连接于所述第一和第二节点间的一对反相器。

15. 根据权利要求 13 的电可擦除和可编程只读存贮器，其特征在于，所述数据锁存电路包括:

数据检测晶体管，具有

连接到所述位线的控制极，

连接到所述参考电压的源极，和

漏极;

连接到所述数据检测晶体管的所述漏极的第一节点;

经过一隔离晶体管连接到所述位线的第二节点；和

交叉连接于所述第一、二节点间的一对反相器。

16.电可擦除和可编程的只读存贮器，具有并联于位线和参考电压之间的多个存贮晶体管，每个所述存贮晶体管具有浮动栅和控制栅，和行解码器用于选择一个所述存贮晶体管，使所述选择的一个所述存贮晶体管把存贮的数据读出到所述位线上，其特征在于，所述存贮器包括:

向所述位线提供电流的电流源电路；和

连接到所述位线的数据锁存电路，用于根据提供给所述位线的所述电流是否流过所述选择的一个所述存贮晶体管检测和存贮所述存贮的数据。

17.根据权利要求16的电可擦除和可编程只读存贮器，其特征在于，所述电流源电路在所述数据锁存电路检测和存贮数据时继续向所述位线提供所述电流。

18.根据权利要求16的电可擦除和可编程只读存贮器，其特征在于，所述位线在所述数据锁存电路检测和存锁数据之前不会予充电到予定电压。

19. 根据权利要求17的电可擦除和可编程只读存贮器，其特征在于，所述位线在所述数据锁存电路检测和存锁数据之前不会予充电到予定电压。

说　　明　　书

非易失型半导体存贮器

本发明涉及电可擦可编程的非易失型半导体存贮器，特别是但又不仅仅是涉及含有与非结构单元的电可擦可编程的非易失型半导体存贮器。

现代计算机或微处理器控制的各种系统，要求发展高密度的电可擦可编程的只读存贮器（下称EEPROM）。特别是由于在便携式计算机系统，诸如笔记本或电池供电的计算机系统中，采用回转式磁盘作为二次存贮的硬盘要占用比较大的空间，所以系统设计师对占用较小空间的高密度、高性能的EEPROM的开发颇感兴趣。为了做出高密度的EEPROM，主要问题是缩小存贮单元所占的面积。为了解决这种问题，人们已研制出一种含有与非门结构单元的EEPROM，它能减小每个单元的选择晶体管和与位线耦合的接触孔的数目。IEDM1988年412－415页上题为“具有与非门结构单元的只用5伏的4兆位EEPROM新器件的工艺”一文揭示了这种与非门结构单元。这种与非门结构单元（下称与非单元）包括其漏极通过接触孔与相应位线相连的一个第一选择晶体管，其源极接至公共源线的一个第二选择晶体管以及其沟道串接于第一选择晶体管的源极和第二选择晶体管的漏极之间的8个存贮晶体管。与非门单元是在P型半导体衬底上形成的。每个存贮晶体管都包括一个在其源区和漏区之间的沟道区之上的栅极氧化物层上面形成的浮置栅层和一个由中间绝缘层与浮置栅层隔开的控制栅层。为了编写与非单元上选定的一个存贮晶体管的程序，在编程操作之后必须对其内所有的存贮晶体管都同时进行擦除操作。同时擦除是通过在位线上加上0伏，而将第一选择晶体管的栅极和全部存贮晶体管的控制栅的电压

都升到17伏而完成的。这样使全部存贮晶体管都变成增强型晶体管，这种晶体管被假定为编程为二进制逻辑“1”的晶体管。为了把一个选定的存贮晶体管编程为二进制逻辑“0”，把22伏加在位线、第一选择晶体管的栅极以及位于第一选择晶体管和选中的存贮晶体管之间的各存贮晶体管的控制栅上，而0伏则加在选中的存贮晶体管的控制栅、位于选中的存贮晶体管和公共源线之间的存贮晶体管的控制栅极以及第二选择晶体管的栅极上。这样，被选中的存贮晶体管便通过由其漏极至其浮置栅的Fowler-Nordheim空穴沟道效应(F-N沟道效应)而变成一个耗尽型晶体管。然而，这种编程方法的问题是，由于高电压加在其漏极上致使选中的存贮晶体管的一部分栅极氧化物受到由此产生的应激反应，而部分受到应激反应的栅氧化物导致漏电流流动。这就会使存贮单元的数据保存能力随着擦除和／或编程循环次数的增加而逐渐下降，从而使EEPROM的可靠性降低。为了解决这个问题，1990年在超大规模集成电路(VLSI) 会议论文集第129至130页题为“仅供5伏高可靠性快闪EEPROM用的与非门结构单元和新的编程工艺”的论文中提出了一个改进的器件结构，把P型阱区嵌在n型半导体衬底内，而在P型阱区上形成与非单元，并利用改进了的器件结构进一步提出改进的擦除和编程工艺。

擦除在这种与非单元上的全部存贮晶体管的操作是用如下方法完成的，即把0伏加到全部控制栅极上，而把20伏高电势加在P型阱区和n型衬底上，这就能均匀地把电子从它们的浮置栅抽至阱区。结果，每个存贮晶体管都具有约－4伏的阈值电压，它代表耗尽型的逻辑“0”态。为了对与非单元上的一个选中的存贮晶体管进行编程，把20伏的高电压加在第一选择晶体管的栅极和被选中的存贮晶体管的控制栅极上，而把0伏加在第二选择晶体管的栅极，把7伏的中间电压加在未被选中的存贮晶体管的控制栅上。若要把选中的存贮晶体管写或编程

为逻辑“1”，则把0伏加在与与非单元相连的位线上，从而把电子注入被选中的存贮晶体管的浮置栅极。结果使得选中的存贮晶体管变成增强型。反之，若要将选中的存贮晶体管编程为逻辑“0”，则把抑制编程的7伏电压而不是0伏电压加在位线上，禁止选中的存贮晶体管的编程。由于这种编程操作均匀地通过其栅极氧化层把电子从P型阱区注入它的浮置栅，因此在薄薄的栅极氧化物层上就不发生很大程度局部应力的问题，从而可以防止栅极氧化物出现漏电流。

但当存贮容量提高时，当系统设计者想将一部分或一组存贮块的以前写过或编程过的存贮单元块擦除以便再次编程时，就发生问题。在这种情况下，通常的做法是把存贮单元阵列的全部存贮晶体管同时擦除，就是说进行快闪擦除，然后重新编程。这样，由于很大一部分可以重新使用的部分或存贮阵列块同时被擦除，重新编程既要花很长时间，又不方便。当存贮密度变得更高时，这个问题就更加严重。要解决这些问题，唯有擦除选中的存贮块中的全部存贮晶体管是可能作到的。但在使用上述经过改进的擦除和编程引出的EEPROM的情况下，为了防止未被选中的存贮块中的全部存贮晶体管被擦除，需要把与擦除电压相等的电压或者约18伏或更高的高压加在它们的控制栅极上。这样，这种工艺就有个缺点：执行块擦除的译码电路在设计上变得复杂了。另外，当EEPROM单元的密度增大时，译码器在芯片上使用的面积增大，从而使译码器难以设计。

先有技术的另一个问题是编程问题。为了防止在选中字线上的存贮晶体管之中必需保持原有数据的不编程的存贮晶体管被编程，须通过与它们相连的电荷泵电路把与不编程的存贮晶体管对应的位线的电压升至中间电压，亦即编程禁止电压。另外，当存贮容量增大时，位线的数目或每条位线的长度都要增大。结果，同一芯片上为电荷泵电路提供高电压用的高压发生电路必须具有更高性能。这样的高压发生

电路和电荷泵电路会由于芯片上外部电路占用面积加大而造成问题。

一般的EEPROM都包括一种页面编程方式，以进行快速编程。页面编程操作包括数据装入操作和编程操作。数据装入操作包括依次地从输入／输出端把一个字节大小的数据锁存或存入一个数据寄存器。编程操作包括把存于数据寄存器中的数据通过位线同时写入选定字线上的存贮晶体管。带与非单元的EEPROM的页面编程工艺发表于IEEE 固态电路杂志，1990年四月，25卷，No2. P.417-423。

一般的EEPROM采用一种编程校验技术来提高它们的可靠性。校验意味着检查确定编程后的各单元是否具有希望的阈值电压。编程校验技术可分为由微处理器控制的外部校验技术和由芯片上校验电路完成的内部校验技术。外部校验技术揭示于IEEE固态电路杂志1991年四月26卷，No.4期P492-495页以及美国专利No.5053990。外部校验技术有一个问题，即它要用一段预定的长时间来确定编程后的单元是否编得好。另外，无论何时，只要由于编程失败之后进行重新编程，就必须重新完成数据装入操作。但是内部校验技术有个优点，即编程校验能以较高的速度完成。内部校验技术揭示于韩国专利91－17445和美国专利4811294。在这些文件中，校验是这样完成的：比较器装置把存于数据寄存器中的数据与由读出放大器从存贮单元按页读出的数据加以比较。但这种方法使用的比较器装置使芯片上外部电路占用面积加大。

因此本发明的一个目的是提供一种能减小芯片尺寸的含与非结构单元的非易失型半导体存贮器。

本发明的另一目的是提供一种能减小功率消耗的含与非结构单元的非易失型半导体存贮器。

本发明的另一目的是提供一种能对选中的一个存贮块进行擦除的非易失型半导体存贮器。

本发明的另一目的是提供一种毋需在未选中的位线上加上禁止编程的高电压就能编程，以减小芯片尺寸和功耗的非易失型半导体存贮器。

本发明另一目的是提供一种对含与非结构单元的非易失型半导体存贮器进行块擦除和编程的方法，这些方法可以减小芯片上占用面积和功率消耗。

本发明的又一目的是提供一种可减少芯片上外部电路占用面积的非易失型半导体存贮器。

本发明的另一目的是提供一种能防止过编程的非易失型半导体存贮器。

按照本发明的一个方面的非易失型半导体存贮器包括在一个半导体衬底的表面上形成的若干字线；排列在该表面而形成阵列的单元部件；每个部件至少包括一个存贮晶体管，后者具有在衬底内形成的但由沟道区隔开的源区和漏区，在沟道区上面形成的电荷存贮层和浮置栅极之上形成的一个控制栅极并耦合到相应的一个字线上，阵列划分成多个存贮块，每个存贮块，具有一定数目的存贮单元部件，还有一个对数据擦除方式的地址作出反应的装置，用来把擦除电压加到衬底上，同时加到来被地址选中的存贮块的浮动字线上，从而通过电容把予定数值的擦除电压耦合到未被选中存贮块的字线上以防止未被选中的存贮块中的存贮晶体管被擦除。

按照本发明的另一方面的非易失型半导体存贮器包括一个具有阱区的半导体衬底、在阱区上形成的存贮晶体管，和它们排列成行和列的矩阵，存贮晶体管构成存贮单元部件，每个存贮单元部件具有予定数目的串联在一起的存贮晶体管、它们的两端是第一端子和第二端子、相应行上的存贮单元部件构成一个存贮器块、每个存贮晶体管具有在阱区内形成的被沟道区隔开的源区和漏区，一个在沟道区上面形成的

用来存贮代表二进制数据的电荷的浮置栅，以及一个在浮置栅上形成的控制栅；各自连至相应行内存贮晶体管控制栅的字线；一般与字线相交的位线，一个公共源线；；一般与字线平行的第一和第二选择线；分别连接于每个存贮块的存贮单元部件的第一端子间的第一选择晶体管和相应位线用来有选择地连接于它们之间，与每个存贮块相应的第一选择晶体管的栅极接至相应的第一选择线；第二选择晶体管接在每个存贮块的存贮单元部件的第二端子和公共源线之间，用以有选择地在它们之间进行连接，与每个存贮块相关的第二选择晶体管的栅极接至一条相应的第二选择线；接至位线，用以向位线提供二进制数据的数据寄存器，这些寄存器向编程为一种二进制数据的存贮晶体管相应的位线提供逻辑高电平电压，而向编程为另一种二进制数据的存贮晶体管相关的位线提供参考电压；接在字线和第一与第二选择线上的控制装置把编程电压加到选中的存贮块的一个选中的字线上，把放行电压加在未被选中的存贮器块的未被选中的字线上，同时将逻辑高电平电压加在与选中的存贮块有关的第一选择线上，使与此有关的第二选择晶体管处于截止状态，从而使选中的存贮块中的存贮晶体管的沟道区和源结及漏结被电容性地充电至禁止编程的电压。

按本发明的另一个方面，一种对半导体存贮器中一行存贮晶体管进行编程的方法是，半导体存贮器含有半导体衬底，在衬底表面形成存贮晶体管并排列成行和列。存贮晶体管包括构成存贮单元部件，它们中的每一个都有预定数目串联在一起的存贮晶体管，它们的两端是第一和第二端子，每个存贮晶体管都具有一个在衬底内形成的但彼此由沟道区隔开的源区和漏区。一个在沟道区上方形成的用来贮存二进制数据的浮置栅和浮置栅上形成的控制栅；各行上的存贮单元部件构成了一个存贮块，每一条字线都连接到相应行上的存贮晶体管的控制栅；位线一般与字线相交，每个存贮块的每个单元部件的第一端子通

过第一选择晶体管接至相应的一条位线上；一个公共源线经第二选择晶体管和每个单元部件的第二端子相连，该编程方法包括如下步骤：把编程电压加至一个选中的存贮块的一条选中的字线上，而把低于编程电压的放行(pass)电压加到其余的字线上，同时把低于放行电压的逻辑高电平电压加到与选中的存贮块有关的第一选择晶体管的栅极，使与此有关的第二选择晶体管处于截止状态，逻辑高电平电压相应于逻辑高态，并把与逻辑低态相应的逻辑低电平电压加在把一个二进制数据编程为另一二进制数据的存贮晶体管有关的位线上，同时把逻辑高电平电压加到与未编程存贮晶体管有关的位线从而使非编程存贮晶体管的沟道区、源结和漏结被电容充电至一个介乎逻辑高电平电压与编程电压之间的电压电平以防止已编程存贮器被编程。

为了更好地理解本发明，并表明本发明的实施例如何实施，现参照附图举例说明之。

图1是按本发明的一种电可擦可编程的只读存贮器的框图；

图2由图2a及2b组成；图2a表示与第K列存贮块有关的第一和第二存贮块内的存贮单元的排列以及与其相连的传输晶体管阵列；图2b表示一个输入／输出缓冲器、一个列译码器和选择电路、一个数据寄存器以及与第K列存贮块有关的读出放大器；

图3表示构成存贮器单元阵列的一个与非单元布局图案的平面图；

图4表示一个基本上是沿图3Ⅳ-Ⅳ线截取的与非单元的截面视图；

图5表示图2实施例中所用选块控制电路的电路原理图；

图6表示图2及图13实施例中所用的控制栅驱动电路的电路原理图；

图7表示图2实施例所用的源线驱动电路的电路原理图；

图8a表示图2b所用的三态反相器的电路图；

图8b表示图6所用的三态与非门的电路图；

图8c表示产生图5选块控制电路用的控制信号φ_6和φ_7的定时电路图；

图9表示由图9a和图9b组成的编程判定电路，其中9a是表示一部分编程判定电路的电路图，而图9b则是求和电路的电路图。

图10是按照本发明第一实施例的块擦除方式所用的各种控制信号的定时图；

图11是按照本发明第一实施例的编程方式所用的各种控制信号的定时图。

图12是按照本发明第一和经改进的实施例的编程校验方式和读出方式下所用的各种控制信号的定时图；

图13是表示包含图13a和图2b的一个经过改进的实施例线路图，其中图13a是说明与第K列存贮块有共享字线的第i存贮块中存贮晶体管排列方法的电路图；

图14是与图13经改进实施例有关的选块控制电路的电路图；

图15是与图13经过改进的实施例有关的地线驱动电路的电路图；

图16表示所述经改进的实施例的块擦除方式所用的各种控制信号的定时图；

图17是表示所述经改进的实施例的编程方式所用的各种控制信号的定时图；

图18是表示图2a和2b以及图13a和图13b中各图的分区方式。

在这些图中，相同的标号表示相同或对应的部件。

在下面的描述中，若干特定的细节，诸如存贮单元、与非单元的数目、位线的数目、电压值，电路元件和部件等等，都是为了使人们彻底理解本发明而提出的。本领域技术人员都明白，不用这些特定的细节或选用其他特定细节，也可以实施其他实施例。

这里用的“存贮晶体管”一词是指具有一个源极、一个漏极、一

个浮置栅极和一个控制栅极的浮置栅极MOS场效应管。“编程”一词用来描述把数据写入选中的存贮晶体管。“与非单元充电”一词是指把构成与非单元的各个存贮晶体管的沟道、源结和漏结电容器充电到预定的电位。

在下述的描述中，符号K和i分别用于与第K列存贮块和第i存贮块有关的部分。符号j代表与第j条字线有关的符号。

“地电位”（或“地电压”或接地电位或电压等一类词）在本说明书中方便地用来表示参考电位。本领域的技术人员都知道，虽然参考电位通常可为0电位，但是否如此并不重要，参考电位可以不等于零。

本发明的EEPROM的一个例子是利用生产一般芯片所用的CMOS生产工艺制造者，其中耗尽型n沟道MOS晶体管各有－2至－3伏的阈值电压（下称D型晶体管），增强型n沟道MOS晶体管各有0.7伏左右的阈值电压（下称n沟道晶体管），而P沟道MOS晶体管各有约－0.9伏的阈值电压（下称P沟道晶体管）。

图1是按本发明设计的一个EEPROM实例的框图。

图2是由彼此具有平行关系的图2a和图2b组成的，为了便于说明，只表示出与第K个输入输出端子I／OK相关的一些元件：一个存贮单元阵列10、一个输入与输出缓冲器26和28、一个列地址译码器30、一个列选择电路32，一个数据寄存器和读出放大器12、一个传输晶体管阵列34-i，后者与存贮单元阵列10相连并构成选块电路18的一部分。应该指出，与其他输入／输出端子相关的元件和与端子I／OK相关的元件相同。

现参照图1和图2，本EEPROM的存贮单元阵列10是由排列成1024行和2048列矩阵的与非单元NU组成的，它包括沿行方向分成的1024个存贮块BK1至BK1024。每个与非单元均由存贮晶体管M1-M8组成，后者的

漏一源通路串联起来并处于第一选择晶体管ST1的源极与第二选择晶体管ST2的漏极之间。第一和第二选择晶体管ST1和ST2的栅极和存贮晶体管M1至M8的控制栅极分别接至与位线BLK-1至BLK-256(K=1,2,...,8)垂直的第一和第二选择线SL1和SL2以及字线WL1至WL8。这样，存贮晶体管M1至M8就处于字线WL1至WL8和位线BLK-1至BLK-256的交点上。各第一选择晶体管ST1的漏极分别接至相应的位线，而第二选择晶体管ST2的源极与公共源线CSL相连。于是，存贮单元阵列10是由总计1024×8×2048(16777216)个存贮单元组成，而每个存贮块则由总数8×2048(=16384)个存贮单元组成。存贮单元阵列10分成8个列存贮块BKi(k=1,2,....,8)分别对应输入／输出端子I／01至I／08，每个列块有256条位线或列线，它们与列方向平行。因此每个列块都包括总计256千位(=1024×256)个存贮单元。

存贮单元阵列10在一个半导体衬底内的一个阱区上面形成。图3和图4分别表示构成存贮单元阵列10的一个与非单元NU的平面图和剖面图。

参照图3和图4，半导体衬底72是P型单晶硅材料是在约7×10^{14}原子／厘米^{3}的杂质浓度下沿晶体的(1，0，0)方向切割。从衬底72的主表面78形成深度约4微米杂质浓度约2×10^{6}原子／厘米^{3}的P型阱区76。阱区76被杂质浓度约为5×10^{15}原子／厘米^{3}的深约10微米的n型阱区74所包围。在阱区76的主表面78上形成若干重掺杂的N^+区80至92，并被多个沟道区94中的一个隔开。N^+区80的一部分是通过接触孔96与金属材料，如铝位线BL连接的接触区，位线在绝缘层112的上面延伸，N^+区80的另一部分还用作第一选择晶体管ST1的漏区。N^+区82至90用作晶体管ST1的两个相邻晶体管ST1，M1至M8和ST2的公共源一漏区。N^+区92的一部分是第二选择晶体管ST2的源区，N^+区92的另一部分用作埋藏公共源线CSL。但是公共源线CSL可以是导体层，后者绝

缘地形成在绝缘层112内，通过接触孔与晶体管ST2的N^+源区92接触。耐火金属硅化物材料例如硅化钨的栅极层98和100，每层厚约1500Å，分别在栅极绝缘层102上形成，厚约300Å，复盖着第一和第二选择晶体管ST1和ST2的沟道区。

多晶硅材料的浮置栅层104在厚约100Å的栅绝缘层106上面形成，厚约1500Å，分别复盖着存贮晶体管M1至M8的沟道区94。与栅极层98和100具有同样材料和厚度的控制栅极108分别在浮置栅层104之上形成，中间插入中间绝缘层100，例如二氧化硅氮化硅一二氧化硅材料的ONO绝缘层，厚约250Å。栅层98和100以及控制栅层108分别由第一和第二选择线SL1和SL2和字线WL1至WL8，亦即由与栅层和控制栅层98，100和108相同的材料制成的导体层公用。栅层98和100、控制栅层108、浮置栅层104、第一和第二选择线SL1和SL2以及字线WL1至WL8彼此之间用绝缘材料，例如二氧化硅，和BPSG或PSG的绝缘层112绝缘。

位线BL通过接触孔96与接触区80相连，并沿列的方向在绝缘层112上延伸。P型阱区76和n型阱区74通过公共的接触孔（未示出）接到阱电极114。擦除电压在擦除操作时加在阱电极114上，而参考电位，亦即在除擦除之外的各种操作亦即编程，编程校验和读出操作中将地电位加在阱电极114上。但是衬底72总是处于参考电位。存贮单元矩阵10也可以在n型单晶硅衬底内形成的P型阱区上面形成。

现在回到图1和图2，选块控制电路18用来从BK1至BK1024存贮块中选出预先定好的存贮块，并根据各种操作方式，例如擦除、编程、编程校验和读出方式，为被选中的存贮块内的控制栅线CGL1至CGL8从控制栅驱动电路20提供的控制信号至字线WL1至WL8。图2a说明构成选块控制电路18一部分的传输晶体管阵列34－i。每一个传输晶体管矩阵34－i包括若干个传输晶体管BT1至BT10，分别用来连接第一和第二选择栅线SGLi-1和SGLi-2、控制栅极线CGL1至CGL8、第一和第二选择

线SL1和SL2以及字线WL1至WL8。

按照本发明上述实施例的一个特点，选块控制电路18在擦除操作时使与未被选中的存贮块有关的传输晶体管处于截止状态，从而使未被选中的存贮块中的字线处于浮置状态。在编程操作中，选块控制电路18使被选中的存贮块中的第二选择晶体管ST2处于导通状态，从而从源线驱动电路22给被选中的存贮块中的存贮晶体管的沟道、源结和漏结充电至编程禁止电压。

图5表示与图2a的传输晶体管阵列34－i相连的选块控制电路18的电路图。例如，当i=2时，图5的线SGL2-1，SGL2-2和BSC2分别接至与图2a所示的第二存贮块BK2有关的传输晶体管阵列34－2的线SGL2－1，SGL2-2和BSC2。因此应该明白，为了便于说明问题，虽然图5表示只有选择第i个存贮块BKi一个回路，图5中与每个存贮块BK1至BK1024对应的选块控制电路均作为外部电路存在于本EEPROM芯片上。

现参照图5，与非门120是一个行地址译码器，用来接收地址信号P1，Q1和R1以及一复位信号$\overline{Xd}$。地址信号P1，Q1和R1是从预译码器(未示出)由行地址信号预译码后的信号，为了对行地址信号A_{11}，$\overline{A}_{11}$至A_{20}，$\overline{A}_{20}$进行预译码，这些信号是从外部地址输入端子由一个地址缓冲器贮存并输出的行地址a_{11}至a_{20}。当选中时行译码器120向线122提供一个0伏的逻辑低状态(下称“L”态或“L”电平)，而未选中时则向它输出5伏的逻辑高态(下称“H”态或“H”电平)。与非门124的两个输入端分别接至线122和信号$\overline{BLK}$。信号$\overline{BLK}$是一个控制信号，如后所述用来在各自操作之后或之前把字线WL1至WL8设置成参考电位。与非门124的输出接至第一选择栅线SGLi-1，并通过D型晶体管126的电流通路接至选块控制线BSCi，以禁止高电压的传输。晶体管126的栅极接至编程控制信号$\overline{PGM}$，以便在编程操作时维持“L”状态。电荷泵电路128与选块控制线BSCi相连，以便当BSCi线被选中时，在编程

操作过程中由时钟φ_R的泵送作用给DSCi线提供一个编程电压V_{rgm}。电荷泵电路128是一个已知电路，由n沟道晶体管130和132以及一个MOS电容器134组成。

与非门136的两个输入端分别接擦除控制信号ERA和122线。传输门148由n沟道晶体管140和P沟道晶体管142构成，接在与非门136的输出和连接结点146之间。n沟道晶体管140的栅极接至控制信号φ_6，而P沟道晶体管142的栅极通过反相器138接至φ_6的补码信号。n沟道晶体管144的电流通路接在接点146和参考电位之间，它的栅极与控制信号φ_7相连，用以防止高电压传输的D型晶体管150的源极至漏极的电流通路接在接点146和第二选择栅极线SGLi-2之间，而它的栅极接到控制信号$\overline{WE}$。具有与线路128相同结构的电荷泵电路152接至第二选择栅线SGLi-2，当编程操作期间选中线SGLi-2时向栅线SGLi-2提供放行电压V_{pas}。

图8c是用来产生如图5所用的控制信号φ_6和φ_7的电路图。在擦除操作过程中或方式中，φ_6和φ_7全是“L”状态，正如后面将要讨论的，在与非单元充电操作中，φ_6是“H”状态，而φ_7是“L”状态。在编程校验和读出操作过程中，φ_6是“H”状态，而φ_7是“L”状态。

图6表示8个控制栅驱动电路中的一个，亦即第j个控制栅驱动电路，它构成控制驱动装置并与第j条字线有关。控制栅驱动电路的输出通过传输晶体管阵列34－i分别接至字线WL1至WL8。从减小芯片总尺寸的角度来看，控制栅驱动电路最好在芯片上外围线路是公用的，从而按照各种操作方式驱动被选中的存贮块的字线。

现参照图6，与非门154是一个行地址译码器，它从地址缓冲器(未示出)接受行地址信号A_8 / $\overline{A}_8$，A_9 / $\overline{A}_9$，和A_{10} / $\overline{A}_{10}$。译码器154输出“L”态时选中CGLj线，而输出“H”态时则不选择该线。译码器

154的输出和控制信号$\overline{PVF}$分别接至或非门173的两个输入端。提供或非门173的输出信号φ_V及其通过反相器174产生的补码信号$\overline{\varphi}_V$以控制三态与非门158和检验电压发生器164。控制信号$\overline{PVF}$仅在编程校验操作中才维持“L”态。因此，在除了编程校验操作之外的每一个操作中，控制信号$\overline{PVF}$都停留于“H”电平，因而使信号φ_V处于“L”态，而使信号$\overline{\varphi}_V$处于“H”态。在编程校验操作中，若CGLj线被选中，则φ_V变为“H”态，其补码$\overline{\varphi}_V$则变成“L”态，而若CGLj线未被选中，则φ_V变成“L”态，而$\overline{\varphi}_V$变成“H”态。与非门156分别把译码器154的输出和控制信号$\overline{DS}$和$\overline{ERA}$作为输入。三态与非门158的两个输入端分别接至与非门156的输出线160和控制信号$\overline{PGM}$。响应“L”电平的φ_V和“H”电平的$\overline{\varphi}_V$，使图8b所示的三态与非门158能起动，而当φ_V处于“H”电平和$\overline{\varphi}_V$处于“L”电平时，与非门158变成高阻抗。这样，在编程校验操作中，与非门158仅当CGLj被选中时才处于高阻抗状态。与非门158的输出接至连结点162，后者与校验电压发生器164相连。

校验电压发生器164由P沟道晶体管166和n沟道晶体管168，170及172组成，它们的电流通路串联在电源电压Vcc和参照电位之间。P沟道晶体管166的栅极接至芯片的起动信号$\overline{CE}$，而晶体管168和170的栅极则接至来自或非门173的φ_V信号。晶体管172的漏极和栅极接在一起。校验电压发生器164仅在编程校验操作时才被处于“H”电平的φ_V信号起动，从而产生约0.8伏的校验电压供给接点162。接在接点162和控制栅线CGLj之间的是D型晶体管176的源一漏电流通路，用以禁止高电压的传输，它的栅级接至控制信号$\overline{PGM}$。

与非门178的两个输入端分别接至与非门156的输出端和环形振荡器（未示出）来的时钟φ_R。在与非门178的输出和n沟道驱动晶体管182的栅极之间接有电荷泵电路180，其结构与上述电荷泵电路相同。

晶体管182的漏极和源极分别接至编程电压V_{pgm}和控制栅线CGLj。反相器190接收编程控制信号$\overline{PGM}$，用来防止高压传输的D型晶体管，192的电流通路接在反相器190的输出端和晶体管182的栅极之间，晶体管182接至控制信号$\overline{PGM}$。正如后面将要讨论的，电路196由与非门178、电荷泵电路180和驱动晶体管182组成，它为控制栅线CGLj被行地址信号$A_8/\overline{A}_8$，$A_9/\overline{A}_9$，和$A_{10}/\overline{A}_{10}$在编程方式下选中时，为它提供供应编程电压V_{pgm}的装置。

或非门188的两个输入端分别接至与非门156的输出和时钟φ_R。在或非门188的输出和n沟道驱动晶体管184的栅极之间，接有电荷泵电路186。晶体管184的漏极和源极分别接至放行电压V_{pas}和控制栅线CGLj。在接点202和晶体管184的栅极之间，接有防止高压传输用的D型晶体管194的电流通路，后者的栅极接至控制信号$\overline{PGM}$。正如后面将要讨论的，电路200由或非门188、电荷泵电路和晶体管184组成，它设有控制栅线CGLj在编程方式下被行地址信号选中时为它提供放行电压V_{pas}的装置。

图7是接至图2a所示公共源线CSL上的源线驱动电路的电路图。源线驱动电路22由其输入端接至控制信号$\overline{PGM}$上的反相器204、其电流通路接于反相器204输出端和公共源线之间而其栅极接于控制信号$\overline{PGM}$的D型晶体管206以及接至公共源线CSL的电荷泵电路组成。电荷泵电路用来在编程方式下把公共源线提升至编程禁止电压V_{pi}。

输入／输出缓冲器16由输入缓冲器26和输出缓冲器28组成，它们各自接至输入／输出端。接至每一个输入／输出端I／O1至I／O8的输入缓冲器26是一个把来自这些端子的一个字节数据（8位数据）转换为CMOS电平数据并将其暂时贮存起来的普通电路。输出缓冲器28是把从相应列存贮块读出的8位数据同时输出至相应输入／输出端用的一般电路。

图2b的列地址译码器和选择电路14由列地址译码器30和选列电路32组成。与每一列存贮块有关的选列电路32由传输晶体管T1至T256组成，其源一漏通路分别接在公共总线CBLK和线DLK-1至DLK-256之间。传输晶体管T1至T256的栅极分别接至平行线TL1至TL256上，后者又接到列地址译码器30。列地址译码器30响应图中未示出的来自地址缓冲器的列地址信号，从线TL1至TL256中选出一条，从而使与所选中的线相连的传输晶体管导通。

如图2b所示数据寄存器和读出放大器12接在线DLK-1至DLK-256和与列存贮块有关的位线BLK-1至BLK－256之间。在位线BLK-1至BLK-256和接点36之间分别串接着D型晶体管38和40的漏一源通路。D型晶体管38的栅极接至电源电压Vcc，以防止块擦除操作时位线BLK-1至BLK-256上感应的高压传输。D型晶体管40的栅级接至控制信号φ_1上，后者在编程期间维持约5伏的“H”电平。在连接点36和连接点42之间分别接有n沟道晶体管44的漏源通道。晶体管44的栅极接至控制线SBL，后者在编程过程中维持“H”电平。在连接点42和连接点46之间分别接有构成被称为页面缓冲器的数据寄存器的锁存器PBK-1至PBK-256。每个锁存器由两个交叉连接的反相器构成。锁存器PBK-1至PBK-256不仅用作暂存数据用的页面缓冲器，从而使数据在编程操作时通过各相应的位线同时写入存贮单元，而且还用作校验检测器，在编程校验操作时判定是否正确执行程序，并用作读出放大器以在读出操作时检测和放大从存贮单元读　出位线上的数据。三态反相器48和一个n沟道晶体管49并联接于每一个连接点42和它的相应的线DLK-1至DLK-256线之间。被称为时钟控制的CMOS反相器的每一个三态反相器48在控制信号φ_4处于“H”电位时被起动，而在信号φ_4处于“L”电平时变为高阻抗。这样，每一个反相器48都用作缓冲放大器，在编程校验和读出操作时被起动。其栅极接至控制信号φ_5的n沟道晶体管49是传输晶

体管，用以在编程操作时把输入的数据传输给相应的锁存器PBK-1至PBK-256。在本实施例所用的三态反相器48，其电路示于图8a。在每一个连接点46和参考电位之间串联接入n沟道晶体管50和52的电流通路。晶体管52的栅极接至控制信号φ_2，后者在编程校验操作的校验检测期间及读出操作的读出检测期间均处于“H”电平。各晶体管50的栅极分别接至连接点36，而n沟道晶体管37的漏一源通道分别接在连接点36和参考电位之间。各晶体管37的栅极接在一起并接至DCB线，一个控制信号加在DCB线上，在擦除操作和编程操作完成后使位线放电，并使数据寄存器复位至“L”态，亦即复位至读出操作之前的“0”数据。

按照本实施例数据寄存器和读出放大器12包括一个被称为电流镜的恒流源电路33。恒流源电路33包括一个在编程校验和读出操作时被起动而在擦除和编程操作时被禁止的基准部分64；和由其漏一源通路分别接在晶体管50的栅极和电源电压Vcc之间的P沟道晶体管54组成的电流源部分66。基准部分64由P沟道晶体管56和58以及n沟道晶体管60和62组成，用来为电流源晶体管54提供基准。P沟道晶体管56和58的源极至漏极通道并联连接在电源电压Vcc和线68之间，P沟道晶体管58的栅极接到线68。n沟道晶体管60和62的漏极至源极通路串联连接在线68和参考电位之间。n沟道晶体管60的栅极接在约2伏的基准电压Vref上。晶体管56和62的栅极接到控制信号φ_3，电流源晶体管54的栅极接到线68。于是，在编程校验和读出操作中，电流源晶体管54接到基准部分64上，后者由控制信号φ_3起动，用来给位线BLK-1和BLK-256提供约4微安的恒定电流。

图1的编程判定电路24通过线70接至图26的线DLK-1至DLK-256上，用来在编程校验操作中判定每个被编程存贮晶体管是否都达到了所需阈值电压的范围。

图9表示编程判定电路24的电路图。应该指出，图9a的电路是与第K列存贮块CBK有关的编程判定电路和对应于EEPROM芯片上外部电路的各个列存贮块的8个电路的一部分。图9b所示的电路是一个求和电路，执行求和功能为在信号FP1至FP8之中任何一个处于“L”电平时提供“L”电平。参见图9a，n沟道晶体管212至216的漏极至源极通道并联连接在线210和参考电位之间，晶体管212至216的栅极分别接在图2b的线70上。P沟道晶体管218和D型晶体管220的电流通道串联连接。晶体管218的栅极接在控制信号$\overline{SUP}$上，后者在编程校验操作时处于“L”电平，而晶体管220的栅极则接在线210上。晶体管212至220构成一个或非门234。或非门222的两个输入端分别接在线210和控制信号$\overline{SFP}$上，后者仅在校验检查时才变成“L”态。反相器224的输入端接至或非门222的输出端，反相器224的输出端输出FPK。图9b的求和电路236是由接在线FP1至FP4的与非门226、与信号FP5至FP8的与非门228以及接在与非门226和228输出端的或非门230构成。

现参见图10至图12的定时图，解释图1至图9所示的第一实施方案的操作和特点。

块擦除方式

在块擦除方式下，数据寄存器和读出放大器12、列地址译码器和选择电路14、输入／输出缓冲器16以及编程判定电路24均处于断开状态。解释得更详细一些，图2b的列地址译码器30被复位，从而使传输晶体管T1至T256处于截止状态，控制信号φ_1至φ_5以及DCB及SBL线上的信号均保持“L”状态，使得数据寄存器和读出放大器12截止。图9a的控制信号$\overline{SUP}$保持在“H”态，因此编程判定电路24截止。由于处于“H”电平的信号$\overline{PGM}$，源线驱动电路22提供“L”态，就是说，提供公共源线CSL上的0伏参考电位。

现在释释与图10定时图有关的问题，假定同时对贮存于存贮块BK1的存贮晶体管中的数据进行块擦除。

t_1与t_2之间的时间间隔是一段用于将全部字线WL1至WL8放电至参考电位的时间。在此周期期间，图5的与非门124保持“H”电平，而控制信号$\overline{BLK}$处“L”电平。D型晶体管126由于$\overline{PGM}$处于“H”电平而导通。这样，选块控制线BSCi处于5伏的“H”电平。在这时，充电泵电路128处于截止状态。因此在这时期，全部选块控制线BSC1至BSC1024维持5伏的电位。另一方面，在此期间，由于控制信号$\overline{PVF}$和$\overline{PGM}$处于“H”电平，而控制信号$\overline{ERA}$处于“L”电平，与非门156和三态与非门158的输出分别保持“H”电平和“L”电平。这时，三态反相器164处于高阻抗状态。这样，控制栅线CGLj通过导通的D型晶体管176而保持0伏的“L”电平。因上，控制栅线CGL1至CGL8全都在此期间保持“L”电平。传输晶体管BT1至BT10由于5伏的选块控制线BSC1至BSC1024的电位而全都导通而字线WL1至WL8全部放电至参考电位。

t_2至t_3这段时间是仅仅使被选中的存贮块中全部存贮单元被擦除的周期。在t_2时，译码器120接收均处于“H”电平的地址信号P1，Q1和R1而选择存贮块BK1，因而译码器120的输出变为“L”电平。于是与非门124的输出处于“H”电平。所以对应于选中的存贮块BK1的选块控制线BSC1在t_2至t_3周期期间保持5伏的电压。但与未选中的存贮块BK2至BK1024相关的译码器120输出“H”电平，因为地址信号P1，Q1和R1中至少有一个处于“L”电平。所以与未被选中的存贮块相关的选块控制线BSC2至BSC1024降至0伏的参考电位。于是，传输晶体管矩阵34－1中的传输晶体管全都导通，从而使存贮块BK1中的字线WL1至WL8全部降至参考电压。但由于与未被选中的存贮块BK2至BK1024相连的传输晶体管矩阵34－2至34－1024全部截止，与它们相关的各字线便转入浮动状态。

在时刻t_2，约20伏的擦除电压Vera通过图4的阱电极114被加在P型阱区76和n型阱区74。在t_2和t_3之间的时间间隔期间，就是说在大约10毫秒的时间周期里，被选中的存贮块BK1中的存贮晶体管的浮置栅极借助由于在它们的沟道、源区和漏区加上了擦除电压Vera和在它们的控制栅极上加上了参考电压产生的F-N沟道效应而积累空穴。因而存贮块BK1中的全部存贮晶体管都变成具有－3伏的阈值电压D型晶体管。就是说，存贮块BK1中的所有存贮晶体管全都被擦除成二进制零数据。

但是，在时刻t_2擦除电压Vera通过阱电极114被加P阱区和n型阱区76和74上时，由于未被选中的存贮块BK2至BK1024中的字线当时均处于浮动状态，因此这些字线都通过电容耦合而被基本上充电至擦除电压Vera。于是未被选中的存贮块中的字线的充电电压足以减弱每个存贮晶体管的沟道区和控制栅之间的电场，从而可防止其被擦除。本发明人已发现，未被选中的存贮块中的字线被充电至擦除电压Vera的80％至90％，在未被选中的存贮块中的已被编程的存贮晶体管的数据不会被破坏或干扰。这样，在本实施例的块擦除过程中，由于不必从升压线路把编程禁止电压加在未被选中的存贮块的字线上，故减少以至避免芯片所占区域的功率消耗。另外，本发明还有效地增大了存贮阵列区的面积而缩小固定尺寸芯片表面上的外部电路的面积。这导致EEPROM的存贮容量的增大。

在上述块擦除操作中，加在阱电极114上的擦除电压既耦合至浮动的字线，也耦合到浮动的位线。因而在块擦除操作中，位线也被充电至约20伏的擦除电压。为了避免图2b的晶体管40由于充电的擦除而产生电压感应的应力，其栅极接至电源电压Vcc的D型晶体管38分别接在位线BLK-1至BLK-256和晶体管40之间。

在t_2和t_3之间的块擦除操作期间，选中的存贮块BK1的第一选择

线SL1维持约4.3伏的电位，而存贮块BK1的第二选择线SL2由于控制信号φ_7和φ_6均处于“L”电平而呈浮动态，因而使图5的晶体管140－144截止。它们第二选择线SL2的浮动态防止了在一个或一些第二选择晶体管ST2故障时电流从阱电极114经让线SL2流动。在块擦除操作期间，相当大一部分选中或未被选中的存贮块的电压关系可缩列于表1。

表1

	对于被选中的存贮块	对于未被选中的存贮块
第一选择线SL1	4.3V	0V
字线WL1至WL8	0V	约20V
第二选择线SL2	浮置	浮置
阱电极	20V	20v

翻至图10，在t_3和t_5之间的一段时间是位线和字线充电电压的放电期。在时刻t_3，块擦除操作结束，擦除电压Vera变为参考电压，而控制信号$\overline{WE}$和$\overline{ERA}$转为“H”电平。在t_3和t_4之间，与非门156的输出处于“H”电平，而控制信号$\overline{DS}$处于“L”电平。这样，与非门158的输出转至“L”电平，而控制信号$\overline{PGM}$处于“H”电平。因此，控制栅极线CGL1至CGL8在t_3和t_4之间维持“L”电平。在此期间，图5的与非门124的输出处于“H”电平，而控制信号$\overline{BLK}$处于“L”电平。这样，每条选块控制线BSC1至BSC1024转换为5伏电压。结果，传输晶体管BT1至BT10全部导通，而全部字线WL1至WL8全都放电至参考电压。另一方面，第一和第二选择线SL1和SL2也被放电至5V电压。

在时刻t_3，线DCB转入“H”电平，而φ_1亦转入“H”电平。因而位线的通过图2b所示晶体管37放电至“L”电平。

在时刻t_4，控制信号$\overline{BLK}$和$\overline{DS}$为“H”电平，$\overline{Xd}$为“L”电平，因此图5的与非门120为“H”电平，而第一和第二栅线SGLi-1至SGLi-2以及选块控制线BSCi转入参考电压。

编程方式

本EEPROM在擦除操作之后编程操作之前完成一个数据装入操作，把经输入／输出端输入的数据存入数据锁存器PBK-1至PBK-256。

数据装入操作是在图11的时刻t_1之前完成的。在数据装入操作中，控制信号$\overline{Xd}$，φ_2，φ_3和φ_4，编程电压V_{pgm}、放行电压V_{pass}，P型阱区76，编程禁止电压Vpi和线SBL和DCB均处于“L”电平，而控制信号$\overline{WE}$，$\overline{PGM}$, $\overline{SLE}$, $\overline{BLK}$, $\overline{DS}$, $\overline{ERA}$, $\overline{PVF}$, $\overline{SUP}$, φ_R，φ_5和φ_1处于“H”电平。正如在图5中可以看到的，因为$\overline{Xd}$处于“L”电平，而$\overline{BLK}$，$\overline{ERA}$, $\overline{SLE}$, $\overline{WE}$和$\overline{PGM}$均处于“H”电平，选块栅线BSC1至BSC1024处于“L”电平，因而使传输晶体管阵列34－1至34－1024截止。随着线SBL处于“L”电平，数据锁存器PBK-1至PBK-256与位线BLK-1至BLK-256的连接被禁止。图2b的恒流电路33和三态反相器48随着信号φ_3和φ_4处于“L”电平而处于截止状态。

输入至外地址输入端的地址是由行地址a_8至a_{20}以及列地址a_0至a_7组成的。输入行地址a_8至a_{20}是为在数据装入操作期间从各存贮块中选择其中一个以及从各字线中选择一条，以便把数据同时写入存贮单元的全部位线，就是说，在完成数据装入操作之后在编程操作中执行页面编程。列地址a_0至a_7在数据装入操作期间是具有256个循环的地址信号。图2b的列地地译码器30响应256周期的列地址根据外部写

起动信号$\overline{WE}_X$的触发，依次使传输晶体管T1至T256导通。与此同时，对应于各列存贮块的输入缓冲器26响应$\overline{WE}_X$的触发依次把输入的数据输出至相应的输入／输出端子。因此，分别从各输入缓冲器26输出的数据通过被依次导通的传输晶体管T1至T256和相应的传输晶体管49而依次存入数据锁存器PBK-1至PBK-256。

在上述数据装入操作之后，开始编程操作。本实施例的一个特点是编程操作包括与非单元的充电操作。

为便于说明编程操作，假设存入数据锁存器的数据是被写入连接至存贮块BK1中字线WL4的存贮晶体管M4的。

编程操作是在图11所示的t_1和t_3之间的期间完成的。在此期间，P型阱区76，信号$\overline{WE}$，$\overline{PGM}$，φ_2，φ_3，φ_4和φ_5以及DCB线处于“L”电平，而信号$\overline{Xd}$，$\overline{BLK}$，$\overline{DS}$，$\overline{ERA}$和φ_1以及SBL线均处于“H”电平。在这过程中提供时钟φ_R，编程电压V_{pgm}(=18伏)，放行电压V_{pass}(=10伏)和编程禁止电压Vpi(=7伏)。另一方面，在上述数据装入操作期间输入的行地址a_8至a_{20}被锁存入地址缓冲器(未示出)。由被锁存地址的予译码地址信号A_{11}，$\overline{A}_{11}$至A_{20}，$\overline{A}_{20}$而产生的地址信号P1，Q1和R1被输入至图5译码器120。锁存的地址的地址信号A_8，$\overline{A}_8$至A_{10}，$\overline{A}_{10}$输入至图6的译码器154。

在时刻t_1，控制信号$\overline{Xd}$拉高至“H”电平，选择存贮块BK1的地址信号p1，Q1和R1是图5与非门120的输入。于是，门120的输出变为“L”电平，而与非门124和136的输出变为“H”电平。因此，第一选择栅线SGL 1-1变为5伏电势，而选块控制线BSC1电压由电荷泵电路128的泵送操作被提升至18伏的编程电压V_{pgm}。另一方面，随着经由传输晶体管140，142和150传输的“H”电平，由于电荷泵电路152的泵送操作，第二选择栅线SGL 1-2的电压被提升至10伏的放行电压V_{pas}。与未被选中的存贮块BK2至BK1024相关的每个译码器120都转为“H”

电平。与此相应的每个与非门124的输出转为“L”电平。于是，未被选中的选块控制线BSC2至BSC1024转为0伏的参考电位。

在t_1时刻，编程控制信号$\overline{PGM}$转入“L”电平，而作为图7源线驱动电路22的输出线的公共源线CSL电压被提升至编程禁止电压V_{pi}。就是说，$\overline{PGM}$变成“L”电平，公共源线CSL转入D型晶体管206的阈值电压的绝对值，例如2至3伏，因而借助电荷泵电路208提升至编程禁止电压Vpi。

如前所述，由于在前一个数据装入的操作中，现在选择字线WL4的地址信号A_8，$\overline{A_8}$至A_{10}，$\overline{A_{10}}$曾被输入图6译码器154，与CGL4相关的译码器154的输出处于“L”电平，而与未被选中的字线WL1至WL3以及WL5至WL8相关的译码器154的输出处于“H”电平。于是，与选中的字线WL4相关的与非门156的输出处于“H”电平，而与未被选中的字线相关的与非门156的输出处于“L”电平，在时刻t_1产生时钟信号φ_R。然后，与非门178和与选中的字线WL4相关的或非门188分别输出时钟信号φ_R和“L”电平，从而给选中的控制栅线CGL4提供编程电压Vpgm。与此相反，与未被选中的字线相关的或非门188输出时钟φ_R，从而为未被选中控制栅线CGL1至CGL3以及CGL5至CGL8提供放行电压Vpas。

在时刻t_1，SBL线转入“H”电平。因此图2b的传输晶体管全部导通，从而把存贮在锁存器PBK-1至PBK-256的数据传输给相应的位线BLK-1至BLK-256。被选中的存贮块BK1的全部存贮晶体管都曾在以前的块擦除方式中被擦除至“L”电平，亦即，逻辑数据“0”。在块擦除方式之后的数据装入操作中，与准备写成“H”电平的，亦即逻辑数据“1”的存贮晶体管对应的锁存器存储“L”电平，亦即逻辑数据“0”，而与准备写成逻辑数据“0”的存贮晶体管对应的锁存器存储逻辑数据“1”。为了便于叙述，假定将逻辑数据“1”写入与图2a的

第一列存贮块CB1中的存贮块BK1的被选中的字线WL4和位线BL1-2相连接的存贮晶体管240，而将逻辑数据“0”写入其中与字线WL4相连接的其余存贮晶体管中。则在数据装入操作中，锁存器PB1-2已经存入逻辑数据“0”而其余锁存器已存入逻辑数据“1”。于是，时刻t_1之后，传输晶体管44的导通使位线BL1-2处于“L”电平，而其余位线处于5伏的“H”电平。

结果，在t_1与t_2之间的时间间隔里，图2a中的传输晶体管阵列34-1导通，被选中的存贮块BK1的第一和第二选择线SL1和SL2分别维持5伏和V_{pas}（=10伏），而选中的字线WL4和未被选中的字线WL1至WL3以及WL5至WL8分别维持V_{pgm}（=18伏）和V_{pas}。在编程操作期间，由于公共源线CSL维持编程禁止电压Vpi（=7伏），块BK1中的第二选择晶体管ST2和存贮晶体管M1至M8全部导通，与位线BL1-2相连接的第一选择晶体管242导通，而块BK1中其余的第一选择晶体管（晶体管242除外）截止。于是与非单元中的存贮晶体管，包括存贮晶体管240的电流通路与位线BL1-2相连接，从而使存贮晶体管的沟道，它们的源极和漏极各自的结电容放电至0伏参考电位。但是，与准备写逻辑数据“0”的存贮晶体管相关的第一选择晶体管ST1截止，与此相关的与非单元中的存贮晶体管的沟道和它们的源极和漏极各自的结电容被充电至编程禁止电压Vpi（=7伏）。于是在t_1与t_2之间的大约100微秒的时间周期里，与准备编程为逻辑数据“0”的存贮晶体管相关的与非单元进行充电操作。

翻至图11，在t_2与t_3之间的时间段，亦即大约2毫秒的时间是基本上执行编程的周期。在时刻t_2，信号$\overline{SLE}$处于“H”电平，正如从图8c中可以看到的，φ_6由“H”电平转变为“L”电平，而φ_7由“L”电平转变为“H”电平。于是，图5的晶体管144导通，从而使全部第二栅线SGLi-2与参考电位相连。因此，在选中的BK1存贮块中全部第

二选择晶体管ST2均截止。在此周期期间，约18伏的编程电压V_{pgm}加到被选中的存贮块BK1中的字线WL4上，而存贮晶体管240的源极、漏极和沟道加上0伏电压。于是，晶体管240的浮置栅便积累F-N沟道效应产生的电子，从而使晶体管240变为阈值约0.8伏的增强型晶体管。但因晶体管240除外的存贮晶体管的源极及漏极结电容和它们的沟道被充电至编程禁止电压Vpi，禁止了电子注入这些晶体管的浮置栅极，这些晶体管维持为耗尽型晶体管，存贮逻辑数据“0”。也就是说，与准备编程为逻辑数据“0”的存贮单元相关的与非单元由于上述与非单元充电被截断与相应位线的连接，从而防止被写入。

正如上面讨论的，在与非单元充电和编程操作期间，相当大一部分单元的电压关系可综列于表2。

表2

	与非单元充电期间的电压状态	编程期间的电压状态
选中的存贮块的第一选择线SL1	5伏	5伏
被选中的存贮块中未被选中的字线	V_{pas}=10伏	V_{pas}=10伏
选中的存贮块的选中字线	V_{pgm}=18伏	V_{pgm}=18伏

选中的存贮块的第二选择线SL2	V_{pas} =10伏	0伏
公共源线CSL	V_{pi} =7伏	V_{pi} =7伏
阱电极	0伏	0伏

t_3和t_5之间的时间周期，即500毫微秒的周期，是将位线和字线提升电压放电的周期。在时刻t_3，控制信号$\overline{WE}$和$\overline{PGM}$以及DCB线处于“H”电平，而控制信号$\overline{BLK}$和$\overline{DS}$，电压V_{pgm}，V_{pas}和V_{pi}以及SBL线变为0伏的“L”电平。时钟φ_R停止发脉冲并在t_3时刻固定在“H”电位。另一方面，在此周期期间，φ_1维持“H”电平，φ_2和φ_3维持“L”电平，于是源线驱动电路22把参考电压输出至公共源线CSL。图6的控制栅线CGL1至CGL8处于0伏电压，图5选块控制线BSC1至BSC1024处于5伏电压。结果使全部字线放电至参考电位。在时刻t_4，$\overline{Xd}$处于“L”电平，而$\overline{BLK}$和$\overline{DS}$处于“H”电平。因此在t_4与t_5之间的时间周期里选块控制线BSCi以及第一和第二选择栅线SGLi－1与SGLi－2降至参考电位。另一方面，由于在t_3和t_5之间的时间里DCB线和信号φ_1处于“H”电平，位线提升的电压通过晶体管37放电至参考电位。在时刻t_5，信号φ_1变为“L”电平。

编程校验方式

编程校验方式是在编程方式后立即执行的。本发明的编程校验操作类似于后面将要讨论的读出操作。与读出操作相比，差别在于加在

选中的字线上的电压是准备写入存贮晶体管的最小阈值电压。以下，这个最小阈值电压称为编程校验电压。在本实施例中假定编程校验电压为0.8伏。

编程校验操作是在图11中t_5时刻之后立即进行的，t_2和t_4之间的时间周期的编程校验操作的定时图示于图12。编程校验初期，即在图11的时间t_5或图12的时间t_2，控制信号$\overline{Xd}$，φ_3和φ_4处于“H”电平，而信号φ_1，$\overline{PVF}$和$\overline{SUP}$以及DCB线处于“L”电平。因此，在编程校验操作期间，控制信号$\overline{WE}$, $\overline{PGM}$, $\overline{SLE}$, $\overline{Xd}$, $\overline{BLK}$, $\overline{DS}$, $\overline{ERA}$，φ_3和φ_4以及时钟φ_R维持“H”电平，电压V_{pgm}, V_{pas}和V_{pi}，SBL线，DCB线以及控制信号φ_1，φ_5，$\overline{PVF}$和$\overline{SUP}$维持“L”电平。

现假定，进行编程校验操作是为了判定以在前的编程方式写成逻辑数据“1”的图2a的存贮晶体管240是否用所要求的最低阈值电压而编程的。

当从微处理器通过输入／输出端或其他端输入EEPROM一个命令以便在编程操作完成后执行编程校验操作，或者完成编程操作之后自动进行编程校验操作时，在编程操作中存入锁存器的PBK-1至PBK-256的数据继续存在下去而未经编程校验操作复位。这样，当编程校验操作开始时，锁存器PB1-2中存有逻辑数据“0”，而其余锁存器存有逻辑数据“1”。

在图12时刻t_2，控制信号$\overline{Xd}$处于“H”电平，然后，图5的译码器120响应指定存贮块BK1的地址信号p1，Q1和R1而输出“L”电平。接着，因为φ_6和φ_7分别维持“H”电平和“L”电平，第一和第二选择线SGL1－1和SGL 1-2以及选块控制线BSC1转入5伏的“H”电平。

在t_2时刻，控制信号$\overline{PVF}$处于“L”电平，指定字线WL4的地址信号A_8／$\overline{A_8}$至A_{10}／$\overline{A_{10}}$加到图6的译码器154上。然后，与非门158变为高阻抗，校验电压发生器164给控制栅线CGL4产生一个0.8伏的校验电压

。但是，与未被选中的字线WL1至WL3以及WL5至WL8相关的每一个译码器154均输出高（“H”）电平。于是校验电压发生器164变为高阻抗，而与非门158输出“H”电平。因此控制栅线CGL1至CGL3和CGL5至CGL8均处于5伏的“H”电平。另一方面，因为$\overline{PGM}$在时刻t_2维持“H”电平图7的源线驱动电路22便在公共选择线CSL上提供参考电位。

因此，图2a的传输晶体管阵列34－1导通，第一和第二选择线SL1和SL2以及未被选中的字线WL1至WL3和WL5至WL8转入5伏电压，而被选中的字线WL4转入0.8伏电压。于是与选择线SL1和SL2以及未被选中的字线相连的晶体管导通。

在时刻t_2，控制信号φ_3处于“H”电平，从而使图2b的恒流源电路33起动。于是恒流晶体管54经连接点36和晶体管40和38向位线提供约4微安的恒流。

假定已编程的存贮晶体管240已不能编程，就是说，晶体管240的阈值电压低于0.8伏的编程校验电压。于是晶体管240导通，与此相连的位线BL1-2转入0伏的参考电压。由于与位线BL1-2以外的各位线相连的存贮块BK1中，与非单元的全部晶体管都导通，位线也转入参考电位。以此方式令字线WL1至WL8建立预先确定的电压的这段时间周期，就是图12中t_2和t_3之间大约2微秒的时间周期。

图12中t_3和t_4之间的时间，就是大约500毫微秒的周期是用于校验检测的时间。在时刻t_3，控制信号φ_2转入“H”电平，因此图2b的晶体管52导通。其栅极通过晶体管38和40与位线BL1-2相连的晶体管50因位线BL1-2处于参考电位而截止。因此使锁存器PB1-2保持逻辑数据“0”。类似地，因为其他位线亦处于参考电压，与这些位线相关的晶体管50都截止，因此除锁存器PB 1-2之外的锁存器都维持以前存入的逻辑数据“1”。利用上述检验检测操作，对存于锁存器PBK-1至PBK-256的校验检测数据是通过导通的反相器48和线70连接到图9a的

晶体管212－216的栅极。这样，对存于锁存器PB1-2的数据进行校验检测用的“L”电平是通过相应的反相器48加到构成与第一列存贮块CB1相关的图9a或非门234的晶体管214的栅极，从而使晶体管214导通，并使线210放电至参考电位。因此，由于信号$\overline{SFP}$仅当编程校验，FP1变为“L”电平时才变为“L”电平。但因其他列存贮块CB2至CB8中的锁存器锁存着“H”电平，与每一个存贮块CB2至CB8对应的或非门234的晶体管212至216均处于截止状态。于是，每一条210线都由上拉晶体管218和220而维持“H”电平，因而FP2至FP8处于“H”电平。因此，图9b的求和电路236的输出线232由“H”电平变为“L”电平。这就代表着存贮晶体管240编程不理想。就是说，检查结果表明存贮晶体管240的 阈值电压未达到预设的最小阈值电压。232线上的编程确定信号PDS接至定时电路（未示出），后者在图11t_1和t_5之间产生定时信号从而响应信号PDS的“L”电平而完成再编程。也就是说，再编程操作是自动完成的。应该指出，在本实施例中，可由本EEPROM的内部电路自动完成，既不要求再编程控制，也不要求从微处理器重新装入数据。但若有必要，微处理器亦可根据本EEPROM芯片某一条输入／输出端来的PDS信号控制再编程操作。

假定存贮晶体管240经再编程操作达到了所要求的0.8伏阈值电压，那末晶体管240在再编程操作之后执行的编程校验操作期间处于截止状态。这样，位线BL1-2被恒流晶体管54提供的恒流充电至约2至3伏的电压，从而使与位线BL1-2相连的晶体管50导通。结果，锁存器PB1-2的校验检测数据便由逻辑数据“0”变为逻辑数据“1”。正如前面所讨论的，其他锁存器贮存着逻辑“1”的校验检测数据。这样，所有锁存器PBK-1至PBK-256都锁存着逻辑“1”的校验检测数据。就是说，若存贮晶体管在页面编程操作中全都很好地编程，锁存在锁存器中的校验检测数据就变为逻辑“1”。于是构成图9a的或非门234的晶

体管212至216全都截止，在进行编程校验检查期间信号FP1至FP8处于“H”电平，而信号$\overline{SFP}$处于“L”电平。结果，图9b的求和电路236便输出“H”电平的编程判定信号PDS。这代表着编程操作已成功完成了。

现假定某些编程为逻辑“1”的存贮晶体管已成功地完成编程，而其余的则未成功完成。那末，在随后的编程校验操作期间，对应于前一类存贮晶体管的锁存器发生变化，以使锁存了逻辑“1”数据，而与后一类存贮晶体管对应的锁存器则仍旧维持逻辑“0”数据。由于前一情况的锁存器锁存着逻辑“1”数据，它们的对应位线在随后的再编程操作期间充电到5伏电压。但与上述编程操作同样的，由于在再编程操作中，选中的第一选择线保持5伏，而存贮晶体管的源结和漏结及它们的沟道被充电到7伏的编程禁止电压，在选中的第一选择线上与充电了的位线相连的第一晶体管处于截止状态。这样，在再编程操作期间，被成功编程的存贮晶体管防止被已充电的编程禁止电压编程。但在后一种情况下，即对于未被成功编程的存贮晶体管，由于它们对应的锁存器锁存着逻辑“0”数据，所以只对它们才进行再编程。随着如此反复操作，如果在选中的字线上全部编程为逻辑“1”数据的存贮晶体管都已成功编程，则在上述编程校验操作期间编程判定信号PDS输出“H”电平，于是终止再编程操作。在上述编程校验操作中使用的本电路也可以应用于或非型存贮阵列的EEPROM。

如以上讨论的，该编程校验技术有如下各种优点。首先，编程校验操作可以由内部电路自动完成，而不必外部微处理器的控制。其次，由于在数据装入方式中用数据寄存器作为数据锁存器，编程校验方式中的校验检测电路和读出方式中的读出放大器，正如以后将要讨论的，可以简化外部电路。第三，已编程存贮晶体管的阈值电压可以紧密地分布在预定的最低阈值电压以上的一个狭窄范围之内，这可防止过编程。紧密的阈值分布可通过在较短时间内执行编程操作而完成，因

为已成功地编程的存贮晶体管由于它们对应的锁存器的数据已发生变化而自动被禁止编程。

读出方式

图12表示按本实施例的读出操作的定时图。

图中t_1和t_2之间的时间周期，是把字线WL1至WL8以及全部位线BLK－1至BLK-256放电至参考电压并复位，使锁存器PBK-1至PBK-256锁存逻辑“0”数据。在此周期期间，控制信号φ_1和线SBL及DCB处于“H”电平。这样，位线BLK-1至BLK-256通过图2b的晶体管37放电至参考电位，并通过晶体管37和44的导通将锁存器PBK-1至PBK-256复位至逻辑“0”数据。在t_1至t_2之间的时间周期里，控制信号$\overline{WE}$，$\overline{PGM}$，SLE，$\overline{Xd}$，$\overline{BLK}$，$\overline{DS}$及$\overline{ERA}$，时钟φ_R及电压V_{pgm}、V_{pas}和V_{pi}的定时图与图11所示t_3与t_5之间的定时图相同。在除编程校验操作之外的操作期间，控制信号$\overline{PVF}$和$\overline{SUP}$保持“H”电平。

t_2和t_4之间的时间周期是为从存贮单元读出检测数据并将其锁存入锁存器PBK-1至PBK-256的周期。在此周期期间，$\overline{WE}$，$\overline{PGM}$，$\overline{Xd}$，$\overline{SLE}$，$\overline{BLK}$，$\overline{DS}$，$\overline{ERA}$，φ_3，φ_4及φ_R维持“H”电平而Vpgm，Vpas，Vpi，线SBL及DCB，φ_1和φ_5保持“L”电平。

现进行解释，假定读出操作是在上述编程方式下进行页面编程的存贮块BK1中，与字线WL4相连的存贮晶体管进行的。

t_2和t_3之间的操作以类似于上述编程校验操作的方式进行。因此这里仅作简短的说明。与选中的存贮块BK1相关的图5的选块电路使第一和第二选择栅线SGL1-1和SGL1-2和选块控制线BSC1响应选中存贮块BK1的地址信号p1，Q1和R1而保持5伏电压。由于控制信号$\overline{PVF}$处于“H”电平，故图6的校验电压发生器164处于高阻抗状态，与非门158被

起动。因此，与选中的字线WL4对应的控制栅线CGL4响应指向字线WL4的地址信号A_8，/$\overline{A}_8$至A_{10}，/$\overline{A}_{10}$而处于0伏的参考电压。但是，与未被选中的字线WL1至WL3以及WL5至WL8对应的控制栅线CGL1至CGL3以及CGL5至CGL8则处于5伏的“H”电平。另一方面，图7的源线驱动电路22在公共源线CSL上输出参考电压。因此，图2a的传输晶体管阵列34－1导通，第一和第二选择线SL1和SL2以及存贮块BK1中未被选中的字线WL1至WL3以及WL5至WL8因此而处于5伏，而其中被选中的字线WL4则处于0伏。

在时刻t_2，控制信号φ_3升至“H”电平，从而使电流源电路33恢复工作。这样，恒流晶体管54通过连接点36和晶体管40和38向位线BLK－1至BLK-256提供约4微安的电流。由于只有存贮晶体管240被编程为逻辑“1”，位线BL1-2被充电至约2至3伏，而其余位线则变成0伏。在图12的时刻t_3，控制信号φ_2升至“H”电平，从而使图2b的晶体管52导通。这样，只有与位线BL1-2相关的晶体管50导通，从而使锁存器PB1-2进行检测并锁存逻辑“1”。但是，由于上述晶体管50截止造成的复位操作故其余锁存器继续锁存逻辑“0”。也就是说，完成页读出过程。锁存在锁存器PBK-1至PBK-256中的数据通过反相器48逐个字节（8位）地输出至输入／输出端I／O1至I／O8，传输晶体管T1至T256响应256周期的列地址以及$\overline{WE}$和输出缓冲器28被触发而依次导通。

改进的实施例

利用图1至图12进行解释的第一实施例的EEPROM，由存贮阵列和源线驱动电路组成，存贮阵列包括1024个存贮块每个存贮块又具有排在同一行上的多个与非单元，源线驱动电路用来在编程或再编程操作

之前产生编程禁止电压，以便对与非单元充电至此电压。但是，应该指出，本发明并不限于这样一个实施例。比方说，在本发明的另一个实施例中所用存贮阵列如下面将要讨论的可由具有共享字线的存贮块组成。为了把与非单元充电至编程禁止电压，可以不用该源线驱动电路，而采用来自控制栅的电容耦合通道。这个改进的实施例示于图13至图17。

图13由图13a和图2b组成。图13a显示由具有共享字线的存贮块组成的存贮阵列，而图2b则显示与图13a的存贮阵列相连的前面已经讨论过的外部电路。

为简化图，图13a只显示与第i个存贮块SBKi中的第K列存贮块相关的存贮单元及共享字线的布局。但是应该指出，除了共享字线之外，如图13a所示，具有16兆位存贮单元的存贮阵列10的排列方法与图2a的存贮阵列相同。

参考图13a，每个存贮块SBKi(i=1,2,3...512)均由2个子存贮块组成，就是说，一个上存贮块或第一子存贮块USBKi和一个下存贮块或第二子存贮块LSBKi。每个上存贮块和下存贮块USBKi和LSBKi都具有和图2a的存贮块相同的结构。上存贮块USBKi中的字线WL1至WL8相应地与下存贮块LSBKi中的字线WL1至WL8相连。就是说，上存贮块USBKi与下存贮块LSBKi共享字线WL1至WL8。

字线WL1至WL8通过传输晶体管BT2至BT9的电流通路分别接至控制栅线CGL1至CGL8。第一上部选择线USL1与第一下部选择线LSL1通过传输晶体管BT1和BT11的电流通路分别接至上部和下部选择栅线USGLi和LSGLi。第二上部选择线和第二下部选择线USL2和LSL2分别通过传输晶体管BT10和BT12的电流通路接至上部和下部地选择线UGSL和LGSL。第二上部和下部选择晶体管UST2和LST2的源极接至公共源线CSL，后者接至参考电压就是说接地。第一上部和下部选择晶体管UST1和LST1

的漏极分别接至相应的位线。

现联系图6解释控制栅线CGL1至CGL8与控制栅驱动电路20的连接。上部和下部选择栅线USGLi和LSGLi分别接至图14的相应块控制电路318。每一个选块控制电路318都依照各自的操作方式在按地址指定而被选中的存贮块中选择上部和下部存贮块之一个。应该指出，与各自存贮块SBKi对应的选块控制电路318都设置在芯片上EEPROM的衬底上。要知道每个选块控制电路都控制着由上存贮块和下存贮块组成的一个存贮块，所以基本上两存贮块共用一个选块控制电路。结果使固定尺寸芯片衬底上存贮阵列的面积相对增加，从而增大了存贮容量，因为外部电路占用面积减小了。

上部地线选择线UGSL和下部地线选择线LGSL与图15所示的地线驱动电路320。地线驱动电路320是一个都与存贮块SBKi中的上部地线选择线UGSL和下部地线选择线LGSL连接在一起的电路。地线驱动电路320按照各自操作方式用于为上部和下部地线选择线UGSL和LGSL提供适当电压。

现参照图14，该图显示控制第i个存贮块SBKi的选块控制电路。译码器322接受地址信号P1，Q1和R1以及控制信号$\overline{Xd}$。地址信号P1，Q1和R1是来自地址缓冲器（未示出）的行地址信号$A_{11}/\overline{A}_{11}$至$A_{20}/\overline{A}_{20}$中的地址信号$A_{12}/\overline{A}_{12}$至$A_{20}/\overline{A}_{20}$预译码而得的信号。行地址信号$A_{11}/\overline{A}_{11}$输入至定时电路（未示出），以便用来产生控制信号A11u，$\overline{A11u}$，A111，$\overline{A111}$和A11j，$\overline{A11j}$以根据各自操作方式从上部存贮块USBKi或下部存贮块LSBKi中选择一个。在各种操作方式下这些控制信号的逻辑状态列于下表3。其中“H”代表5伏的“H”电平，而“L”代表0伏的“L”电平。

表3

上部存贮块选择A_{11} =H，　　下部存贮块选择 A_{11} =L

	擦除方式	读出、编程和编程校验方式	擦除方式	读出、编程和编程校验方式
A_{11U}	H	H	H	L
$\overline{A}_{11U}$	L	L	L	H
A_{11j}	L	H	L	L
$\overline{A}_{11j}$	L	L	L	H
$A_{11\ell}$	L	H	L	L
$\overline{A}_{11\ell}$	H	L	H	H

译码器322的输出接至与非门324的一个输入端和反相器326的一个输入端。与非门324的另一个输入端连接到擦除控制信号$\overline{ERA}$。与非门324的输出端通过CMOS传输门328接至上部选择栅线USGLi，CMOS传输门328由n沟道晶体管350和P沟道晶体管352以及D型晶体管330的电流通路组成。在接点358和参考电压之间接有n沟道晶体管332的电流通道。N沟道晶体管350和332的栅极，P沟道晶体管352以及D型晶体管330分别接至控制信号A_{11U}，$\overline{A}_{11j}$，$\overline{A}_{11U}$和$\overline{WE}_m$。控制信号$\overline{WE}_m$在块擦除操作期间处于“L”电平，而在其余操作期间则处于“H”电平。与非门324的输出也通过CMOS传输门334接至下部选择栅线LSGLi，传输

非门324的输出也通过CMOS传输门334接至下部选择栅线LSGLi，传输路组成。n沟道晶体管338的电流通道接在接点360和参考电压之间。n沟道晶体管354和338、P沟道晶体管356和D型晶体管336的栅极分别接至控制信号$\overline{A_{n\ell}}$，A_{ij}，$A_{n\ell}$及$\overline{WE_m}$。反相器326的输出通过D型晶体管340和并联的n沟道晶体管342以及D型晶体管344的电流通道接至选块控制线BSCi。D型晶体管340的栅极接至译码器322的输出，而n沟道晶体管342和D型晶体管344的栅极接至5伏的Vcc电源电压。或非门346的输入端分别接至时钟φ_R和译码器322的输出端。在或非门346的输出和线BSCi之间接有一个电荷泵电路348。

若选择存贮块SBKi的地址信号输入选块控制电路318，则在擦除、编程校验和读出方式下处于约4.3伏的电压，而在编程方式下则处于18伏的编程电压V_{pgm}。与此相反，与未被选中的存贮块相关的每一个选块控制电路的选块控制线在所有方式下均处于0伏的参考电位。若存贮块SBKi由地址信号指定，而地址信号A_{ij}处于“H”电平，则上部选择栅线USGLi在编程、编程校验和读出方式下处于5伏电压，而下部选择栅线LSGLi在这些方式下则由于晶体管338的导通而处于0伏电压。类似地，若存贮块SBKi由地址信号寻址而且地址信号A_{ij}处于“L”电平，则下部选择栅线LSGLi在编程、编程校验和读出方式下处于5伏电压，而上部选择栅线USGLi在所述方式下则因晶体管332导通而处于0伏电压。另一方面，在块擦除方式下，上部和下部选择栅线USGLi和LSGLi均处于约2－3伏的浮置状态。

参照图15，地线驱动电路320由反相器362至374、或非门376和378组成。该驱动电路320在编程方式下向上部和下部地线选择线UGSL输出0伏。若在读出和编程校验方式下上部存贮块被选中，则上部地线选择线UGSL处于5伏“H”电平，而下部地线选择线LGSL输入0伏的“L”电平。但若在读出和编程校验方式下，下部存贮块被选中，则

下部地线选择线LGSL处于5伏的“H”电平，而上部地线选择线UGSL转入0伏的“L”电平。另一方面，在块擦除方式下，上部和下部地线选择线UGSL和LGSL均处于5伏的“H”电平。

改进后的实施例的操作与第一实施例，除了选择上部或下部存贮块和通过编程操作时的电容耦合技术对与非单元进行充电的操作之外几乎一样。这样，下面参照后附的定时图对改进后的实施例作一简要解释。

图16表示块擦除方式下的定时图。在图中，t_1和t_2之间的时间周期是用来让存贮阵列10中全部字线放电至0伏的参考电位。在此周期期间，正如前面对图6所讨论的，控制栅线CGL1至CGL8处于参考电位。在此周期期间，$\overline{BLK}$维持“L”电平，预译码器（未示出）响应信号$\overline{BLK}$产生“H”电平的地址信号P1，Q1和R1。这样，图14的译码器输出“L”电平。因此，选块控制线BSC1至BSC512均处于4.3伏电位下，而图13a的传输晶体管阵列34－1至34－512的传输晶体管BT2至BT9全部导通，从而使所有字线接地。

在图16的t_2至t_3之间的时间是用来擦除已选中的存贮块。在此段期间，像在t_1与t_2之间一样，控制栅线CGL1至CGL8维持参考电位。图14中与选中的存贮块有关选块控制电路318在选中的选块控制线上输出约4.3伏电压。但与未被选中的存贮块相关的选块控制电路则在未被选中的选块控制线上输出参考电压。这样，在t_2时刻在被选中的存贮块中，上部和下部存贮块的字线全都处于参考电压，但未被选中的存贮块的全部字线均处于浮置状态。不过由于在时刻t，图4的阱电极114加上了20伏的擦除电压Vera，故未被选中的存贮块中的全部字线均电容耦合至约20伏，未被选中的存贮块中的存贮晶体管的数据不被擦除。但是，在t_2至t_3之间的时间段，被选中的存贮块中的每一个存贮晶体管都被加在它们的沟道和控制栅极之间的擦除电压变为阈值

电压约为－2至－3伏的D型晶体管。也就是说，存贮逻辑“0”数据。

另一方面，在t_2至t_3之间的块擦除周期期间，由于选中的存贮块的选择控制线处于约为4.3伏电压下，上部和下部选择栅线USGLi和LSGLi电压约为2至3伏，上部和下部地线选择线UGSL和LGSL电压为5伏，与被选中的存贮块相关的第一上部和下部选择线USL1和LSL1电压约为2至3伏，与被选中的存贮块有关的第二上部和下部选择线USL2和LSL2则处于浮置状态。这样，当与第二上部和下部选择线相连的第二上部或下部晶体管之中任何一个损坏时，就会防止从阱电极114流过第二上部和下部选择线USL2和LSL2的漏电流。在块擦除操作期间，值得注意部分的电压关系可综列于下表4。

表4

	选中的存贮块	未被选中的存贮块
第一上部和下部选择线USL1和LSL1	约2－3伏	浮置
字线WL1至WL8	0伏	约20伏
第二上部和下部选择线USL2和LSL2	浮置	浮置
阱电极	20伏	20伏

图16的t_3和t_4之间的时间周期是用来把未被选中的存贮块的字线放电至参考电压。正如前面对图6所作的讨论一样，控制信号$\overline{DS}$在此期间令控制栅线CGL1至CGL8维持在参考电压。控制信号$\overline{BLK}$把全部选

块控制线BSC1至BSC512的电压维持在4.3伏左右，从而使全部字线放电至参考电压。上部和下部栅线UGLi和LSGLi亦被$\overline{Xd}$维持在参考电压。另一方面，处于“H”电平的DCB线使位线放电至参考电压。

图17表示改进后的实施例编程方式的定时图。参见图17，数据装入操作是在时刻t_1之前执行的。数据装入操作方式与讨论图2b时的第一实施例相同。t_1和t_2之间的时间周期用来把数据写入选中的存贮晶体管。正如在讨论第一实施例的数据装入操作时一样，与准备写入逻辑“1”数据的存贮晶体管对应的位线处于0伏的“L”电平，而与准备写入逻辑“0”数据的存贮晶体管对应的位线则处于5伏的“H”电平。正如讨论图6时一样，在时刻t_1之后，选中的控制栅线电压升至18伏的编程电压Vpgm，而未被选中的控制栅线电压则为10伏的放行电压Vpas。现假定第四控制栅线CGL4被地址信号指定。那未控制栅线CGL4电压变为18伏的编程电压Vpgm，而控制栅线CGL1至CGL3以及CGL5至CGL8则变成10伏的放行电压Vpas。再假定第三个存贮块被地址信号指定，地址信号A_{11}处于“H”电平。于是图14的译码器322输出“L”电平，而在时刻t_2之后，选块控制线BSC3变为18伏的编程电压Vpgm。这时，上部选择线USGL3变为5伏电压，而下部选择栅线LSGL3变为参考电压。于是图13a的传输晶体管阵列34－3导通。另一方面，在编程周期期间，图15的地线驱动电路320为UGSL和LGSL提供参考电压。这样在上部和下部存贮块USBK3和LSBK3中的第二上部和下部选择晶体管UST2和LST2均截止。下部存贮块LSBK3中的第一下部选择线LSL1亦通过传输晶体管BT11将电压变为参考电压，从而迫使第一下部选择晶体管LST1截止。但是，上部存贮块USBK3中的第一上部选择线USL1通过传输晶体管BT1而变为5伏的“H”电平。在上述编程操作期间，值得注意部分的电压关系可综列于下表5。

表5

	选中的存贮块 选中的上部存贮块	未被选中的下部 存贮块
选中的第一上部选择线USL1	5伏	—
未被选中的第一下部选择线LSL1	—	0伏
选中的字线	Vpgm=18伏	Vpgm=18伏
未被选中的字线	Vpas=10伏	Vpas=10伏
选中的第二上部选择线USL2	0伏	—
未被选中的第二下部选择线LSL2	—	0伏
阱电极	0伏	0伏

于是，在编程操作期间，字线WL1至WL8上所加的高电压使上部和下部存贮块USBK3和LSBK3的与非单元充电。这样，由于第一上部选择线USL1处于5伏电压，而与准备写入逻辑“0”数据的存贮晶体管相关的位线处于5伏电压，而与准备写入逻辑“1”数据的存贮晶体管相关的位线处于0伏的参考电压，与后者存贮晶体管相连的上部存贮块USBK3中的第一上部选择晶体管便导通，而与前者存贮晶体管相连的存贮块USBK3中的第一上部选择晶体管则截止。于是，与前者存贮晶

体管相关的与非单元的存贮晶体管的源极、漏极和沟道变成参考电压，而与后者存贮晶体管相关的与非单元则充电至高电压。结果，在编程周期期间，与上部字线WL4相连的前者存贮晶体管的浮置栅极由于F-N沟道效应而积累电子，从而变为阈值电压约为0.8伏的增强型晶体管，就是说，存贮了逻辑“1”数据。但是，因为后者存贮晶体管的沟道和它们的源极和漏极的结电容充电至高压，从而防止这些存贮晶体管被编程。

同样地，在未被选中的下部存贮块LSBK3中的第一下部选择线LSL1和第二下部选择线LSL2均处于参考电平，从而使分别与线LSL1和LSL2相连的第一和第二下部选择晶体管LST1和LST2截止。于是，下部存贮块LSBK3中的与非单元的存贮晶体管的沟道和它们的源极和漏极的结电容被充电至高压，从而防止被编程。

在时刻t_2，编程操作中止，时钟φ_R停止发出脉冲。于是，电荷泵电路348被禁止，因而BSC3的电压降至5伏。在t_2和t_3之间的时间周期内，处于“L”电位的控制信号$\overline{DS}$使控制栅线CGL1至CGL8接地。于是，存贮块SBK3中的字线便放电至参考电压。在t_3和t_4之间的时间周期期间，选块控制线BSC1至BSC512和上部选择栅线USGL1至USGL512放电至参考电压。

编程校验操作可从图17的t_4时刻起进行。编程校验操作与第一实施例的相似。与第一实施例相比，差别在于，在选中的存贮块中，本实施例具有用来从选中的存贮块中选择上部或下部存贮块之一个的选块控制电路。在编程校验操作中，若在已被选中的存贮块的上部存贮块USBKi被图14的选块控制电路选中，则被选中的选块控制线BSCi电压变为约4.3伏，而上部选择栅线USGLi电压变为5伏。于是，图15的地线驱动电路320就会向上部选择栅线UGSL输出5伏的“H”电平，并向下部选择栅线LGSL输出0伏的“L”电平。正

如参照图6讨论第一实施例时相同，在编程校验操作中，被选中的控制栅线处于0.8伏的编程校验电压，而未被选中的控制栅线则为5伏电压。这样，与图13a的传输晶体管阵列34－i相连的约为4.3伏的线BSCi的电压变为7伏左右，因为未被选中的控制栅线的5伏电压从传输晶体管的漏极经电容耦合传输至它们的栅极。这一操作也与读出操作时相同。因而，上部存贮块USBKi中选中的字线电压变为0.8伏的编程校验电压，而未被选中的字线电压则变为5伏。第一和第二上部选择线USL1和USL2电压均变为5伏。这样，存贮块USBKi中的第二选择晶体管UST2导通，从而把存贮块USBKi的与非单元连接至接地的公共源线CSL。然而，下部存贮块LSBKi中的第一和第二下部选择线LSL1和LSL2均处于参考电压，存贮块LSBKi处于参考电位，因而存贮块LSBKi未被选中。随后的编程校验和再编程操作和联系图12 t_2和t_4之间的时间周期里的定时图而解释的第一实施例的相同。

在改进的实施例中，编程和再编程技术毋需与各位线相连的编程禁止电压发生器来禁止逻辑“0”编程单元的编程以及已成功地编程为逻辑“1”的单元的再编程。因而可以简化外部电路并减少它们在芯片上所占的面积。另一方面，由于在编程和再编程操作期间，编程禁止电压是利用电容耦合技术自动产生的，所以编程和再编程操作可以高速执行。这样，因为本实施例利用了自编程禁止技术，故可得到上述好处。

在改进的实施例中的读出操作中，使用0伏的选中的字线，而不是上述编程校验操作中的0.8伏选中的字线。读出操作中选择存贮晶体管的操作和编程校验操作时相同。页式读出、页式读出检测以及从数据输出端的输出，亦都与有关图12对第一实施例所解释的操作相同。

这样，正如上面描述的，本发明几个实施例的EEPROM，可以设计

得具有经改进的编程、块擦除和编程校验的能力及可靠性。本发明各实施例提出的与读出及编程校验有关的外部电路，也可以用于或非型存贮阵列的非易失性半导体存贮器中。

说 明 书 附 图

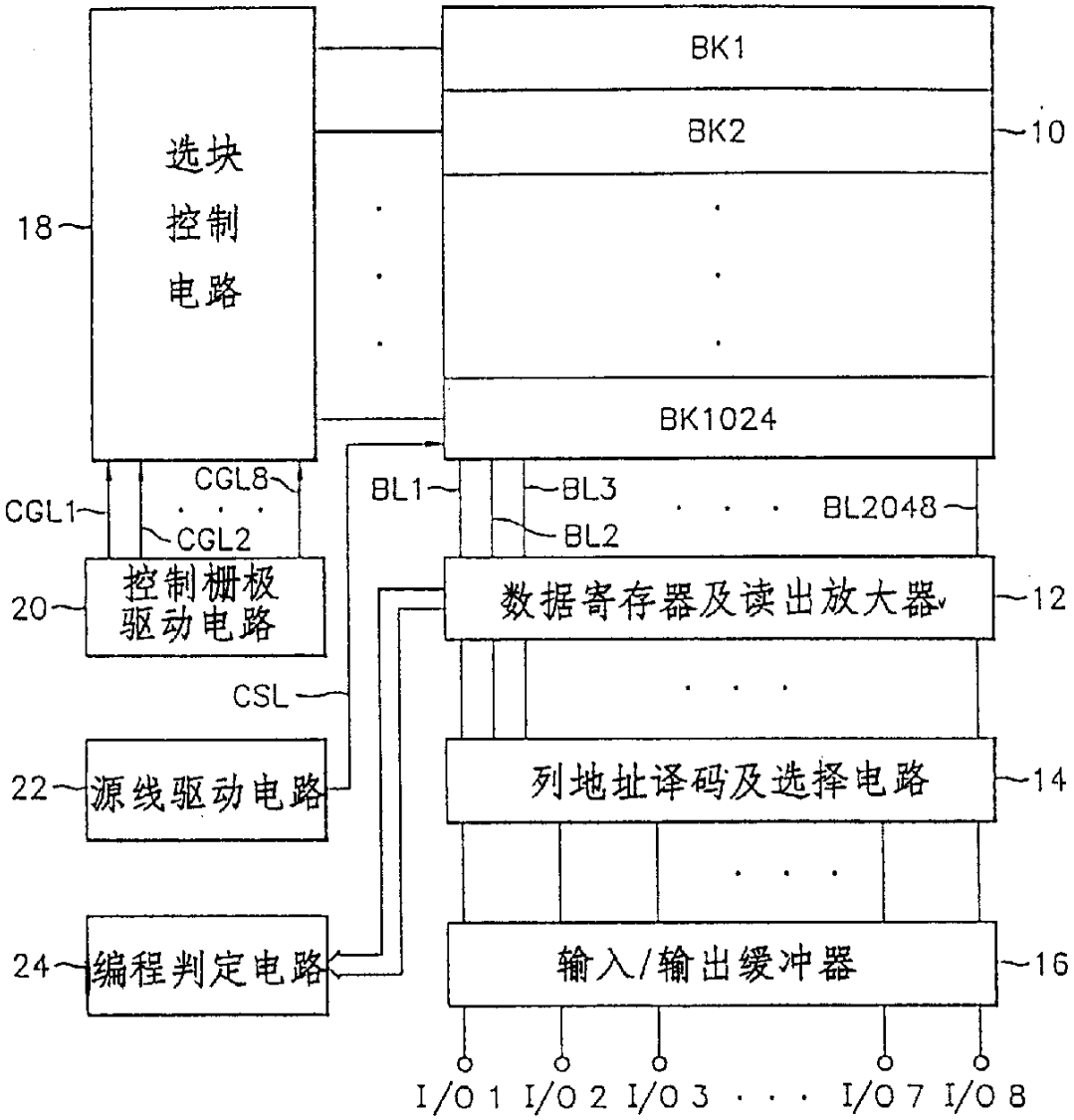

BK1
BK2
BK1024
10
选块
控制
电路
18
CGL1
CGL2
CGL8
BL1
BL2
BL3
BL2048
控制栅极
驱动电路
20
数据寄存器及读出放大器
12
CSL
源线驱动电路
22
列地址译码及选择电路
14
编程判定电路
24
输入/输出缓冲器
16
I/O1 I/O2 I/O3 · · · I/O7 I/O8

图 1

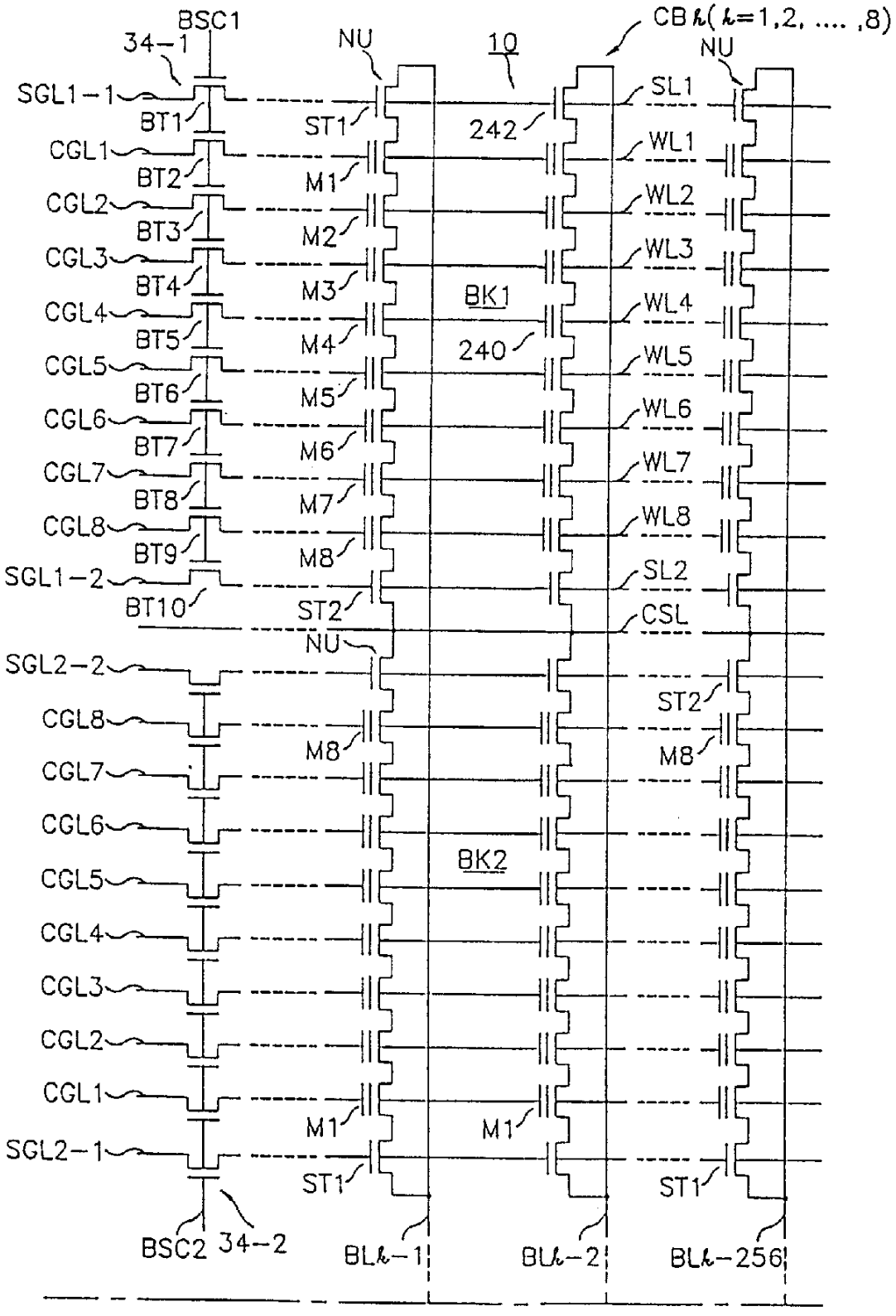

BSC1
34-1
NU
10
CBk(k=1,2, ... ,8)
NU
SGL1-1
BT1
ST1
242
SL1
CGL1
BT2
M1
WL1
CGL2
BT3
M2
WL2
CGL3
BT4
M3
BK1
WL3
CGL4
BT5
M4
240
WL4
CGL5
BT6
M5
WL5
CGL6
BT7
M6
WL6
CGL7
BT8
M7
WL7
CGL8
BT9
M8
WL8
SGL1-2
BT10
ST2
SL2
NU
CSL
SGL2-2
CGL8
M8
ST2
CGL7
M8
CGL6
BK2
CGL5
CGL4
CGL3
CGL2
CGL1
M1
M1
SGL2-1
ST1
ST1
BSC2
34-2
BLk-1
BLk-2
BLk-256

图 2a

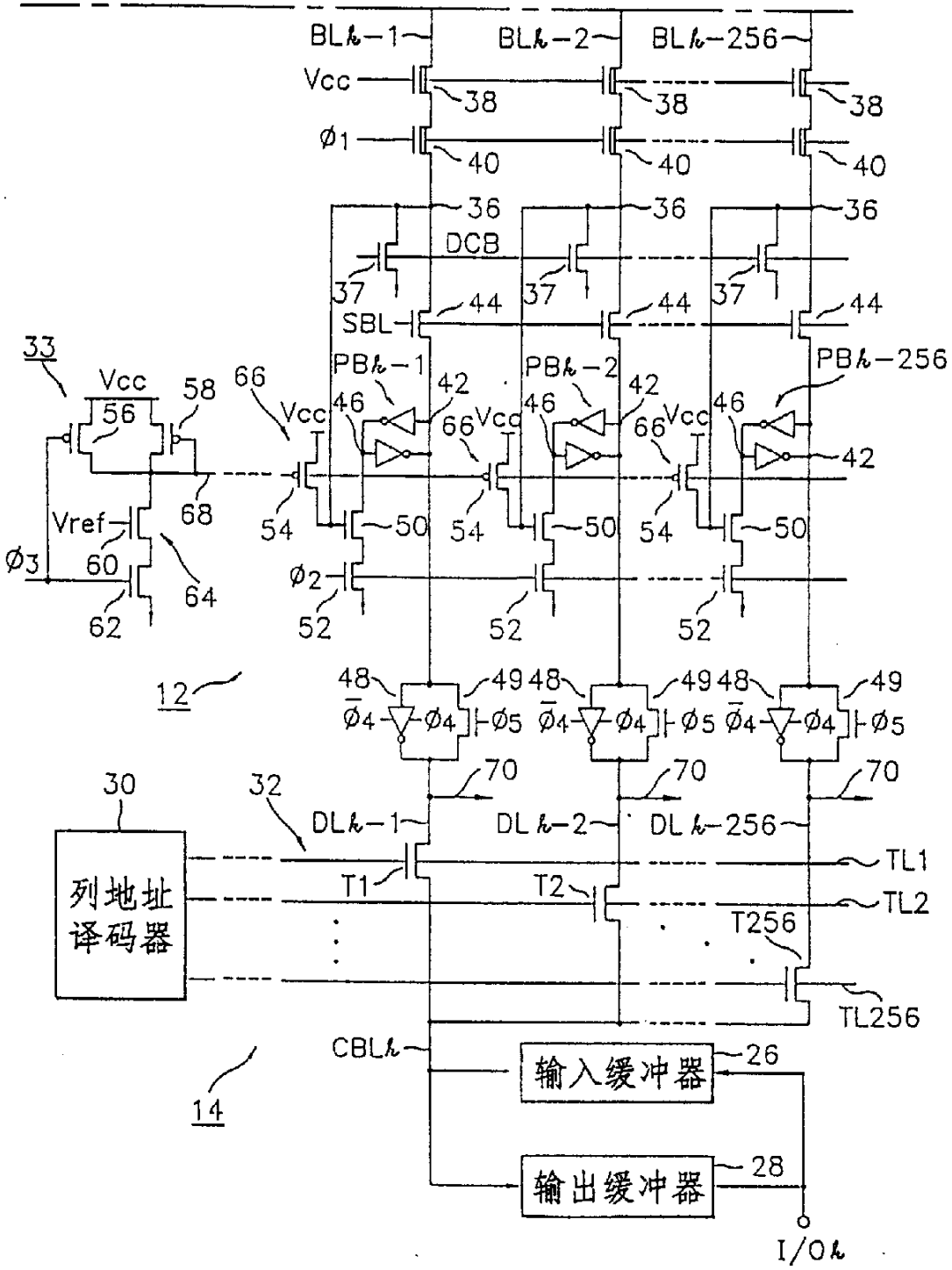

BLk−1
BLk−2
BLk−256
Vcc
38
Ø1
40
36
DCB
37
SBL
44
33
PBk−1
PBk−2
PBk−256
42
46
58
56
66
68
Vref
60
64
62
54
50
Ø3
Ø2
52
12
48
49
Ø4
Ø5
70
30
32
DLk−1
DLk−2
DLk−256
列地址译码器
T1
T2
T256
TL1
TL2
TL256
CBLk
14
输入缓冲器
26
输出缓冲器
28
I/Ok

图 2b

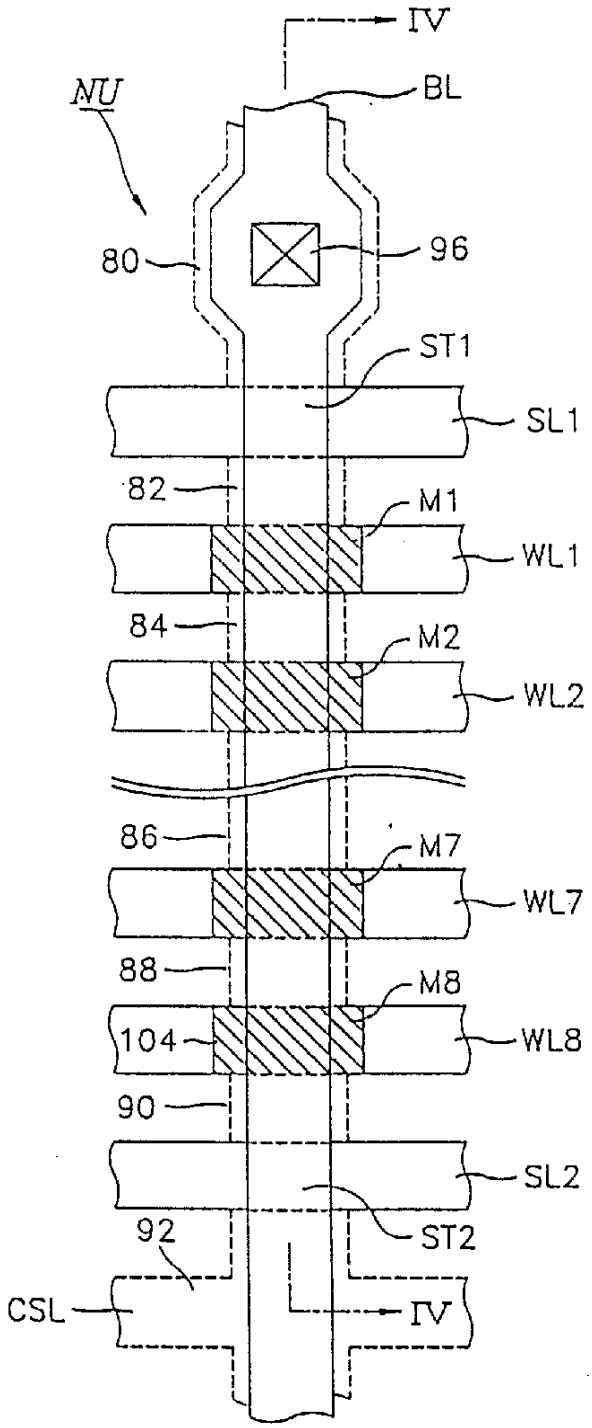

IV
NU
BL
80
96
ST1
SL1
82
M1
WL1
84
M2
WL2
86
M7
WL7
88
M8
104
WL8
90
SL2
92
ST2
CSL
IV

図 3

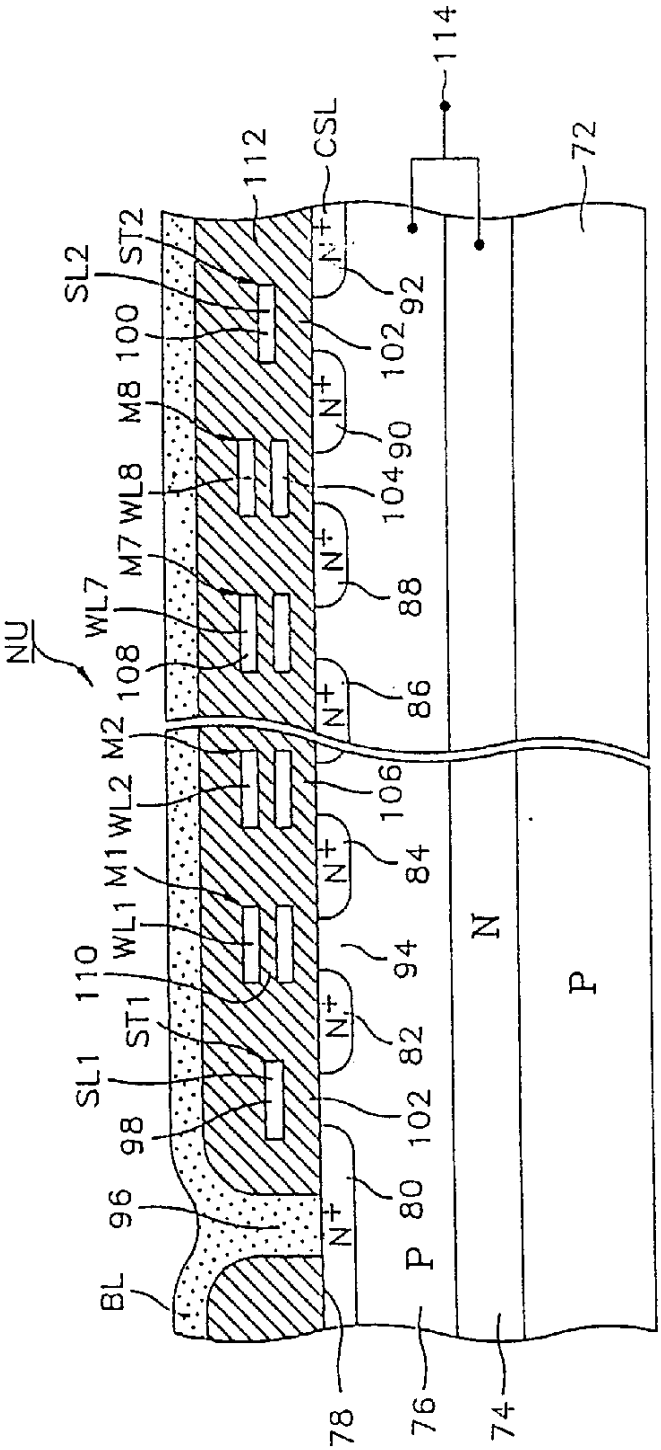

NU
BL
96
98
SL1
110
ST1
WL1
M1
WL2
M2
108
WL7
M7
WL8
M8
100
SL2
ST2
112
CSL
114
72
92
102
90
104
88
86
106
84
94
82
102
80
P
N
P
N+
78
76
74

图 4

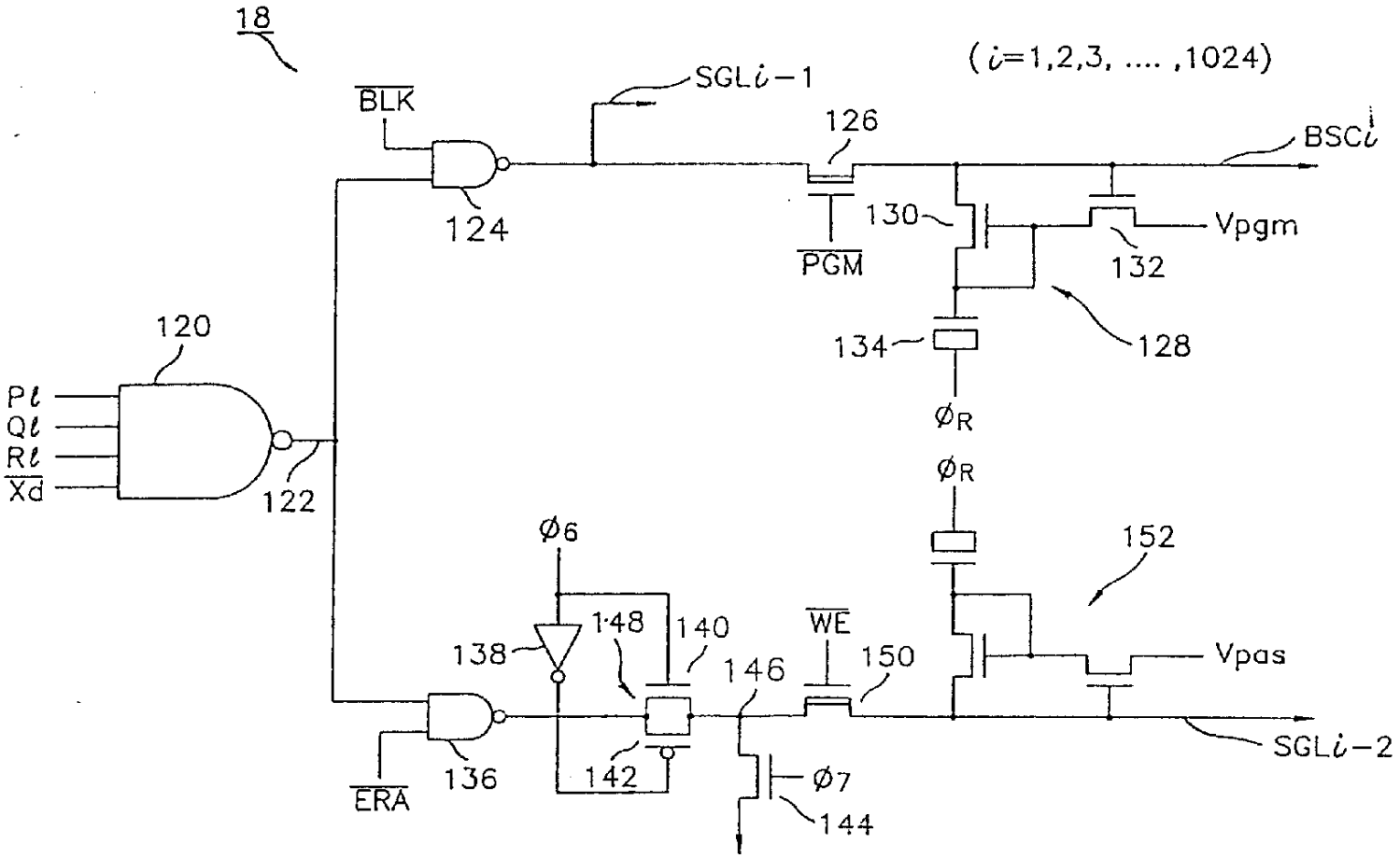

18
(i=1,2,3, ... ,1024)
SGLi-1
BLK
126
BSCi
124
130
Vpgm
PGM
132
120
134
128
Pl
Ql
Rl
Xd
122
ØR
ØR
Ø6
152
148
140
WE
138
146
150
Vpas
136
142
Ø7
ERA
144
SGLi-2

图 5

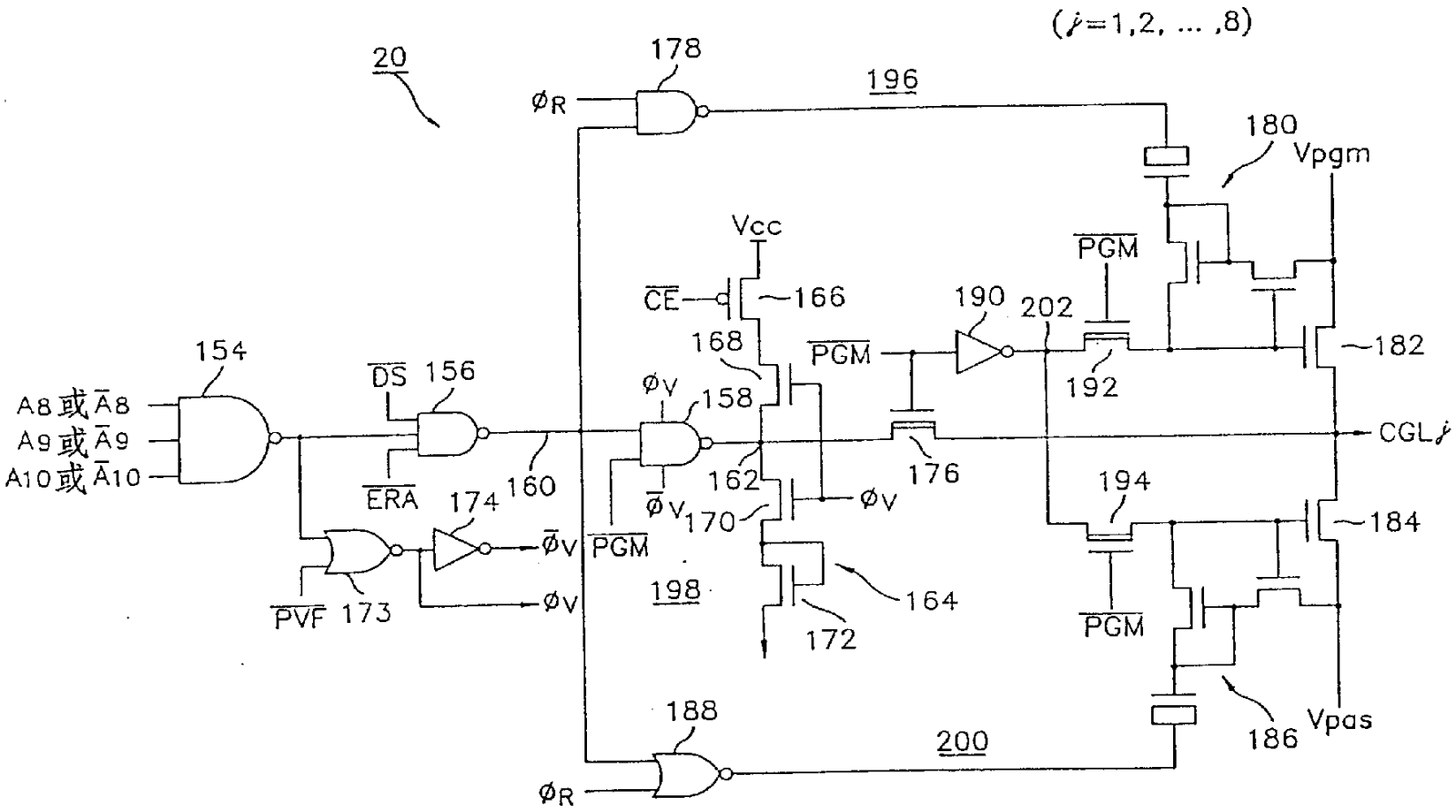

(j=1,2, ... ,8)
20
178
196
180
Vpgm
ØR
Vcc
PGM
CE
166
190
202
168
PGM
182
154
DS 156
ØV
158
192
A8或Ā8
A9或Ā9
A10或Ā10
CGLj
ERA
174
160
162
176
194
ØV
170
ØV
PGM
184
198
164
PVF 173
ØV
172
PGM
188
186
Vpas
200
ØR

图 6

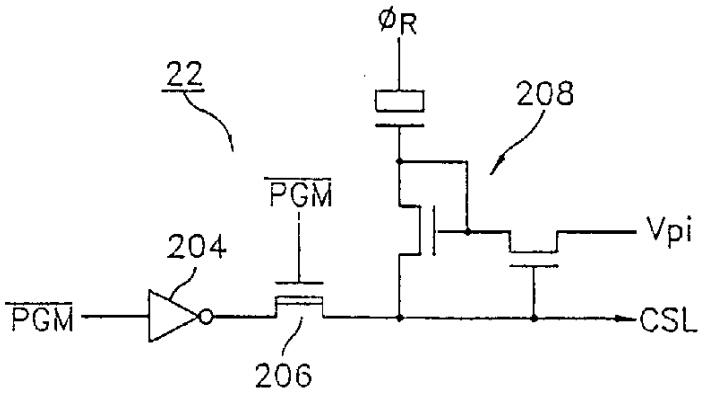


图 7

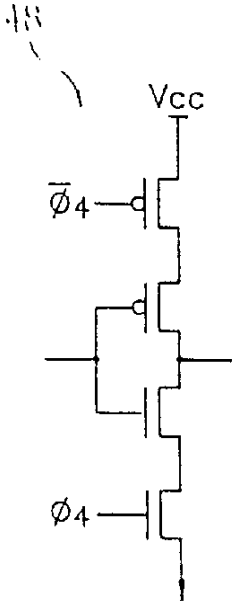


图 8a

图 8

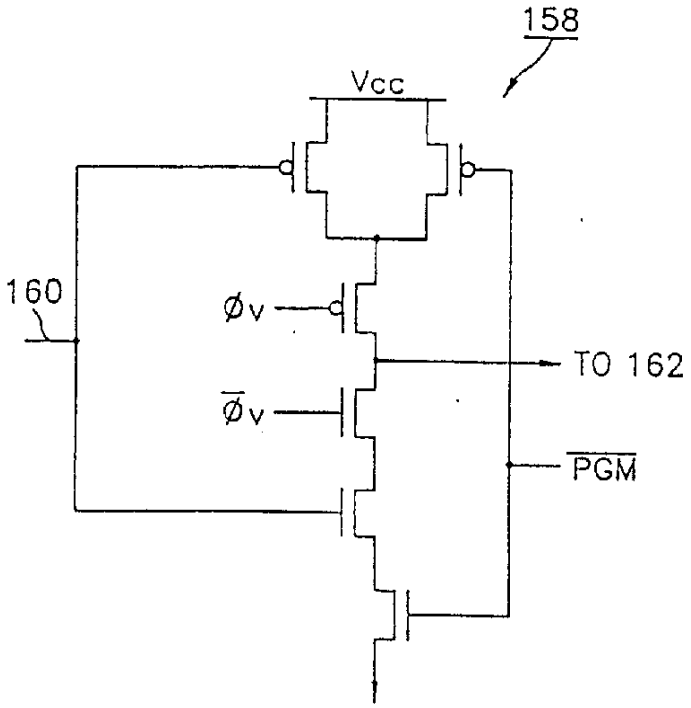

158
Vcc
160
ϕ_V
$\overline{\phi}_V$
TO 162
$\overline{PGM}$

图 8b

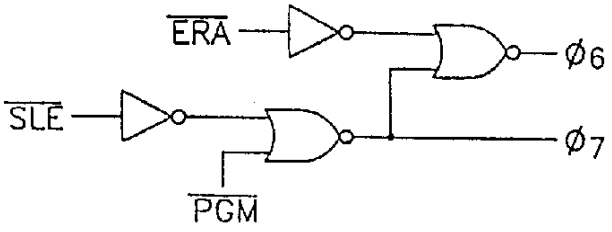

$\overline{ERA}$
$\overline{SLE}$
$\overline{PGM}$
ϕ_6
ϕ_7

图 8c

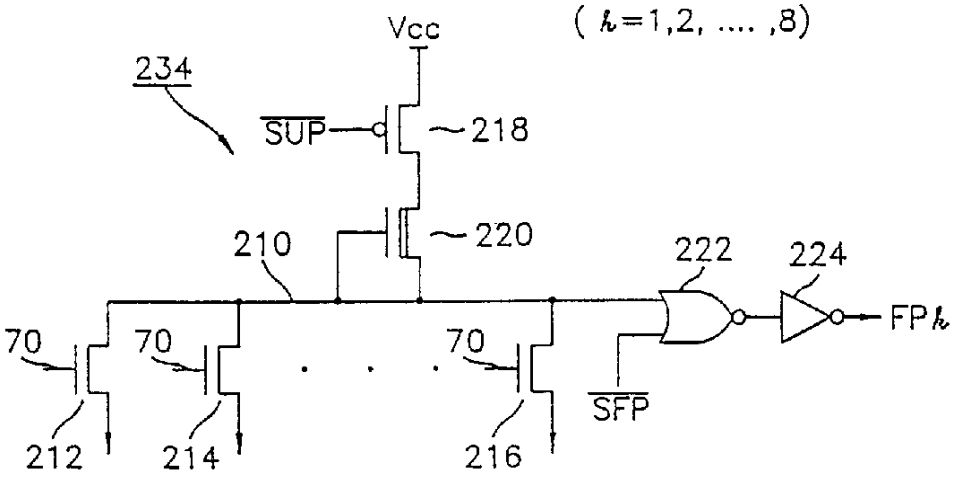

Vcc
(k=1,2, ... ,8)
234
SUP
218
220
210
222
224
FPk
70
70
70
212
214
216
SFP

图 9a

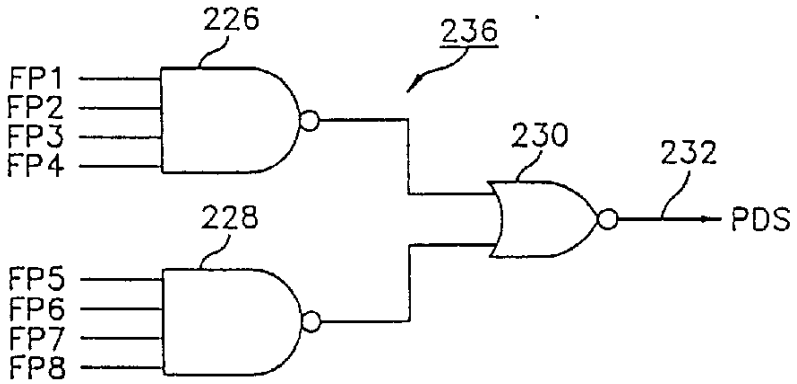

226
236
FP1
FP2
FP3
FP4
230
232
PDS
228
FP5
FP6
FP7
FP8

图 9b

图 9

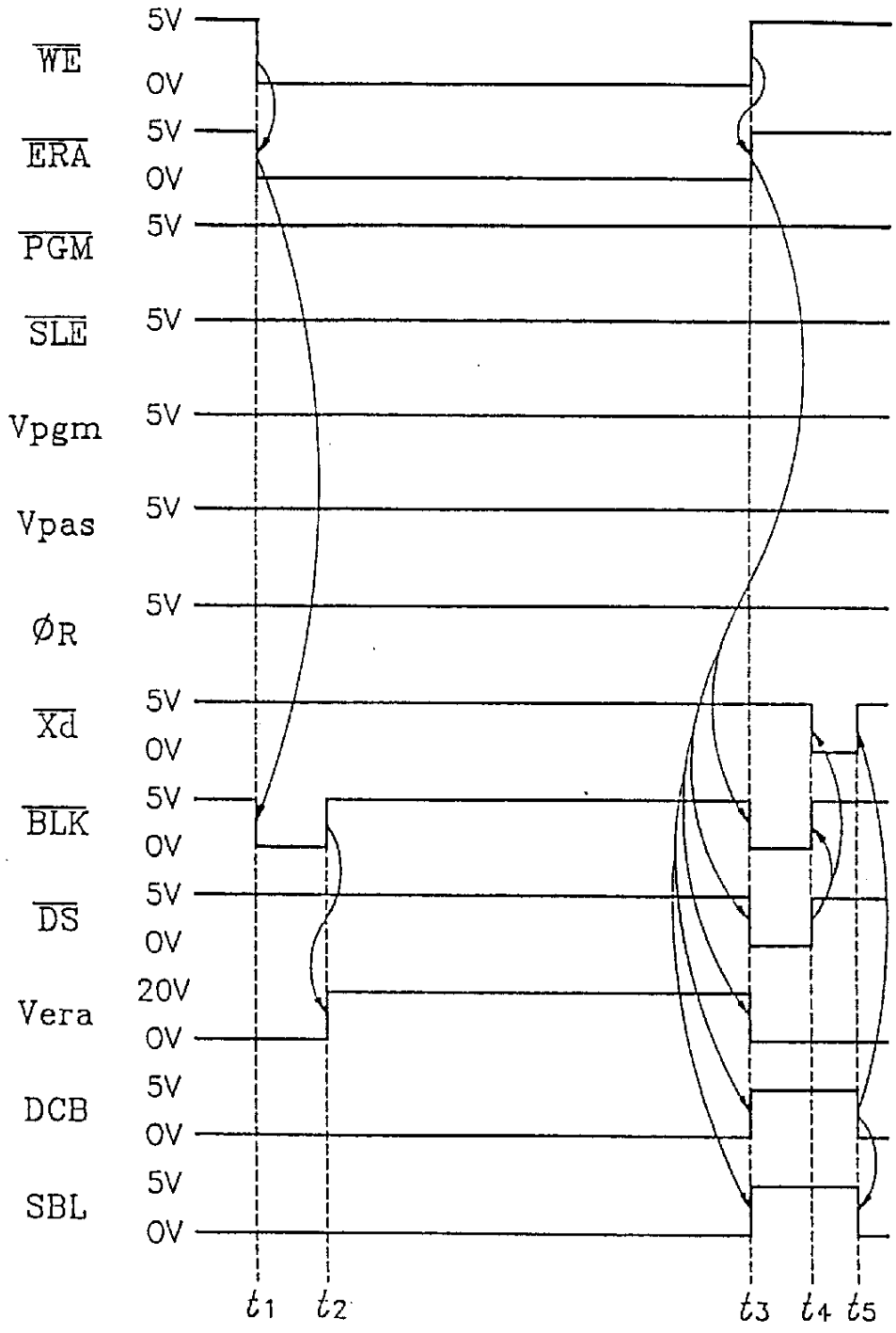

WE
ERA
PGM
SLE
Vpgm
Vpas
ØR
Xd
BLK
DS
Vera
DCB
SBL
5V
0V
20V
t1
t2
t3
t4
t5

图 10

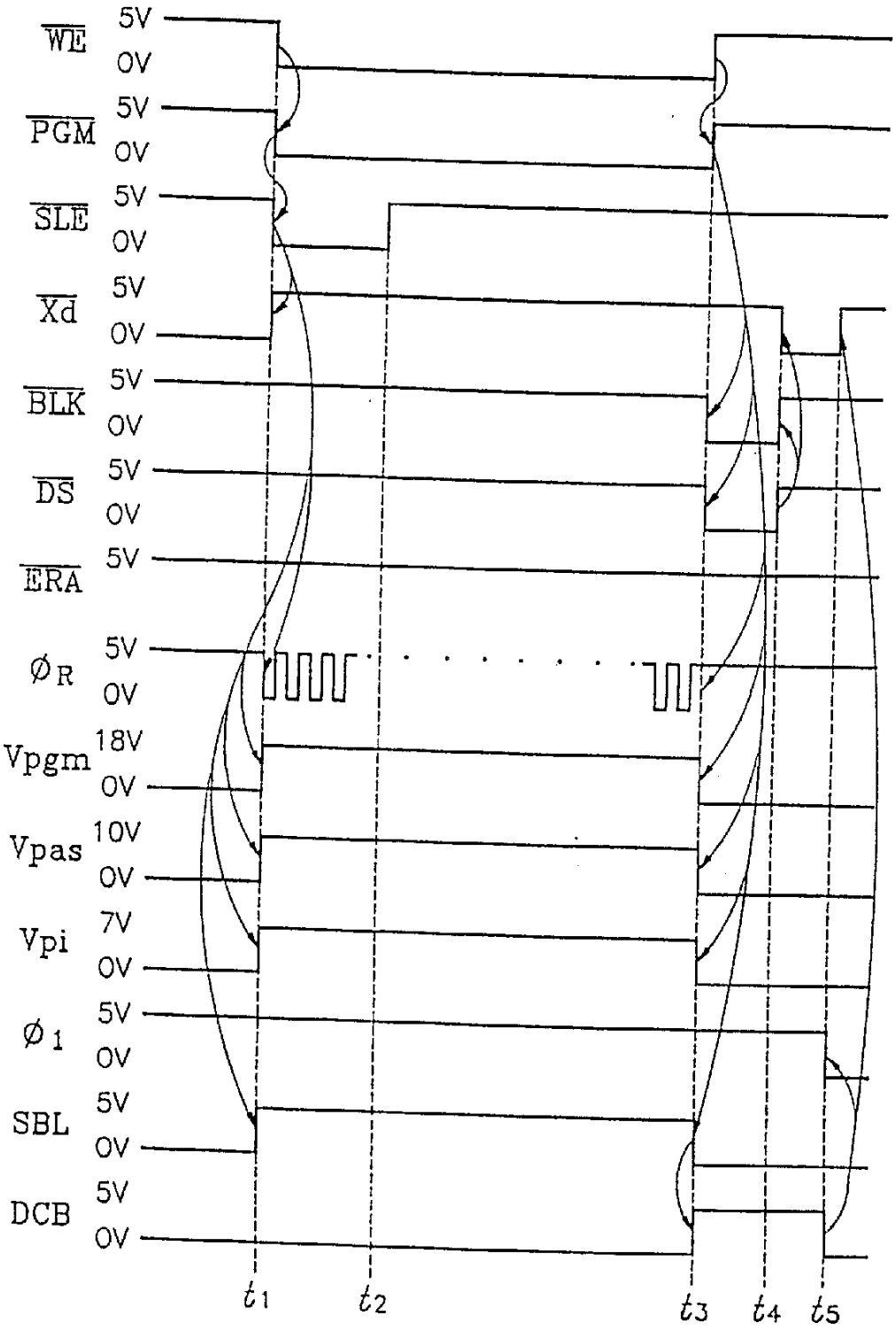

WE
PGM
SLE
Xd
BLK
DS
ERA
ØR
Vpgm
Vpas
Vpi
Ø1
SBL
DCB
5V
0V
18V
10V
7V
t1
t2
t3
t4
t5

图 11

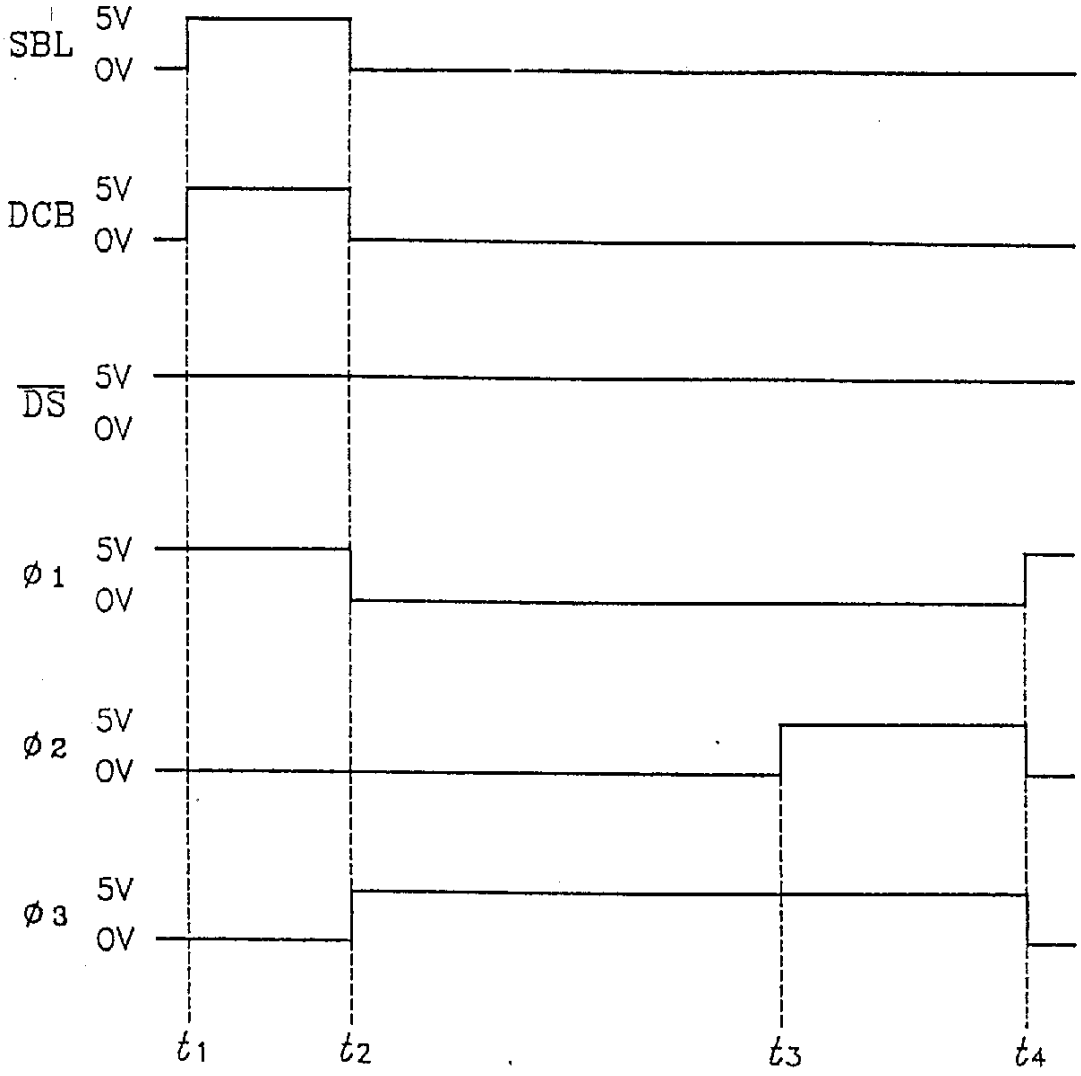

SBL
5V
0V
DCB
5V
0V
$\overline{DS}$
5V
0V
ø1
5V
0V
ø2
5V
0V
ø3
5V
0V
t1
t2
t3
t4

图 12

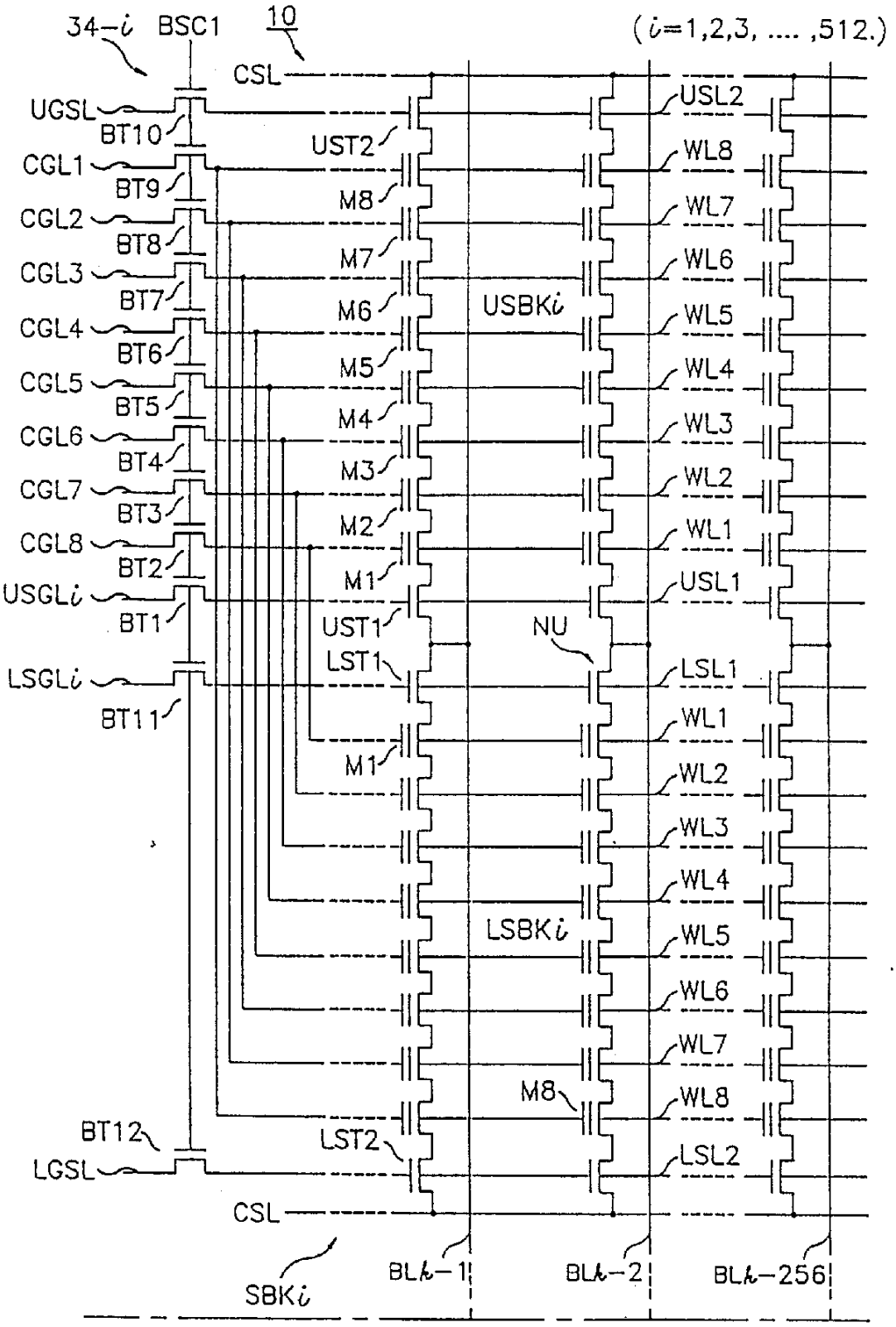

34-i
BSC1
10
(i=1,2,3, ... ,512.)
CSL
UGSL
BT10
UST2
USL2
CGL1
BT9
M8
WL8
CGL2
BT8
M7
WL7
CGL3
BT7
M6
USBKi
WL6
CGL4
BT6
M5
WL5
CGL5
BT5
M4
WL4
CGL6
BT4
M3
WL3
CGL7
BT3
M2
WL2
CGL8
BT2
M1
WL1
USGLi
BT1
UST1
USL1
NU
LSGLi
LST1
LSL1
BT11
M1
WL1
WL2
WL3
WL4
LSBKi
WL5
WL6
WL7
M8
WL8
BT12
LST2
LSL2
LGSL
CSL
SBKi
BLk-1
BLk-2
BLk-256

图 13a

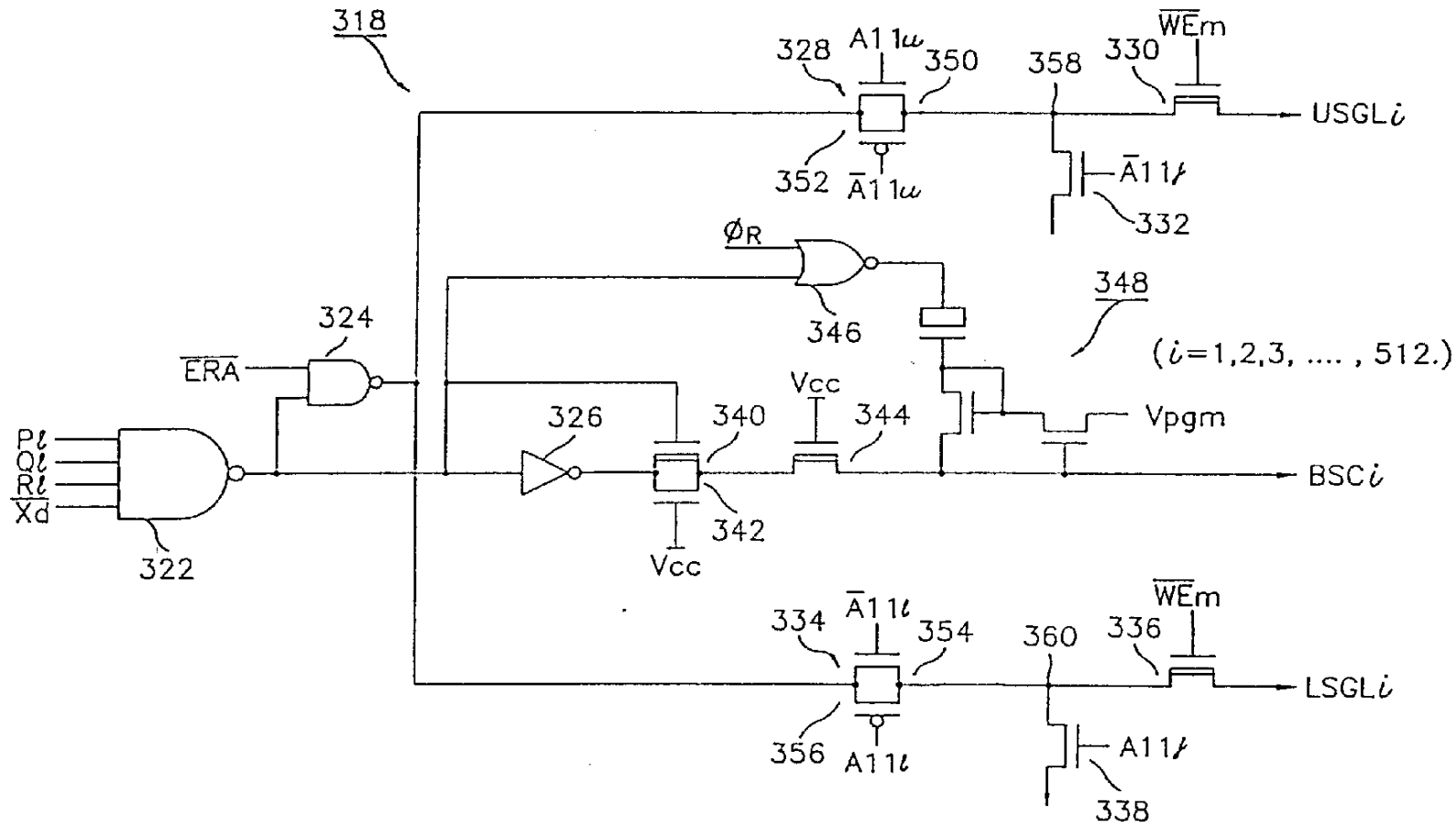

318
328
A11u
350
358
330
WEm
USGLi
352
Ā11u
Ā11l
332
ØR
346
348
(i=1,2,3, ... , 512.)
324
ERA
Vcc
326
340
344
Vpgm
Pl
Ql
Rl
Xd
BSCi
342
322
Vcc
334
Ā11l
354
360
336
WEm
LSGLi
356
A11l
A11l
338

图 14

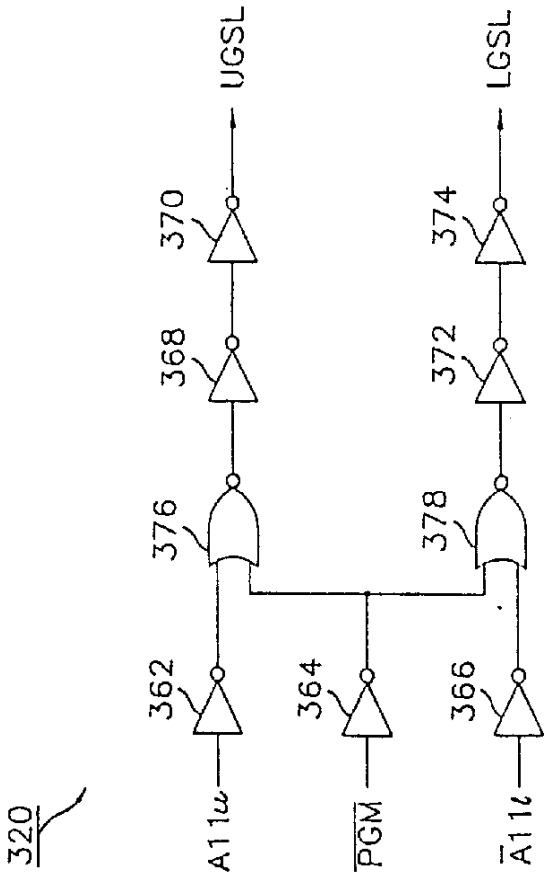


图 15

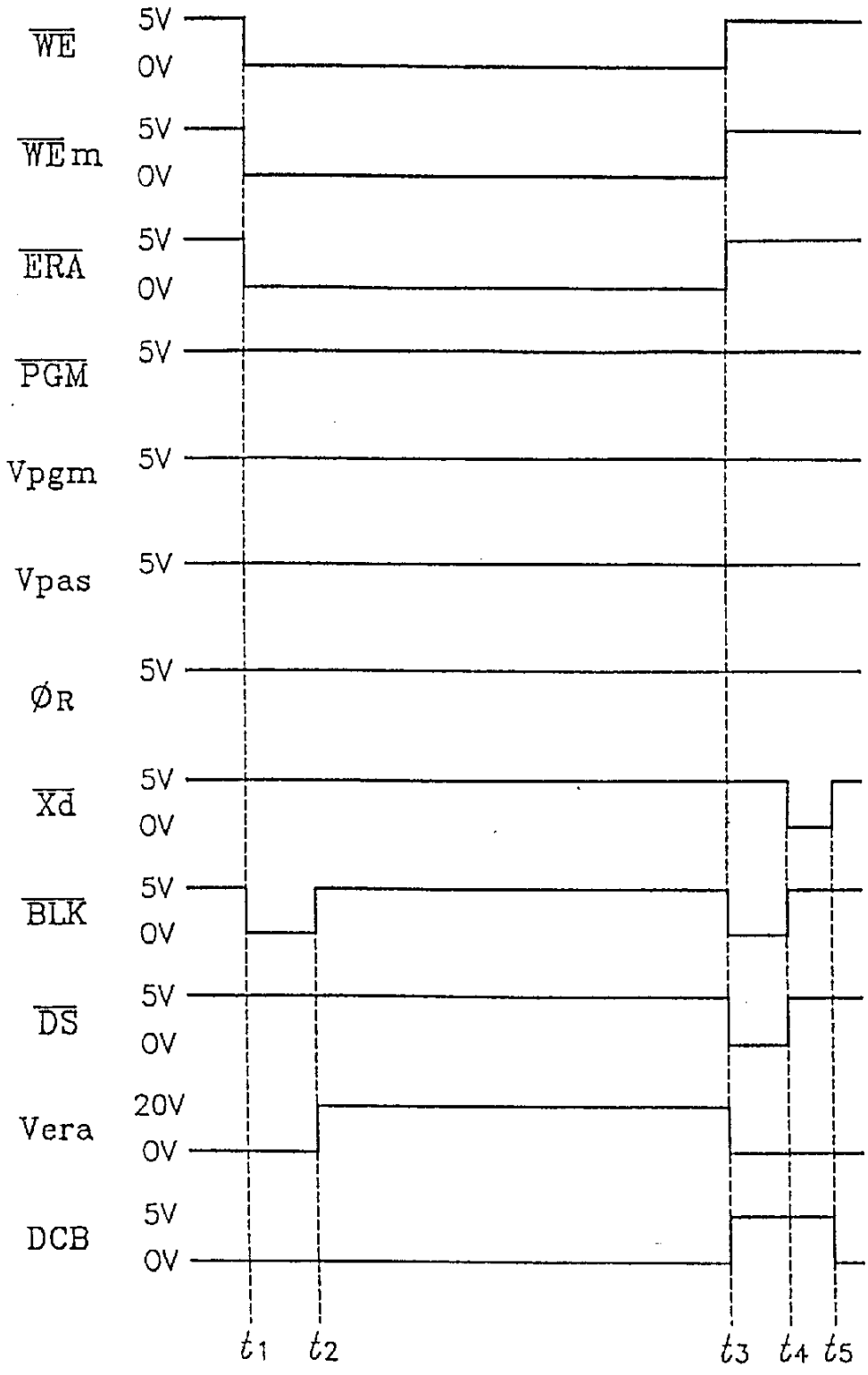

WE
WEm
ERA
PGM
Vpgm
Vpas
ØR
Xd
BLK
DS
Vera
DCB
5V
0V
20V
t1
t2
t3
t4
t5

图 16

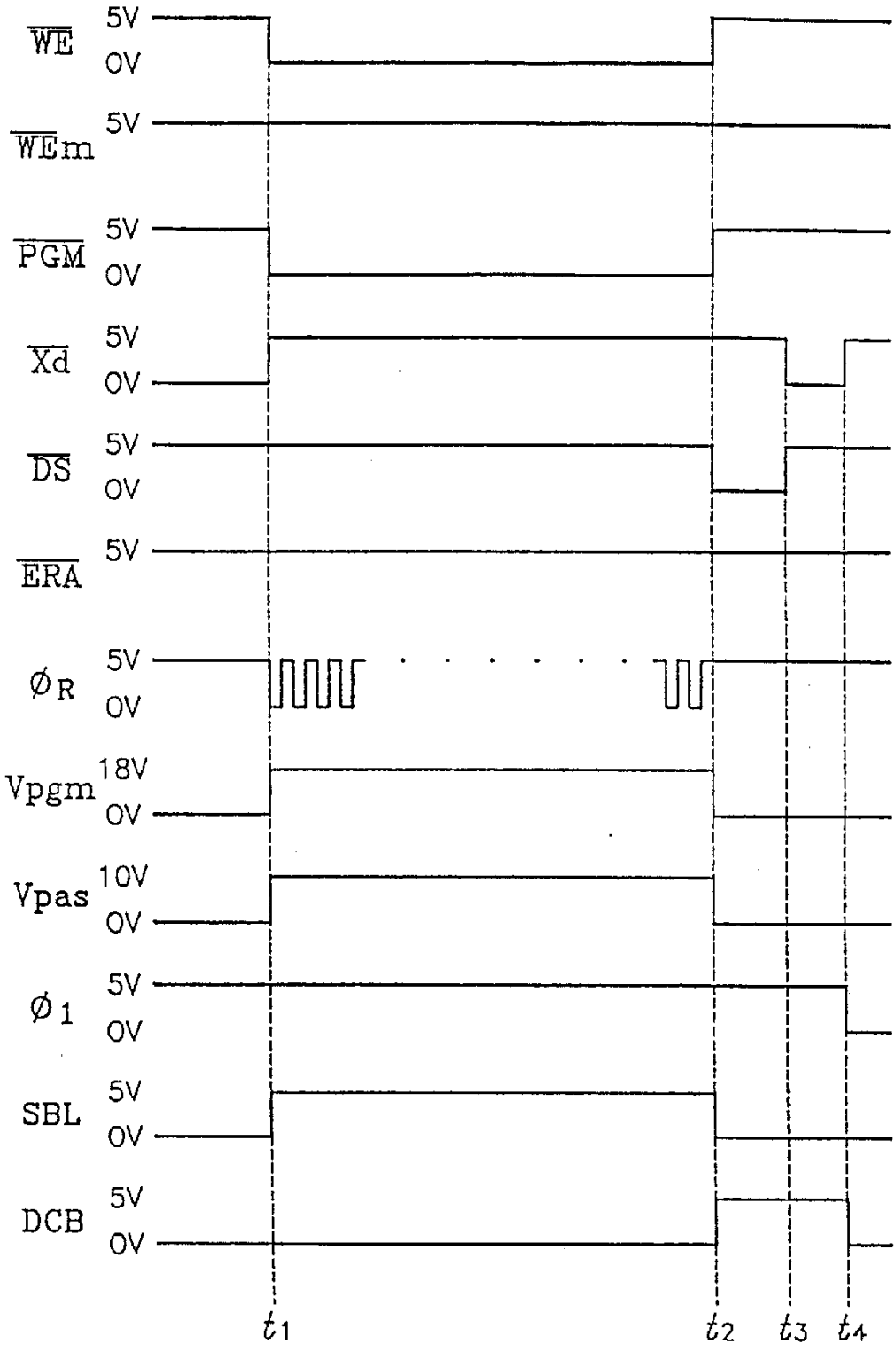

$\overline{WE}$
5V
0V
$\overline{WE}$m
5V
$\overline{PGM}$
5V
0V
$\overline{Xd}$
5V
0V
$\overline{DS}$
5V
0V
$\overline{ERA}$
5V
ϕ_R
5V
0V
Vpgm
18V
0V
Vpas
10V
0V
ϕ_1
5V
0V
SBL
5V
0V
DCB
5V
0V
t_1
t_2
t_3
t_4

图 17

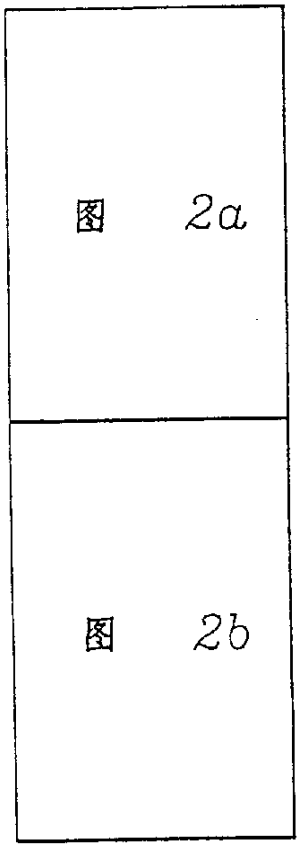


图 2

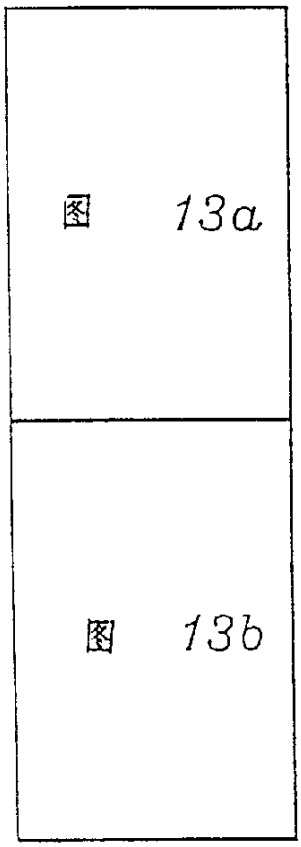


图 13

图 18