



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2024년12월30일

(11) 등록번호 10-2748818

(24) 등록일자 2024년12월26일

(51) 국제특허분류(Int. Cl.)

H10B 41/20 (2023.01) G11C 16/04 (2006.01)

H01L 27/12 (2006.01) H10B 41/10 (2023.01)

H10B 41/35 (2023.01) H10B 41/70 (2023.01)

(52) CPC특허분류

H10B 41/20 (2023.02)

G11C 16/0433 (2013.01)

(21) 출원번호 10-2023-7029899(분할)

(22) 출원일자(국제) 2010년10월07일

심사청구일자 2023년09월01일

(85) 번역문제출일자 2023년09월01일

(65) 공개번호 10-2023-0130172

(43) 공개일자 2023년09월11일

(62) 원출원 특허 10-2022-7036408

원출원일자(국제) 2010년10월07일

심사청구일자 2022년11월17일

(86) 국제출원번호 PCT/JP2010/068103

(87) 국제공개번호 WO 2011/052396

국제공개일자 2011년05월05일

(30) 우선권주장

JP-P-2009-249330 2009년10월29일 일본(JP)

JP-P-2010-012619 2010년01월22일 일본(JP)

(56) 선행기술조사문헌

JP2001093988 A

JP2002368226 A

JP2009135350 A

(73) 특허권자

가부시킴가이샤 한도오파이 에네루기 켄큐쇼

일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자

야마자키 순페이

일본국 2430036 가나가와켄 아쓰기시 하세 398 가
부시킴가이샤 한도오파이 에네루기 켄큐쇼 내

(74) 대리인

황의만

전체 청구항 수 : 총 27 항

심사관 : 김려원

(54) 발명의 명칭 반도체 장치

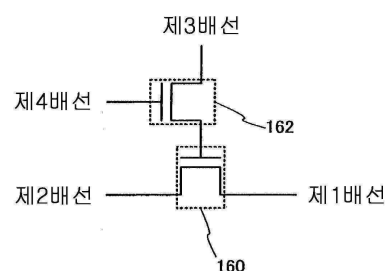
(57) 요약

본 발명은, 전력이 공급되지 않는 상황에서도 기억 내용의 보유가 가능하고, 또한, 기입 횟수에도 제한이 없는 반도체 장치를 제공하는 것을 과제로 한다.

제 1 배선, 제 2 배선, 제 3 배선, 제 4 배선, 제 1 트랜지스터(160), 제 2 트랜지스터(162)를 가지고, 제 1 트

(뒷면에 계속)

대표도 - 도1



랜지스터(160)는 반도체 재료를 포함하는 기판에 설치되고, 제 2 트랜지스터(162)는 산화물 반도체층을 포함하여 구성되고, 제 1 트랜지스터(160)의 게이트 전극과 제 2 트랜지스터(162)의 소스·드레인 전극은 전기적으로 접속되고, 제 1 배선과 제 1 트랜지스터(160)의 소스 전극은 전기적으로 접속되고, 제 2 배선과 제 1 트랜지스터(160)의 드레인 전극은 전기적으로 접속되고, 제 3 배선과 제 2 트랜지스터(162)의 소스·드레인 전극의 다른 한 쪽은 전기적으로 접속되고, 제 4 배선과 제 2 트랜지스터(162)의 게이트 전극은 전기적으로 접속된다.

(52) CPC특허분류

H01L 27/1225 (2013.01)

H10B 41/10 (2023.02)

H10B 41/35 (2023.02)

H10B 41/70 (2023.02)

명세서

청구범위

청구항 1

반도체 장치로서,

제 1 트랜지스터 및 제 2 트랜지스터를 가지고,

상기 제 1 트랜지스터의 소스 또는 드레인은 상기 제 2 트랜지스터의 게이트 전극과 전기적으로 접속되고,

상기 제 1 트랜지스터는 산화물 반도체층에 채널 형성 영역을 가지고,

상기 산화물 반도체층은 c축이 상기 산화물 반도체층의 표면에 수직인 방향을 취하도록 배향한 결정을 가지고,

상기 제 1 트랜지스터는 드레인 전압이 +1 V 또는 +10 V, 게이트 전압이 -5 V에서 -20 V의 범위에서, 오프 전류가 1×10^{-13} A 이하이며,

상기 제 1 트랜지스터가 온 상태가 됨으로써 상기 제 2 트랜지스터의 게이트 전극에 전위가 부여된 후, 상기 제 1 트랜지스터가 오프 상태가 됨으로써 상기 제 2 트랜지스터의 게이트 전극의 전위가 보유되는, 반도체 장치.

청구항 2

반도체 장치로서,

제 1 트랜지스터 및 제 2 트랜지스터를 가지고,

상기 제 1 트랜지스터의 소스 또는 드레인은 상기 제 2 트랜지스터의 게이트 전극과 전기적으로 접속되고,

상기 제 1 트랜지스터의 소스 또는 드레인과 상기 제 2 트랜지스터의 게이트 전극이 전기적으로 접속되는 플로팅 게이트부를 가지고,

상기 제 1 트랜지스터는 산화물 반도체층에 채널 형성 영역을 가지고,

상기 산화물 반도체층은 c축이 상기 산화물 반도체층의 표면에 수직인 방향을 취하도록 배향한 결정을 가지고,

상기 제 1 트랜지스터는 드레인 전압이 +1 V 또는 +10 V, 게이트 전압이 -5 V에서 -20 V의 범위에서, 오프 전류가 1×10^{-13} A 이하인, 반도체 장치.

청구항 3

삭제

청구항 4

반도체 장치로서,

제 1 트랜지스터 및 제 2 트랜지스터를 가지고,

상기 제 1 트랜지스터의 소스 또는 드레인은 상기 제 2 트랜지스터의 게이트 전극과 전기적으로 접속되고,

상기 제 1 트랜지스터는 산화물 반도체층에 채널 형성 영역을 가지고,

상기 산화물 반도체층은 c축이 상기 산화물 반도체층의 표면에 수직인 방향을 취하도록 배향한 결정을 가지고,

상기 제 1 트랜지스터는 드레인 전압이 +1 V 또는 +10 V, 게이트 전압이 -5 V에서 -20 V의 범위에서, 오프 전류가 1×10^{-13} A 이하이며,

상기 제 2 트랜지스터의 게이트 전극과 전기적으로 접속된 용량 소자를 가지고,

상기 제 1 트랜지스터가 온 상태가 됨으로써 상기 제 2 트랜지스터의 게이트 전극에 전위가 부여된 후, 상기 제

1 트랜지스터가 오프 상태가 됨으로써 상기 제 2 트랜지스터의 게이트 전극의 전위가 보유되는, 반도체 장치.

청구항 5

반도체 장치로서,

제 1 트랜지스터 및 제 2 트랜지스터를 가지고,

상기 제 1 트랜지스터의 소스 또는 드레인은 상기 제 2 트랜지스터의 게이트 전극과 전기적으로 접속되고,

상기 제 1 트랜지스터는 산화물 반도체층에 채널 형성 영역을 가지고,

상기 산화물 반도체층은 i형 또는 실질적으로 i형인 영역을 가지고,

상기 산화물 반도체층은 c축이 상기 산화물 반도체층의 표면에 수직인 방향을 취하도록 배향한 결정을 가지고,

상기 제 1 트랜지스터는 드레인 전압이 +1 V 또는 +10 V, 게이트 전압이 -5 V에서 -20 V의 범위에서, 오프 전류가 1×10^{-13} A 이하이며,

상기 제 1 트랜지스터가 온 상태가 됨으로써 상기 제 2 트랜지스터의 게이트 전극에 전위가 부여된 후, 상기 제 1 트랜지스터가 오프 상태가 됨으로써 상기 제 2 트랜지스터의 게이트 전극의 전위가 보유되는, 반도체 장치.

청구항 6

반도체 장치로서,

제 1 트랜지스터 및 제 2 트랜지스터를 가지고,

상기 제 1 트랜지스터의 소스 또는 드레인은 상기 제 2 트랜지스터의 게이트 전극과 전기적으로 접속되고,

상기 제 1 트랜지스터는 산화물 반도체층에 채널 형성 영역을 가지고,

상기 산화물 반도체층은 c축이 상기 산화물 반도체층의 표면에 수직인 방향을 취하도록 배향한 결정을 가지고,

상기 산화물 반도체층은 2차 이온 질량분석법으로 측정된 수소 농도가 5×10^{19} atoms/cm³ 이하이고,

상기 제 1 트랜지스터는 드레인 전압이 +1 V 또는 +10 V, 게이트 전압이 -5 V에서 -20 V의 범위에서, 오프 전류가 1×10^{-13} A 이하이며,

상기 제 1 트랜지스터가 온 상태가 됨으로써 상기 제 2 트랜지스터의 게이트 전극에 전위가 부여된 후, 상기 제 1 트랜지스터가 오프 상태가 됨으로써 상기 제 2 트랜지스터의 게이트 전극의 전위가 보유되는, 반도체 장치.

청구항 7

반도체 장치로서,

제 1 트랜지스터 및 제 2 트랜지스터를 가지고,

상기 제 1 트랜지스터의 소스 또는 드레인은 상기 제 2 트랜지스터의 게이트 전극과 전기적으로 접속되고,

상기 제 1 트랜지스터의 소스 또는 드레인과 상기 제 2 트랜지스터의 게이트 전극이 전기적으로 접속되는 플로팅 게이트부를 가지고,

상기 제 1 트랜지스터는 산화물 반도체층에 채널 형성 영역을 가지고,

상기 산화물 반도체층은 c축이 상기 산화물 반도체층의 표면에 수직인 방향을 취하도록 배향한 결정을 가지고,

상기 산화물 반도체층은 2차 이온 질량분석법으로 측정된 수소 농도가 5×10^{19} atoms/cm³ 이하이며,

상기 제 1 트랜지스터는 드레인 전압이 +1 V 또는 +10 V, 게이트 전압이 -5 V에서 -20 V의 범위에서, 오프 전류가 1×10^{-13} A 이하인, 반도체 장치.

청구항 8

삭제

청구항 9

반도체 장치로서,

제 1 트랜지스터 및 제 2 트랜지스터를 가지고,

상기 제 1 트랜지스터의 소스 또는 드레인은 상기 제 2 트랜지스터의 게이트 전극과 전기적으로 접속되고,

상기 제 1 트랜지스터는 산화물 반도체층에 채널 형성 영역을 가지고,

상기 산화물 반도체층은 c축이 상기 산화물 반도체층의 표면에 수직인 방향을 취하도록 배향한 결정을 가지고,

상기 산화물 반도체층은 2차 이온 질량분석법으로 측정한 수소 농도가 5×10^{19} atoms/cm³ 이하이고,

상기 제 1 트랜지스터는 드레인 전압이 +1 V 또는 +10 V, 게이트 전압이 -5 V에서 -20 V의 범위에서, 오프 전류가 1×10^{-13} A 이하이며,

상기 제 2 트랜지스터의 게이트 전극과 전기적으로 접속된 용량 소자를 가지고,

상기 제 1 트랜지스터가 온 상태가 됨으로써 상기 제 2 트랜지스터의 게이트 전극에 전위가 부여된 후, 상기 제 1 트랜지스터가 오프 상태가 됨으로써 상기 제 2 트랜지스터의 게이트 전극의 전위가 보유되는, 반도체 장치.

청구항 10

반도체 장치로서,

제 1 트랜지스터 및 제 2 트랜지스터를 가지고,

상기 제 1 트랜지스터의 소스 또는 드레인은 상기 제 2 트랜지스터의 게이트 전극과 전기적으로 접속되고,

상기 제 1 트랜지스터는 산화물 반도체층에 채널 형성 영역을 가지고,

상기 산화물 반도체층은 i형 또는 실질적으로 i형인 영역을 가지고,

상기 산화물 반도체층은 c축이 상기 산화물 반도체층의 표면에 수직인 방향을 취하도록 배향한 결정을 가지고,

상기 산화물 반도체층은 2차 이온 질량분석법으로 측정한 수소 농도가 5×10^{19} atoms/cm³ 이하이고,

상기 제 1 트랜지스터는 드레인 전압이 +1 V 또는 +10 V, 게이트 전압이 -5 V에서 -20 V의 범위에서, 오프 전류가 1×10^{-13} A 이하이며,

상기 제 1 트랜지스터가 온 상태가 됨으로써 상기 제 2 트랜지스터의 게이트 전극에 전위가 부여된 후, 상기 제 1 트랜지스터가 오프 상태가 됨으로써 상기 제 2 트랜지스터의 게이트 전극의 전위가 보유되는, 반도체 장치.

청구항 11

제 1 항, 제 2 항, 제 4 항 내지 제 7 항, 제 9 항, 및 제 10 항 중 어느 한 항에 있어서,

상기 제 1 트랜지스터는 25℃에서의 단위 채널폭당의 오프 전류가 10 zA/μm 이하인, 반도체 장치.

청구항 12

제 1 항, 제 2 항, 제 4 항 내지 제 7 항, 제 9 항, 및 제 10 항 중 어느 한 항에 있어서,

상기 제 1 트랜지스터는 85℃에서의 단위 채널폭당의 오프 전류가 100 zA/μm 이하인, 반도체 장치.

청구항 13

삭제

청구항 14

제 1 항, 제 2 항, 제 4 항 내지 제 7 항, 제 9 항, 및 제 10 항 중 어느 한 항에 있어서,

상기 산화물 반도체층은 In-Ga-Zn-O계, In-Sn-Zn-O계, In-Al-Zn-O계, Sn-Ga-Zn-O계, Al-Ga-Zn-O계, Sn-Al-Zn-O계, In-Zn-O계, Sn-Zn-O계, Al-Zn-O계, In-O계, Sn-O계, 또는 Zn-O계의 산화물 반도체층인, 반도체 장치.

청구항 15

제 1 항, 제 2 항, 제 4 항 내지 제 7 항, 제 9 항, 및 제 10 항 중 어느 한 항에 있어서,

상기 제 2 트랜지스터는 채널 형성 영역에 실리콘을 가지는, 반도체 장치.

청구항 16

제 1 트랜지스터 및 제 2 트랜지스터를 가지는 메모리 셀로서,

상기 제 1 트랜지스터의 소스 또는 드레인은 상기 제 2 트랜지스터의 게이트 전극과 전기적으로 접속되고,

상기 제 1 트랜지스터는 산화물 반도체층에 채널 형성 영역을 가지고,

상기 산화물 반도체층은 c축이 상기 산화물 반도체층의 표면에 수직인 방향을 취하도록 배향한 결정을 가지고,

상기 제 1 트랜지스터는 드레인 전압이 +1 V 또는 +10 V, 게이트 전압이 -5 V에서 -20 V의 범위에서, 오프 전류가 1×10^{-13} A 이하이고,

상기 제 1 트랜지스터가 온 상태가 됨으로써 상기 제 2 트랜지스터의 게이트 전극에 전위가 부여된 후, 상기 제 1 트랜지스터가 오프 상태가 됨으로써 상기 제 2 트랜지스터의 게이트 전극의 전위가 보유되는, 메모리 셀.

청구항 17

제 1 트랜지스터 및 제 2 트랜지스터를 가지는 메모리 셀로서,

상기 제 1 트랜지스터의 소스 또는 드레인은 상기 제 2 트랜지스터의 게이트 전극과 전기적으로 접속되고,

상기 제 1 트랜지스터의 소스 또는 드레인과 상기 제 2 트랜지스터의 게이트 전극이 전기적으로 접속되는 플로팅 게이트부를 가지고,

상기 제 1 트랜지스터는 산화물 반도체층에 채널 형성 영역을 가지고,

상기 산화물 반도체층은 c축이 상기 산화물 반도체층의 표면에 수직인 방향을 취하도록 배향한 결정을 가지고,

상기 제 1 트랜지스터는 드레인 전압이 +1 V 또는 +10 V, 게이트 전압이 -5 V에서 -20 V의 범위에서, 오프 전류가 1×10^{-13} A 이하인, 메모리 셀.

청구항 18

삭제

청구항 19

제 1 트랜지스터 및 제 2 트랜지스터를 가지는 메모리 셀로서,

상기 제 1 트랜지스터의 소스 또는 드레인은 상기 제 2 트랜지스터의 게이트 전극과 전기적으로 접속되고,

상기 제 1 트랜지스터는 산화물 반도체층에 채널 형성 영역을 가지고,

상기 산화물 반도체층은 c축이 상기 산화물 반도체층의 표면에 수직인 방향을 취하도록 배향한 결정을 가지고,

상기 제 1 트랜지스터는 드레인 전압이 +1 V 또는 +10 V, 게이트 전압이 -5 V에서 -20 V의 범위에서, 오프 전류가 1×10^{-13} A 이하이며,

상기 제 2 트랜지스터의 게이트 전극과 전기적으로 접속된 용량 소자를 가지고,

상기 제 1 트랜지스터가 온 상태가 됨으로써 상기 제 2 트랜지스터의 게이트 전극에 전위가 부여된 후, 상기 제 1 트랜지스터가 오프 상태가 됨으로써 상기 제 2 트랜지스터의 게이트 전극의 전위가 보유되는, 메모리 셀.

청구항 20

제 1 트랜지스터 및 제 2 트랜지스터를 가지는 메모리 셀로서,

상기 제 1 트랜지스터의 소스 또는 드레인은 상기 제 2 트랜지스터의 게이트 전극과 전기적으로 접속되고,

상기 제 1 트랜지스터는 산화물 반도체층에 채널 형성 영역을 가지고,

상기 산화물 반도체층은 i형 또는 실질적으로 i형인 영역을 가지고,

상기 산화물 반도체층은 c축이 상기 산화물 반도체층의 표면에 수직인 방향을 취하도록 배향한 결정을 가지고,

상기 제 1 트랜지스터는 드레인 전압이 +1 V 또는 +10 V, 게이트 전압이 -5 V에서 -20 V의 범위에서, 오프 전류가 1×10^{-13} A 이하이며,

상기 제 1 트랜지스터가 온 상태가 됨으로써 상기 제 2 트랜지스터의 게이트 전극에 전위가 부여된 후, 상기 제 1 트랜지스터가 오프 상태가 됨으로써 상기 제 2 트랜지스터의 게이트 전극의 전위가 보유되는, 메모리 셀.

청구항 21

제 1 트랜지스터 및 제 2 트랜지스터를 가지는 메모리 셀로서,

상기 제 1 트랜지스터의 소스 또는 드레인은 상기 제 2 트랜지스터의 게이트 전극과 전기적으로 접속되고,

상기 제 1 트랜지스터는 산화물 반도체층에 채널 형성 영역을 가지고,

상기 산화물 반도체층은 c축이 상기 산화물 반도체층의 표면에 수직인 방향을 취하도록 배향한 결정을 가지고,

상기 산화물 반도체층은 2차 이온 질량분석법으로 측정된 수소 농도가 5×10^{19} atoms/cm³ 이하이며,

상기 제 1 트랜지스터는 드레인 전압이 +1 V 또는 +10 V, 게이트 전압이 -5 V에서 -20 V의 범위에서, 오프 전류가 1×10^{-13} A 이하이며,

상기 제 1 트랜지스터가 온 상태가 됨으로써 상기 제 2 트랜지스터의 게이트 전극에 전위가 부여된 후, 상기 제 1 트랜지스터가 오프 상태가 됨으로써 상기 제 2 트랜지스터의 게이트 전극의 전위가 보유되는, 메모리 셀.

청구항 22

제 1 트랜지스터 및 제 2 트랜지스터를 가지는 메모리 셀로서,

상기 제 1 트랜지스터의 소스 또는 드레인은 상기 제 2 트랜지스터의 게이트 전극과 전기적으로 접속되고,

상기 제 1 트랜지스터의 소스 또는 드레인과 상기 제 2 트랜지스터의 게이트 전극이 전기적으로 접속되는 플로팅 게이트부를 가지고,

상기 제 1 트랜지스터는 산화물 반도체층에 채널 형성 영역을 가지고,

상기 산화물 반도체층은 c축이 상기 산화물 반도체층의 표면에 수직인 방향을 취하도록 배향한 결정을 가지고,

상기 산화물 반도체층은 2차 이온 질량분석법으로 측정된 수소 농도가 5×10^{19} atoms/cm³ 이하이며,

상기 제 1 트랜지스터는 드레인 전압이 +1 V 또는 +10 V, 게이트 전압이 -5 V에서 -20 V의 범위에서, 오프 전류가 1×10^{-13} A 이하인, 메모리 셀.

청구항 23

삭제

청구항 24

제 1 트랜지스터 및 제 2 트랜지스터를 가지는 메모리 셀로서,

상기 제 1 트랜지스터의 소스 또는 드레인은 상기 제 2 트랜지스터의 게이트 전극과 전기적으로 접속되고,

상기 제 1 트랜지스터는 산화물 반도체층에 채널 형성 영역을 가지고,

상기 산화물 반도체층은 c축이 상기 산화물 반도체층의 표면에 수직인 방향을 취하도록 배향한 결정을 가지고,

상기 산화물 반도체층은 2차 이온 질량분석법으로 측정된 수소 농도가 $5 \times 10^{19} \text{ atoms/cm}^3$ 이하이며,

상기 제 1 트랜지스터는 드레인 전압이 +1 V 또는 +10 V, 게이트 전압이 -5 V에서 -20 V의 범위에서, 오프 전류가 $1 \times 10^{-13} \text{ A}$ 이하이며,

상기 제 2 트랜지스터의 게이트 전극과 전기적으로 접속된 용량 소자를 가지고,

상기 제 1 트랜지스터가 온 상태가 됨으로써 상기 제 2 트랜지스터의 게이트 전극에 전위가 부여된 후, 상기 제 1 트랜지스터가 오프 상태가 됨으로써 상기 제 2 트랜지스터의 게이트 전극의 전위가 보유되는, 메모리 셀.

청구항 25

제 1 트랜지스터 및 제 2 트랜지스터를 가지는 메모리 셀로서,

상기 제 1 트랜지스터의 소스 또는 드레인은 상기 제 2 트랜지스터의 게이트 전극과 전기적으로 접속되고,

상기 제 1 트랜지스터는 산화물 반도체층에 채널 형성 영역을 가지고,

상기 산화물 반도체층은 i형 또는 실질적으로 i형인 영역을 가지고,

상기 산화물 반도체층은 c축이 상기 산화물 반도체층의 표면에 수직인 방향을 취하도록 배향한 결정을 가지고,

상기 산화물 반도체층은 2차 이온 질량분석법으로 측정된 수소 농도가 $5 \times 10^{19} \text{ atoms/cm}^3$ 이하이며,

상기 제 1 트랜지스터는 드레인 전압이 +1 V 또는 +10 V, 게이트 전압이 -5 V에서 -20 V의 범위에서, 오프 전류가 $1 \times 10^{-13} \text{ A}$ 이하이며,

상기 제 1 트랜지스터가 온 상태가 됨으로써 상기 제 2 트랜지스터의 게이트 전극에 전위가 부여된 후, 상기 제 1 트랜지스터가 오프 상태가 됨으로써 상기 제 2 트랜지스터의 게이트 전극의 전위가 보유되는, 메모리 셀.

청구항 26

제 16 항, 제 17 항, 제 19 항 내지 제 22 항, 제 24 항, 및 제 25 항 중 어느 한 항에 있어서,

상기 제 1 트랜지스터는 25℃에서의 단위 채널폭당의 오프 전류가 $10 \text{ zA}/\mu\text{m}$ 이하인, 메모리 셀.

청구항 27

제 16 항, 제 17 항, 제 19 항 내지 제 22 항, 제 24 항, 및 제 25 항 중 어느 한 항에 있어서,

상기 제 1 트랜지스터는 85℃에서의 단위 채널폭당의 오프 전류가 $100 \text{ zA}/\mu\text{m}$ 이하인, 메모리 셀.

청구항 28

삭제

청구항 29

제 16 항, 제 17 항, 제 19 항 내지 제 22 항, 제 24 항, 및 제 25 항 중 어느 한 항에 있어서,

상기 산화물 반도체층은 In-Ga-Zn-O계, In-Sn-Zn-O계, In-Al-Zn-O계, Sn-Ga-Zn-O계, Al-Ga-Zn-O계, Sn-Al-Zn-O계, In-Zn-O계, Sn-Zn-O계, Al-Zn-O계, In-O계, Sn-O계, 또는 Zn-O계의 산화물 반도체층인, 메모리 셀.

청구항 30

제 16 항, 제 17 항, 제 19 항 내지 제 22 항, 제 24 항, 및 제 25 항 중 어느 한 항에 있어서,

상기 제 2 트랜지스터는 채널 형성 영역에 실리콘을 가지는, 메모리 셀.

청구항 31

제 16 항, 제 17 항, 제 19 항 내지 제 22 항, 제 24 항, 및 제 25 항 중 어느 한 항에 기재된 메모리 셀을 가

지는, 메모리 셀 어레이.

청구항 32

제 16 항, 제 17 항, 제 19 항 내지 제 22 항, 제 24 항, 및 제 25 항 중 어느 한 항에 기재된 메모리 셀을 복수 가지고,

상기 복수의 메모리 셀은 매트릭스 형상으로 배치되어 있는, 메모리 셀 어레이.

청구항 33

제 16 항, 제 17 항, 제 19 항 내지 제 22 항, 제 24 항, 및 제 25 항 중 어느 한 항에 기재된 메모리 셀을 가지는, 불휘발성 메모리.

발명의 설명

기술 분야

[0001] 개시하는 발명은, 반도체 소자를 이용한 반도체 장치 및 그 제작 방법에 관한 것이다.

배경 기술

[0002] 반도체 소자를 이용한 기억 장치는, 전력의 공급이 끊기면 기억 내용이 사라지는 휘발성 기억 장치와 전력의 공급이 끊어져도 기억 내용은 보유되는 불휘발성 기억 장치로 크게 구별된다.

[0003] 휘발성 기억 장치의 대표적인 예로서는, DRAM(Dynamic Random Access Memory)가 있다. DRAM은 기억 소자를 구성하는 트랜지스터를 선택하여 커패시터에 전하를 축적함으로써, 정보를 기억한다.

[0004] 상술한 원리로부터, DRAM에서는 정보를 읽어내면 커패시터의 전하는 없어지게 되기 때문에, 데이터의 읽을 때마다, 재차의 기입 동작이 필요하게 된다. 또한, 기억 소자를 구성하는 트랜지스터에는 리크 전류가 존재하고, 트랜지스터가 선택되어 있지 않은 상황에서도 전하가 유출, 또는 유입되기 때문에, 데이터의 보유 기간이 짧다. 따라서, 소정의 주기로 재차의 기입 동작(리프레시 동작)이 필요하고, 소비 전력을 충분히 저감하는 것은 곤란하다. 또한, 전력의 공급이 끊어지면 기억 내용이 사라지기 때문에, 장기간의 기억의 보유에는, 자성 재료나 광학 재료를 이용한 다른 기억 장치가 필요하게 된다.

[0005] 휘발성 기억 장치의 다른 예로서는 SRAM(Static Random Access Memory)이 있다. SRAM은 플립플롭 등의 회로를 이용하여 기억 내용을 보유하기 때문에, 리프레시 동작이 불필요하고, 이 점에서는 DRAM보다 유리하다. 그러나, 플립플롭 등의 회로를 이용하고 있기 때문에, 기억 용량당의 단가가 높아진다는 문제가 있다. 또한, 전력의 공급이 끊어지면 기억 내용이 사라진다는 점에 대해서는, DRAM과 다른 점은 없다.

[0006] 불휘발성 기억 장치의 대표예로서는, 플래시 메모리가 있다. 플래시 메모리는 트랜지스터의 게이트 전극과 채널 형성 영역과의 사이에 플로팅 게이트를 가지고, 이 플로팅 게이트에 전하를 보유시킴으로써 기억을 행하기 때문에 데이터의 보유 기간은 매우 길고(반영구적), 휘발성 기억 장치에 필요한 리프레시 동작이 불필요하다는 이점을 가지고 있다(예를 들면, 특허문헌 1 참조).

[0007] 그러나, 기입 시에 생기는 터널 전류에 의해 기억 소자를 구성하는 게이트 절연층이 열화하기 때문에, 기입을 몇 번이나 반복함으로써, 기억 소자가 기능하지 않게 된다는 문제가 생긴다. 이 문제를 회피하기 위해, 예를 들면, 각 기억 소자의 기입 횟수를 균일화하는 방법이 채택되지만, 이것을 실현하기 위해서는, 복잡한 주변 회로가 필요하게 된다. 그리고, 이러한 방법을 채용하더라도, 근본적인 수명의 문제가 해소되는 것은 아니다. 즉, 플래시 메모리는 정보의 다시쓰기 빈도가 높은 용도에는 적합하지 않다.

[0008] 또한, 플로팅 게이트에 전하를 주입하거나, 또는, 그 전하를 제거하기 위해서는 높은 전압이 필요하다. 또한 전하의 주입, 또는 제거를 위해서는 비교적 긴 시간을 필요로 하고, 기입, 소거의 고속화가 용이하지 않다는 문제도 있다.

선행기술문헌

특허문헌

[0009] (특허문헌 0001) 일본국 특개소 57-105889호 공보

발명의 내용

해결하려는 과제

[0010] 상술한 문제를 감안하여, 개시하는 발명의 일 양태에서는, 전력이 공급되지 않는 상황에서도 기억 내용의 보유가 가능하고, 기입 횟수에도 제한이 없는 새로운 구조의 반도체 장치를 제공하는 것을 목적의 하나로 한다.

과제의 해결 수단

[0011] 본 발명의 일 양태는, 산화물 반도체를 이용하여 형성되는 트랜지스터와, 그 이외의 재료를 이용하여 형성되는 트랜지스터와의 적층 구조에 관한 반도체 장치이다. 예를 들면, 다음과 같은 구성을 채용할 수 있다.

[0012] 본 발명의 일 양태는, 제 1 배선(소스선)과, 제 2 배선(비트선)과, 제 3 배선(제 1 신호선)과, 제 4 배선(제 2 신호선)과, 제 1 게이트 전극, 제 1 소스 전극, 및 제 1 드레인 전극을 가지는 제 1 트랜지스터와, 제 2 게이트 전극, 제 2 소스 전극, 및 제 2 드레인 전극을 가지는 제 2 트랜지스터를 가지고, 제 1 트랜지스터는 반도체 재료를 포함하는 기관에 설치되고, 제 2 트랜지스터는 산화물 반도체층을 포함하여 구성되고, 제 1 게이트 전극과 제 2 소스 전극 또는 제 2 드레인 전극의 한쪽은 전기적으로 접속되고, 제 1 배선(소스선)과 제 1 소스 전극은 전기적으로 접속되고, 제 2 배선(비트선)과 제 1 드레인 전극은 전기적으로 접속되고, 제 3 배선(제 1 신호선)과 제 2 소스 전극 또는 제 2 드레인 전극의 다른 한쪽은 전기적으로 접속되고, 제 4 배선(제 2 신호선)과 제 2 게이트 전극은 전기적으로 접속된 반도체 장치이다.

[0013] 상기에 있어서, 제 1 트랜지스터는 반도체 재료를 포함하는 기관에 형성된 채널 형성 영역과, 채널 형성 영역을 끼우도록 형성된 불순물 영역과, 채널 형성 영역 위의 제 1 게이트 절연층과, 제 1 게이트 절연층 위의 제 1 게이트 전극과, 불순물 영역과 전기적으로 접속하는 제 1 소스 전극 및 제 1 드레인 전극을 가진다.

[0014] 또한, 상기에 있어서, 제 2 트랜지스터는 반도체 재료를 포함하는 기관 위의 제 2 게이트 전극과, 제 2 게이트 전극 위의 제 2 게이트 절연층과, 제 2 게이트 절연층 위의 산화물 반도체층과, 산화물 반도체층과 전기적으로 접속하는 제 2 소스 전극 및 제 2 드레인 전극을 가진다.

[0015] 또한, 상기에 있어서, 반도체 재료를 포함하는 기관으로서, 단결정 반도체 기관 또는 SOI 기관을 채용하는 것이 적합하다. 특히, 반도체 재료는 실리콘으로 하는 것이 적합하다.

[0016] 또한, 상기에 있어서, 산화물 반도체층은 In-Ga-Zn-O계의 산화물 반도체 재료를 포함하는 것이 적합하다. 특히, 산화물 반도체층은 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 의 결정을 포함하는 것이 적합하다. 또한, 산화물 반도체층의 수소 농도는 $5 \times 10^{19} \text{ atoms/cm}^3$ 이하로 하는 것이 적합하다. 또한, 제 2 트랜지스터의 오프 전류는 $1 \times 10^{-13} \text{ A}$ 이하로 하는 것이 적합하다. 또한, 제 2 트랜지스터의 오프 전류는 $1 \times 10^{-20} \text{ A}$ 이하로 하면 보다 적합하다.

[0017] 또한, 상기에 있어서, 제 2 트랜지스터는 제 1 트랜지스터와 중첩하는 영역에 설치된 구성으로 할 수 있다.

[0018] 또한, 본 명세서에서 「위」나 「아래」라는 용어는, 구성 요소의 위치 관계가 「바로 위」또는 「바로 아래」인 것을 한정하는 것은 아니다. 예를 들면, 「게이트 절연층 위의 제 1 게이트 전극」이라는 표현이라면, 게이트 절연층과 게이트 전극과의 사이에 다른 구성 요소를 포함하는 것을 제외하지 않는다. 또한, 「위」와 「아래」라는 용어는 설명의 편의를 위해 이용하는 표현에 지나지 않고, 특별히 언급하는 경우를 제외하고, 그 위아래를 바꾼 것도 포함한다.

[0019] 또한, 본 명세서에서 「전극」이나 「배선(line)」이라는 용어는, 이러한 구성 요소를 기능적으로 한정하는 것은 아니다. 예를 들면, 「전극」은 「배선」의 일부로서 이용되는 일이 있고, 그 반대로 또한 마찬가지이다. 또한 「전극」이나 「배선」이라는 용어는 복수의 「전극」이나 「배선」이 일체가 되어 형성되어 있는 경우 등도 포함한다.

[0020] 또한, 「소스」나 「드레인」의 기능은 다른 극성의 트랜지스터를 채용하는 경우나, 회로 동작에서 전류의 방향이 변화하는 경우 등에는 바뀌는 일이 있다. 따라서, 본 명세서에서는 「소스」나 「드레인」이라는 용어는 바꾸어 이용할 수 있는 것으로 한다.

[0021] 또한, 본 명세서에서, 「전기적으로 접속」에는 성분들이 「어떠한 전기적 작용을 가지는 것」을 통하여 접속되는 경우가 포함된다. 여기서, 「어떠한 전기적 작용을 가지는 것」은 접속 대상 간에서의 전기 신호의 송수신을 가능하게 하는 것이라면 특별히 제한을 받지 않는다.

[0022] 예를 들면, 「어떠한 전기적 작용을 가지는 것」에는, 전극이나 배선은 물론, 트랜지스터 등의 스위칭 소자, 저항 소자, 인덕터, 커패시터, 그 외의 각종 기능을 가지는 소자 등이 포함된다.

[0023] 또한, 일반적으로 「SOI 기판」은 절연 표면 위에 실리콘 반도체층이 형성된 구성의 기판을 말하지만, 본 명세서에서는 절연 표면 위에 실리콘 이외의 재료로 이루어지는 반도체층이 형성된 구성의 기판도 그것의 카테고리에 포함하는 개념으로서 이용한다. 즉, 「SOI 기판」이 가지는 반도체층은 실리콘 반도체층에 한정되지 않는다. 또한, 「SOI 기판」에서의 기판은 실리콘 웨이퍼 등의 반도체 기판에 한정되지 않고, 유리 기판이나 석영 기판, 사파이어 기판, 금속 기판 등의 비반도체 기판도 포함한다. 즉, 절연 표면을 가지는 도체 기판이나 절연체 기판 위에 반도체 재료로 이루어지는 층을 가지는 것도, 넓게 「SOI 기판」에 포함된다. 또한 본 명세서에서, 「반도체 기판」은 반도체 재료만으로 이루어지는 기판을 가리키는 것에 그치지 않고, 반도체 재료를 포함하는 기판 전반을 나타내는 것으로 한다. 즉, 본 명세서에서는 「SOI 기판」도 넓게 「반도체 기판」에 포함된다.

발명의 효과

[0024] 본 발명의 일 양태에서는, 하부에 산화물 반도체 이외의 재료를 이용한 트랜지스터를 가지고, 상부에 산화물 반도체를 이용한 트랜지스터를 가지는 반도체 장치가 제공된다.

[0025] 산화물 반도체를 이용한 트랜지스터는 오프 전류가 매우 작기 때문에, 이것을 이용함으로써 매우 장기에 걸쳐 기억 내용을 보유하는 것이 가능하다. 즉, 리프래시 동작이 불필요해지거나, 또는, 리프래시 동작의 빈도를 매우 낮게 하는 것이 가능해지기 때문에, 소비 전력을 충분히 저감할 수 있다. 또한, 전력의 공급이 없는 경우에도, 장기에 걸쳐 기억 내용을 보유하는 것이 가능하다.

[0026] 또한, 정보의 기입에 높은 전압을 필요로 하지 않고, 소자의 열화의 문제도 없다. 또한 트랜지스터의 온 상태, 오프 상태의 전환에 의해, 정보의 기입을 하기 때문에, 고속 동작도 용이하게 실현할 수 있다. 또한, 트랜지스터에 입력하는 전위를 제어함으로써 정보의 다시쓰기가 가능하기 때문에, 정보를 소거하기 위한 동작이 불필요하다는 이점도 있다.

[0027] 또한, 산화물 반도체 이외의 재료를 이용한 트랜지스터는 산화물 반도체를 이용한 트랜지스터와 비교하여, 새로운 고속 동작이 가능하기 때문에, 이것을 이용함으로써, 기억 내용의 판독을 고속으로 행하는 것이 가능하다.

[0028] 이와 같이, 산화물 반도체 이외의 재료를 이용한 트랜지스터와 산화물 반도체를 이용한 트랜지스터를 일체로 구비함으로써, 지금까지 없었던 특징을 가지는 반도체 장치를 실현할 수 있다.

도면의 간단한 설명

[0029] 도 1은 반도체 장치를 설명하기 위한 회로도.

도 2는 반도체 장치를 설명하기 위한 단면도 및 평면도.

도 3은 반도체 장치의 제작 공정을 설명하기 위한 단면도.

도 4는 반도체 장치의 제작 공정을 설명하기 위한 단면도.

도 5는 반도체 장치의 제작 공정을 설명하기 위한 단면도.

도 6은 반도체 장치를 설명하기 위한 단면도.

도 7은 반도체 장치를 설명하기 위한 단면도.

도 8은 반도체 장치를 설명하기 위한 단면도.

도 9는 반도체 장치를 설명하기 위한 단면도.

도 10은 반도체 장치를 이용한 전자기기를 설명하기 위한 도면.

도 11은 산화물 반도체를 이용한 역스태거형의 트랜지스터의 종단면도.

도 12는 도 11의 A-A' 단면의 에너지 밴드도(모식도).

도 13의 (A)는 게이트(GE1)에 정(正)의 전위($+V_G$)가 부여된 상태를 나타내고, 도 13의 (B)은 게이트(GE1)에 부(負)의 전위($-V_G$)가 부여된 상태를 나타낸 도면.

도 14는 진공 준위와 금속의 일 함수(ϕ_M), 산화물 반도체의 전자 친화력(χ)의 관계를 나타낸 도면.

도 15는 반도체 장치를 설명하기 위한 회로도.

도 16은 반도체 장치를 설명하기 위한 회로도.

도 17은 반도체 장치를 설명하기 위한 회로도.

도 18은 반도체 장치를 설명하기 위한 회로도.

도 19는 반도체 장치를 설명하기 위한 회로도.

도 20은 전위의 관계를 나타낸 타이밍 차트.

도 21은 반도체 장치를 설명하기 위한 회로도.

도 22는 반도체 장치를 설명하기 위한 단면도 및 평면도.

도 23은 반도체 장치를 설명하기 위한 단면도.

도 24는 반도체 장치를 설명하기 위한 단면도.

도 25는 산화물 반도체를 이용한 트랜지스터의 특성을 나타낸 도면.

도 26은 산화물 반도체를 이용한 트랜지스터의 특성 평가용 회로도.

도 27은 산화물 반도체를 이용한 트랜지스터의 특성 평가용 타이밍 차트.

도 28은 산화물 반도체를 이용한 트랜지스터의 특성을 나타낸 도면.

도 29는 산화물 반도체를 이용한 트랜지스터의 특성을 나타낸 도면.

도 30은 산화물 반도체를 이용한 트랜지스터의 특성을 나타낸 도면.

도 31은 메모리창 폭의 조사 결과를 나타낸 도면.

발명을 실시하기 위한 구체적인 내용

[0030] 본 발명의 실시형태의 일례에 대하여, 도면을 이용하여 이하에 설명한다. 단, 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 취지 및 그 범위로부터 벗어나지 않고 그 형태 및 상세한 사항을 다양하게 변경할 수 있다는 것은 당업자라면 용이하게 이해할 수 있다. 따라서, 본 발명은 이하에 나타내는 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다.

[0031] 또한, 도면에서 나타난 각 구성의 위치, 크기, 범위 등은 이해를 용이하게 하기 위해, 실제의 위치, 크기, 범위 등을 나타내지 않은 경우가 있다. 따라서, 본 발명의 실시형태는 반드시, 도면에 개시된 위치, 크기, 범위 등에 한정되지 않는다.

[0032] 또한, 본 명세서에서 「제 1」, 「제 2」, 「제 3」 등의 서수는 구성 요소의 혼동을 피하기 위해 붙인 것이고, 수적으로 한정하는 것이 아니라는 것을 부기한다.

[0034] (실시형태 1)

[0035] 본 실시형태에서는, 개시하는 발명의 일 양태에 관한 반도체 장치의 구성 및 제작 방법에 대하여, 도 1 내지 도 9를 참조하여 설명한다.

[0036] <반도체 장치의 회로 구성>

[0037] 도 1에는, 반도체 장치의 회로 구성의 일례를 나타낸다. 이 반도체 장치는 산화물 반도체 이외의 재료(예를 들면 실리콘)를 이용한 트랜지스터(160)와 산화물 반도체를 이용한 트랜지스터(162)에 의해 구성된다. 또한, 이하에서, 도 1에 나타난 반도체 장치를 메모리 셀이라고 부르는 경우가 있다.

- [0038] 여기서, 트랜지스터(160)의 게이트 전극과, 트랜지스터(162)의 소스 전극 또는 드레인 전극의 한쪽은 전기적으로 접속되어 있다. 또한, 제 1 배선(1st Line: 소스선(SL)이라고도 부름)과 트랜지스터(160)의 소스 전극은 전기적으로 접속되고, 제 2 배선(2nd Line: 비트선(BL)이라고도 부름)과 트랜지스터(160)의 드레인 전극은 전기적으로 접속되어 있다. 그리고, 제 3 배선(3rd Line: 제 1 신호선(S1)이라고도 부름)과 트랜지스터(162)의 소스 전극 또는 드레인 전극의 다른 한쪽은 전기적으로 접속되고, 제 4 배선(4th Line: 제 2 신호선(S2)이라고도 부름)과 트랜지스터(162)의 게이트 전극은 전기적으로 접속되어 있다.
- [0039] 산화물 반도체 이외의 재료를 이용한 트랜지스터(160)는 산화물 반도체를 이용한 트랜지스터와 비교하여, 새로운 고속 동작이 가능하기 때문에, 이것을 이용함으로써, 기억 내용의 판독 등을 고속으로 행하는 것이 가능하다. 또한, 산화물 반도체를 이용한 트랜지스터(162)는 오프 전류가 매우 작다는 특징을 가지고 있다. 따라서, 트랜지스터(162)를 오프 상태로 함으로써, 트랜지스터(160)의 게이트 전극의 전위를 매우 장시간에 걸쳐 보유하는 것이 가능하다. 또한, 산화물 반도체를 이용한 트랜지스터(162)에서는 단채널 효과가 나타나기 어렵다는 메리트도 있다.
- [0040] 게이트 전극의 전위를 보유할 수 있다는 특징을 살림으로써, 다음과 같이, 정보의 기입, 보유, 판독이 가능하다.
- [0041] 처음에, 정보의 기입 및 보유에 대하여 설명한다. 먼저, 제 4 배선의 전위를 트랜지스터(162)가 온 상태가 되는 전위로 하여 트랜지스터(162)를 온 상태로 한다. 이것에 의해, 제 3 배선의 전위가 트랜지스터(160)의 게이트 전극에 부여된다(기입). 그 후, 제 4 배선의 전위를 트랜지스터(162)가 오프 상태가 되는 전위로 하여 트랜지스터(162)를 오프 상태로 함으로써, 트랜지스터(160)의 게이트 전극의 전위가 보유된다(보유).
- [0042] 트랜지스터(162)의 오프 전류는 매우 작기 때문에, 트랜지스터(160)의 게이트 전극의 전위는 장시간에 걸쳐 보유된다. 예를 들면, 트랜지스터(160)의 게이트 전극의 전위가 트랜지스터(160)를 온 상태로 하는 전위라면, 트랜지스터(160)의 온 상태가 장시간에 걸쳐 보유되게 된다. 또한, 트랜지스터(160)의 게이트 전극의 전위가 트랜지스터(160)를 오프 상태로 하는 전위라면, 트랜지스터(160)의 오프 상태가 장시간에 걸쳐 보유된다.
- [0043] 다음에, 정보의 판독에 대하여 설명한다. 위에서 설명한 바와 같이, 트랜지스터(160)의 온 상태 또는 오프 상태가 보유된 상태에서, 제 1 배선에 소정의 전위(저전위)가 부여되면, 트랜지스터(160)의 온 상태 또는 오프 상태에 따라, 제 2 배선의 전위는 다른 값을 취한다. 예를 들면, 트랜지스터(160)가 온 상태인 경우에는, 제 1 배선의 전위의 영향을 받아, 제 2 배선의 전위가 저하되게 된다. 반대로, 트랜지스터(160)가 오프 상태인 경우에는, 제 2 배선의 전위는 변화하지 않는다.
- [0044] 이와 같이, 정보가 보유된 상태에서, 제 2 배선의 전위를 소정의 전위와 서로 비교함으로써, 정보를 읽어낼 수 있다.
- [0045] 다음에, 정보의 다시쓰기에 대하여 설명한다. 정보의 다시쓰기는 상기 정보의 기입 및 보유와 마찬가지로 행해진다. 즉, 제 4 배선의 전위를 트랜지스터(162)가 온 상태가 되는 전위로 하여 트랜지스터(162)를 온 상태로 한다. 이것에 의해, 제 3 배선의 전위(새로운 정보에 관한 전위)가 트랜지스터(160)의 게이트 전극에 부여된다. 그 후, 제 4 배선의 전위를 트랜지스터(162)가 오프 상태가 되는 전위로 하여 트랜지스터(162)를 오프 상태로 함으로써, 새로운 정보가 보유된 상태가 된다.
- [0046] 이와 같이, 개시하는 발명에 관한 반도체 장치는, 재차의 정보의 기입에 의해 직접적으로 정보를 다시쓰는 것이 가능하다. 따라서 플래시 메모리 등에 있어 필요하게 되는 소거 동작이 불필요하고, 소거 동작에 기인하는 동작 속도의 저하를 억제할 수 있다. 즉, 반도체 장치의 고속 동작이 실현된다.
- [0047] 산화물 반도체를 이용한 기입용 트랜지스터(162)의 오프 전류는 매우 작고, 트랜지스터(160)의 게이트 전극의 전위는 장시간에 걸쳐서 보유된다. 따라서, 예를 들면, 종래의 DRAM에서 필요한 리프레시 동작이 불필요해지거나, 또는, 리프레시 동작의 빈도를 매우 낮게(예를 들면, 1개월~일년에 1회 정도) 하는 것이 가능하다. 이와 같이, 개시하는 발명의 반도체 장치는 실질적인 불휘발성 기억 장치로서의 특징을 구비하고 있다.
- [0048] 또한, 개시하는 발명의 반도체 장치는 종래의 DRAM과는 달리, 판독에 의해 정보가 사라지는 일이 없기 때문에, 판독할 때마다 다시 정보를 기입할 필요도 없다. 이와 같이, DRAM과 비교하여 정보의 기입의 빈도를 현저하게 저감할 수 있기 때문에, 소비 전력을 충분히 억제하는 것이 가능하다.
- [0049] 또한, 개시하는 발명의 반도체 장치는 반도체 장치에 다시 정보의 기입을 함으로써 직접적으로 정보를 다시쓰는 것이 가능하다. 따라서 플래시 메모리 등에서 필요하게 되는 소거 동작이 불필요하고, 소거 동작에 기인하는

동작 속도의 저하를 억제할 수 있다. 즉, 반도체 장치의 고속 동작이 실현된다. 또한, 종래의 플로팅 게이트형 트랜지스터로의 정보의 기입이나 소거 시에 필요한 높은 전압을 필요로 하지 않기 때문에, 반도체 장치의 소비 전력을 더욱 저감할 수 있다.

[0050] 또한, 개시하는 발명에 관한 반도체 장치는 기입용 트랜지스터와 관독용 트랜지스터를 적어도 포함하고 있으면 좋고, 1 메모리 셀당 6개의 트랜지스터를 필요로 하는 SRAM 등과 비교하여, 메모리 셀당의 면적을 충분히 작게 하는 것이 가능하다. 따라서, 반도체 장치를 고밀도로 배치할 수 있다.

[0051] 또한, 종래의 플로팅 게이트형 트랜지스터에서는 기입시에 게이트 절연막(터널 절연막) 중을 전하가 이동하기 때문에, 이 게이트 절연막(터널 절연막)의 열화가 불가피했다. 그러나, 본 발명의 일 양태에 관한 메모리 셀에서는, 기입용 트랜지스터의 스위칭 동작에 의해 정보의 기입이 이루어지기 때문에, 종래 문제였던 게이트 절연막의 열화를 해소할 수 있다. 이것은, 원리적인 기입 횟수의 제한이 존재하지 않고, 다시쓰기 내성이 매우 높은 것을 의미하는 것이다. 예를 들면, 1×10^9 회(10억회) 이상의 기입 후에도, 전류-전압 특성에 열화가 보이지 않는다.

[0052] 또한, 산화물 반도체를 이용한 기입용 트랜지스터(162)의 전계 효과 이동도는 온 상태에서, $3 \text{ cm}^2/\text{Vs}$ 이상 $250 \text{ cm}^2/\text{Vs}$ 이하, 바람직하게는 $5 \text{ cm}^2/\text{Vs}$ 이상 $200 \text{ cm}^2/\text{Vs}$ 이하, 보다 바람직하게는 $10 \text{ cm}^2/\text{Vs}$ 이상 $150 \text{ cm}^2/\text{Vs}$ 이하로 한다. 또한, 산화물 반도체를 이용한 트랜지스터는 서브스레숄드 스윙값(S값)이 0.1 V/dec. 이하가 되도록 한다. 이러한 트랜지스터를 이용함으로써, 정보의 기입에 필요한 시간을 충분히 짧게 할 수 있다.

[0053] 또한, 산화물 반도체를 이용한 기입용 트랜지스터(162)의 채널 길이(L)는 10 nm 이상 400 nm 이하로 하는 것이 바람직하다. 이러한 채널 사이즈로 함으로써, 트랜지스터의 동작의 고속화, 저소비 전력화, 고집적화 등, 여러 가지 효과를 얻을 수 있다.

[0054] 또한, 관독용 트랜지스터(160)에는, 결정성의 실리콘을 이용한 트랜지스터를 적용하는 것이 바람직하다. 특히, 관독 동작의 고속화의 관점에서는 단결정 실리콘을 이용한 n 채널형의 트랜지스터를 이용하는 것이 좋다. 이러한 단결정 실리콘 트랜지스터는 예를 들면, 벌크 실리콘(소위 실리콘 웨이퍼)을 이용하여 형성할 수 있다.

[0055] 또한, 상기 설명은 n형 트랜지스터(n 채널형 트랜지스터)를 이용하는 경우에 대한 것이지만, n형 트랜지스터 대신에, p형 트랜지스터를 이용할 수 있다는 것은 말할 필요도 없다.

[0056] <반도체 장치의 평면 구성 및 단면 구성>

[0057] 도 2는 상기 반도체 장치의 구성의 일례이다. 도 2의 (A)에는 반도체 장치의 단면을, 도 2의 (B)에는 반도체 장치의 평면을 각각 나타낸다. 여기서, 도 2(A)는 도 2의 (B)의 선 A1-A2 및 선 B1-B2에서의 단면에 상당한다. 도 2의 (A) 및 도 2의 (B)에 나타난 반도체 장치는 하부에 산화물 반도체 이외의 재료를 이용한 트랜지스터(160)를 가지고, 상부에 산화물 반도체를 이용한 트랜지스터(162)를 가지는 것이다. 또한, 트랜지스터(160) 및 트랜지스터(162)는 모두 n형 트랜지스터로서 설명하지만, p형 트랜지스터를 채용해도 좋다. 특히, 트랜지스터(160)는 p형으로 하는 것이 용이하다.

[0058] 트랜지스터(160)는 반도체 재료를 포함하는 기판(100)에 형성된 채널 형성 영역(116)과 채널 형성 영역(116)을 끼우도록 형성된 불순물 영역(114) 및 고농도 불순물 영역(120)(이것들을 아울러 간단히 불순물 영역이라고도 부름)과, 채널 형성 영역(116) 위에 형성된 게이트 절연층(108)과, 게이트 절연층(108) 위에 형성된 게이트 전극(110)과, 불순물 영역(114)과 전기적으로 접속하는 소스 전극 또는 드레인 전극(130a), 소스 전극 또는 드레인 전극(130b)을 가진다.

[0059] 여기서, 게이트 전극(110)의 측면에는 사이드 월 절연층(118)이 형성되어 있다. 또한, 기판(100)의 단면도에 나타난 바와 같이, 사이드 월 절연층(118)과 겹치지 않는 영역에는 고농도 불순물 영역(120)을 가지고, 고농도 불순물 영역(120) 위에는 금속 화합물 영역(124)이 존재한다. 또한, 기판(100) 위에는 트랜지스터(160)를 둘러싸도록 소자 분리 절연층(106)이 형성되어 있고, 트랜지스터(160)를 덮도록, 층간 절연층(126) 및 층간 절연층(128)이 형성되어 있다. 소스 전극 또는 드레인 전극(130a), 소스 전극 또는 드레인 전극(130b)은 층간 절연층(126) 및 층간 절연층(128)에 형성된 개구를 통하여, 금속 화합물 영역(124)과 전기적으로 접속되어 있다. 즉, 소스 전극 또는 드레인 전극(130a), 소스 전극 또는 드레인 전극(130b)은 금속 화합물 영역(124)을 통하여 고농도 불순물 영역(120) 및 불순물 영역(114)과 전기적으로 접속되어 있다. 또한, 게이트 전극(110)에는 소스 전극 또는 드레인 전극(130a)이나 소스 전극 또는 드레인 전극(130b)과 마찬가지로 형성된 전극(130c)이 전기적으

로 접속되어 있다.

- [0060] 트랜지스터(162)는 층간 절연층(128) 위에 형성된 게이트 전극(136d)과, 게이트 전극(136d) 위에 형성된 게이트 절연층(138)과, 게이트 절연층(138) 위에 형성된 산화물 반도체층(140)과, 산화물 반도체층(140) 위에 형성되고, 산화물 반도체층(140)과 전기적으로 접속되어 있는 소스 전극 또는 드레인 전극(142a), 소스 전극 또는 드레인 전극(142b)을 가진다.
- [0061] 여기서, 게이트 전극(136d)은 층간 절연층(128) 위에 형성된 절연층(132)에 묻히도록 형성되어 있다. 또한, 게이트 전극(136d)과 마찬가지로, 소스 전극 또는 드레인 전극(130a)에 접하여 전극(136a)이, 소스 전극 또는 드레인 전극(130b)에 접하여 전극(136b)이, 전극(130c)에 접하여 전극(136c)이, 각각 형성되어 있다.
- [0062] 또한, 트랜지스터(162)의 위에는, 산화물 반도체층(140)의 일부와 접하도록 보호 절연층(144)이 형성되어 있고, 보호 절연층(144) 위에는 층간 절연층(146)이 형성되어 있다. 여기서, 보호 절연층(144) 및 층간 절연층(146)에는 소스 전극 또는 드레인 전극(142a), 소스 전극 또는 드레인 전극(142b)에까지 달하는 개구가 형성되어 있고, 이 개구를 통하여, 전극(150d), 전극(150e)이 소스 전극 또는 드레인 전극(142a), 소스 전극 또는 드레인 전극(142b)에 접하여 형성되어 있다. 또한, 전극(150d), 전극(150e)과 마찬가지로, 게이트 절연층(138), 보호 절연층(144), 층간 절연층(146)에 형성된 개구를 통하여, 전극(136a), 전극(136b), 전극(136c)에 접하는 전극(150a), 전극(150b), 전극(150c)이 형성되어 있다.
- [0063] 여기서, 산화물 반도체층(140)은 수소 등의 불순물이 충분히 제거되어, 고순도화되어 있는 것인 것이 바람직하다. 구체적으로는, 산화물 반도체층(140)의 수소 농도는 5×10^{19} atoms/cm³ 이하, 바람직하게는 5×10^{18} atoms/cm³ 이하, 보다 바람직하게는 5×10^{17} atoms/cm³ 이하로 한다. 이것에 의해, 일반적인 실리콘 웨이퍼(인이나 붕소 등의 불순물 원소가 미량으로 첨가된 실리콘 웨이퍼)에서의 캐리어 농도(1×10^{14} /cm³ 정도)와 비교하여, 충분히 작은 캐리어 농도의 값(예를 들면, 1×10^{12} /cm³ 미만, 혹은, 1.45×10^{10} /cm³ 미만)이 된다. 이와 같이, 수소 농도가 충분히 저감되어 고순도화되고, 진성화(i형화) 또는 실질적으로 진성화(i형화)된 산화물 반도체를 이용함으로써, 매우 뛰어난 오프 전류 특성의 트랜지스터(162)를 얻을 수 있다. 예를 들면, 트랜지스터(162)의 실온(25℃)에서의 오프 전류(여기에서는, 단위 채널폭(1μm)당의 값)은 10 zA/μm(1 zA(zepto 암페어)는 1×10^{-21} A) 이하, 바람직하게는, 1 zA/μm 이하가 된다. 또한, 85℃에서 트랜지스터(162)의 오프 전류는, 100 zA/μm(1×10^{-19} A/μm) 이하, 바람직하게는 10 zA/μm(1×10^{-20} A/μm) 이하가 된다. 이와 같이, 수소 농도가 충분히 저감되어 진성화 또는 실질적으로 진성화된 산화물 반도체층(140)을 적용하여, 트랜지스터(162)의 오프 전류를 저감함으로써, 새로운 구성의 반도체 장치를 실현할 수 있다. 또한, 상술한 산화물 반도체층(140) 중의 수소 농도는 2차 이온 질량분석법(SIMS: Secondary Ion Mass Spectrometry)으로 측정한 것이다.
- [0064] 또한, 층간 절연층(146) 위에는 절연층(152)이 형성되어 있고, 이 절연층(152)에 묻히도록, 전극(154a), 전극(154b), 전극(154c), 전극(154d)이 형성되어 있다. 여기서, 전극(154a)은 전극(150a)과 접하고 있고, 전극(154b)은 전극(150b)과 접하고 있고, 전극(154c)은 전극(150c) 및 전극(150d)과 접하고 있고, 전극(154d)은 전극(150e)과 접하고 있다.
- [0065] 즉, 도 2에 나타난 반도체 장치에서는, 트랜지스터(160)의 게이트 전극(110)과, 트랜지스터(162)의 소스 전극 또는 드레인 전극(142a)이 전극(130c), 전극(136c), 전극(150c), 전극(154c) 및 전극(150d)을 통하여 전기적으로 접속되어 있다.
- [0066] <반도체 장치의 제작 방법>
- [0067] 다음에, 상기 반도체 장치의 제작 방법의 일례에 대하여 설명한다. 이하에서는, 처음에 하부의 트랜지스터(160)의 제작 방법에 대하여 도 3을 참조하여 설명하고, 그 후, 상부의 트랜지스터(162)의 제작 방법에 대하여 도 4 및 도 5를 참조하여 설명한다.
- [0068] <하부의 트랜지스터의 제작 방법>
- [0069] 먼저, 반도체 재료를 포함하는 기판(100)을 준비한다(도 3의 (A) 참조). 반도체 재료를 포함하는 기판(100)으로서, 실리콘이나 탄화실리콘 등의 단결정 반도체 기판, 다결정 반도체 기판, 실리콘 게르마늄 등의 화합물 반도체 기판, SOI 기판 등을 적용할 수 있다. 여기에서는, 반도체 재료를 포함하는 기판(100)으로서, 단결정 실리콘 기판을 이용하는 경우의 일례에 대하여 나타내는 것으로 한다.

- [0070] 기판(100) 위에는, 소자 분리 절연층을 형성하기 위한 마스크가 되는 보호층(102)을 형성한다(도 3의 (A) 참조). 보호층(102)으로서는, 예를 들면, 산화실리콘이나 질화실리콘, 질화산화실리콘 등을 재료로 하는 절연층을 이용할 수 있다. 또한, 이 공정의 전후에 있어서, 트랜지스터의 스레슬드 전압을 제어하기 위해, n형의 도전성을 부여하는 불순물 원소나 p형의 도전성을 부여하는 불순물 원소를 기판(100)에 첨가해도 좋다. 반도체가 실리콘인 경우, n형의 도전성을 부여하는 불순물로서는, 예를 들면, 인이나 비소 등을 이용할 수 있다. 또한, p형의 도전성을 부여하는 불순물로서는, 예를 들면, 붕소, 알루미늄, 갈륨 등을 이용할 수 있다.
- [0071] 다음에, 상기의 보호층(102)을 마스크로서 에칭을 행하고, 보호층(102)으로 덮이지 않은 영역(노출되어 있는 영역)의 기판(100)의 일부를 제거한다. 이것에 의해 분리된 반도체 영역(104)이 형성된다(도 3의 (B) 참조). 이 에칭에는 드라이 에칭을 이용하는 것이 적합하지만, 웨트 에칭을 이용해도 좋다. 에칭 가스나 에칭액에 대해서는 피에칭 재료에 따라 적절히 선택할 수 있다.
- [0072] 다음에, 반도체 영역(104)을 덮도록 절연층을 형성하고, 반도체 영역(104)에 증착하는 영역의 절연층을 선택적으로 제거함으로써, 소자 분리 절연층(106)을 형성한다(도 3의 (B) 참조). 이 절연층은 산화실리콘이나 질화실리콘, 질화산화실리콘 등을 이용하여 형성된다. 절연층의 제거 방법으로서, CMP 등의 연마 처리나 에칭 처리 등이 있지만, 그 중 어느 것을 이용해도 좋다. 또한, 반도체 영역(104)의 형성 후, 또는, 소자 분리 절연층(106)의 형성 후에는, 상기 보호층(102)을 제거한다.
- [0073] 다음에, 반도체 영역(104) 위에 절연층을 형성하고, 이 절연층 위에 도전 재료를 포함하는 층을 형성한다.
- [0074] 절연층은 후의 게이트 절연층이 되는 것으로서, CVD법이나 스퍼터링법 등을 이용하여 얻어지는 산화실리콘, 질화산화실리콘, 질화실리콘, 산화알루미늄, 산화탄탈 등을 포함하는 막의 단층 구조 또는 적층 구조로 하면 좋다. 그 밖에, 고밀도 플라즈마 처리나 열산화 처리에 의해, 반도체 영역(104)의 표면을 산화, 질화 시킴으로써, 상기 절연층을 형성해도 좋다. 고밀도 플라즈마 처리는, 예를 들면, He, Ar, Kr, Xe 등의 희가스 와, 산소, 산화질소, 암모니아, 질소, 수소 등의 혼합 가스를 이용하여 행할 수 있다. 또한, 절연층의 두께는 특별히 한정되지 않지만, 예를 들면, 1 nm 이상 100 nm 이하로 할 수 있다.
- [0075] 도전 재료를 포함하는 층은 알루미늄이나 구리, 티탄, 탄탈, 텅스텐 등의 금속 재료를 이용하여 형성할 수 있다. 또한, 도전 재료를 포함하는 다결정 실리콘 등의 반도체 재료를 이용하여, 도전 재료를 포함하는 층을 형성해도 좋다. 형성 방법도 특별히 한정되지 않고, 증착법, CVD법, 스퍼터링법, 스핀 코트법 등의 각종 성막 방법을 이용할 수 있다. 또한, 본 실시형태에서는, 도전 재료를 포함하는 층을, 금속 재료를 이용하여 형성하는 경우의 일례에 대하여 나타내는 것으로 한다.
- [0076] 그 후, 절연층 및 도전 재료를 포함하는 층을 선택적으로 에칭하여, 게이트 절연층(108), 게이트 전극(110)을 형성한다(도 3의 (C) 참조).
- [0077] 다음에, 게이트 전극(110)을 덮는 절연층(112)을 형성한다(도 3의 (C) 참조). 그리고, 반도체 영역(104)에 인(P)이나 비소(As) 등을 첨가하여, 기판(100)과의 얇은 접합 깊이의 불순물 영역(114)을 형성한다(도 3의 (C) 참조). 또한, 여기에서는 n형 트랜지스터를 형성하기 위해 인이나 비소를 첨가하고 있지만, p형 트랜지스터를 형성하는 경우에는, 붕소(B)나 알루미늄(Al) 등의 불순물 원소를 첨가하면 좋다. 또한, 불순물 영역(114)의 형성에 의해, 반도체 영역(104)의 게이트 절연층(108) 하부에는 채널 형성 영역(116)이 형성된다(도 3의 (C) 참조). 여기서, 첨가하는 불순물의 농도는 적절히 설정할 수 있지만, 반도체 소자가 고도로 미세화되는 경우에는, 그 농도를 높게 하는 것이 바람직하다. 또한, 여기에서는, 절연층(112)을 형성한 후에 불순물 영역(114)을 형성하는 공정을 채용하고 있지만, 불순물 영역(114)을 형성한 후에 절연층(112)을 형성하는 공정으로 해도 좋다.
- [0078] 다음에, 사이드 월 절연층(118)을 형성한다(도 3의 (D) 참조). 사이드 월 절연층(118)은 절연층(112)을 덮도록 절연층을 형성한 후에, 이 절연층에 이방성이 높은 에칭 처리를 적용함으로써, 자기 정향적으로 형성할 수 있다. 또한, 이때, 절연층(112)을 부분적으로 에칭하여, 게이트 전극(110)의 상면과, 불순물 영역(114)의 상면을 노출시키면 좋다.
- [0079] 다음에, 게이트 전극(110), 불순물 영역(114), 사이드 월 절연층(118) 등을 덮도록 절연층을 형성한다. 그리고, 이 절연층이 불순물 영역(114)과 접하는 영역에, 인(P)이나 비소(As) 등을 첨가하여, 고농도 불순물 영역(120)을 형성한다(도 3의 (E) 참조). 그 후, 상기 절연층을 제거하고, 게이트 전극(110), 사이드 월 절연층(118), 고농도 불순물 영역(120) 등을 덮도록 금속층(122)을 형성한다(도 3의 (E) 참조). 이 금속층(122)은 진공 증착법이나 스퍼터링법, 스핀 코트법 등의 각종 성막 방법을 이용하여 형성할 수 있다. 금속층(122)은 반도체 영역(104)을 구성하는 반도체 재료와 반응하여 저저항의 금속 화합물이 되는 금속 재료를 이용하여 형성하는

것이 바람직하다. 이러한 금속 재료로서는, 예를 들면, 티탄, 탄탈, 텅스텐, 니켈, 코발트, 백금 등이 있다.

[0080] 다음에, 열처리를 실시하여, 상기 금속층(122)과 반도체 재료를 반응시킨다. 이것에 의해, 고농도 불순물 영역(120)에 접하는 금속 화합물 영역(124)이 형성된다(도 3(F) 참조). 또한, 게이트 전극(110)으로서 다결정 실리콘 등을 이용하는 경우에는, 게이트 전극(110)의 금속층(122)과 접촉하는 부분에도, 금속 화합물 영역이 형성되게 된다.

[0081] 상기 열처리로서는, 예를 들면, 플래시 램프의 조사에 의한 열처리를 이용할 수 있다. 물론, 그 외의 열처리 방법을 이용해도 좋지만, 금속 화합물의 형성에 관한 화학 반응의 제어성을 향상시키기 위해서는, 극히 단시간의 열처리를 실현될 수 있는 방법을 이용하는 것이 바람직하다. 또한, 상기의 금속 화합물 영역은 금속 재료와 반도체 재료와의 반응에 의해 형성되는 것이고, 충분히 도전성이 높여진 영역이다. 이 금속 화합물 영역을 형성함으로써, 전기 저항을 충분히 저감하여, 소자 특성을 향상시킬 수 있다. 또한, 금속 화합물 영역(124)을 형성한 후에는, 금속층(122)은 제거한다.

[0082] 다음에, 상술한 공정에 의해 형성된 각 구성을 덮도록, 층간 절연층(126), 층간 절연층(128)을 형성한다(도 3의 (G) 참조). 층간 절연층(126)이나 층간 절연층(128)은 산화실리콘, 질화산화실리콘, 질화실리콘, 산화하프늄, 산화알루미늄, 산화탄탈 등의 무기 절연 재료를 포함하는 재료를 이용하여 형성할 수 있다. 또한, 폴리이미드, 아크릴 수지 등의 유기 절연 재료를 이용하여 형성하는 것도 가능하다. 또한, 여기에서는, 층간 절연층(126)과 층간 절연층(128)의 2층 구조로 하고 있지만, 층간 절연층의 구성은 이것에 한정되지 않는다. 층간 절연층(128)의 형성 후에는, 그 표면을 CMP나 에칭 처리 등에 의해 평탄화해 두는 것이 바람직하다.

[0083] 그 후, 상기 층간 절연층(126, 128)에 금속 화합물 영역(124)에까지 달하는 개구를 형성하고, 이 개구에 소스 전극 또는 드레인 전극(130a), 소스 전극 또는 드레인 전극(130b)을 형성한다(도 3의 (H) 참조). 소스 전극 또는 드레인 전극(130a)이나 소스 전극 또는 드레인 전극(130b)은 예를 들면, 개구를 포함하는 영역에 PVD법이나 CVD법 등을 이용하여 도전층을 형성한 후, 에칭 처리나 CMP와 같은 방법을 이용하여, 상기 도전층의 일부를 제거함으로써 형성할 수 있다.

[0084] 또한, 상기 도전층의 일부를 제거하여 소스 전극 또는 드레인 전극(130a)이나 소스 전극 또는 드레인 전극(130b)을 형성할 때에는, 그 표면이 평탄하게 되도록 가공하는 것이 바람직하다. 예를 들면, 개구를 포함하는 영역에 티탄막이나 질화티탄막을 얇게 형성한 후에, 개구에 묻도록 텅스텐막을 형성하는 경우에는, 그 후의 CMP에 의해, 불필요한 텅스텐막, 티탄막, 질화티탄막 등을 제거함과 동시에, 그 표면의 평탄성을 향상시킬 수 있다. 이와 같이, 소스 전극 또는 드레인 전극(130a), 소스 전극 또는 드레인 전극(130b)을 포함하는 표면을 평탄화함으로써, 후의 공정에서, 양호한 전극, 배선, 절연층, 반도체층 등을 형성하는 것이 가능하게 된다.

[0085] 또한, 여기에서는, 금속 화합물 영역(124)과 접촉하는 소스 전극 또는 드레인 전극(130a)이나 소스 전극 또는 드레인 전극(130b)만을 나타내고 있지만, 이 공정에서, 게이트 전극(110)과 접촉하는 전극(예를 들면, 도 2에서의 전극(130c)) 등을 아울러 형성할 수 있다. 소스 전극 또는 드레인 전극(130a), 소스 전극 또는 드레인 전극(130b)으로서 이용할 수 있는 재료에 대하여 특별히 한정은 없고, 각종 도전 재료를 이용할 수 있다. 예를 들면, 몰리브덴, 티탄, 크롬, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴, 스칸듐 등의 도전성 재료를 이용할 수 있다.

[0086] 이상에 의해, 반도체 재료를 포함하는 기관(100)을 이용한 트랜지스터(160)가 형성된다. 또한, 상기 공정 후에는, 전극이나 배선, 절연층 등을 더 형성해도 좋다. 배선의 구조로서 층간 절연층 및 도전층의 적층 구조로 이루어지는 다층 배선 구조를 채용함으로써, 고도로 집적화한 반도체 장치를 제공할 수 있다.

[0087] <상부의 트랜지스터의 제작 방법>

[0088] 다음에, 도 4 및 도 5를 이용하여, 층간 절연층(128) 위에 트랜지스터(162)를 제작하는 공정에 대하여 설명한다. 또한, 도 4 및 도 5는 층간 절연층(128) 위의 각종 전극이나, 트랜지스터(162) 등의 제작 공정을 나타내는 것이기 때문에, 트랜지스터(162)의 하부에 존재하는 트랜지스터(160) 등에 대해서는 생략한다.

[0089] 먼저, 층간 절연층(128), 소스 전극 또는 드레인 전극(130a), 소스 전극 또는 드레인 전극(130b), 전극(130c) 위에 절연층(132)을 형성한다(도 4의 (A) 참조). 절연층(132)은 PVD법이나 CVD법 등을 이용하여 형성할 수 있다. 또한, 산화실리콘, 질화산화실리콘, 질화실리콘, 산화하프늄, 산화알루미늄, 산화탄탈 등의 무기 절연 재료를 포함하는 재료를 이용하여 형성할 수 있다.

[0090] 다음에, 절연층(132)에 대하여, 소스 전극 또는 드레인 전극(130a), 소스 전극 또는 드레인 전극(130b), 및 전

극(130c)에까지 달하는 개구를 형성한다. 이때, 후에 게이트 전극(136d)이 형성되는 영역에도 아울러 개구를 형성한다. 그리고, 상기 개구에 문도록, 도전층(134)을 형성한다(도 4의 (B) 참조). 상기 개구는 마스크를 이용한 에칭 등의 방법으로 형성할 수 있다. 이 마스크는 포토마스크를 이용한 노광 등의 방법에 의해 형성하는 것이 가능하다. 에칭으로서, 웨트 에칭, 드라이 에칭의 어느 것을 이용해도 좋지만, 미세 가공의 관점에서는, 드라이 에칭을 이용하는 것이 적합하다. 도전층(134)의 형성은 PVD법이나 CVD법 등의 성막법을 이용하여 행할 수 있다. 도전층(134)의 형성에 이용할 수 있는 재료로서는, 몰리브덴, 티탄, 크롬, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴, 스칸듐 등의 도전성 재료나, 이들의 합금, 화합물(예를 들면 질화물) 등을 들 수 있다.

[0091] 보다 구체적으로는, 예를 들면, 개구를 포함하는 영역에 PVD법에 의해 티탄막을 얇게 형성하고, CVD법에 의해 질화티탄막을 얇게 형성한 후에, 개구에 문도록 텅스텐막을 형성하는 방법을 적용할 수 있다. 여기서, PVD법에 의해 형성되는 티탄막은 하부 전극(여기에서는 소스 전극 또는 드레인 전극(130a), 소스 전극 또는 드레인 전극(130b), 전극(130c) 등)의 표면의 산화막을 환원하여, 하부 전극과의 접촉 저항을 저감시키는 기능을 가진다. 또한, 그 후에 형성되는 질화티탄막은 도전성 재료의 확산을 억제하는 배리어 기능을 구비한다. 또한, 티탄이나, 질화티탄 등에 의한 배리어막을 형성한 후에, 도금법에 의해 구리막을 형성해도 좋다.

[0092] 도전층(134)을 형성한 후에는, 에칭 처리나 CMP와 같은 방법을 이용하여 도전층(134)의 일부를 제거하여, 절연층(132)을 노출시키고, 전극(136a), 전극(136b), 전극(136c), 게이트 전극(136d)을 형성한다(도 4의 (C) 참조). 또한, 상기 도전층(134)의 일부를 제거하여 전극(136a), 전극(136b), 전극(136c), 게이트 전극(136d)을 형성할 때에는, 표면이 평탄하게 되도록 가공하는 것이 바람직하다. 이와 같이, 절연층(132), 전극(136a), 전극(136b), 전극(136c), 게이트 전극(136d)의 표면을 평탄화함으로써, 후의 공정에서, 양호한 전극, 배선, 절연층, 반도체층 등을 형성하는 것이 가능하게 된다.

[0093] 다음에, 절연층(132), 전극(136a), 전극(136b), 전극(136c), 게이트 전극(136d)을 덮도록, 게이트 절연층(138)을 형성한다(도 4의 (D) 참조). 게이트 절연층(138)은 CVD법이나 스퍼터링법 등을 이용하여 형성할 수 있다. 또한, 게이트 절연층(138)은 산화규소, 질화규소, 산화질화규소, 질화산화규소, 산화알루미늄, 산화하프늄, 산화탄탈 등을 포함하도록 형성하는 것이 적합하다. 또한, 게이트 절연층(138)은 단층 구조로 해도 좋고, 적층 구조로 해도 좋다. 예를 들면, 원료 가스로서 실란(SiH_4), 산소, 질소를 이용한 플라즈마 CVD법에 의해, 산화 질화규소로 이루어지는 게이트 절연층(138)을 형성할 수 있다. 게이트 절연층(138)의 두께는 특별히 한정되지 않지만, 예를 들면, 10 nm 이상 500 nm 이하로 할 수 있다. 적층 구조의 경우는, 예를 들면, 막두께 50 nm 이상 200 nm 이하의 제 1 게이트 절연층과, 제 1 게이트 절연층 위의 막두께 5 nm 이상 300 nm 이하의 제 2 게이트 절연층의 적층으로 하면 적합하다.

[0094] 또한, 불순물을 제거함으로써 i형화 또는 실질적으로 i형화된 산화물 반도체(고순도화된 산화물 반도체)는, 계면 준위나 계면 전하에 대하여 매우 민감하기 때문에, 이러한 산화물 반도체를 산화물 반도체층에 이용하는 경우에는, 게이트 절연층과의 계면은 중요하다. 즉, 고순도화된 산화물 반도체층에 접하는 게이트 절연층(138)에는 고품질화가 요구되게 된다.

[0095] 예를 들면, μ 파(2.45 GHz)를 이용한 고밀도 플라즈마 CVD법은 치밀하고 절연 내압이 높은 고품질의 게이트 절연층(138)을 형성할 수 있는 점에서 적합하다. 고순도화된 산화물 반도체층과 고품질 게이트 절연층이 접함으로써, 계면 준위를 저감하여 계면 특성을 양호한 것으로 할 수 있기 때문이다.

[0096] 물론, 게이트 절연층으로서 양질의 절연층을 형성할 수 있는 것이면, 고순도화된 산화물 반도체층을 이용하는 경우에도, 스퍼터링법이나 플라즈마 CVD법 등 다른 방법을 적용할 수 있다. 또한, 형성 후의 열처리에 의해, 막질이나 산화물 반도체층과의 계면 특성이 개질되는 절연층을 적용해도 좋다. 어쨌든, 게이트 절연층(138)으로서의 막질이 양호함과 동시에, 산화물 반도체층과의 계면 준위 밀도를 저감하여, 양호한 계면을 형성할 수 있는 것을 형성하면 좋다.

[0097] 불순물이 산화물 반도체에 포함되어 있는 경우, 강한 전계나 높은 온도 등의 스트레스에 의해, 불순물과 산화물 반도체의 주성분과의 결합이 절단되고, 생성된 미결합손은 스레슬드 전압(V_{th})의 시프트를 유발한다.

[0098] 산화물 반도체의 불순물, 특히 수소나 물 등의 불순물을 극력 제거하고, 또한, 상기와 같이 게이트 절연층과의 계면 특성을 양호하게 함으로써, 강한 전계나 고온 등의 스트레스에 대해서도 안정적인 트랜지스터를 얻는 것이 가능하다.

[0099] 다음에, 게이트 절연층(138) 위에, 산화물 반도체층을 형성하고, 마스크를 이용한 에칭 등의 방법에 의해 이 산

화물 반도체층을 가공하여, 섬 형상의 산화물 반도체층(140)을 형성한다(도 4의 (E) 참조).

- [0100] 산화물 반도체층으로서, In-Ga-Zn-O계, In-Sn-Zn-O계, In-Al-Zn-O계, Sn-Ga-Zn-O계, Al-Ga-Zn-O계, Sn-Al-Zn-O계, In-Zn-O계, Sn-Zn-O계, Al-Zn-O계, In-O계, Sn-O계, Zn-O계의 산화물 반도체층, 특히 비정질 산화물 반도체층을 이용하는 것이 적합하다. 본 실시형태에서는, 산화물 반도체층으로서 In-Ga-Zn-O계의 산화물 반도체 성막용 타겟을 이용하여, 비정질의 산화물 반도체층을 스퍼터링법에 의해 형성하는 것으로 한다. 또한, 비정질의 산화물 반도체층 중에 실리콘을 첨가함으로써, 비정질의 산화물 반도체층의 결정화를 억제할 수 있기 때문에, 예를 들면, SiO₂를 2 중량% 이상 10 중량% 이하 포함하는 타겟을 이용하여 산화물 반도체층을 형성해도 좋다.
- [0101] 산화물 반도체층을 스퍼터링법으로 제작하기 위한 타겟으로서, 예를 들면, 산화아연을 주성분으로 하는 산화물 반도체 성막용 타겟을 이용할 수 있다. 또한, In, Ga, 및 Zn을 포함하는 산화물 반도체 성막용 타겟(조성비로서 In₂O₃:Ga₂O₃:ZnO = 1:1:1[mol비]) 등을 이용할 수도 있다. 또한, In, Ga, 및 Zn을 포함하는 산화물 반도체 성막용 타겟으로서, In₂O₃:Ga₂O₃:ZnO = 1:1:2[mol비], 또는 In₂O₃:Ga₂O₃:ZnO = 1:1:4[mol비]의 조성비를 가지는 타겟 등을 이용해도 좋다. 산화물 반도체 성막용 타겟의 충전율은 90% 이상 100% 이하, 바람직하게는 95% 이상(예를 들면 99.9%)이다. 충전율이 높은 산화물 반도체 성막용 타겟을 이용함으로써, 치밀한 산화물 반도체층이 형성된다.
- [0102] 산화물 반도체층의 형성 분위기는 희가스(대표적으로는 아르곤) 분위기, 산소 분위기, 또는, 희가스(대표적으로는 아르곤)와 산소와의 혼합 분위기로 하는 것이 적합하다. 구체적으로는, 예를 들면, 수소, 물, 수산기를 가지는 화합물, 또는 수소화물 등의 불순물의 농도가 수 ppm 정도(바람직하게는 수 ppb 정도)까지 제거된 고순도 가스를 이용하는 것이 적합하다.
- [0103] 산화물 반도체층의 형성 시에는, 감압 상태로 보유된 처리실 내에 기판을 보유하고, 기판 온도를 100℃ 이상 600℃ 이하 바람직하게는 200℃ 이상 400℃ 이하로 한다. 기판을 가열하면서 산화물 반도체층을 형성함으로써, 산화물 반도체층에 포함되는 불순물 농도를 저감할 수 있다. 또한, 스퍼터링에 의한 산화물 반도체층의 손상이 경감된다. 그리고, 처리실 내의 잔류 수분을 제거하면서 수소 및 물이 제거된 스퍼터링 가스를 도입하여, 금속 산화물을 타겟으로 하여 산화물 반도체층을 형성한다. 처리실 내의 잔류 수분을 제거하기 위해서는, 흡착형의 진공 펌프를 이용하는 것이 바람직하다. 예를 들면, 크라이오 펌프, 이온 펌프, 티탄 서블리메이션 펌프를 이용할 수 있다. 또한, 배기 수단으로서 터보 펌프에 콜드 트랩을 더한 것이어도 좋다. 크라이오 펌프를 이용하여 배기한 성막실은 예를 들면, 탄소 원자를 포함하는 화합물에 더하여 수소 원자, 물(H₂O) 등 수소 원자를 포함하는 화합물 등이 배기되기 때문에, 이 성막실에서 형성한 산화물 반도체층에 포함되는 불순물의 농도를 저감할 수 있다.
- [0104] 산화물 반도체층의 형성 조건으로서, 예를 들면, 기판과 타겟의 사이의 거리가 100 mm, 압력이 0.6 Pa, 직류(DC) 전력이 0.5 kW, 분위기가 산소(산소 유량 비율 100%) 분위기와 같은 조건을 적용할 수 있다. 또한, 펄스 직류(DC) 전원을 이용하면, 성막시에 발생하는 분상 물질(파티클, 먼지라고도 함)을 경감할 수 있고, 막두께 분포도 작아지기 때문에 바람직하다. 산화물 반도체층의 두께는 2 nm 이상 200 nm 이하, 바람직하게는 5 nm 이상 30 nm 이하로 한다. 또한, 적용하는 산화물 반도체 재료에 의해 적절한 두께는 다르기 때문에, 그 두께는 이용하는 재료에 따라 적절히 선택하면 좋다.
- [0105] 또한, 산화물 반도체층을 스퍼터링법에 의해 형성하기 전에는, 아르곤 가스를 도입하여 플라즈마를 발생시키는 역스퍼터링을 행하여, 게이트 절연층(138)의 표면에 부착되어 있는 먼지를 제거하는 것이 적합하다. 여기서, 역스퍼터링이란, 통상의 스퍼터링에서는 스퍼터링 타겟에 이온을 충돌시키지만, 반대로, 처리 표면에 이온을 충돌시키는 것에 의해 그 표면을 개질하는 방법을 말한다. 처리 표면에 이온을 충돌시키는 방법으로서, 아르곤 분위기하에서 처리 표면측에 고주파 전압을 인가하여, 기판 부근에 플라즈마를 생성하는 방법 등이 있다. 또한, 아르곤 분위기 대신에 질소 분위기, 헬륨 분위기, 산소 분위기 등을 이용해도 좋다.
- [0106] 상기 산화물 반도체층의 에칭에는, 드라이 에칭, 웨트 에칭의 어느 것을 이용해도 좋다. 물론, 양쪽 모두를 조합하여 이용할 수도 있다. 소망의 형상으로 에칭할 수 있도록, 재료에 맞추어 에칭 조건(에칭 가스나 에칭액, 에칭 시간, 온도 등)을 적절히 설정한다.
- [0107] 드라이 에칭에 이용하는 에칭 가스에는, 예를 들면, 염소를 포함하는 가스(염소계 가스, 예를 들면 염소(Cl₂), 염화 붕소(BCl₃), 염화 규소(SiCl₄), 사염화탄소(CCl₄) 등) 등이 있다. 또한, 불소를 포함하는 가스(불소계 가

스, 예를 들면 사불화탄소(CF_4), 불화유황(SF_6), 불화질소(NF_3), 트리플루오로메탄(CHF_3) 등), 브롬화수소(HBr), 산소(O_2), 이들 가스에 헬륨(He)이나 아르곤(Ar) 등의 희가스를 첨가한 가스 등을 이용해도 좋다.

- [0108] 드라이 에칭법으로서, 평행 평판형 RIE(Reactive Ion Etching)법이나, ICP(Inductively Coupled Plasma : 유도 결합형 플라즈마) 에칭법을 이용할 수 있다. 소망의 형상으로 에칭할 수 있도록, 에칭 조건(코일형의 전극에 인가되는 전력량, 기관축의 전극에 인가되는 전력량, 기관축의 전극 온도 등)은 적절히 설정한다.
- [0109] 웨트 에칭에 이용하는 에칭액으로서, 인산과 초산과 질산을 혼합한 용액 등을 이용할 수 있다. 또한, ITO07N(칸토 화학사(KANTO CHEMICAL CO., INC.)제) 등을 이용해도 좋다.
- [0110] 다음에, 산화물 반도체층에 제 1 열처리를 행하는 것이 바람직하다. 이 제 1 열처리에 의해 산화물 반도체층의 탈수화 또는 탈수소화를 행할 수 있다. 제 1 열처리의 온도는 300°C 이상 750°C 이하, 바람직하게는 400°C 이상 기관의 변형점 미만으로 한다. 예를 들면, 저항 발열체 등을 이용한 전기로에 기관을 도입하여, 산화물 반도체층(140)에 대하여 질소 분위기하 450°C 에서 1시간의 열처리를 행한다. 이 동안, 산화물 반도체층(140)은 대기에 접하지 않도록 하여, 물이나 수소의 재혼입이 행해지지 않도록 한다.
- [0111] 또한, 열처리 장치는 전기로에 한정되지 않고, 가열된 가스 등의 매체로부터의 열전도, 또는 열복사에 의해, 피처리물을 가열하는 장치여도 좋다. 예를 들면, GRTA(Gas Rapid Thermal Anneal) 장치, LRTA(Lamp Rapid Thermal Anneal) 장치 등의 RTA(Rapid Thermal Anneal) 장치를 이용할 수 있다. LRTA 장치는, 할로겐 램프, 메탈 헬라이드 램프, 크세논 아크 램프, 카본 아크 램프, 고압 나트륨 램프, 고압 수은 램프 등의 램프로부터 발하는 광(전자파)의 복사에 의해, 피처리물을 가열하는 장치이다. GRTA 장치는, 고온의 가스를 이용하여 열처리를 행하는 장치이다. 기체로서는, 아르곤 등의 희가스, 또는 질소와 같은 열처리에 의해 피처리물과 반응하지 않는 불활성 기체가 이용된다.
- [0112] 예를 들면, 제 1 열처리로서 $650^\circ\text{C} \sim 700^\circ\text{C}$ 의 고온으로 가열한 불활성 가스중에 기관을 투입하여, 수분간 가열한 후, 이 불활성 가스 중으로부터 기관을 꺼내는 GRTA 처리를 행하여도 좋다. GRTA 처리를 이용하면 단시간에서의 고온 열처리가 가능하게 된다. 또한, 단시간의 열처리이기 때문에, 기관의 변형점을 넘는 온도 조건에서도 적용이 가능하게 된다.
- [0113] 또한, 제 1 열처리는 질소, 또는 희가스(헬륨, 네온, 아르곤 등)를 주성분으로 하는 분위기이며, 물, 수소 등이 포함되지 않는 분위기에서 행하는 것이 바람직하다. 예를 들면, 열처리 장치에 도입하는 질소, 또는 헬륨, 네온, 아르곤 등의 희가스의 순도를 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상(즉, 불순물 농도가 1 ppm 이하, 바람직하게는 0.1 ppm 이하)로 한다.
- [0114] 제 1 열처리의 조건, 또는 산화물 반도체층의 재료에 따라서는, 산화물 반도체층이 결정화하여, 미결정 또는 다결정이 되는 경우도 있다. 예를 들면, 결정화율이 90% 이상, 또는 80% 이상의 미결정의 산화물 반도체층이 되는 경우도 있다. 또한, 제 1 열처리의 조건, 또는 산화물 반도체층의 재료에 따라서는 결정 성분을 포함하지 않는 비정질의 산화물 반도체층이 되는 경우도 있다.
- [0115] 또한, 비정질의 산화물 반도체(예를 들면, 산화물 반도체층의 표면)에 미결정{입경 1 nm 이상 20 nm 이하(대표적으로는 2 nm 이상 4 nm 이하)}이 혼재하는 산화물 반도체층이 되는 경우도 있다.
- [0116] 또한, 산화물 반도체층의 비정질 영역 중에 미결정을 배열시킴으로써, 산화물 반도체층의 전기적 특성을 변화시키는 것도 가능하다. 예를 들면, In-Ga-Zn-O계의 산화물 반도체 성막용 타겟을 이용하여 산화물 반도체층을 형성하는 경우에는, 전기적 이방성을 가지는 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 의 결정립이 배향한 미결정부를 형성함으로써, 산화물 반도체층의 전기적 특성을 변화시킬 수 있다.
- [0117] 보다 구체적으로는, 예를 들면, $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 의 c축이 산화물 반도체층의 표면에 수직인 방향을 취하도록 결정립을 배향시킴으로써, 산화물 반도체층의 표면에 평행한 방향의 도전성을 향상시켜, 산화물 반도체층의 표면에 수직인 방향의 절연성을 향상시킬 수 있다. 또한, 이러한 미결정부는 산화물 반도체층 중으로 물이나 수소 등의 불순물이 침입하는 것을 억제하는 기능을 가진다.
- [0118] 또한, 상술한 미결정부를 가지는 산화물 반도체층은 GRTA 처리에 의한 산화물 반도체층의 가열에 의해 형성할 수 있다. 또한, Zn의 함유량이 In 또는 Ga의 함유량보다 작은 스퍼터링 타겟을 이용함으로써, 보다 적합하게 형성하는 것이 가능하다.
- [0119] 산화물 반도체층(140)에 대한 제 1 열처리는 섬 형상의 산화물 반도체층(140)에 가공하기 전의 산화물 반도체층

에 행할 수도 있다. 그 경우에는, 제 1 열처리 후에, 가열 장치로부터 기판을 취출하여, 포토리소그래피 공정을 행하게 된다.

- [0120] 또한, 상기 제 1 열처리는 산화물 반도체층(140)에 대한 탈수화, 탈수소화의 효과가 있기 때문에, 탈수화 처리, 탈수소화 처리 등이라고 부를 수도 있다. 이러한 탈수화 처리, 탈수소화 처리는 산화물 반도체층의 형성 후, 산화물 반도체층(140) 위에 소스 전극 또는 드레인 전극을 적층시킨 후, 소스 전극 또는 드레인 전극 위에 보호 절연층을 형성한 후 등의 타이밍에서 행하는 것이 가능하다. 또한, 이와 같은 탈수화 처리, 탈수소화 처리는 1회에 한정하지 않고 복수회 행하여도 좋다.
- [0121] 다음에, 산화물 반도체층(140)에 접하도록, 소스 전극 또는 드레인 전극(142a), 소스 전극 또는 드레인 전극(142b)을 형성한다(도 4의 (F) 참조). 소스 전극 또는 드레인 전극(142a), 소스 전극 또는 드레인 전극(142b)은 산화물 반도체층(140)을 덮도록 도전층을 형성한 후, 이 도전층을 선택적으로 에칭함으로써 형성할 수 있다.
- [0122] 도전층은 스퍼터링법을 비롯한 PVD법이나, 플라즈마 CVD법 등의 CVD법을 이용하여 형성할 수 있다. 또한, 도전층의 재료로서는, 알루미늄, 크롬, 구리, 탄탈, 티탄, 몰리브덴, 텅스텐으로부터 선택된 원소나, 상술한 원소를 성분으로 하는 합금 등을 이용할 수 있다. 망간, 마그네슘, 지르코늄, 베릴륨, 톨륨으로부터 선택된 어느 하나 또는 복수의 재료를 이용해도 좋다. 또한, 알루미늄에, 티탄, 탄탈, 텅스텐, 몰리브덴, 크롬, 네오디뮴, 스칸듐으로부터 선택된 원소를 단수, 또는 복수 조합한 재료를 이용해도 좋다. 도전층은 단층 구조여도 좋고, 2층 이상의 적층 구조로 해도 좋다. 예를 들면, 실리콘을 포함하는 알루미늄막의 단층 구조, 알루미늄막 위에 티탄막이 적층된 2층 구조, 티탄막과 알루미늄막과 티탄막이 적층된 3층 구조 등을 들 수 있다.
- [0123] 여기서, 에칭에 이용하는 마스크 형성시의 노광에는, 자외선이나 KrF 레이저광이나 ArF 레이저광을 이용하는 것이 적합하다.
- [0124] 트랜지스터의 채널 길이(L)는 소스 전극 또는 드레인 전극(142a)의 하단부와, 소스 전극 또는 드레인 전극(142b)의 하단부와의 간격에 의해 결정된다. 또한, 채널 길이(L)가 25 nm 미만에서 노광을 행하는 경우에는, 수 nm~수십 nm로 매우 파장이 짧은 초자외선(Extreme Ultraviolet)을 이용하여 마스크 형성의 노광을 행한다. 초자외선에 의한 노광은 해상도가 높고 초점 심도도 크다. 따라서, 후에 형성되는 트랜지스터의 채널 길이(L)를 10 nm 이상 1000 nm 이하로 하는 것도 가능하고, 회로의 동작 속도를 고속화할 수 있다. 또한 오프 전류값이 매우 작기 때문에, 소비 전력이 크지 않아도 된다.
- [0125] 또한, 도전층의 에칭 시에는, 산화물 반도체층(140)이 제거되지 않도록, 각각의 재료 및 에칭 조건을 적절히 조절한다. 또한, 재료 및 에칭 조건에 따라서는, 이 공정에서, 산화물 반도체층(140)의 일부가 에칭되어 홈부(오목부)를 가지는 산화물 반도체층이 될 수도 있다.
- [0126] 또한, 산화물 반도체층(140)과 소스 전극 또는 드레인 전극(142a)의 사이나, 산화물 반도체층(140)과 소스 전극 또는 드레인 전극(142b)의 사이에는, 산화물 도전층을 형성해도 좋다. 산화물 도전층과 소스 전극 또는 드레인 전극(142a)이나 소스 전극 또는 드레인 전극(142b)을 형성하기 위한 금속층은 연속하여 형성하는 것(연속 성막)이 가능하다. 산화물 도전층은 소스 영역 또는 드레인 영역으로서 기능할 수 있다. 이러한 산화물 도전층을 형성함으로써, 소스 영역 또는 드레인 영역의 저저항화를 도모할 수 있기 때문에, 트랜지스터의 고속 동작이 실현된다.
- [0127] 또한, 상기 마스크의 사용수나 공정수를 삭감하기 위해, 투과한 광이 복수의 강도가 되는 노광 마스크인 다계조 마스크에 의해 레지스트 마스크를 형성하고, 이것을 이용하여 에칭 공정을 행하여도 좋다. 다계조 마스크를 이용하여 형성한 레지스트 마스크는 복수의 두께를 가지는 형상(계단상)이 되어, 에칭에 의해 형상을 더욱 변형시킬 수 있기 때문에, 다른 패턴으로 가공하는 복수의 에칭 공정에 이용할 수 있다. 즉, 한 장의 다계조 마스크에 의해, 적어도 2종류 이상의 다른 패턴에 대응하는 레지스트 마스크를 형성할 수 있다. 따라서, 노광 마스크 수를 삭감할 수 있어, 대응하는 포토리소그래피 공정 수도 삭감할 수 있기 때문에, 공정의 간략화를 도모할 수 있다.
- [0128] 또한, 상술한 공정 후에는, N_2O , N_2 , 또는 Ar 등의 가스를 이용한 플라즈마 처리를 행하는 것이 바람직하다. 이 플라즈마 처리에 의해, 노출되어 있는 산화물 반도체층의 표면에 부착된 물 등이 제거된다. 또한, 산소와 아르곤의 혼합 가스를 이용하여 플라즈마 처리를 행하여도 좋다.
- [0129] 다음에, 대기에 접하게 하지 않고, 산화물 반도체층(140)의 일부에 접하는 보호 절연층(144)을 형성한다(도 4의 (G) 참조).

- [0130] 보호 절연층(144)은 스퍼터링법 등, 보호 절연층(144)에 물, 수소 등의 불순물을 혼입시키지 않는 방법을 적절히 이용하여 형성할 수 있다. 또한, 그 두께는 1 nm 이상으로 한다. 보호 절연층(144)에 이용할 수 있는 재료로서는 산화규소, 질화규소, 산화질화규소, 질화산화규소 등이 있다. 또한, 그 구조는 단층 구조로 해도 좋고, 적층 구조로 해도 좋다. 보호 절연층(144)을 형성할 때의 기판 온도는 실온 이상 300℃ 이하로 하는 것이 바람직하고, 분위기는 회가스(대표적으로는 아르곤) 분위기, 산소 분위기, 또는 회가스(대표적으로는 아르곤)와 산소의 혼합 분위기로 하는 것이 적합하다.
- [0131] 보호 절연층(144)에 수소가 포함되면, 그 수소의 산화물 반도체층에의 침입이나, 수소에 의한 산화물 반도체층 중의 산소의 추출 등이 발생하고, 산화물 반도체층의 백 채널층이 저저항화하게 되어, 기생 채널이 형성될 우려가 있다. 따라서, 보호 절연층(144)은 가능한 한 수소를 포함하지 않도록, 형성 방법에서는 수소를 이용하지 않는 것이 중요하다.
- [0132] 또한, 처리실 내의 잔류 수분을 제거하면서 보호 절연층(144)을 형성하는 것이 바람직하다. 산화물 반도체층(140) 및 보호 절연층(144)에 수소, 수산기 또는 물이 포함되지 않게 하기 위해서이다.
- [0133] 처리실 내의 잔류 수분을 제거하기 위해서는, 흡착형의 진공 펌프를 이용하는 것이 바람직하다. 예를 들면, 크라이오 펌프, 이온 펌프, 티탄 서블리메이션 펌프를 이용하는 것이 바람직하다. 또한, 배기 수단으로서, 터보 펌프에 콜드 트랩을 더한 것이어도 좋다. 크라이오 펌프를 이용하여 배기한 성막실은 예를 들면, 수소 원자나, 물(H₂O) 등 수소 원자를 포함하는 화합물 등이 제거되어 있기 때문에, 이 성막실에서 형성한 보호 절연층(144)에 포함되는 불순물의 농도를 저감할 수 있다.
- [0134] 보호 절연층(144)을 형성할 때에 이용하는 스퍼터링 가스로서는, 수소, 물, 수산기를 포함하는 화합물, 또는 수소화물 등의 불순물의 농도가 수 ppm 정도(바람직하게는 수 ppb 정도)로까지 제거된 고순도 가스를 이용하는 것이 바람직하다.
- [0135] 다음에, 불활성 가스 분위기하, 또는 산소 가스 분위기하에서 제 2 열처리(바람직하게는 200℃ 이상 400℃ 이하, 예를 들면 250℃ 이상 350℃ 이하)를 행하는 것이 바람직하다. 예를 들면, 질소 분위기하에서 250℃, 1시간의 제 2 열처리를 행한다. 제 2 열처리를 행하면 트랜지스터의 전기적 특성의 편차를 저감할 수 있다.
- [0136] 또한, 대기 중, 100℃ 이상 200℃ 이하, 1시간 이상 30시간 이하의 열처리를 행하여도 좋다. 이 열처리는 일정한 가열 온도를 보유하여 가열해도 좋고, 실온으로부터, 100℃ 이상 200℃ 이하의 가열 온도로의 승온과, 가열 온도로부터 실온까지의 강온을 복수회 반복하여 행하여도 좋다. 또한, 이 열처리를 보호 절연층의 형성 전에 감압 하에서 행하여도 좋다. 감압하에서 열처리를 행하면 가열 시간을 단축할 수 있다. 또한, 이 감압하에서의 열처리는 상기 제 2 열처리 대신에 행하여도 좋고, 제 2 열처리의 전후 등에 행하여도 좋다.
- [0137] 다음에, 보호 절연층(144) 위에 층간 절연층(146)을 형성한다(도 5(A) 참조). 층간 절연층(146)은 PVD법이나 CVD법 등을 이용하여 형성할 수 있다. 또한, 산화실리콘, 질화산화실리콘, 질화실리콘, 산화하프늄, 산화알루미늄, 산화탄탈 등의 무기 절연 재료를 포함하는 재료를 이용하여 형성할 수 있다. 층간 절연층(146)의 형성 후에는, 그 표면을 CMP나 에칭 등의 방법에 의해 평탄화해 두는 것이 바람직하다.
- [0138] 다음에, 층간 절연층(146), 보호 절연층(144), 및 게이트 절연층(138)에 대하여, 전극(136a), 전극(136b), 전극(136c), 소스 전극 또는 드레인 전극(142a), 소스 전극 또는 드레인 전극(142b)에까지 달하는 개구를 형성하고, 이 개구에 문도록 도전층(148)을 형성한다(도 5의 (B) 참조). 상기 개구는 마스크를 이용한 에칭 등의 방법에 의해 형성할 수 있다. 이 마스크는 포토마스크를 이용한 노광 등의 방법에 의해 형성하는 것이 가능하다. 에칭으로서 웨트 에칭, 드라이 에칭의 어느 것을 이용해도 좋지만, 미세 가공의 관점에서는, 드라이 에칭을 이용하는 것이 적합하다. 도전층(148)의 형성은 PVD법이나 CVD법 등의 성막법을 이용하여 행할 수 있다. 도전층(148)의 형성에 이용할 수 있는 재료로서는, 몰리브덴, 티탄, 크롬, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴, 스칸듐 등의 도전성 재료나, 이들의 합금, 화합물(예를 들면 질화물) 등을 들 수 있다.
- [0139] 구체적으로는, 예를 들면, 개구를 포함하는 영역에 PVD법에 의해 티탄막을 얇게 형성하여, CVD법에 의해 질화티탄막을 얇게 형성한 후에, 개구에 문도록 텅스텐막을 형성하는 방법을 적용할 수 있다. 여기서, PVD법에 의해 형성되는 티탄막은 하부 전극(여기에서는, 전극(136a), 전극(136b), 전극(136c), 소스 전극 또는 드레인 전극(142a), 소스 전극 또는 드레인 전극(142b))의 표면에 생기는 산화막을 환원하여, 하부 전극과의 접촉 저항을 저감시키는 기능을 가진다. 또한, 그 후에 형성되는 질화티탄막은 도전성 재료의 확산을 억제하는 배리어 기능을 구비한다. 또한, 티탄이나, 질화티탄 등에 의한 배리어막을 형성한 후에, 도금법에 의해 구리막을 형성해도

좋다.

- [0140] 도전층(148)을 형성한 후에는, 에칭이나 CMP와 같은 방법을 이용하여 도전층(148)의 일부를 제거하고, 층간 절연층(146)을 노출시켜, 전극(150a), 전극(150b), 전극(150c), 전극(150d), 전극(150e)을 형성한다(도 5의 (C) 참조). 또한, 상기 도전층(148)의 일부를 제거하여 전극(150a), 전극(150b), 전극(150c), 전극(150d), 전극(150e)을 형성할 때에는, 표면이 평탄하게 되도록 가공하는 것이 바람직하다. 이와 같이, 층간 절연층(146), 전극(150a), 전극(150b), 전극(150c), 전극(150d), 전극(150e)의 표면을 평탄화함으로써, 후의 공정에서, 양호한 전극, 배선, 절연층 등을 형성하는 것이 가능하게 된다.
- [0141] 또한, 절연층(152)을 형성하고, 절연층(152)에 전극(150a), 전극(150b), 전극(150c), 전극(150d), 전극(150e)에까지 달하는 개구를 형성하고, 이 개구에 묻도록 도전층을 형성한 후, 에칭이나 CMP 등의 방법을 이용하여 도전층의 일부를 제거하고, 절연층(152)을 노출시켜, 전극(154a), 전극(154b), 전극(154c), 전극(154d)을 형성한다(도 5의 (D) 참조). 이 공정은 전극(150a) 등을 형성하는 경우와 마찬가지로, 상세한 것은 생략한다.
- [0142] 상술한 바와 같은 방법으로 트랜지스터(162)를 제작한 경우, 산화물 반도체층(140)의 수소 농도는 5×10^{19} atoms/cm³ 이하가 되고, 또한, 트랜지스터(162)의 오프 전류는 100 zA/m 이하가 된다. 이러한, 수소 농도가 충분히 저감되어 고순도화된 산화물 반도체층(140)을 적용함으로써, 뛰어난 특성의 트랜지스터(162)를 얻을 수 있다. 또한, 하부에 산화물 반도체 이외의 재료를 이용한 트랜지스터(160)를 가지고, 상부에 산화물 반도체를 이용한 트랜지스터(162)를 가지는 뛰어난 특성의 반도체 장치를 제작할 수 있다.
- [0143] 또한, 산화물 반도체와의 비교 대상이 될 수 있는 반도체 재료로서는, 탄화규소(예를 들면, 4H-SiC)가 있다. 산화물 반도체와 4H-SiC는 몇 개의 공통점을 가지고 있다. 캐리어 밀도는 그 일례이다. 상온에서의 산화물 반도체의 진성 캐리어의 밀도는 $10^{-7}/\text{cm}^3$ 정도라고 추측되지만, 이것은, 4H-SiC에서의 $6.7 \times 10^{-11}/\text{cm}^3$ 와 같이, 매우 낮은 값이다. 실리콘의 진성 캐리어 밀도($1.4 \times 10^{10}/\text{cm}^3$ 정도)와 비교하면, 산화물 반도체의 진성 캐리어 밀도가 매우 낮다는 것을 잘 이해할 수 있다.
- [0144] 또한, 산화물 반도체의 에너지 밴드 갭은 3.0~3.5 eV이며, 4H-SiC의 에너지 밴드 갭은 3.26 eV이기 때문에, 모두 와이드 갭 반도체라는 점에서도, 산화물 반도체와 탄화규소는 공통되어 있다.
- [0145] 한편, 산화물 반도체와 탄화규소와의 사이에는 매우 큰 차이점이 존재한다. 그것은, 프로세스 온도이다. 탄화규소는 일반적으로 1500℃~2000℃의 열처리를 필요로 하기 때문에, 탄화규소 외의 반도체 재료를 이용하여 형성된 반도체 소자와의 적층 구조 형성은 곤란하다. 이러한 높은 온도에서는, 반도체 기판이나 반도체 소자 등이 파괴되어 버리기 때문이다. 한편, 산화물 반도체는 300℃~500℃(유리 전이 온도 이하, 최대 약 700℃까지)의 열처리로 제작하는 것이 가능하고, 따라서 산화물 반도체 외의 반도체 재료를 이용하여 집적회로를 형성한 후, 산화물 반도체에 의한 반도체 소자를 형성하는 것이 가능하게 된다.
- [0146] 또한, 탄화규소의 경우와 달리, 유리 기판 등 내열성이 낮은 기판을 이용하는 것이 가능하다는 이점을 가진다. 또한, 산화물 반도체는 고온에서의 열처리가 불필요하다는 점에서, 탄화규소와 비교하여 에너지 비용을 충분히 낮게 할 수 있다는 이점을 가진다.
- [0147] 또한, 산화물 반도체에 있어서, 물성 연구는 많이 되어 있지만, 에너지 갭 중의 국재(localized) 준위 자체를 충분히 줄인다는 사상을 포함하지 않는다. 개시하는 발명의 일 양태에서는, 국재 준위 형성의 원인이 될 수 있는 물이나 수소를 산화물 반도체 중으로부터 제거함으로써, 고순도화한 산화물 반도체를 제작한다. 이것은, 에너지 갭 중의 국재 준위 자체를 충분히 줄인다는 사상에 입각하는 것이다. 그리고, 고순도화한 산화물 반도체에 의해 매우 뛰어난 공업 제품의 제조를 가능하게 하는 것이다.
- [0148] 또한, 산소 결핍에 의해 발생하는 금속의 미결합손에 대하여 산소를 공급하고, 산소 결핍에 의한 국재 준위를 감소시킴으로써, 한층 고순도화된(i형의) 산화물 반도체를 형성하는 것도 가능하다. 예를 들어, 채널 형성 영역에 접하여 산소 과잉의 산화막을 형성하고, 이 산화막으로부터 채널 형성 영역에 산소를 공급하여, 산소 결핍에 의한 국재 준위를 감소시키는 것이 가능하다.
- [0149] 산화물 반도체의 결함은 과잉의 수소에 의한 전도대 하의 얇은 준위나, 산소의 부족에 의한 깊은 준위 등에 기인하는 것으로 되어 있다. 이러한 결함을 없애기 위해, 수소를 철저히 제거하고, 산소를 충분히 공급한다.
- [0150] <산화물 반도체를 이용한 트랜지스터의 전도 기구>

- [0151] 다음에, 산화물 반도체를 이용한 트랜지스터의 전도 기구에 대하여, 도 11 내지 도 14를 이용하여 설명한다. 또한, 이하의 설명에서는, 이해를 쉽게 하기 위해 이상적인 상황을 가정하고 있다.
- [0152] 도 11은, 산화물 반도체를 이용한 역스태거형의 트랜지스터의 단면도이다. 게이트 전극층(GE1) 위에 게이트 절연층(GI)을 통하여 산화물 반도체층(OS)이 형성되고, 그 위에 소스 전극(S) 및 드레인 전극(D)이 형성되어 있다.
- [0153] 도 12의 (A), 도 12의 (B)에는, 도 11의 A-A' 위에서의 에너지 밴드 구조의 모식도를 나타낸다. 도 12의 (A)는 게이트 전극층에 전압이 인가되지 않고($V_G = 0$), 또한, 드레인 전극, 소스 전극의 어느 것에도 전압을 인가하지 않거나, 또는, 같은 전압이 인가되는 경우이다($V_S = V_D = 0$, 또는 $V_S = V_D$). 도 12의 (B)는 드레인 전극에 정의 전압($V_D > 0$)을 인가하고, 게이트 전극층에는 전압을 인가하지 않는 경우($V_G = 0$)(파선으로 도시됨)와, 드레인 전극에 정의 전압($V_D > 0$)을 인가하고, 게이트 전극층에 정의 전압($V_G > 0$)을 인가한 경우(실선으로 도시됨)를 나타낸다. 게이트 전극층에 전압을 인가하지 않는 경우는 높은 퍼텐셜 장벽 때문에 소스 전극으로부터 산화물 반도체층에 캐리어(전자)가 주입되지 않아, 전류가 흐르지 않는 오프 상태를 나타낸다. 한편, 게이트 전극층에 정의 전압을 인가하면 퍼텐셜 장벽이 저하되고, 전류가 흐르는 온 상태를 나타낸다.
- [0154] 도 13의 (A), 도 13의 (B)에는, 도 11의 B-B'의 단면에서의 에너지 밴드도(모식도)를 나타낸다. 도 13의 (A)는 게이트 전극층(GE1)에 정의 전위(V_G)($V_G > 0$)가 부여된 상태이며, 소스 전극과 드레인 전극과의 사이에 캐리어(전자)가 흐르는 온 상태를 나타낸다. 또한, 도 13의 (B)는 게이트 전극층(GE1)에 부의 전위($-V_G$)($V_G > 0$)가 인가된 상태이며, 오프 상태(소수 캐리어는 흐르지 않는 상태)인 경우를 나타낸다.
- [0155] 도 14는 진공 준위와 금속의 일 함수(ϕ_M), 산화물 반도체의 전자 친화력(χ)의 관계를 나타낸다.
- [0156] 금속은 축퇴하고 있고, 페르미 준위는 전도대 내에 위치한다. 한편, 종래의 산화물 반도체는 n형이며, 그 페르미 준위(E_F)는 밴드 갭 중앙에 위치하는 진성 페르미 준위(E_i)로부터 떨어져, 전도대 근처에 위치하고 있다. 또한, 산화물 반도체에서 수소의 일부는 도너가 되고, n형화하는 요인의 하나인 것이 알려져 있다. 또한, 산소 결손도 n형화하는 하나의 요인인 것이 알려져 있다.
- [0157] 이것에 대하여 개시하는 발명의 일 양태에 관한 산화물 반도체는 n형화의 요인인 수소를 산화물 반도체로부터 제거하여, 산화물 반도체의 주성분 이외의 원소(불순물 원소)가 극력 포함되지 않도록 고순도화하고, 또한, 산소 결손을 제거함으로써 진성(i형)으로 하거나, 또는 진성에 접근한 산화물 반도체이다. 즉, 발명의 일 양태의 특징은 불순물 원소를 첨가하여 i형화하는 것이 아니라, 수소나 물 등의 불순물이나 산소 결손을 극력 제거함으로써, 고순도화된 i형(진성 반도체) 또는 그것에 접근하는 것이다. 이것에 의해, 페르미 준위(E_F)는 진성 페르미 준위(E_i)와 동일한 정도로 할 수 있다.
- [0158] 산화물 반도체의 밴드 갭(E_g)은 3.15 eV이고, 전자 친화력(χ)은 4.3 eV라고 알려져 있다. 소스 전극이나 드레인 전극을 구성하는 티탄(Ti)의 일 함수는 산화물 반도체의 전자 친화력(χ)과 거의 같다. 이 경우, 금속-산화물 반도체 계면에 있어서, 전자에 대하여 쇼트키형의 장벽은 형성되지 않는다.
- [0159] 금속의 일 함수(ϕ_M)와 산화물 반도체의 전자 친화력(χ)이 동일한 경우, 양자가 접촉하면 도 12의 (A)에 나타난 바와 같은 에너지 밴드도(모식도)를 얻을 수 있다.
- [0160] 도 12(B)에서 검은색 동그라미(●)는 전자를 나타낸다. 드레인 전극에 정의 전위가 부여되면, 전자는 배리어(h)를 넘어 산화물 반도체에 주입되고, 드레인 전극을 향해 흐른다. 배리어(h)의 높이는 게이트 전압(V_G)에 의존하여 변화하지만, 정의 드레인 전압이 드레인 전극에 인가되는 경우에는, 전압 인가가 없는 도 12의 (A)의 배리어의 높이, 즉 밴드 갭(E_g)의 1/2보다 낮아진다.
- [0161] 이때 전자는, 도 13의 (A)에 나타난 바와 같이, 게이트 절연층과 고순도화된 산화물 반도체와의 계면 부근(산화물 반도체의 에너지적으로 안정적인 최저부)에서 이동한다.
- [0162] 또한, 도 13의 (B)에 나타난 바와 같이, 게이트 전극(GE1)에 부의 전위가 부여되면, 소수 캐리어인 홀은 실질적으로 제로이기 때문에, 전류는 한없이 제로에 가까운 값이 된다.
- [0163] 예를 들면, 실온(25℃)에서의 오프 전류가 $10 \text{ zA}/\mu\text{m}(1 \times 10^{-20} \text{ A}/\mu\text{m})$ 이하, 혹은 $1 \text{ zA}/\mu\text{m}(1 \times 10^{-21} \text{ A}/\mu\text{m})$ 이

하이퍼, 이 때문에, 서브스레슬드 스윙값(S값)이 0.1V/dec.의 트랜지스터를 얻을 수 있다.

- [0164] 이와 같이, 산화물 반도체의 주성분 이외의 불순물이 극력 포함되지 않도록 산화물 반도체를 고순도화시킴으로써, 트랜지스터의 동작을 양호한 것으로 할 수 있다.
- [0165] <변형예>
- [0166] 도 6 내지 도 9에는, 반도체 장치의 구성의 변형예를 나타낸다. 또한, 이하에서는, 변형예로서 트랜지스터(162)의 구성이 상기와는 다른 것에 대하여 설명한다. 즉, 트랜지스터(160)의 구성은 상기와 같다.
- [0167] 도 6에는, 산화물 반도체층(140) 아래에 게이트 전극(136d)을 가지고, 소스 전극 또는 드레인 전극(142a)이나, 소스 전극 또는 드레인 전극(142b)이 산화물 반도체층(140)의 하측 표면에서 산화물 반도체층(140)과 접하는 구성의 트랜지스터(162)를 가지는 반도체 장치의 예를 나타낸다. 또한, 평면의 구조는 단면에 대응하여 적절히 변경하면 좋기 때문에, 여기에서는 단면에 대해서만 나타내기로 한다.
- [0168] 도 6에 나타난 구성과 도 2의 (A)에 나타난 구성의 큰 차이점으로서, 소스 전극 또는 드레인 전극(142a)이나, 소스 전극 또는 드레인 전극(142b)과 산화물 반도체층(140)과의 접촉의 위치가 있다. 즉, 도 2의 (A)에 나타난 구성에서는, 산화물 반도체층(140)의 상측 표면에서, 소스 전극 또는 드레인 전극(142a)이나, 소스 전극 또는 드레인 전극(142b)과 접하는 것에 비해, 도 6에 나타난 구성에서는, 산화물 반도체층(140)의 하측 표면에서, 소스 전극 또는 드레인 전극(142a)이나, 소스 전극 또는 드레인 전극(142b)과 접한다. 그리고, 이 접촉 위치의 차이에 기인하여, 그 외의 전극, 절연층 등의 배치가 다른 것으로 되어 있다. 각 구성 요소의 상세한 사항은, 도 2와 같다.
- [0169] 구체적으로는, 도 6에 나타난 반도체 장치는 층간 절연층(128) 위에 형성된 게이트 전극(136d)과, 게이트 전극(136d) 위에 형성된 게이트 절연층(138)과, 게이트 절연층(138) 위에 형성된, 소스 전극 또는 드레인 전극(142a), 소스 전극 또는 드레인 전극(142b)과, 소스 전극 또는 드레인 전극(142a), 소스 전극 또는 드레인 전극(142b)의 상측 표면에 접하는 산화물 반도체층(140)을 가진다.
- [0170] 여기서, 게이트 전극(136d)은 층간 절연층(128) 위에 형성된 절연층(132)에 묻히도록 형성되어 있다. 또한, 게이트 전극(136d)과 마찬가지로, 소스 전극 또는 드레인 전극(130a)에 접하여 전극(136a)이, 소스 전극 또는 드레인 전극(130b)에 접하여 전극(136b)이, 전극(130c)에 접하여 전극(136c)이, 각각 형성되어 있다.
- [0171] 또한, 트랜지스터(162)의 위에는, 산화물 반도체층(140)의 일부와 접하도록, 보호 절연층(144)이 형성되어 있고, 보호 절연층(144) 위에는 층간 절연층(146)이 형성되어 있다. 여기서, 보호 절연층(144) 및 층간 절연층(146)에는 소스 전극 또는 드레인 전극(142a), 소스 전극 또는 드레인 전극(142b)에까지 달하는 개구가 형성되어 있고, 이 개구를 통하여, 전극(150d), 전극(150e)이 소스 전극 또는 드레인 전극(142a), 소스 전극 또는 드레인 전극(142b)에 접하여 형성되어 있다. 또한, 전극(150d), 전극(150e)과 마찬가지로, 게이트 절연층(138), 보호 절연층(144), 층간 절연층(146)에 형성된 개구를 통하여, 전극(136a), 전극(136b), 전극(136c)에 접하는 전극(150a), 전극(150b), 전극(150c)이 형성되어 있다.
- [0172] 또한, 층간 절연층(146) 위에는 절연층(152)이 형성되어 있고, 이 절연층(152)에 묻히도록, 전극(154a), 전극(154b), 전극(154c), 전극(154d)이 형성되어 있다. 여기서, 전극(154a)은 전극(150a)과 접하고 있고, 전극(154b)은 전극(150b)과 접하고 있고, 전극(154c)은 전극(150c) 및 전극(150d)과 접하고 있고, 전극(154d)은 전극(150e)과 접하고 있다.
- [0173] 도 7은 산화물 반도체층(140) 위에 게이트 전극(136d)을 가지는 반도체 장치 구성의 예이다. 여기서, 도 7의 (A)는 소스 전극 또는 드레인 전극(142a)이나, 소스 전극 또는 드레인 전극(142b)이 산화물 반도체층(140)의 하측 표면에서 산화물 반도체층(140)과 접하는 구성의 예이며, 도 7의 (B)는 소스 전극 또는 드레인 전극(142a)이나, 소스 전극 또는 드레인 전극(142b)이, 산화물 반도체층(140)의 상측 표면에서 산화물 반도체층(140)과 접하는 구성의 예이다.
- [0174] 도 2의 (A)나 도 6에 나타난 구성과 도 7에 나타난 구성의 큰 차이점은, 산화물 반도체층(140)의 위에 게이트 전극(136d)을 가지는 점이다. 또한, 도 7의 (A)에 나타난 구성과 도 7의 (B)에 나타난 구성의 큰 차이점은 소스 전극 또는 드레인 전극(142a)이나, 소스 전극 또는 드레인 전극(142b)이 산화물 반도체층(140)의 하측 표면 또는 상측 표면의 어느 것에서 접촉하는가 하는 점이다. 그리고, 이러한 차이에 기인하여, 그 외의 전극, 절연층 등의 배치가 다른 것으로 되어 있다. 각 구성 요소의 자세한 것은 도 2의 것과 마찬가지이다.
- [0175] 구체적으로는, 도 7의 (A)에 예시된 반도체 장치는, 층간 절연층(128) 위에 형성된 소스 전극 또는 드레인 전극

(142a), 소스 전극 또는 드레인 전극(142b)과, 소스 전극 또는 드레인 전극(142a), 소스 전극 또는 드레인 전극(142b)의 상측 표면에 접하는 산화물 반도체층(140)과, 산화물 반도체층(140) 위에 형성된 게이트 절연층(138)과, 게이트 절연층(138) 위의 산화물 반도체층(140)과 중첩하는 영역의 게이트 전극(136d)을 가진다.

[0176] 또한, 도 7의 (B)에서는, 층간 절연층(128) 위에 형성된 산화물 반도체층(140)과, 산화물 반도체층(140)의 상측 표면에 접하도록 형성된 소스 전극 또는 드레인 전극(142a), 소스 전극 또는 드레인 전극(142b)과, 산화물 반도체층(140), 소스 전극 또는 드레인 전극(142a), 및, 소스 전극 또는 드레인 전극(142b) 위에 형성된 게이트 절연층(138)과, 게이트 절연층(138) 위의 산화물 반도체층(140)과 중첩하는 영역의 게이트 전극(136d)을 가진다.

[0177] 또한, 도 7에 나타난 구성에서는, 도 2에 나타난 구성 등과 비교하여, 구성 요소를 생략할 수 있는 경우가 있다 (예를 들면, 전극(150a)이나 전극(154a) 등). 이 경우, 제작 공정의 간략화라는 부차적인 효과도 얻을 수 있다. 물론, 도 2에 나타난 구성에서도, 필수가 아닌 구성 요소를 생략할 수 있다는 것은 말할 필요도 없다.

[0178] 도 8은 소자의 사이즈가 비교적 큰 경우이며, 산화물 반도체층(140) 아래에 게이트 전극(136d)을 가지는 구성의 예이다. 이 경우, 표면의 평탄성이나 커버리지에 대한 요구는 비교적 완만한 것이기 때문에, 배선이나 전극 등을 절연층 중에 묻도록 형성할 필요는 없다. 예를 들면, 도전층의 형성 후에 패터닝을 행함으로써, 게이트 전극(136d) 등을 형성하는 것이 가능하다. 또한, 여기에서는 도시하지 않았지만, 트랜지스터(160)에 대해서도, 마찬가지로 제작하는 것이 가능하다.

[0179] 도 8의 (A)에 나타난 구성과 도 8의 (B)에 나타난 구성의 큰 차이점은, 소스 전극 또는 드레인 전극(142a)이나, 소스 전극 또는 드레인 전극(142b)이, 산화물 반도체층(140)의 하측 표면 또는 상측 표면의 어디에서 접촉하는가 하는 점이다. 그리고, 이러한 차이에 기인하여, 그 외의 전극, 절연층 등의 배치가 다른 것으로 되어 있다. 각 구성 요소의 자세한 것은, 도 2의 것과 같다.

[0180] 구체적으로는, 도 8의 (A)에서의 반도체 장치는, 층간 절연층(128) 위에 형성된 게이트 전극(136d)과, 게이트 전극(136d) 위에 형성된 게이트 절연층(138)과, 게이트 절연층(138) 위에 형성된, 소스 전극 또는 드레인 전극(142a), 소스 전극 또는 드레인 전극(142b)과 소스 전극 또는 드레인 전극(142a), 소스 전극 또는 드레인 전극(142b)의 상측 표면에 접하는 산화물 반도체층(140)을 가진다.

[0181] 또한, 도 8의 (B)에서의 반도체 장치는, 층간 절연층(128) 위에 형성된 게이트 전극(136d)과, 게이트 전극(136d) 위에 형성된 게이트 절연층(138)과, 게이트 절연층(138) 위의 게이트 전극(136d)과 중첩하는 영역에 형성된 산화물 반도체층(140)과, 산화물 반도체층(140)의 상측 표면에 접하도록 형성된 소스 전극 또는 드레인 전극(142a), 소스 전극 또는 드레인 전극(142b)을 가진다.

[0182] 또한, 도 8에 나타난 구성에서도, 도 2에 나타난 구성 등과 비교하여, 구성 요소를 생략할 수 있는 경우가 있다. 이 경우에도, 제작 공정의 간략화라는 효과를 얻을 수 있다.

[0183] 도 9는, 소자의 사이즈가 비교적 큰 경우이며, 산화물 반도체층(140)의 위에 게이트 전극(136d)을 가지는 구성의 예이다. 이 경우에도, 표면의 평탄성이나 커버리지에 대한 요구는 비교적 완만한 것이기 때문에, 배선이나 전극 등을 절연층 중에 묻도록 형성할 필요는 없다. 예를 들면, 도전층의 형성 후에 패터닝을 행함으로써, 게이트 전극(136d) 등을 형성하는 것이 가능하다. 또한, 여기에서는 도시하지 않았지만, 트랜지스터(160)에 대해서도, 마찬가지로 제작하는 것이 가능하다.

[0184] 도 9의 (A)에 나타난 구성과 도 9의 (B)에 나타난 구성의 큰 차이점은 소스 전극 또는 드레인 전극(142a)이나, 소스 전극 또는 드레인 전극(142b)이 산화물 반도체층(140)의 하측 표면 또는 상측 표면의 어디에서 접촉하는가 하는 점이다. 그리고, 이러한 차이에 기인하여, 그 외의 전극, 절연층 등의 배치가 다른 것으로 되어 있다. 각 구성 요소의 상세한 사항은 도 2의 것과 마찬가지로이다.

[0185] 구체적으로는, 도 9의 (A)의 반도체 장치는, 층간 절연층(128) 위에 형성된 소스 전극 또는 드레인 전극(142a), 소스 전극 또는 드레인 전극(142b)과, 소스 전극 또는 드레인 전극(142a), 소스 전극 또는 드레인 전극(142b)의 상측 표면에 접하는 산화물 반도체층(140)과, 소스 전극 또는 드레인 전극(142a), 소스 전극 또는 드레인 전극(142b), 산화물 반도체층(140) 위에 형성된 게이트 절연층(138)과, 게이트 절연층(138) 위의 산화물 반도체층(140)과 중첩하는 영역에 형성된 게이트 전극(136d)을 가진다.

[0186] 또한, 도 9의 (B)의 반도체 장치는, 층간 절연층(128) 위에 형성된 산화물 반도체층(140)과, 산화물 반도체층(140)의 상측 표면에 접하도록 형성된 소스 전극 또는 드레인 전극(142a), 소스 전극 또는 드레인 전극(142b)과, 소스 전극 또는 드레인 전극(142a), 소스 전극 또는 드레인 전극(142b), 산화물 반도체층(140)

위에 형성된 게이트 절연층(138)과, 게이트 절연층(138) 위의 산화물 반도체층(140)과 중첩하는 영역에 형성된 게이트 전극(136d)을 가진다.

- [0187] 또한, 도 9에 나타난 구성에서도, 도 2에 나타난 구성 등과 비교하여, 구성 요소를 생략할 수 있는 경우가 있다. 이 경우도, 제작 공정의 간략화라는 효과를 얻을 수 있다.
- [0188] 이상에 나타난 바와 같이, 개시하는 발명의 일 양태에 의해, 새로운 구성의 반도체 장치가 실현된다. 본 실시 형태에서는, 트랜지스터(160)와 트랜지스터(162)를 적층하여 형성하는 예에 대하여 설명했지만, 반도체 장치의 구성은 이것에 한정되는 것은 아니다. 또한, 본 실시 형태에서는, 트랜지스터(160)와 트랜지스터(162)의 채널 길이 방향이 서로 수직이 되는 예를 설명했지만, 트랜지스터(160)와 트랜지스터(162)의 위치 관계 등은 이것에 한정되는 것은 아니다. 또한, 트랜지스터(160)와 트랜지스터(162)를 중첩하여 설치해도 좋다.
- [0189] 또한, 본 실시 형태에서는 이해를 간단하게 하기 위해, 최소 기억 단위(1 비트)의 반도체 장치에 대하여 설명했지만, 반도체 장치의 구성은 이것에 한정되는 것은 아니다. 복수의 반도체 장치를 적당히 접속하여, 보다 고도의 반도체 장치를 구성할 수도 있다. 예를 들면, 상기 반도체 장치를 복수 이용하여, NAND형이나 NOR형의 반도체 장치를 구성하는 것이 가능하다. 배선의 구성도 도 1에 한정되지 않고, 적절히 변경할 수 있다.
- [0190] 본 실시 형태에 관한 반도체 장치는, 트랜지스터(162)의 저오프 전류 특성에 의해, 매우 장시간에 걸쳐 정보를 보유하는 것이 가능하다. 즉, DRAM 등에 필요한 리프레시 동작이 불필요하고, 소비 전력을 억제할 수 있다. 또한, 실질적인 불휘발성의 반도체 장치로서 이용하는 것이 가능하다.
- [0191] 또한, 트랜지스터(162)의 스위칭 동작에 의해 정보의 기입 등을 행하기 때문에, 높은 전압을 필요로 하지 않고, 소자의 열화의 문제도 없다. 또한, 트랜지스터의 온, 오프 상태에 의해, 정보의 기입이나 소거가 행해지기 때문에, 고속 동작도 용이하게 실현할 수 있다. 또한, 트랜지스터에 입력하는 전위를 제어함으로써 직접 정보를 다시 쓰는 것이 가능하기 때문에, 플래시 메모리 등에서 필요로 하는, 정보를 소거하기 위한 동작이 불필요하다는 이점도 있다.
- [0192] 또한, 산화물 반도체 이외의 재료를 이용한 트랜지스터는 산화물 반도체를 이용한 트랜지스터와 비교하여, 새로운 고속 동작이 가능하기 때문에, 이것을 이용함으로써, 기억 내용의 판독을 고속으로 행하는 것이 가능하다.
- [0193] 본 실시 형태에 나타내는 구성, 방법 등은, 다른 실시 형태에 나타내는 구성, 방법 등과 적절히 조합하여 이용할 수 있다.
- [0195] (실시 형태 2)
- [0196] 본 실시 형태에서는, 개시하는 발명의 다른 일 양태에 관한 반도체 장치의 구성 및 제작 방법에 대하여, 도 15를 참조하여 설명한다.
- [0197] 도 15의 (A)에는, 반도체 장치의 회로 구성의 일례를 나타낸다. 도 1과의 차이는 용량 소자(164)의 유무이다. 즉, 도 15의 (A)에서, 트랜지스터(162)의 소스 전극 또는 드레인 전극의 한쪽과, 용량 소자(164)의 전극의 한쪽과, 트랜지스터(160)의 게이트 전극은 전기적으로 접속되어 있다. 또한, 제 1 배선(1st Line: 소스선(BL)이라고도 부름)과 트랜지스터(160)의 소스 전극은 전기적으로 접속되고, 제 2 배선(2nd Line: 비트선(BL)이라고도 부름)과 트랜지스터(160)의 드레인 전극은 전기적으로 접속되어 있다. 또한, 제 3 배선(3rd Line: 제 1 신호선(S1)이라고도 부름)과 트랜지스터(162)의 소스 전극 또는 드레인 전극의 다른 한쪽은 전기적으로 접속되고, 제 4 배선(4th Line: 제 2 신호선(S2)이라고도 부름)과 트랜지스터(162)의 게이트 전극은 전기적으로 접속되어 있다. 그리고, 제 5 배선(5th Line: 워드선(WL)이라고도 부름)과, 용량 소자(164)의 전극의 다른 한쪽은 전기적으로 접속되어 있다. 또한, 도 15에서는, 산화물 반도체를 이용한 트랜지스터인 것을 나타내기 위해, OS의 부호를 함께 붙이고 있다.
- [0198] 여기서, 트랜지스터(162)에는 상술한 산화물 반도체를 이용한 트랜지스터가 적용된다. 산화물 반도체를 이용한 트랜지스터는 오프 전류가 매우 작다는 특징을 가지고 있다. 따라서, 트랜지스터(162)를 오프 상태로 함으로써, 트랜지스터(160)의 게이트 전극의 전위를 매우 장시간에 걸쳐 보유하는 것이 가능하다. 그리고, 용량 소자(164)를 가짐으로써, 트랜지스터(160)의 게이트 전극에 부여된 전하의 보유가 용이하게 되고, 또한, 보유된 정보의 판독이 용이하게 된다.
- [0199] 또한, 트랜지스터(160)에 대해서는 특별히 한정되지 않는다. 정보의 판독 속도를 향상시킨다는 관점에서는, 예를 들면, 단결정 실리콘을 이용한 트랜지스터 등 스위칭 속도가 높은 트랜지스터를 적용하는 것이 적합하다.

- [0200] 도 15의 (A)에 나타낸 반도체 장치에서는, 트랜지스터(160)의 게이트 전극의 전위를 보유할 수 있다는 특징을 살림으로써, 다음과 같이, 정보의 기입, 보유, 판독이 가능하다.
- [0201] 먼저, 정보의 기입 및 보유에 대하여 설명한다. 먼저, 제 4 배선의 전위를 트랜지스터(162)가 온 상태가 되는 전위로 하고, 트랜지스터(162)를 온 상태로 한다. 이것에 의해, 제 3 배선의 전위가 트랜지스터(160)의 게이트 전극, 및 용량 소자(164)에 부여된다. 즉, 트랜지스터(160)의 게이트 전극에는 소정의 전하가 부여된다(기입). 여기에서는, 다른 2개의 전위를 부여하는 전하(이하, 저전위를 부여하는 전하를 전하(Q_L), 고전위를 부여하는 전하를 전하(Q_H)라고 함)의 어느 것인가가 트랜지스터(160)의 게이트 전극에 부여되는 것으로 한다. 또한, 다른 3개 또는 그 이상의 전위를 부여하는 전하를 적용하여, 기억 용량을 향상시켜도 좋다. 그 후, 제 4 배선의 전위를 트랜지스터(162)가 오프 상태가 되는 전위로 하고, 트랜지스터(162)를 오프 상태로 함으로써, 트랜지스터(160)의 게이트 전극에 부여된 전하가 보유된다(보유).
- [0202] 트랜지스터(162)의 오프 전류는 매우 작기 때문에, 트랜지스터(160)의 게이트 전극의 전하는 장시간에 걸쳐 보유된다.
- [0203] 다음에, 정보의 판독에 대하여 설명한다. 제 1 배선에 소정의 전위(정전위)를 부여한 상태로, 제 5 배선에 적절한 전위(판독 전위)를 부여하면, 트랜지스터(160)의 게이트 전극에 보유된 전하량에 따라, 제 2 배선은 다른 전위를 취한다. 일반적으로, 트랜지스터(160)를 n 채널형으로 하면, 트랜지스터(160)의 게이트 전극에 Q_H 가 부여된 경우의 겹보기 스레숄드값(V_{th_H})은 트랜지스터(160)의 게이트 전극에 Q_L 이 부여된 경우의 겹보기 스레숄드값(V_{th_L})보다 낮아지기 때문이다. 여기서, 겹보기 스레숄드 전압이란, 트랜지스터(160)를 「온 상태」로 하기 위해 필요한 제 5 배선의 전위를 말하는 것으로 한다. 따라서, 제 5 배선의 전위를 V_{th_H} 와 V_{th_L} 의 중간의 전위(V_0)로 함으로써, 트랜지스터(160)의 게이트 전극에 부여된 전하를 판별할 수 있다. 예를 들면, 기입에서, Q_H 가 부여되어 있던 경우에는, 제 5 배선의 전위가 $V_0(>V_{th_H})$ 가 되면, 트랜지스터(160)는 「온 상태」가 된다. Q_L 이 부여되어 있던 경우에는, 제 5 배선의 전위가 $V_0(>V_{th_L})$ 가 되어도, 트랜지스터(160)는 「오프 상태」인 채이다. 따라서, 제 2 배선의 전위를 보는 것에 의해, 보유되어 있는 정보를 읽어낼 수 있다.
- [0204] 또한, 메모리 셀을 어레이 형상으로 배치하여 이용하는 경우에는, 소망의 메모리 셀의 정보만을 읽어낼 수 있는 것이 요구된다. 이와 같이, 소정의 메모리 셀의 정보를 판독, 그 이외의 메모리 셀의 정보를 읽어내지 않는 경우에는, 판독의 대상이 아닌 메모리 셀의 제 5 배선에 대하여, 게이트 전극 상태에 관계없이 트랜지스터(160)가 「오프 상태」가 되는 전위, 즉, V_{th_H} 보다 작은 전위를 부여하면 좋다. 또는, 게이트 전극 상태에 관계없이 트랜지스터(160)가 「온 상태」가 되는 전위, 즉, V_{th_L} 보다 큰 전위를 제 5 배선에 부여하면 좋다.
- [0205] 다음에, 정보의 다시쓰기에 대하여 설명한다. 정보의 다시쓰기는, 상기 정보의 기입 및 보유와 마찬가지로 행해진다. 즉, 제 4 배선의 전위를 트랜지스터(162)가 온 상태가 되는 전위로 하고, 트랜지스터(162)를 온 상태로 한다. 이것에 의해, 제 3 배선의 전위(새로운 정보에 관한 전위)가 트랜지스터(160)의 게이트 전극 및 용량 소자(164)에 부여된다. 그 후, 제 4 배선의 전위를 트랜지스터(162)가 오프 상태가 되는 전위로 하고, 트랜지스터(162)를 오프 상태로 함으로써, 트랜지스터(160)의 게이트 전극은 새로운 정보에 관한 전하가 부여된 상태가 된다.
- [0206] 이와 같이, 개시하는 발명에 관한 반도체 장치는, 재차의 정보의 기입에 의해 직접적으로 정보를 다시쓰는 것이 가능하다. 따라서 플래시 메모리 등에서 필요로 하는 고전압을 이용한 플로팅 게이트로부터의 전하의 추출이 불필요하고, 소거 동작에 기인한 동작 속도의 저하를 억제할 수 있다. 즉, 반도체 장치의 고속 동작이 실현된다.
- [0207] 또한, 트랜지스터(162)의 소스 전극 또는 드레인 전극은, 트랜지스터(160)의 게이트 전극과 전기적으로 접속됨으로써, 불휘발성 메모리 소자로서 이용되는 플로팅 게이트형 트랜지스터의 플로팅 게이트와 동등한 작용을 얻는다. 따라서, 도면 중, 트랜지스터(162)의 소스 전극 또는 드레인 전극과 트랜지스터(160)의 게이트 전극이 전기적으로 접속되는 부위를 플로팅 게이트부(FG)라고 부르는 경우가 있다. 트랜지스터(162)가 오프인 경우, 이 플로팅 게이트부(FG)는 절연체 중에 매설되었다고 볼 수 있고, 플로팅 게이트부(FG)에는 전하가 보유된다. 산화물 반도체를 이용한 트랜지스터(162)의 오프 전류의 양은 실리콘 반도체 등으로 형성되는 트랜지스터의 오프 전류의 양의 10만 분의 1 이하이기 때문에, 트랜지스터(162)의 리크에 의한, 플로팅 게이트부(FG)에 축적되는 전하의 소실을 무시하는 것이 가능하다. 즉, 산화물 반도체를 이용한 트랜지스터(162)에 의해, 전력의 공급

이 없어도 정보의 보유가 가능한 불휘발성의 기억 장치를 실현하는 것이 가능하다.

- [0208] 예를 들면, 트랜지스터(162)의 실온(25℃)에서의 오프 전류가 10 zA(1 zA(zepto 암페어)는 1×10^{-21} A) 이하이며, 용량 소자(164)의 용량값이 10 fF 정도인 경우에는, 적어도 10^4 초 이상의 데이터 보유가 가능하다. 또한, 이 보유시간이, 트랜지스터 특성이나 용량값에 의해 변동하는 것은 말할 필요도 없다.
- [0209] 또한, 이 경우, 종래의 플로팅 게이트형 트랜지스터에서 지적되고 있는 게이트 절연막(터널 절연막)의 열화라는 문제가 존재하지 않는다. 즉, 종래 문제였던, 전자를 플로팅 게이트에 주입할 때의 게이트 절연막의 열화를 무시할 수 있다. 이것은, 원리적인 기입 횟수의 제한이 존재하지 않는 것을 의미하는 것이다. 또한, 종래의 플로팅 게이트형 트랜지스터에서 기입이나 소거 시에 필요했던 고전압도 불필요하다.
- [0210] 도 15의 (A)에 나타난 반도체 장치는, 이 반도체 장치를 구성하는 트랜지스터 등의 요소가 저항 및 용량을 포함하는 것으로서, 도 15의 (B)와 같이 생각하는 것이 가능하다. 즉, 도 15의 (B)에서는, 트랜지스터(160) 및 용량 소자(164)가 각각, 저항 및 용량을 포함하여 구성된다고 생각되게 된다. R1 및 C1은 각각, 용량 소자(164)의 저항값 및 용량값이며, 저항값(R1)은 용량 소자(164)를 구성하는 절연층에 의한 저항값에 상당한다. 또한, R2 및 C2는 각각, 트랜지스터(160)의 저항값 및 용량값이며, 저항값(R2)은 트랜지스터(160)가 온 상태일 때의 게이트 절연층에 의한 저항값에 상당하고, 용량값(C2)은 소위 게이트 용량(게이트 전극과, 소스 전극 또는 드레인 전극과의 사이에 형성되는 용량, 및, 게이트 전극과 채널 형성 영역과의 사이에 형성되는 용량)의 용량값에 상당한다.
- [0211] 트랜지스터(162)가 오프 상태에 있는 경우의 소스 전극과 드레인 전극의 사이의 저항값(실효 저항이라고도 부름)을 ROS로 하면, 트랜지스터(162)의 게이트 리크가 충분히 작은 조건에서, R1 및 R2가 $R1 \geq ROS$, $R2 \geq ROS$ 를 만족시키는 경우에는, 전하의 보유 기간(정보의 보유 기간이라고 할 수도 있음)은 주로 트랜지스터(162)의 오프 전류에 의해 결정되게 된다.
- [0212] 반대로, 이 조건을 만족시키지 않는 경우에는, 트랜지스터(162)의 오프 전류가 충분히 작아도, 보유 기간을 충분히 확보하는 것이 곤란하게 된다. 트랜지스터(162)의 오프 전류 이외의 리크 전류(예를 들면, 소스 전극과 게이트 전극의 사이에 생기는 리크 전류 등)가 크기 때문이다. 이것으로부터, 본 실시형태에서 개시하는 반도체 장치는 상술한 관계를 만족시키는 것인 것이 바람직하다고 할 수 있다.
- [0213] 한편, C1과 C2는 $C1 \geq C2$ 의 관계를 만족시키는 것이 바람직하다. C1을 크게 함으로써, 제 5 배선에 의해 플로팅 게이트부(FG)의 전위를 제어할 때(예를 들면, 판독 시)에, 제 5 배선의 전위의 변동을 낮게 억제할 수 있기 때문이다.
- [0214] 상술한 관계를 만족시킴으로써, 보다 적합한 반도체 장치를 실현하는 것이 가능하다. 또한, R1 및 R2는 트랜지스터(160)의 게이트 절연층이나 용량 소자(164)의 절연층에 의해 제어된다. C1 및 C2에 대해서도 마찬가지이다. 따라서, 게이트 절연층의 재료나 두께 등을 적절히 설정하여, 상술한 관계를 만족하도록 하는 것이 바람직하다.
- [0215] 본 실시형태에 나타내는 반도체 장치에서는, 플로팅 게이트부(FG)가 플래시 메모리 등의 플로팅 게이트형의 트랜지스터의 플로팅 게이트와 동등한 작용을 하지만, 본 실시형태의 플로팅 게이트부(FG)는 플래시 메모리 등의 플로팅 게이트와 본질적으로 다른 특징을 가진다. 플래시 메모리에서는, 컨트롤 게이트에 인가되는 전압이 높기 때문에, 그 전위의 영향이 인접하는 셀의 플로팅 게이트에 미치는 것을 막기 위해, 셀과 셀과의 간격을 어느 정도 유지할 필요가 생긴다. 이것은, 반도체 장치의 고집적화를 저해하는 요인의 하나이다. 그리고, 이 요인은 높은 전계를 인가하여 터널링 전류를 발생시키는 플래시 메모리의 근본적인 원리에 기인하는 것이다.
- [0216] 또한, 플래시 메모리의 상기 원리에 의해, 절연막의 열화가 진행되고, 다시쓰기 횟수의 한계($10^4 \sim 10^5$ 회 정도)라는 다른 문제도 생긴다.
- [0217] 개시하는 발명에 관한 반도체 장치는, 산화물 반도체를 이용한 트랜지스터의 스위칭에 의해 동작하고, 상술한 바와 같은 터널링 전류에 의한 전하 주입의 원리를 이용하지 않는다. 즉, 플래시 메모리와 같은 전하를 주입하기 위한 높은 전계가 불필요하다. 이것에 의해, 인접 셀에 대한 컨트롤 게이트에 의한 높은 전계의 영향을 고려할 필요가 없기 때문에, 고집적화가 용이하게 된다.
- [0218] 또한, 터널링 전류에 의한 전하의 주입을 이용하지 않기 때문에, 메모리 셀의 열화의 원인이 존재하지 않는다. 즉, 개시된 본 발명에 따른 반도체 장치는 플래시 메모리와 비교하여 높은 내구성 및 신뢰성을 가지게 된다.

- [0219] 또한, 높은 전계가 불필요하고, 대형의 주변 회로(승압 회로 등)가 불필요한 점도, 플래시 메모리에 대한 어드밴티지이다.
- [0220] 또한, C1을 구성하는 절연층의 비유전률($\epsilon r1$)과, C2를 구성하는 절연층의 비유전률($\epsilon r2$)을 다르게 하는 경우에는, C1의 면적(S1)과 C2의 면적(S2)이 $2 \cdot S2 \geq S1$ (바람직하게는 $S2 \geq S1$)를 만족시키면서, $C1 \geq C2$ 를 실현하는 것이 용이하다. 구체적으로는, 예를 들면, C1에서는, 산화하프늄 등의 high-k 재료로 이루어지는 막, 또는 산화하프늄 등의 high-k 재료로 이루어지는 막과 산화물 반도체로 이루어지는 막과의 적층 구조를 채용하여 $\epsilon r1$ 을 10 이상, 바람직하게는 15 이상으로 하고, C2에서는 산화실리콘을 채용하여, $\epsilon r2 = 3 \sim 4$ 로 할 수 있다. 이러한 구성을 아울러 이용함으로써, 개시하는 발명에 관한 반도체 장치의 고집적화가 가능하다.
- [0221] 또한, 상기 설명은 n형 트랜지스터(n 채널형 트랜지스터)를 이용하는 경우에 대한 것이지만, n형 트랜지스터 대신에, p형 트랜지스터를 이용할 수 있다는 것은 말할 필요도 없다.
- [0222] 이상에 나타난 바와 같이, 개시하는 발명의 일 양태의 반도체 장치는 오프 상태에서의 소스와 드레인 간의 리크 전류(오프 전류)가 적은 기입용 트랜지스터, 이 기입용 트랜지스터와 다른 반도체 재료를 이용한 판독용 트랜지스터 및 용량 소자를 포함하는 불휘발성의 메모리 셀을 가지고 있다.
- [0223] 기입용 트랜지스터의 오프 전류는, 실온(예를 들면, 25℃)에서 100 zA(1×10^{-19} A) 이하, 바람직하게는 10 zA(1×10^{-20} A) 이하, 더욱 바람직하게는, 1 zA(1×10^{-21} A) 이하이다. 통상의 실리콘 반도체에서는, 상술한 바와 같이 낮은 오프 전류를 얻는 것은 곤란하지만, 산화물 반도체를 적절한 조건에서 가공하여 얻어진 트랜지스터에서는 달성할 수 있다. 따라서, 기입용 트랜지스터로서 산화물 반도체를 포함하는 트랜지스터를 이용하는 것이 바람직하다.
- [0224] 또한, 산화물 반도체를 이용한 트랜지스터는 서브스레숄드 스윙값(S값)이 작기 때문에, 비교적 이동도가 낮아도 스위칭 속도를 충분히 크게 하는 것이 가능하다. 따라서, 이 트랜지스터를 기입용 트랜지스터로서 이용함으로써, 플로팅 게이트부(FG)에 부여되는 기입 펄스의 상승을 매우 험준하게 할 수 있다. 또한, 오프 전류가 작기 때문에, 플로팅 게이트부(FG)에 보유시키는 전하량을 줄이는 것이 가능하다. 즉, 산화물 반도체를 이용한 트랜지스터를 기입용 트랜지스터로서 이용함으로써, 정보의 다시쓰기를 고속으로 행할 수 있다.
- [0225] 판독용 트랜지스터로서는, 판독의 속도를 높게 하기 위해, 고속으로 동작하는 트랜지스터를 이용하는 것이 바람직하다. 예를 들면, 판독용 트랜지스터로서 스위칭 속도가 1 나노초 이하의 트랜지스터를 이용하는 것이 바람직하다.
- [0226] 메모리 셀에의 정보의 기입은 기입용 트랜지스터를 온 상태로 함으로써, 기입용 트랜지스터의 소스 전극 또는 드레인 전극의 한쪽과, 용량 소자의 전극의 한쪽과, 판독용 트랜지스터의 게이트 전극이 전기적으로 접속된 플로팅 게이트부(FG)에 전위를 공급하고, 그 후, 기입용 트랜지스터를 오프 상태로 함으로써, 플로팅 게이트부(FG)에 소정량의 전하를 보유시킴으로써 행한다. 여기서, 기입용 트랜지스터의 오프 전류는 매우 작기 때문에, 플로팅 게이트부(FG)에 공급된 전하는 장시간에 걸쳐 보유된다. 오프 전류가 예를 들면 실질적으로 0이면, 종래의 DRAM에서 요구되는 리프래시 동작이 불필요해지거나, 또는, 리프래시 동작의 빈도를 매우 낮게(예를 들면, 1개월 내지 일년에 한 번 정도) 하는 것이 가능하게 되어, 반도체 장치의 소비 전력을 충분히 저감할 수 있다.
- [0227] 또한, 메모리 셀에의 재차의 정보의 기입에 의해 직접적으로 정보를 다시쓰는 것이 가능하다. 따라서 플래시 메모리 등에서 요구되는 소거 동작이 불필요하고, 소거 동작에 기인하는 동작 속도의 저하를 억제할 수 있다. 즉, 반도체 장치의 고속 동작이 실현된다. 또한, 종래의 플로팅 게이트형 트랜지스터에 의해 기입이나 소거 시에 요구되는 높은 전압을 필요로 하지 않기 때문에, 반도체 장치의 소비 전력을 더욱 저감할 수 있다. 본 실시 형태에 관한 메모리 셀에 인가되는 전압(메모리 셀의 각 단자에 동시에 인가되는 전위의 최대의 것과 최소의 것의 차)의 최대값은 2 단계(1 비트)의 정보를 기입하는 경우, 하나의 메모리 셀에서, 5 V 이하, 혹은 3 V 이하로 할 수 있다.
- [0228] 개시하는 발명에 관한 반도체 장치에 배치되는 메모리 셀은 기입용 트랜지스터와 판독용 트랜지스터를 적어도 포함하고 있으면 좋기 때문에, 예를 들면, 1 메모리 셀당 6개의 트랜지스터를 필요로 하는 SRAM과 비교하여, 메모리 셀당의 면적을 충분히 작게 하는 것이 가능하다. 즉, 반도체 장치에서 메모리 셀을 고밀도로 배치할 수 있다.
- [0229] 또한, 종래의 플로팅 게이트형 트랜지스터에서는, 기입시에 게이트 절연막(터널 절연막) 중을 전하가 이동하기 때문에, 이 게이트 절연막(터널 절연막)의 열화가 불가피했다. 그러나, 본 발명의 일 양태에 관한 메모리 셀에

서는, 기입용 트랜지스터의 스위칭 동작에 의해 정보의 기입이 되기 때문에, 게이트 절연막의 열화의 문제가 없다. 이것은, 원리적인 기입 횟수의 제한이 존재하지 않고, 다시쓰기 내성이 매우 높은 것을 의미하는 것이다. 예를 들면, 본 발명의 일 양태에 관한 메모리 셀은 1×10^9 회(10억회) 이상의 기입 후에도, 전류-전압 특성에 열화가 보여지지 않는다.

- [0230] 또한, 메모리 셀의 기입용 트랜지스터로서 산화물 반도체를 이용한 트랜지스터를 이용하는 경우, 산화물 반도체는 일반적으로 에너지 갭이 크고(예를 들면, In-Ga-Zn-O계의 경우 3.0~3.5 eV) 열여기 캐리어가 매우 적은 경우도 있어, 예를 들면, 150℃의 고온 환경하에서도 메모리 셀의 전류-전압 특성에 열화가 보여지지 않는다.
- [0231] 상술한 바와 같이 뛰어난 특성을 가지는 트랜지스터를 메모리 셀의 기입용 트랜지스터로서 적용함으로써, 종래에 없는 특징을 가지는 반도체 장치를 제공할 수 있다.
- [0232] 이상, 본 실시형태에 나타내는 구성, 방법 등은 다른 실시형태에 나타내는 구성, 방법 등과 적절히 조합하여 이용할 수 있다.
- [0233] (실시형태 3)
- [0234] 본 실시형태에서는, 개시하는 발명의 일 양태에 관한 반도체 장치의 응용예에 대하여, 도 16 내지 도 21을 이용하여 설명한다.
- [0235] 도 16에는, 본 실시형태에 관한 반도체 장치의 개략을 나타낸다.
- [0236] 도 16은, 도 1 또는 도 15의 (A)에 나타낸 반도체 장치(이하, 메모리 셀(1200)이라고도 기재함)를 복수 이용하여 형성되는 반도체 장치의 회로도예이다.
- [0237] 도 16에 나타낸 반도체 장치는, 복수의 메모리 셀(1200)이 매트릭스 형상으로 배치된 메모리 셀 어레이와, 제 1 구동 회로(1211)와, 제 2 구동 회로(1212)와, 제 3 구동 회로(1213)와, 제 4 구동 회로(1214)와, 제 1 구동 회로(1211)와 전기적으로 접속된 복수의 배선(L1)과, 제 2 구동 회로(1212)와 전기적으로 접속된 복수의 배선(L2)과, 제 3 구동 회로(1213)와 전기적으로 접속된 복수의 배선(L3)과, 제 4 구동 회로(1214)와 전기적으로 접속된 복수의 배선(L4)을 가진다.
- [0238] 도 16에 나타낸 바와 같이, 각 메모리 셀(1200)에는, 배선(L1), 배선(L2), 배선(L3) 및 배선(L4)이 전기적으로 접속된다. 이것에 의해, 각 메모리 셀(1200)을 제 1 구동 회로(1211), 제 2 구동 회로(1212), 제 3 구동 회로(1213) 및 제 4 구동 회로(1214)를 이용하여, 메모리 셀의 동작을 제어할 수 있다. 또한, 각 메모리 셀(1200)을 매트릭스 형상으로 배치하여, 각 배선(L1, L2, L3, L4)을 행방향 또는 열방향의 격자 모양으로 형성함으로써, 반도체 장치의 기입 동작 및 판독 동작을 메모리 셀(1200)의 행마다 또는 열마다 행할 수도 있다.
- [0239] 또한, 도 16에 나타낸 메모리 셀(1200)은 제 1 구동 회로(1211) 내지 제 4 구동 회로(1214)로부터 각각 한 개씩 배선이 전기적으로 접속되어 있지만, 개시하는 발명은 이것에 한정되지 않는다. 어느 하나, 또는 복수의 구동 회로로부터 복수개의 배선이 메모리 셀(1200)에 전기적으로 접속되어 있어도 좋다. 또한, 어느 하나, 또는 복수의 메모리 셀(1200)에 어느 하나, 또는 복수의 구동 회로의 배선이 전기적으로 접속되지 않은 구성으로 해도 좋다.
- [0240] 또한, 도 16에 나타낸 반도체 장치에서는, 제 1 구동 회로(1211), 제 2 구동 회로(1212), 제 3 구동 회로(1213), 제 4 구동 회로(1214)는 각각 독립적으로 설치하였지만, 개시하는 발명은 이것에 한정되지 않는다. 어느 하나, 또는 복수의 기능을 가지는 구동 회로를 이용해도 좋다. 또한, 구동 회로는 충분한 동작 속도를 확보하기 위해, 단결정계의 반도체 재료를 이용하여 형성되는 것이 바람직하다. 예를 들면, 벌크 실리콘(소위 실리콘 웨이퍼)을 이용한 것으로 하면 좋다.
- [0241] 다음에, 보다 구체적인 구성예에 대하여 설명한다.
- [0242] 도 17의 (A) 및 도 17의 (B)는, 도 15의 (A)에 나타낸 반도체 장치(이하, 메모리 셀(400)이라고도 기재함)를 복수 이용하여 형성되는 반도체 장치의 회로도예이다. 도 17의 (A)는 메모리 셀(400)이 직렬로 접속된, 소위 NAND형의 반도체 장치의 회로도이며, 도 17의 (B)는 메모리 셀(400)이 병렬로 접속된, 소위 NOR형의 반도체 장치의 회로도이다.
- [0243] 도 17의 (A)에 나타낸 반도체 장치는, 소스선(SL), 비트선(BL), 제 1 신호선(S1), 복수개의 제 2 신호선(S2), 복수개의 워드선(WL), 복수의 메모리 셀(400)을 가진다. 도 17의 (A)에서는, 소스선(SL) 및 비트선(BL)을 1개씩 가지는 구성으로 되어 있지만, 이것에 한정되는 일 없이, 소스선(SL) 및 비트선(BL)을 복수개 가지는 구성으

로 해도 좋다.

- [0244] 각 메모리 셀(400)에 있어서, 트랜지스터(160)의 게이트 전극과, 트랜지스터(162)의 소스 전극 또는 드레인 전극의 한쪽과, 용량 소자(164)의 전극의 한쪽은 전기적으로 접속되어 있다. 또한, 제 1 신호선(S1)과 트랜지스터(162)의 소스 전극 또는 드레인 전극의 다른 한쪽은 전기적으로 접속되고, 제 2 신호선(S2)과 트랜지스터(162)의 게이트 전극은 전기적으로 접속되어 있다. 그리고, 워드선(WL)과 용량 소자(164)의 전극의 다른 한쪽은 전기적으로 접속되어 있다.
- [0245] 또한, 메모리 셀(400)이 가지는 트랜지스터(160)의 소스 전극은 인접하는 메모리 셀(400)의 트랜지스터(160)의 드레인 전극과 전기적으로 접속되고, 메모리 셀(400)이 가지는 트랜지스터(160)의 드레인 전극은 인접하는 메모리 셀(400)의 트랜지스터(160)의 소스 전극과 전기적으로 접속된다. 단, 직렬로 접속된 복수의 메모리 셀 중, 한쪽 단에 설치된 메모리 셀(400)이 가지는 트랜지스터(160)의 드레인 전극은 비트선(BL)과 전기적으로 접속된다. 또한, 직렬로 접속된 복수의 메모리 셀 중, 다른 한쪽 단에 설치된 메모리 셀(400)이 가지는 트랜지스터(160)의 소스 전극은 소스선(SL)과 전기적으로 접속된다.
- [0246] 도 17의 (A)에 나타난 반도체 장치에서는, 행마다의 기입 동작 및 판독 동작을 행한다. 기입 동작은 다음과 같이 행해진다. 기입을 행하는 행의 제 2 신호선(S2)에 트랜지스터(162)가 온 상태가 되는 전위를 부여하고, 기입을 행하는 행의 트랜지스터(162)를 온 상태로 한다. 이것에 의해, 지정한 행의 트랜지스터(160)의 게이트 전극에 제 1 신호선(S1)의 전위가 부여되고, 이 게이트 전극에 소정의 전하가 부여된다. 이와 같이 하여, 지정한 행의 메모리 셀에 데이터를 기입할 수 있다.
- [0247] 또한, 판독 동작은 다음과 같이 행해진다. 먼저, 판독을 행하는 행 이외의 워드선(WL)에, 트랜지스터(160)의 게이트 전극에 부여된 전하에 상관없이, 트랜지스터(160)가 온 상태가 되는 전위를 부여하고, 판독을 행하는 행 이외의 트랜지스터(160)를 온 상태로 한다. 그리고, 판독을 행하는 행의 워드선(WL)에 트랜지스터(160)의 게이트 전극이 가지는 전하에 의해, 트랜지스터(160)의 온 상태 또는 오프 상태가 선택되는 전위(판독 전위)를 부여한다. 그리고, 소스선(SL)에 정전위를 부여하고, 비트선(BL)에 접속되어 있는 판독 회로(도시하지 않음)를 동작 상태로 한다. 여기서, 소스선(SL)-비트선(BL) 간의 복수의 트랜지스터(160)는 판독을 행하는 행을 제외하고 온 상태가 되어 있기 때문에, 소스선(SL)-비트선(BL) 간의 컨덕턴스는 판독을 행하는 행의 트랜지스터(160) 상태(온 상태 또는 오프 상태)에 따라 결정된다. 판독을 행하는 행의 트랜지스터(160)의 게이트 전극이 가지는 전하에 따라, 트랜지스터의 컨덕턴스는 다르기 때문에, 그에 따라, 비트선(BL)의 전위는 다른 값을 취하게 된다. 비트선(BL)의 전위를 판독 회로에 의해 읽어냄으로써, 지정한 행의 메모리 셀로부터 정보를 읽어낼 수 있다.
- [0248] 도 17의 (B)에 나타난 반도체 장치는, 소스선(SL), 비트선(BL), 제 1 신호선(S1), 제 2 신호선(S2), 및 워드선(WL)을 각각 복수개 가지고, 복수의 메모리 셀(400)을 가진다. 각 트랜지스터(160)의 게이트 전극과, 트랜지스터(162)의 소스 전극 또는 드레인 전극의 한쪽과, 용량 소자(164)의 전극의 한쪽은, 전기적으로 접속되어 있다. 또한, 소스선(SL)과 트랜지스터(160)의 소스 전극은 전기적으로 접속되고, 비트선(BL)과 트랜지스터(160)의 드레인 전극은 전기적으로 접속되어 있다. 또한, 제 1 신호선(S1)과 트랜지스터(162)의 소스 전극 또는 드레인 전극의 다른 한쪽은 전기적으로 접속되고, 제 2 신호선(S2)과 트랜지스터(162)의 게이트 전극은 전기적으로 접속되어 있다. 그리고, 워드선(WL)과 용량 소자(164)의 전극의 다른 한쪽은 전기적으로 접속되어 있다.
- [0249] 도 17의 (B)에 나타난 반도체 장치에서는, 행마다의 기입 동작 및 판독 동작을 행한다. 기입 동작은, 상술한 도 17의 (A)에 나타난 반도체 장치와 같은 방법으로 행해진다. 판독 동작은 다음과 같이 행해진다. 먼저, 판독을 행하는 행 이외의 워드선(WL)에, 트랜지스터(160)의 게이트 전극에 부여된 전하에 상관없이, 트랜지스터(160)가 오프 상태가 되는 전위를 부여하여 판독을 행하는 행 이외의 트랜지스터(160)를 오프 상태로 한다. 그리고 나서, 판독을 행하는 행의 워드선(WL)에 트랜지스터(160)의 게이트 전극이 가지는 전하에 의해, 트랜지스터(160)의 온 상태 또는 오프 상태가 선택되는 전위(판독 전위)를 부여한다. 그리고, 소스선(SL)에 정전위를 부여하고, 비트선(BL)에 접속되어 있는 판독 회로(도시하지 않음)를 동작 상태로 한다. 여기서, 소스선(SL)-비트선(BL) 간의 컨덕턴스는 판독을 행하는 행의 트랜지스터(160) 상태(온 상태 또는 오프 상태)에 따라 결정된다. 즉, 판독을 행하는 행의 트랜지스터(160)의 게이트 전극이 가지는 전하에 의해, 비트선(BL)의 전위는 다른 값을 취하게 된다. 비트선(BL)의 전위를 판독 회로에 의해 읽어냄으로써, 지정한 행의 메모리 셀로부터 정보를 읽어낼 수 있다.
- [0250] 또한, 상기에서는, 각 메모리 셀(400)에 보유시키는 정보량을 1 비트로 했지만, 본 실시형태에 나타내는 기억 장치의 구성은 이것에 한정되지 않는다. 트랜지스터(160)의 게이트 전극에 부여하는 전위를 3 이상 준비하여,

각 메모리 셀(400)이 보유하는 정보량을 증가시켜도 좋다. 예를 들면, 트랜지스터(160)의 게이트 전극에 부여하는 전위를 4 종류로 하는 경우에는, 각 메모리 셀에 2 비트의 정보를 보유시킬 수 있다.

- [0251] 다음에, 도 17에 나타난 반도체 장치 등에 이용할 수 있는 판독 회로의 일례에 대하여 도 18을 이용하여 설명한다.
- [0252] 도 18의 (A)에는 판독 회로의 개략을 나타낸다. 이 판독 회로는 트랜지스터와 센스 앰프 회로를 가진다.
- [0253] 판독 시에는, 단자(A)는 판독을 행하는 메모리 셀이 접속된 비트선(BL)에 접속된다. 또한, 트랜지스터의 게이트 전극에는 바이어스 전위(Vbias)가 인가되어 단자(A)의 전위가 제어된다.
- [0254] 메모리 셀(400)은 격납되는 데이터에 따라, 다른 저항값을 나타낸다. 구체적으로는, 선택한 메모리 셀(400)의 트랜지스터(160)가 온 상태인 경우에는 저저항 상태가 되고, 선택한 메모리 셀(400)의 트랜지스터(160)가 오프 상태인 경우에는 고저항 상태가 된다.
- [0255] 메모리 셀이 고저항 상태인 경우, 단자(A)의 전위가 참조 전위(Vref)보다 높아지고, 센스 앰프는 단자(A)의 전위에 대응하는 전위를 출력한다. 한편, 메모리 셀이 저저항 상태인 경우, 단자(A)의 전위가 참조 전위(Vref)보다 낮아지고, 센스 앰프 회로는 단자(A)의 전위에 대응하는 전위를 출력한다.
- [0256] 이와 같이, 판독 회로를 이용함으로써, 메모리 셀로부터 데이터를 읽어낼 수 있다. 또한, 본 실시형태의 판독 회로는 일례이다. 다른 회로를 이용해도 좋다. 또한, 판독 회로는 프리차지 회로를 가져도 좋다. 참조 전위(Vref) 대신에 참조용의 비트선(BL)이 접속되는 구성으로 해도 좋다.
- [0257] 도 18의 (B)에, 센스 앰프 회로의 일례인 차동형 센스 앰프를 나타낸다. 차동형 센스 앰프는 입력 단자(Vin(+))와 입력 단자(Vin(-))와 출력 단자(Vout)를 가지고, Vin(+)와 Vin(-)의 전위의 차를 증폭한다. Vin(+)의 전위가 Vin(-)의 전위보다 높으면 Vout은 High 신호를 출력하고, Vin(+)의 전위가 Vin(-)보다 낮으면 Vout은 Low 신호를 출력한다. 이 차동형 센스 앰프를 판독 회로에 이용하는 경우, Vin(+)와 Vin(-)의 한쪽은 단자(A)와 접속하고, Vin(+)와 Vin(-)의 다른 한쪽에는 참조 전위(Vref)를 부여한다.
- [0258] 도 18의 (C)에, 센스 앰프 회로의 일례인 래치형 센스 앰프를 나타낸다. 래치형 센스 앰프는 입출력 단자(V1 및 V2)와, 제어용 신호(Sp, Sn)의 입력 단자를 가진다. 먼저, 신호(Sp)를 High, 신호(Sn)를 Low로 하고, 전원 전위(Vdd)를 차단한다. 그리고, 비교를 행하는 전위(V1in)와 전위(V2in)를 V1과 V2에 각각 부여한다. 그 후, 신호(Sp)를 Low, 신호(Sn)를 High로 하여, 전원 전위(Vdd)를 공급하면, 비교를 행하는 전위(V1in)와 전위(V2in)가 V1in>V2in의 관계에 있으면, V1의 출력은 High, V2의 출력은 Low가 되고, V1in<V2in의 관계에 있으면, V1의 출력은 Low, V2의 출력은 High가 된다. 이러한 관계를 이용하여, V1in과 V2in의 차이를 증폭할 수 있다. 이 래치형 센스 앰프를 판독 회로에 이용하는 경우, V1과 V2의 한쪽은 스위치를 통하여 단자(A) 및 출력 단자와 접속하고, V1과 V2의 다른 한쪽에는 참조 전위(Vref)를 부여한다.
- [0259] 도 19는 도 15의 (A)에 나타난 반도체 장치를 복수 이용하여 형성되는 반도체 장치의 회로도의 예이다. 도 19에 나타난 반도체 장치는 m×n 비트의 기억 용량을 가지고 있다.
- [0260] 도 19에 관한 반도체 장치는, m개의 워드선(WL), 및 m개의 제 2 신호선(S2)과, n개의 비트선(BL), n개의 소스선(SL), 및 n개의 제 1 신호선(S1)과, 복수의 메모리 셀(1100)이 세로 m개(행)×가로 n개(열)(m, n은 자연수)의 매트릭스 형상으로 배치된 메모리 셀 어레이와, 제 1 구동 회로(1111), 제 2 구동 회로(1112), 제 3 구동 회로(1113), 제 4 구동 회로(1114)와 같은 주변 회로에 의해 구성되어 있다. 여기서, 메모리 셀(1100)로서는, 앞의 실시형태에서 설명한 구성(예를 들면, 도 15(A)에 나타난 구성)이 적용된다.
- [0261] 즉, 각 메모리 셀(1100)은 제 1 트랜지스터(160), 제 2 트랜지스터(162), 용량 소자(164)를 각각 가지고 있다. 제 1 트랜지스터(160)의 게이트 전극과, 제 2 트랜지스터(162)의 소스 전극 또는 드레인 전극의 한쪽과, 용량 소자(164)의 전극의 한쪽은 접속되고, 소스선(SL)과 제 1 트랜지스터(160)의 소스 전극은 접속되고, 비트선(BL)과 제 1 트랜지스터(160)의 드레인 전극은 접속되고, 제 1 신호선(S1)과 제 2 트랜지스터(162)의 소스 전극 또는 드레인 전극의 다른 한쪽은 접속되고, 제 2 신호선(S2)과 제 2 트랜지스터(162)의 게이트 전극은 접속되고, 워드선(WL)과 용량 소자(164)의 전극의 다른 한쪽은 접속되어 있다.
- [0262] 또한, 메모리 셀(1100)은 소스선(SL)과 비트선(BL) 사이에, 병렬로 접속되어 있다. 예를 들면, i행 j열의 메모리 셀(1100)(i, j)(i는 1 이상 m 이하의 정수, j는 1 이상 n 이하의 정수)은 소스선(SL(j)), 비트선(BL(j)), 제 1 신호선(S1(j)), 워드선(WL(i)), 제 2 신호선(S2(i))에 각각 접속되어 있다.

- [0263] 소스선(SL) 및 비트선(BL)은 제 1 구동 회로(1111)와 접속되어 있고, 제 1 신호선(S1)은 제 2 구동 회로(1112)와 접속되어 있고, 제 2 신호선(S2)은 제 3 구동 회로(1113)와 접속되어 있고, 워드선(WL)은 제 4 구동 회로(1114)와 접속되어 있다. 또한, 여기에서는, 제 1 구동 회로(1111), 제 2 구동 회로(1112), 제 3 구동 회로(1113), 제 4 구동 회로(1114)는 각각 독립적으로 형성하고 있지만, 개시하는 발명은 이것에 한정되지 않는다. 어느 하나, 또는 복수의 기능을 가지는 디코더를 이용해도 좋다.
- [0264] 다음에, 도 20에 나타난 타이밍 차트를 이용하여, 도 19에 나타난 반도체 장치의 기입 동작 및 판독 동작에 대하여 설명한다.
- [0265] 여기에서는, 간단하게 하기 위해, 2행×2열의 반도체 장치의 동작에 대하여 설명하는 것으로 하지만, 개시하는 발명은 이것에 한정되지 않는다.
- [0266] 도 20은 도 19에 나타난 반도체 장치의 동작을 설명하기 위한 도면이다. 도 20에서, S1(1) 및 S1(2)는 각각 제 1 신호선(S1)의 전위, S2(1) 및 S2(2)는 각각 제 2 신호선(S2)의 전위, BL(1) 및 BL(2)는 각각 비트선(BL)의 전위, WL(1) 및 WL(2)는 워드선(WL)의 전위, SL(1) 및 SL(2)는 각각 소스선(SL)의 전위에 상당한다.
- [0267] 먼저, 1번째행의 메모리 셀(1, 1), 및 메모리 셀(1, 2)에의 기입, 1번째행의 메모리 셀(1, 1), 및 메모리 셀(1, 2)로부터의 판독을 행하는 경우에 대하여 설명한다. 또한, 이하에서는, 메모리 셀(1, 1)에 기입하는 데이터를 "1"로 하고, 메모리 셀(1, 2)에 기입하는 데이터를 "0"으로 하는 경우에 대하여 설명한다.
- [0268] 처음에, 기입에 대하여 설명한다. 1번째행 기입 기간에 있어서, 1번째행의 제 2 신호선(S2(1))에 전위(VH)를 부여하고, 1번째행의 제 2 트랜지스터(162)를 온 상태로 한다. 또한, 2번째행의 제 2 신호선(S2(2))에 0 V를 부여하고, 2번째행의 제 2 트랜지스터(162)를 오프 상태로 한다.
- [0269] 다음에, 1번째열의 제 1 신호선(S1(1))에 전위(V2), 2번째열의 제 1 신호선(S1(2))에 전위 0 V를 부여한다.
- [0270] 그 결과, 메모리 셀(1, 1)의 플로팅 게이트부(FG)에는 전위(V2)가, 메모리 셀(1, 2)의 플로팅 게이트부(FG)에는 0 V가 부여된다. 여기에서는, 전위(V2)는 제 1 트랜지스터(160)의 스레숄드 전압보다 높은 전위로 한다. 그리고, 1번째행의 제 2 신호선(S2(1))의 전위를 0 V로 하고, 1번째행의 제 2 트랜지스터(162)를 오프 상태로 함으로써, 기입을 종료한다.
- [0271] 또한, 워드선(WL(1), WL(2))은 0 V로 해둔다. 또한, 1번째열의 제 1 신호선(S1(1))의 전위를 변화시키기 전에 1번째행의 제 2 신호선(S2(1))을 0 V로 한다. 기입 후의, 워드선(WL)에 접속되는 단자를 제어 게이트 전극, 제 1 트랜지스터(160)의 소스 전극을 소스 전극, 제 2 트랜지스터(162)의 드레인 전극을 드레인 전극이라고 각각 간주한 기억 소자의 스레숄드값은 데이터 "0"에서는 V_{w0} , 데이터 "1"에서는 V_{w1} 이 된다. 여기서, 메모리 셀의 스레숄드값이란, 제 1 트랜지스터(160)의 소스 전극과 드레인 전극의 사이의 저항이 변화하는, 워드선(WL)에 접속되는 단자의 전압을 말하는 것으로 한다. 또한, $V_{w0} > 0 > V_{w1}$ 로 한다.
- [0272] 다음에, 판독에 대하여 설명한다. 1번째행의 판독 기간에 있어서, 1번째행의 워드선(WL(1))에 0 V를 부여하고, 2번째행의 워드선(WL(2))에는 전위(VL)를 부여한다. 전위(VL)는 스레숄드값(V_{w1})보다 낮은 전위로 한다. WL(1)을 0 V로 하면, 1번째행에서, 데이터 "0"이 보유되어 있는 메모리 셀(1, 2)의 제 1 트랜지스터(160)는 오프 상태, 데이터 "1"이 보유되어 있는 메모리 셀(1, 1)의 제 1 트랜지스터(160)는 온 상태가 된다. WL(2)를 전위(VL)로 하면, 2번째행에서, 데이터 "0", "1"의 어느 하나가 보유되어 있는 메모리 셀이어도, 제 1 트랜지스터(160)는 오프 상태가 된다.
- [0273] 다음에, 1 번째의 소스선(SL(1)), 2 번째의 소스선(SL(2))에 전위 0 V를 부여한다.
- [0274] 그 결과, 비트선(BL(1))-소스선(SL(1)) 간은 메모리 셀(1, 1)의 제 1 트랜지스터가 온 상태이기 때문에 저저항이 되고, 비트선(BL(2))-소스선(SL(2)) 간은 메모리 셀(1, 2)의 제 1 트랜지스터(160)가 오프 상태이기 때문에 고저항이 된다. 비트선(BL(1)), 비트선(BL(2))에 접속되는 판독 회로는, 비트선의 저항의 차이로부터, 데이터를 읽어낼 수 있다.
- [0275] 또한, 제 2 신호선(S2(1))에는 0 V를, 제 2 신호선(S2(2))에는 전위(VL)를 부여하고, 제 2 트랜지스터(162)를 모두 오프 상태로 해둔다. 1번째행의 플로팅 게이트부(FG)의 전위는 0 V 또는 V_2 이기 때문에, 제 2 신호선(S2(1))을 0 V로 함으로써 1번째행의 제 2 트랜지스터(162)를 모두 오프 상태로 할 수 있다. 한편, 2번째행의 플로팅 게이트부(FG)의 전위는, 워드선(WL(2))에 전위(VL)가 부여되면, 기입 직후의 전위보다 낮은 전위가 되어 버린다. 이것에 의해, 제 2 트랜지스터(162)가 온 상태가 되는 것을 방지하기 위해, 제 2 신호선(S2(2))을 위

드선(WL(2))과 같은 저전위로 한다. 이상에 의해, 제 2 트랜지스터(162)를 모두 오프 상태로 할 수 있다.

[0276] 다음에, 판독 회로로서, 도 21에 나타난 회로를 이용하는 경우의 출력 전위에 대하여 설명한다. 비트선(BL)(1)-소스선(SL(1)) 간은 저저항이기 때문에, 클로즈드 인버터에는 저전위가 입력되고, 출력(D(1))은 High가 된다. 비트선(BL(2))-소스선(SL(2)) 간은 고저항이기 때문에, 클로즈드 인버터에는 고전위가 입력되고, 출력(D(2))은 Low가 된다.

[0277] 동작 전압은 예를 들면, $V_{DD} = 2\text{ V}$, $V_2 = 1.5\text{ V}$, $V_H = 2\text{ V}$, $V_L = -2\text{ V}$ 로 할 수 있다.

[0278] 이상, 본 실시형태에서 나타난 바와 같이, 메모리 셀을 복수 형성함으로써, 반도체 장치의 기억 용량을 증가시킬 수 있다. 또한, 메모리 셀의 수나 배치, 배선의 수나 배치, 구동 회로의 수나 배치 등은 적절히 설계할 수 있기 때문에, 상술한 구성에 한정되는 것은 아니다.

[0279] 이상, 본 실시형태에 나타내는 구성, 방법 등은, 다른 실시형태에 나타내는 구성, 방법 등과 적절히 조합하여 이용할 수 있다.

[0281] (실시형태 4)

[0282] 본 실시형태에서는, 실시형태 1 및 실시형태 2와는 다른, 개시하는 발명의 일 양태에 관한 반도체 장치의 구성 및 그 제작 방법에 대하여, 도 22 내지 도 24를 참조하여 설명한다. 또한, 본 실시형태에서 설명하는 트랜지스터(260)는, 앞의 실시형태에서의 회로도 중의 트랜지스터(160)로서, 트랜지스터(262)는 앞의 실시형태에서의 회로도 중의 트랜지스터(162)로서, 용량 소자(264)는 앞의 실시형태에서의 회로도 중의 용량 소자(164)로서 이용하는 것이 가능하다.

[0283] <반도체 장치의 단면 구성 및 평면 구성>

[0284] 도 22는 상기 반도체 장치의 구성의 일례이다. 도 22의 (A)에는 반도체 장치의 단면을, 도 22의 (B)에는 반도체 장치의 평면을, 각각 나타낸다. 여기서, 도 22의 (A)는 도 22의 (B)의 C1-C2 및 D1-D2에서의 단면에 상당한다. 도 22의 (B)의 평면도에서는, 번잡하게 되는 것을 피하기 위해, 소스 전극 또는 드레인 전극(254)이나, 배선(256) 등, 구성 요소의 일부를 생략하고 있다. 도 22의 (A) 및 도 22의 (B)에 나타난 반도체 장치는, 하부에 산화물 반도체 이외의 반도체 재료를 이용한 트랜지스터(260)를 가지고, 상부에 산화물 반도체를 이용한 트랜지스터(262)를 가지는 것이다. 산화물 반도체 이외의 반도체 재료를 이용한 트랜지스터는 고속 동작이 용이하다. 한편, 산화물 반도체를 이용한 트랜지스터는 그 특성에 의해 장시간의 전하 보유를 가능하게 한다.

[0285] 또한, 상기 트랜지스터는, 모두 n 채널형 트랜지스터인 것으로서 설명하지만, p 채널형 트랜지스터를 이용할 수 있다는 것은 말할 필요도 없다. 또한, 개시하는 발명의 기술적인 본질은 정보를 보유하기 위해 산화물 반도체를 트랜지스터(262)에 이용하는 점에 있기 때문에, 반도체 장치의 구체적인 구성을 여기서 나타내는 것으로 한정할 필요는 없다.

[0286] 도 22에 나타난 반도체 장치는 트랜지스터(262) 및 용량 소자(264)가, 트랜지스터(260)와 중첩하도록 설치되어 있다. 도 22의 (B)에 나타난 바와 같은, 평면 레이아웃을 채용함으로써, 고집적화가 가능하다. 예를 들면, 최소 가공 치수를 F로 하고, 메모리 셀이 차지하는 면적을 $15F^2 \sim 25F^2$ 로 하는 것이 가능하다.

[0287] 도 22에 나타난 반도체 장치와 앞의 실시형태에 나타난 반도체 장치의 차이의 하나는, 트랜지스터(260)에서의 사이드 월 절연층의 유무이다. 즉, 도 22에 나타난 반도체 장치는 사이드 월 절연층을 가지지 않는다. 또한, 사이드 월 절연층을 형성하지 않는 것에 의해, 불순물 영역(114)(예를 들면, 도 2 참조)이 형성되어 있지 않다. 이와 같이, 사이드 월 절연층을 형성하지 않는 경우는, 사이드 월 절연층을 형성하는 경우와 비교하여 집적화가 용이하다. 또한, 사이드 월 절연층을 형성하는 경우와 비교하여, 제작 공정을 간략화하는 것이 가능하다.

[0288] 도 22에 나타난 반도체 장치와 앞의 실시형태에 나타난 반도체 장치의 차이의 다른 하나는, 트랜지스터(260)에서의 층간 절연층이다. 즉, 도 22에 나타난 반도체 장치에서는, 수소를 포함하는 층간 절연층(225)이 트랜지스터(260)의 금속 화합물 영역(224)과 접한다. 수소를 포함하는 층간 절연층(225)을 금속 화합물 영역(224)과 접하도록 형성함으로써, 트랜지스터(260)에 대하여 수소를 공급하여 트랜지스터(260)의 특성을 향상시키는 것이 가능하다. 이러한 층간 절연층(225)으로서는, 예를 들면, 플라즈마 CVD법에 의해 형성된 수소를 포함하는 질화실리콘층 등이 있다. 또한, 층간 절연층(226)으로서 수소 농도가 낮은 절연층을 적용함으로써, 트랜지스터(262)의 특성을 악화시킬 우려가 있는 수소의 트랜지스터(262)에의 혼입을 막는 것이 가능하다. 이러한 층간 절연층(226)으로서는, 예를 들면, 수소의 비존재 하에서의 스퍼터링법에 의해 형성된 질화실리콘층 등이 있다.

이러한 구성을 채용함으로써, 트랜지스터(260)와 트랜지스터(262)의 특성을 충분히 높이는 것이 가능할 수 있다. 또한, 도 22에서, 기판(200)은 실시형태 1의 기판(100)에, 소자 분리 절연층(206)은 실시형태 1의 소자 분리 절연층(106)에, 게이트 절연층(208)은 실시형태 1의 게이트 절연층(108)에, 게이트 전극(210)은 실시형태 1의 게이트 전극(110)에, 채널 형성 영역(216)은 실시형태 1의 채널 형성 영역(116)에, 고농도 불순물 영역(220)은 실시형태 1의 고농도 불순물 영역(120)에, 금속 화합물 영역(224)은 실시형태 1의 금속 화합물 영역(124)에, 각각 대응한다.

[0289] 도 22에 나타난 반도체 장치와 앞의 실시형태에 나타난 반도체 장치의 차이의 다른 하나는, 트랜지스터(262)에서, 절연층(243a) 및 절연층(243b)이 산화물 반도체층(244)과 소스 전극 또는 드레인 전극(242a)의 사이, 및 산화물 반도체층(244)과 소스 전극 또는 드레인 전극(242b)의 사이에 형성되어 있는 점이다. 이와 같이, 절연층(243a) 및 절연층(243b)을 형성함으로써, 게이트 전극(248a)과, 소스 전극 또는 드레인 전극(242a)(또는, 게이트 전극(248a)과, 소스 전극 또는 드레인 전극(242b))이 형성하는 소위 게이트 용량을 저감하여, 트랜지스터(262)의 동작 속도를 향상시킬 수 있다.

[0290] 또한, 실시형태 1과 같이, 하부의 트랜지스터(260)와 상부의 트랜지스터(262)는, 게이트 전극(210) 위에 소스 전극 또는 드레인 전극(242a)이 직접 형성됨으로써 전기적으로 접속되어 있다. 이러한 구성으로 함으로써, 전극이나 배선을 별도 형성하는 경우와 비교하여, 집적도가 향상된다. 또한, 제작 공정이 간략화된다.

[0291] 또한, 본 실시형태에서는, 상술한 차이점을 일체로 가지는 구성을 나타내고 있지만, 이 차이점의 어느 하나만을 가지는 구성을 채용해도 좋다.

[0292] <반도체 장치의 제작 방법>

[0293] 다음에, 상기 반도체 장치의 제작 방법의 일례에 대하여 설명한다. 이하에서는, 하부의 트랜지스터(260)를 형성한 후의 공정, 상부의 트랜지스터(262)의 제작 방법에 대하여 도 23 및 도 24를 참조하여 설명한다. 하부의 트랜지스터(260)에 대해서는, 실시형태 1에 나타난 방법과 같은 방법으로 제작할 수 있다. 상세한 것에 대해서는, 실시형태 1의 기재를 참조할 수 있다. 또한, 본 실시형태에서는, 용량 소자(264)가 형성되어 있는 것으로 한다. 또한, 본 실시형태에서는, 트랜지스터(260)를 덮도록 층간 절연층(225), 층간 절연층(226), 층간 절연층(228)의 3종류의 층간 절연층이 형성되는 것으로 한다. 또한, 본 실시형태에서는, 트랜지스터(260)의 제작 공정에 있어서, 실시형태 1에서의 소스 전극 또는 드레인 전극(130a), 소스 전극 또는 드레인 전극(130b)을 형성하지 않지만, 소스 전극 또는 드레인 전극(130a) 및 소스 전극 또는 드레인 전극(130b)이 형성되어 있지 않은 상태에서도, 편의상, 트랜지스터(260)라고 부르기로 한다.

[0294] 먼저, 실시형태 1에 나타내는 방법으로 하부의 트랜지스터(260)를 형성한 후, 트랜지스터(260)의 게이트 전극(210)의 상면에서 상부를 제거한다. 이 제거 공정에는, CMP(화학적 기계적 연마) 등의 연마 처리를 적용하면 좋다. 이것에 의해, 게이트 전극(210) 상면보다 위의 층간 절연층(225), 층간 절연층(226), 층간 절연층(228)은 제거된다. 또한, 연마 처리에 관한 표면을 충분히 평탄화함으로써, 후의 공정에서, 양호한 전극, 배선, 절연층, 반도체층 등을 형성하는 것이 가능하게 된다.

[0295] 다음에, 게이트 전극(210), 층간 절연층(225), 층간 절연층(226), 층간 절연층(228) 위에 도전층을 형성하고, 이 도전층을 선택적으로 에칭하여, 소스 전극 또는 드레인 전극(242a), 소스 전극 또는 드레인 전극(242b)을 형성한다(도 23의 (A) 참조). 여기서, 소스 전극 또는 드레인 전극(242a)은 게이트 전극(210)과 직접 접속되도록 형성한다.

[0296] 소스 전극 또는 드레인 전극(242a), 소스 전극 또는 드레인 전극(242b)을 형성하기 위한 도전층은 실시형태 1에 나타난 소스 전극 또는 드레인 전극(142a), 소스 전극 또는 드레인 전극(142b)의 재료와 같은 재료를 이용하여 형성할 수 있다. 또한, 도전층의 에칭에 대해서도, 실시형태 1에 나타난 방법과 같은 방법을 이용하여 행할 수 있다. 상세한 것에 대해서는, 실시형태 1의 기재를 참조할 수 있다.

[0297] 다음에, 소스 전극 또는 드레인 전극(242a), 소스 전극 또는 드레인 전극(242b)을 덮도록 절연층을 형성하여, 이 절연층을 선택적으로 에칭하고, 소스 전극 또는 드레인 전극(242a) 위에 절연층(243a)을, 소스 전극 또는 드레인 전극(242b) 위에 절연층(243b)을, 각각 형성한다(도 23의 (B) 참조).

[0298] 이 절연층(243a), 절연층(243b)을 형성하는 것에 의해, 후에 형성되는 게이트 전극(248a)과, 소스 전극 또는 드레인 전극(242a), 및, 소스 전극 또는 드레인 전극(242b)과의 사이의 기생 용량을 저감하는 것이 가능하다.

[0299] 다음에, 소스 전극 또는 드레인 전극(242a), 소스 전극 또는 드레인 전극(242b)을 덮도록 산화물 반도체층(24

4)을 형성하고, 산화물 반도체층(244) 위에 게이트 절연층(246)을 형성한다(도 23의 (C) 참조).

- [0300] 산화물 반도체층(244)은, 실시형태 1에 나타난 산화물 반도체층(140)의 재료, 방법에 의해 형성할 수 있다. 또한, 산화물 반도체층(244)에 대해서는, 열처리(제 1 열처리)를 행하는 것이 바람직하다. 상세한 것에 대해서는, 실시형태 1의 기재를 참조할 수 있다.
- [0301] 게이트 절연층(246)은 실시형태 1에 나타난 게이트 절연층(138)의 재료, 방법에 의해 형성할 수 있다. 또한, 게이트 절연층(246)의 형성 후에는, 불활성 가스 분위기하, 또는 산소 분위기하에서 열처리(제 2 열처리)를 행하는 것이 바람직하다. 상세한 것에 대해서는, 실시형태 1의 기재를 참조할 수 있다.
- [0302] 다음에, 게이트 절연층(246) 위에서, 트랜지스터(262)의 채널 형성 영역이 되는 영역과 중첩하는 영역에 게이트 전극(248a)을 형성하고, 소스 전극 또는 드레인 전극(242a)과 중첩하는 영역에 전극(248b)을 형성한다(도 23의 (D) 참조).
- [0303] 게이트 전극(248a) 및 전극(248b)은 게이트 절연층(246) 위에 도전층을 형성한 후에, 이 도전층을 선택적으로 에칭하는 것에 의해 형성할 수 있다. 게이트 전극(248a) 및 전극(248b)이 되는 도전층은 스퍼터링법을 비롯한 PVD법이나, 플라즈마 CVD법 등의 CVD법을 이용하여 형성할 수 있다. 상세한 것은, 소스 전극 또는 드레인 전극(242a) 등의 경우와 마찬가지로, 이들의 기재를 참조할 수 있다.
- [0304] 다음에, 게이트 절연층(246), 게이트 전극(248a), 및 전극(248b) 위에, 층간 절연층(250) 및 층간 절연층(252)을 형성한다(도 24의 (A) 참조). 층간 절연층(250) 및 층간 절연층(252)은 실시형태 1에 나타난 보호 절연층(144) 및 층간 절연층(146)의 재료, 방법에 의해 형성할 수 있다. 상세한 것에 대해서는, 실시형태 1의 기재를 참조할 수 있다.
- [0305] 또한, 상기 층간 절연층(252)은 그 표면이 평탄하게 되도록 형성하는 것이 바람직하다. 표면이 평탄하게 되도록 층간 절연층(252)을 형성함으로써, 반도체 장치를 미세화한 경우 등에 있어서도, 층간 절연층(252) 위에, 전극이나 배선 등을 적합하게 형성할 수 있기 때문이다. 또한, 층간 절연층(252)의 평탄화는 CMP(화학적 기계적 연마) 등의 방법을 이용하여 행할 수 있다.
- [0306] 다음에, 층간 절연층(225), 층간 절연층(226), 층간 절연층(228), 산화물 반도체층(244), 게이트 절연층(246), 층간 절연층(250), 층간 절연층(252)을 선택적으로 에칭하여, 트랜지스터(260)의 금속 화합물 영역(224)에까지 달하는 개구를 형성한다(도 24의 (B) 참조). 에칭으로서, 드라이 에칭, 웨트 에칭의 어느 것을 이용해도 좋지만, 미세화의 관점에서는, 드라이 에칭을 이용하는 것이 바람직하다.
- [0307] 그리고, 상기 개구에 묻도록, 소스 전극 또는 드레인 전극(254)을 형성한다. 그리고, 소스 전극 또는 드레인 전극(254)과 접속하는 배선(256)을 형성한다(도 24의 (C) 참조).
- [0308] 소스 전극 또는 드레인 전극(254)은, 예를 들면, 개구를 포함하는 영역에 PVD법이나 CVD법 등을 이용하여 도전층을 형성한 후, 에칭 처리나 CMP와 같은 방법을 이용하여, 상기 도전층의 일부를 제거함으로써 형성할 수 있다. 보다 구체적으로는, 예를 들면, 개구를 포함하는 영역에 PVD법에 의해 티탄막을 얇게 형성하고, CVD법에 의해 질화티탄막을 얇게 형성한 후에, 개구에 묻도록 텅스텐막을 형성하는 방법을 적용할 수 있다. 여기서, PVD법에 의해 형성되는 티탄막은 피형성면의 산화막(자연 산화막 등)을 환원하고, 하부 전극 등(여기에서는 금속 화합물 영역(224))과의 접촉 저항을 저감시키는 기능을 가진다. 또한, 그 후에 형성되는 질화티탄막은 도전성 재료의 확산을 억제하는 배리어 기능을 구비한다. 또한, 티탄이나, 질화티탄 등에 의한 배리어막을 형성한 후에, 도금법에 의해 구리막을 형성해도 좋다.
- [0309] 배선(256)은, 소스 전극 또는 드레인 전극(254)에 접하는 도전층을 형성한 후에, 이 도전층을 선택적으로 에칭하는 것에 의해 형성할 수 있다. 이 도전층은, 스퍼터링법을 비롯한 PVD법이나, 플라즈마 CVD법 등의 CVD법을 이용하여 형성할 수 있다. 상세한 것은, 소스 전극 또는 드레인 전극(242a) 등의 경우와 마찬가지로, 이들의 기재를 참조할 수 있다.
- [0310] 이상에 의해, 트랜지스터(260), 트랜지스터(262) 및 용량 소자(264)를 가지는 반도체 장치가 완성된다.
- [0311] 본 실시형태에 나타내는 반도체 장치는 트랜지스터(262) 및 용량 소자(264)가 트랜지스터(260)와 중첩하는 구성을 구비하고 있는 것, 트랜지스터(260)가 사이드 월 절연층을 가지지 않는 것, 게이트 전극(210) 위에 소스 전극 또는 드레인 전극(242a)이 직접 형성되어 있는 것, 등에 의해 고집적화가 가능하게 되어 있다. 또한, 제작 공정이 간략화되어 있다.
- [0312] 또한, 본 실시형태에 나타내는 반도체 장치는 층간 절연층(225)으로서 수소를 포함하는 절연층을 적용하고, 층

간 절연층(226)으로서 수소 농도가 낮은 절연층을 적용함으로써, 트랜지스터(260) 및 트랜지스터(262)의 특성을 높일 수 있다. 또한, 절연층(243a) 및 절연층(243b)을 가짐으로써, 소위 게이트 용량이 저감되어, 트랜지스터(262)의 동작 속도가 향상된다.

- [0313] 본 실시형태에 나타내는 상술한 특징에 의해, 매우 뛰어난 특성의 반도체 장치를 제공하는 것이 가능하다.
- [0314] 이상, 본 실시형태에 나타내는 구성, 방법 등은, 다른 실시형태에 나타내는 구성, 방법 등과 적절히 조합하여 이용할 수 있다.
- [0316] (실시형태 5)
- [0317] 본 실시형태에서는, 앞의 실시형태로 얻어지는 반도체 장치를 탑재한 전자기기의 예에 대하여 도 10을 이용하여 설명한다. 앞의 실시형태로 얻어지는 반도체 장치는 전력의 공급이 없는 경우에도, 정보를 보유하는 것이 가능하다. 또한, 기입, 소거에 수반하는 열화가 생기지 않는다. 또한, 그 동작도 고속이다. 따라서, 이 반도체 장치를 이용하여 새로운 구성의 전자기기를 제공하는 것이 가능하다. 또한, 앞의 실시형태에 관한 반도체 장치는, 집적화되어 회로 기판 등에 실장되고, 각 전자기기의 내부에 탑재되게 된다.
- [0318] 도 10의 (A)는 앞의 실시형태에 관한 반도체 장치를 포함하는 노트북형의 퍼스널 컴퓨터이며, 본체(301), 하우징(302), 표시부(303), 키보드(304) 등에 의해 구성되어 있다.
- [0319] 도 10의 (B)는 앞의 실시형태에 관한 반도체 장치를 포함하는 휴대 정보 단말(PDA)이며, 본체(311)에는 표시부(313)와 외부 인터페이스(315)와 조작 버튼(314) 등이 설치되어 있다. 또한, 조작용의 부속품으로서 스타일러스(312)가 있다.
- [0320] 도 10의 (C)에는, 앞의 실시형태에 관한 반도체 장치를 포함하는 전자 페이퍼의 일례로서 전자 서적(320)을 나타낸다. 전자 서적(320)은 하우징(321) 및 하우징(323)의 2개의 하우징으로 구성되어 있다. 하우징(321) 및 하우징(323)은 측부(337)에 의해 일체로 되어 있고, 이 측부(337)를 축으로 하여 개폐 동작을 행할 수 있다. 이러한 구성에 의해, 전자 서적(320)은 종이 서적과 같이 이용하는 것이 가능하다.
- [0321] 하우징(321)에는 표시부(325)가 조립되고, 하우징(323)에는 표시부(327)가 조립되어 있다. 표시부(325) 및 표시부(327)는 연속된 화면을 표시하는 구성으로 해도 좋고, 다른 화면을 표시하는 구성으로 해도 좋다. 다른 화면을 표시하는 구성으로 함으로써, 예를 들면 우측의 표시부(도 10의 (C)에서는 표시부(325))에 문장을 표시하고, 좌측의 표시부(도 10의 (C)에서는 표시부(327))에 화상을 표시할 수 있다.
- [0322] 또한, 도 10의 (C)에서는, 하우징(321)에 조작부 등을 구비한 예를 나타낸다. 예를 들면, 하우징(321)은 전원(331), 조작 키(333), 스피커(335) 등을 구비하고 있다. 조작 키(333)에 의해, 페이지를 보낼 수 있다. 또한, 하우징의 표시부와 동일면에 키보드나 포인팅 디바이스 등을 구비하는 구성으로 해도 좋다. 또한, 하우징의 이면이나 측면에, 외부 접속용 단자(이어폰 단자, USB 단자, 또는 AC 어댑터 및 USB 케이블 등의 각종 케이블과 접속 가능한 단자 등), 기록 매체 삽입부 등을 구비하는 구성으로 해도 좋다. 또한, 전자 서적(320)은 전자 사 전으로서의 기능을 갖게 한 구성으로 해도 좋다.
- [0323] 또한, 전자 서적(320)은 무선으로 정보를 송수신할 수 있는 구성으로 해도 좋다. 무선에 의해, 전자 서적 서버로부터, 소망의 서적 데이터 등을 구입하여, 다운로드하는 구성으로 하는 것도 가능하다.
- [0324] 또한, 전자 페이퍼는 정보를 표시하는 것이면 모든 분야에 적용하는 것이 가능하다. 예를 들면, 전자 서적 이외에도, 포스터, 전철 등의 탈 것의 차내 광고, 신용카드 등의 각종 카드에서의 표시 등에 적용할 수 있다.
- [0325] 도 10의 (D)는 앞의 실시형태에 관한 반도체 장치를 포함하는 휴대전화기이다. 이 휴대전화기는 하우징(340) 및 하우징(341)의 2개의 하우징으로 구성되어 있다. 하우징(341)은 표시 패널(342), 스피커(343), 마이크로폰(344), 포인팅 디바이스(346), 카메라용 렌즈(347), 외부 접속 단자(348) 등을 구비하고 있다. 또한, 하우징(340)은 이 휴대전화기의 충전을 행하는 태양전지 셀(349), 외부 메모리 슬롯(350) 등을 구비하고 있다. 또한, 안테나는 하우징(341) 내부에 내장되어 있다.
- [0326] 표시 패널(342)은 터치 패널 기능을 구비하고 있고, 도 10의 (D)에는 영상 표시되어 있는 복수의 조작 키(345)를 점선으로 나타내고 있다. 또한, 이 휴대전화는 태양전지 셀(349)에서 출력되는 전압을 각 회로에 필요한 전압에 승압하기 위한 승압 회로를 실장하고 있다. 또한, 상기 구성에 더하여, 비접촉 IC칩, 소형 기록 장치 등을 내장한 구성으로 할 수도 있다.
- [0327] 표시 패널(342)은 사용 형태에 따라 표시의 방향이 적절히 변화한다. 또한, 표시 패널(342)과 동일면 위에 카

메라용 렌즈(347)를 구비하고 있기 때문에 영상 통화가 가능하다. 스피커(343) 및 마이크로폰(344)은 음성 통화에만 한정하지 않고, 영상 통화, 녹음, 재생 등이 가능하다. 또한, 하우징(340)과 하우징(341)은 슬라이드하여, 도 10의 (D)와 같이 펼쳐진 상태에서부터 서로 겹쳐진 상태로 할 수 있어 휴대에 적합한 소형화가 가능하다.

[0328] 외부 접속 단자(348)는 AC 어댑터나 USB 케이블 등의 각종 케이블과 접속 가능하고, 충전이나 데이터 통신이 가능하게 되어 있다. 또한, 외부 메모리 슬롯(350)에 기록 매체를 삽입하여, 보다 대량의 데이터의 보존 및 이동에 대응할 수 있다. 또한, 상기 기능에 더하여, 적외선 통신 기능, 텔레비전 수신 기능 등을 구비한 것이어도 좋다.

[0329] 도 10의 (E)는 앞의 실시형태에 관한 반도체 장치를 포함하는 디지털 카메라이다. 이 디지털 카메라는 본체(361), 표시부(A)(367), 접안부(363), 조작 스위치(364), 표시부(B)(365), 배터리(366) 등에 의해 구성되어 있다.

[0330] 도 10의 (F)는 앞의 실시형태에 관한 반도체 장치를 포함하는 텔레비전 장치이다. 텔레비전 장치(370)에서는, 하우징(371)에 표시부(373)가 조립되어 있다. 표시부(373)에 의해, 영상을 표시하는 것이 가능하다. 또한, 여기에서는, 스탠드(375)에 의해 하우징(371)을 지지한 구성을 나타내고 있다.

[0331] 텔레비전 장치(370)의 조작은 하우징(371)이 구비하는 조작 스위치나, 별체의 리모콘 조작기(380)에 의해 행할 수 있다. 리모콘 조작기(380)가 구비하는 조작 키(379)에 의해, 채널이나 음량의 조작을 행할 수 있고, 표시부(373)에 표시되는 영상을 조작할 수 있다. 또한, 리모콘 조작기(380)에 이 리모콘 조작기(380)로부터 출력하는 정보를 표시하는 표시부(377)를 형성하는 구성으로 해도 좋다.

[0332] 또한, 텔레비전 장치(370)는 수신기나 모뎀 등을 구비한 구성으로 하는 것이 적합하다. 수신기에 의해, 일반의 텔레비전 방송의 수신을 행할 수 있다. 또한, 모뎀을 통하여 유선 또는 무선에 의한 통신 네트워크에 접속함으로써, 한방향(송신자로부터 수신자) 또는 쌍방향(송신자와 수신자간, 혹은 수신자들간 등)의 정보통신을 행하는 것이 가능하다.

[0333] 본 실시형태에 나타내는 구성, 방법 등은, 다른 실시형태에 나타내는 구성, 방법 등과 적절히 조합하여 이용할 수 있다.

[0335] [실시에 1]

[0336] 본 실시예에서는, 고순도화된 산화물 반도체를 이용한 트랜지스터의 오프 전류를 구한 결과에 대하여 설명한다.

[0337] 먼저, 고순도화된 산화물 반도체를 이용한 트랜지스터의 오프 전류가 충분히 작은 것을 고려하여, 채널폭(W)이 1 μm로 충분히 큰 트랜지스터를 준비하여 오프 전류의 측정을 행하였다. 채널폭(W)이 1 μm인 트랜지스터의 오프 전류를 측정한 결과를 도 25에 나타낸다. 도 25에서, 횡축은 게이트 전압(VG), 종축은 드레인 전류(ID)이다. 드레인 전압(VD)이 +1 V 또는 +10 V인 경우, 게이트 전압(VG)이 -5 V에서 -20 V의 범위에서는, 박막 트랜지스터의 오프 전류는 검출 한계인 1×10^{-13} A 이하인 것을 알 수 있었다. 또한, 트랜지스터의 오프 전류(여기에서는, 단위 채널폭(1 μm)당의 값)은 $1 \text{ aA}/\mu\text{m}(1 \times 10^{-18} \text{ A}/\mu\text{m})$ 이하가 되는 것을 알 수 있었다.

[0338] 다음에, 고순도화된 산화물 반도체를 이용한 박막 트랜지스터의 오프 전류를 더욱 정확하게 구한 결과에 대하여 설명한다. 상술한 바와 같이, 고순도화된 산화물 반도체를 이용한 트랜지스터의 오프 전류는 측정기의 검출 한계인 1×10^{-13} A 이하인 것을 알 수 있었다. 따라서, 특성 평가용 소자를 제작하여, 보다 정확한 오프 전류의 값(상기 측정에서의 측정기의 검출 한계 이하의 값)을 구한 결과에 대하여 설명한다.

[0339] 처음에, 전류 측정 방법에 이용한 특성 평가용 소자에 대하여, 도 26을 참조하여 설명한다.

[0340] 도 26에 나타난 특성 평가용 소자는 측정계(800)가 3개 병렬로 접속되어 있다. 측정계(800)는 용량 소자(802), 트랜지스터(804), 트랜지스터(805), 트랜지스터(806), 트랜지스터(808)를 가진다. 트랜지스터(804), 트랜지스터(805), 트랜지스터(806)에는 고순도화된 산화물 반도체를 이용한 트랜지스터를 적용했다.

[0341] 측정계(800)에서, 트랜지스터(804)의 소스 단자 및 드레인 단자의 한쪽과, 용량 소자(802)의 단자의 한쪽과, 트랜지스터(805)의 소스 단자 및 드레인 단자의 한쪽은, 전원(V2를 부여하는 전원)에 접속되어 있다. 또한, 트랜지스터(804)의 소스 단자 및 드레인 단자의 다른 한쪽과, 트랜지스터(808)의 소스 단자 및 드레인 단자의 한쪽과, 용량 소자(802)의 단자의 다른 한쪽과, 트랜지스터(805)의 게이트 단자는 접속되어 있다. 또한, 트랜지스

터(808)의 소스 단자 및 드레인 단자의 다른 한쪽과, 트랜지스터(806)의 소스 단자 및 드레인 단자의 한쪽과, 트랜지스터(806)의 게이트 단자는 전원(V1을 부여하는 전원)에 접속되어 있다. 또한, 트랜지스터(805)의 소스 단자 및 드레인 단자의 다른 한쪽과, 트랜지스터(806)의 소스 단자 및 드레인 단자의 다른 한쪽은 접속되고, 출력 단자로 되어 있다.

[0342] 또한, 트랜지스터(804)의 게이트 단자에는, 트랜지스터(804)의 온 상태와 오프 상태를 제어하는 전위(Vext_b2)가 공급되고, 트랜지스터(808)의 게이트 단자에는, 트랜지스터(808)의 온 상태와 오프 상태를 제어하는 전위(Vext_b1)가 공급된다. 또한, 출력 단자로부터는 전위(Vout)가 출력된다.

[0343] 다음에, 상기의 특성 평가용 소자를 이용한 전류 측정 방법에 대하여 설명한다.

[0344] 먼저, 오프 전류를 측정하기 위해 전위차를 부여하는 초기 기간의 개략에 대하여 설명한다. 초기 기간에서는, 트랜지스터(808)의 게이트 단자에, 트랜지스터(808)를 온 상태로 하는 전위(Vext_b1)를 입력하고, 트랜지스터(804)의 소스 단자 또는 드레인 단자의 다른 한쪽과 접속되는 노드(즉, 트랜지스터(808)의 소스 단자 및 드레인 단자의 한쪽, 용량 소자(802)의 단자의 다른 한쪽, 및 트랜지스터(805)의 게이트 단자에 접속되는 노드)인 노드(A)에 전위(V1)를 부여한다. 여기서, 전위(V1)는 예를 들면 고전위로 한다. 또한, 트랜지스터(804)는 오프 상태로 해둔다.

[0345] 그 후, 트랜지스터(808)의 게이트 단자에, 트랜지스터(808)를 오프 상태로 하는 전위(Vext_b1)를 입력하고, 트랜지스터(808)를 오프 상태로 한다. 트랜지스터(808)를 오프 상태로 한 후에, 전위(V1)를 저전위로 한다. 여기에서도, 트랜지스터(804)는 오프 상태로 해둔다. 또한, 전위(V2)는 전위(V1)와 같은 전위로 한다. 이상에 의해, 초기 기간이 종료된다. 초기 기간이 종료된 상태에서는, 노드(A)와 트랜지스터(804)의 소스 단자 및 드레인 단자의 한쪽과의 사이에 전위차가 생기고, 또한, 노드(A)와 트랜지스터(808)의 소스 단자 및 드레인 단자의 다른 한쪽과의 사이에 전위차가 생기게 되기 때문에, 트랜지스터(804) 및 트랜지스터(808)에는 전하가 약간 흐른다. 즉, 오프 전류가 발생한다.

[0346] 다음에, 오프 전류의 측정 기간의 개략에 대하여 설명한다. 측정 기간에서는, 트랜지스터(804)의 소스 단자 또는 드레인 단자의 한쪽의 단자의 전위(즉 V2), 및, 트랜지스터(808)의 소스 단자 또는 드레인 단자의 다른 한쪽의 단자의 전위(즉 V1)는 저전위로 고정해 둔다. 한편, 측정 기간 중은, 상기 노드(A)의 전위는 고정하지 않는다(플로팅 상태로 함). 이것에 의해, 트랜지스터(804)에 전하가 흘러, 시간의 경과와 함께 노드(A)에 보유되는 전하량이 변동한다. 그리고, 노드(A)에 보유되는 전하량의 변동에 따라, 노드(A)의 전위가 변동한다. 즉, 출력 단자의 출력 전위(Vout)도 변동한다.

[0347] 상기 전위차를 부여하는 초기 기간, 및, 그 후의 측정 기간에서의 각 전위의 관계의 상세한 사항(타이밍 차트)을 도 27에 나타낸다.

[0348] 초기 기간에서, 먼저, 전위(Vext_b2)를 트랜지스터(804)가 온 상태가 되는 전위(고전위)로 한다. 이것에 의해, 노드(A)의 전위는 V2 즉 저전위(VSS)가 된다. 그 후, 전위(Vext_b2)를 트랜지스터(804)가 오프 상태가 되는 전위(저전위)로 하여 트랜지스터(804)를 오프 상태로 한다. 그리고, 다음에, 전위(Vext_b1)를 트랜지스터(808)가 온 상태가 되는 전위(고전위)로 한다. 이것에 의해, 노드(A)의 전위는 V1, 즉 고전위(VDD)가 된다. 그 후, Vext_b1을 트랜지스터(808)가 오프 상태가 되는 전위로 한다. 이것에 의해, 노드(A)가 플로팅 상태가 되고, 초기 기간이 종료된다.

[0349] 그 후의 측정 기간에서는, 전위(V1) 및 전위(V2)를 노드(A)에 전하가 흘러들어오거나, 또는 노드(A)로부터 전하가 흘러나오는 전위로 한다. 여기에서는, 전위(V1) 및 전위(V2)를 저전위(VSS)로 한다. 단, 출력 전위(Vout)를 측정하는 타이밍에서는 출력 회로를 동작시킬 필요가 생기기 때문에, 일시적으로 V1을 고전위(VDD)로 하는 경우가 있다. 또한, V1을 고전위(VDD)로 하는 기간은 측정에 영향을 주지 않을 정도의 단기간으로 한다.

[0350] 상술한 바와 같이 하여 전위차를 주어 측정 기간이 개시되면, 시간의 경과와 함께 노드(A)에 보유되는 전하량이 변동하고, 이것에 따라 노드(A)의 전위가 변동한다. 이것은, 트랜지스터(805)의 게이트 단자의 전위가 변동하는 것을 의미하기 때문에, 시간의 경과와 함께, 출력 단자의 출력 전위(Vout)의 전위도 변화하게 된다.

[0351] 얻어진 출력 전위(Vout)로부터, 오프 전류를 산출하는 방법에 대하여, 이하에 설명한다.

[0352] 오프 전류의 산출에 앞서, 노드(A)의 전위(V_A)와 출력 전위(Vout)와의 관계를 구해 둔다. 이것에 의해, 출력 전위(Vout)로부터 노드(A)의 전위(V_A)를 구할 수 있다. 상술한 관계로부터, 노드(A)의 전위(V_A)는 출력 전위

(Vout)의 함수로서 다음 식과 같이 나타낼 수 있다.

[수학식 1]

$$V_A = F(V_{out})$$

또한, 노드(A)의 전하(Q_A 노드(A)의 전위(V_A 노드(A)에 접속되는 용량(C_A), 정수(const)를 이용하여, 다음 식과 같이 나타내어진다. 여기서, 노드(A)에 접속되는 용량(C_A)은 용량 소자(802)의 용량과 다른 용량의 합이다.

[수학식 2]

$$Q_A = C_A V_A + const$$

노드(A)의 전류(I_A)는 노드(A)에 흘러들어가는 전하(또는 노드(A)로부터 흘러나오는 전하)의 시간 미분이기 때문에, 노드(A)의 전류(I_A)는 다음 식과 같이 나타내어진다.

[수학식 3]

$$I_A = \frac{\Delta Q_A}{\Delta t} = \frac{C_A \cdot \Delta F(V_{out})}{\Delta t}$$

이와 같이, 노드(A)에 접속되는 용량(C_A)과, 출력 단자의 출력 전위(Vout)로부터, 노드(A)의 전류(I_A)를 구할 수 있다.

이상에 나타난 방법에 의해, 오프 상태에서 트랜지스터의 소스와 드레인간을 흐르는 리크 전류(오프 전류)를 측정할 수 있다.

본 실시예에서는, 채널 길이(L) = 10 μm , 채널폭(W) = 50 μm 의 고순도화한 산화물 반도체를 이용하여 트랜지스터(804), 트랜지스터(805), 트랜지스터(806), 트랜지스터(808)를 제작했다. 또한, 병렬된 각 측정계(800)에 있어서, 용량 소자(802a~802c)의 용량값을 각각, 용량 소자(802a)를 100 fF, 용량 소자(802b)를 1 pF, 용량 소자(802c)를 3 pF로 했다.

또한, 본 실시예에 관한 측정에서는, VDD = 5 V, VSS = 0 V로 했다. 또한, 측정 기간에서는 전위(V1)를 원칙으로 하여 VSS로 하고, 10~300 sec마다, 100 msec의 기간만큼 VDD로 하여 Vout를 측정했다. 또한, 소자에 흐르는 전류(I)의 산출에 이용되는 Δt 는 약 30000 sec로 했다.

도 28에, 상기 전류 측정에 관한 경과 시간(Time)과 출력 전위(Vout)와의 관계를 나타낸다. 도 28로부터, 시간의 경과에 따라, 전위가 변화하고 있는 양태를 확인할 수 있다.

도 29에는, 상기 전류 측정에 의해 산출된 실온(25℃)에서의 오프 전류를 나타낸다. 또한, 도 29는 소스-드레인 전압(V)과 오프 전류(I)와의 관계를 나타내는 것이다. 도 29로부터, 소스-드레인 전압이 4 V인 조건에서, 오프 전류는 약 40 zA/ μm 인 것을 알 수 있었다. 또한, 소스-드레인 전압이 3.1 V인 조건에서, 오프 전류는 10 zA/ μm 이하인 것을 알 수 있었다. 또한, 1 zA는 10^{-21} A를 나타낸다.

또한, 상기 전류 측정에 의해 산출된 85℃의 온도 환경하에서의 오프 전류에 대하여 도 30에 나타낸다. 도 30은, 85℃의 온도 환경하에서의 소스-드레인 전압(V)과 오프 전류(I)와의 관계를 나타내는 것이다. 도 30으로부터, 소스-드레인 전압이 3.1 V인 조건에서, 오프 전류는 100 zA/ μm 이하인 것을 알 수 있었다.

이상, 본 실시예에 의해, 고순도화된 산화물 반도체를 이용한 트랜지스터에서는, 오프 전류가 충분히 작아지는 것이 확인되었다.

[실시예 2]

개시하는 발명의 일 양태에 관한 반도체 장치의 다시쓰기 가능 횟수에 대하여 조사했다. 본 실시예에서는, 이 조사 결과에 대하여, 도 31을 참조하여 설명한다.

조사에 이용한 반도체 장치는, 도 15의 (A)에 나타난 회로 구성의 반도체 장치이다. 여기서, 트랜지스터(162)

에 상당하는 트랜지스터에는 산화물 반도체를 이용하고, 용량 소자(164)에 상당하는 용량 소자로서는 0.33 pF의 용량값의 것을 이용했다.

[0373] 조사는 초기의 메모리창 폭과, 정보의 보유 및 정보의 기입을 소정 횟수 반복한 후의 메모리창 폭을 비교함으로써 행하였다. 정보의 보유 및 정보의 기입은 도 15의 (A)에서의 제 3 배선에 상당하는 배선에 0 V, 또는 5 V의 어느 하나를 부여하여, 제 4 배선에 상당하는 배선에 0 V, 또는 5 V의 어느 하나를 부여함으로써 행하였다. 제 4 배선에 상당하는 배선의 전위가 0 V인 경우에는, 트랜지스터(162)에 상당하는 트랜지스터(기입용 트랜지스터)는 오프 상태이기 때문에, 노드(FG)에 부여된 전위가 보유된다. 제 4 배선에 상당하는 배선의 전위가 5 V인 경우에는, 트랜지스터(162)에 상당하는 트랜지스터는 온 상태이기 때문에, 제 3 배선에 상당하는 배선의 전위가 노드(FG)에 부여된다.

[0374] 메모리창 폭은 기억 장치의 특성을 나타내는 지표의 하나이다. 여기에서는, 다른 기억 상태 사이에서의 제 5 배선에 상당하는 배선의 전위(Vcg)와 트랜지스터(160)에 상당하는 트랜지스터(관독용 트랜지스터)의 드레인 전류(Id)와의 관계를 나타내는 곡선(Vcg-Id 곡선)의 시프트량(ΔV_{cg})을 말하는 것으로 한다. 다른 기억 상태란, 노드(FG)에 0 V가 부여된 상태(이하, Low 상태라고 함)와 노드(FG)에 5 V가 부여된 상태(이하, High 상태라고 함)를 말한다. 즉, 메모리창 폭은 Low 상태와 High 상태에 있어서, 전위(Vcg)의 스위핑을 행함으로써 확인할 수 있다.

[0375] 도 31에, 초기 상태에서의 메모리창 폭과, 1×10^9 회의 기입을 행한 후의 메모리창 폭의 조사 결과를 나타낸다. 또한, 도 31에서, 횡축은 Vcg(V)를 나타내고, 종축은 Id(A)를 나타낸다. 도 31로부터, 1×10^9 회의 기입 전후에서, 메모리창 폭이 변화하고 있지 않는 것을 확인할 수 있다. 1×10^9 회의 기입 전후에서 메모리창 폭이 변화하지 않는다는 것은, 적어도 이 동안은 반도체 장치가 열화 하지 않는 것을 나타내는 것이다.

[0376] 위에서 설명한 바와 같이, 개시하는 발명의 일 양태에 관한 반도체 장치는, 보유 및 기입을 1×10^9 회나 다수회 반복해도 특성이 변화하지 않고, 다시쓰기 내성이 매우 높다. 즉, 개시하는 발명의 일 양태에 의해, 매우 신뢰성이 높은 반도체 장치가 실현된다고 할 수 있다.

부호의 설명

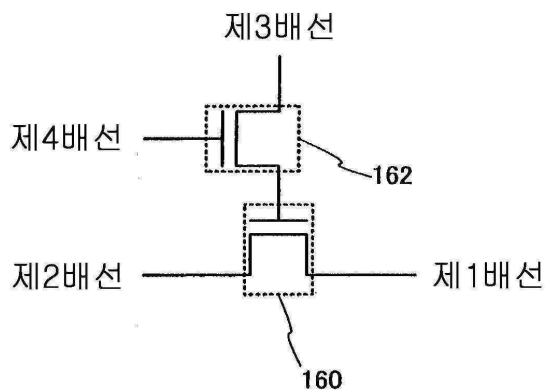
[0377]	100 : 기관	102 : 보호층
	104 : 반도체 영역	106 : 소자 분리 절연층
	108 : 게이트 절연층	110 : 게이트 전극
	112 : 절연층	114 : 불순물 영역
	116 : 채널 형성 영역	118 : 사이드 월 절연층
	120 : 고농도 불순물 영역	122 : 금속층
	124 : 금속 화합물 영역	126 : 층간 절연층
	128 : 층간 절연층	130a : 소스 전극 또는 드레인 전극
	130b : 소스 전극 또는 드레인 전극	130c : 전극
	132 : 절연층	134 : 도전층
	136a : 전극	136b : 전극
	136c : 전극	136d : 게이트 전극
	138 : 게이트 절연층	140 : 산화물 반도체층
	142a : 소스 전극 또는 드레인 전극	142b : 소스 전극 또는 드레인 전극
	144 : 보호 절연층	146 : 층간 절연층
	148 : 도전층	150a : 전극

150b : 전극	150c : 전극
150d : 전극	150e : 전극
152 : 절연층	154a : 전극
154b : 전극	154c : 전극
154d : 전극	160 : 트랜지스터
162 : 트랜지스터	164 : 용량 소자
200 : 기관	206 : 소자 분리 절연층
208 : 게이트 절연층	210 : 게이트 전극
216 : 채널 형성 영역	220 : 고농도 불순물 영역
224 : 금속 화합물 영역	225 : 층간 절연층
226 : 층간 절연층	228 : 층간 절연층
242a : 소스 전극 또는 드레인 전극	242b : 소스 전극 또는 드레인 전극
243a : 절연층	243b : 절연층
244 : 산화물 반도체층	246 : 게이트 절연층
248a : 게이트 전극	248b : 전극
250 : 층간 절연층	252 : 층간 절연층
254 : 소스 전극 또는 드레인 전극 256 : 배선	
260 : 트랜지스터	262 : 트랜지스터
264 : 용량 소자	301 : 본체
302 : 하우징	303 : 표시부
304 : 키보드	311 : 본체
312 : 스타일러스	313 : 표시부
314 : 조작 버튼	315 : 외부 인터페이스
320 : 전자 서적	321 : 하우징
323 : 하우징	325 : 표시부
327 : 표시부	331 : 전원
333 : 조작 키	335 : 스피커
337 : 축부	340 : 하우징
341 : 하우징	342 : 표시 패널
343 : 스피커	344 : 마이크로폰
345 : 조작 키	346 : 포인팅 디바이스
347 : 카메라용 렌즈	348 : 외부 접속 단자
349 : 태양전지 셀	350 : 외부 메모리 슬롯
361 : 본체	363 : 접안부
364 : 조작 스위치	365 : 표시부(B)
366 : 배터리	367 : 표시부(A)

370 : 텔레비전 장치	371 : 하우징
373 : 표시부	375 : 스탠드
377 : 표시부	379 : 조작 키
380 : 리모콘 조작기	400 : 메모리 셀
800 : 측정계	802 : 용량 소자
802a : 용량 소자	802b : 용량 소자
802c : 용량 소자	804 : 트랜지스터
805 : 트랜지스터	806 : 트랜지스터
808 : 트랜지스터	1100 : 메모리 셀
1111 : 제 1 구동 회로	1112 : 제 2 구동 회로
1113 : 제 3 구동 회로	1114 : 제 4 구동 회로
1200 : 메모리 셀	1211 : 제 1 구동 회로
1212 : 제 2 구동 회로	1213 : 제 3 구동 회로
1214 : 제 4 구동 회로	

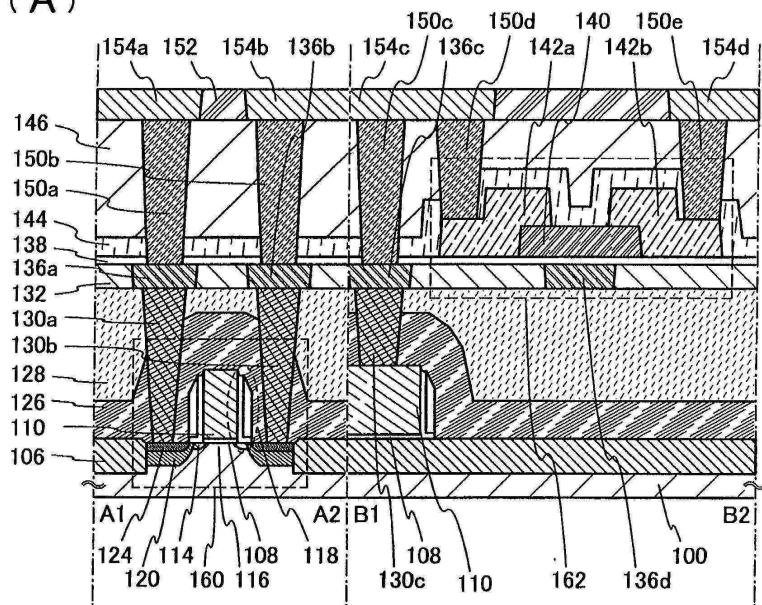
도면

도면1

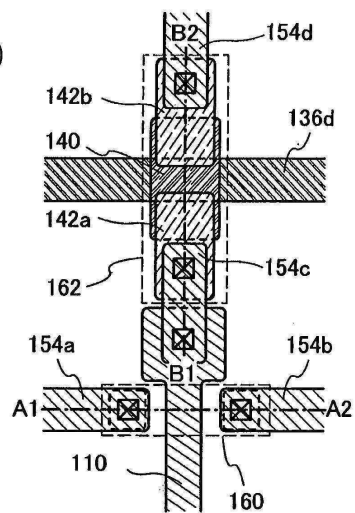


도면2

(A)

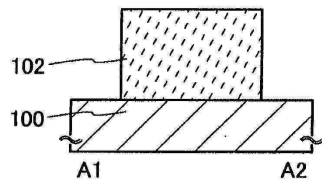


(B)

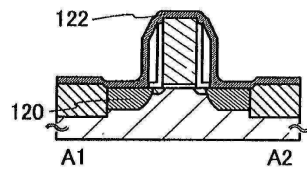


도면3

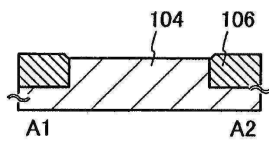
(A)



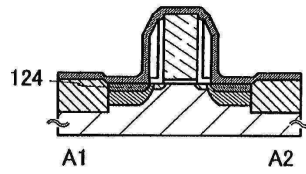
(E)



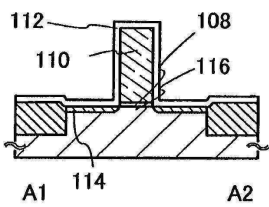
(B)



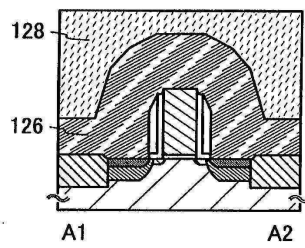
(F)



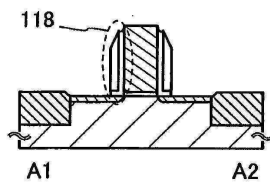
(C)



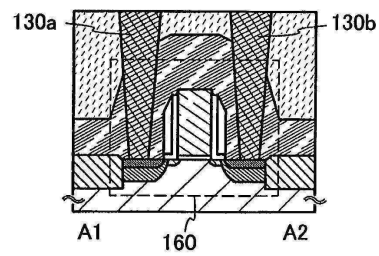
(G)



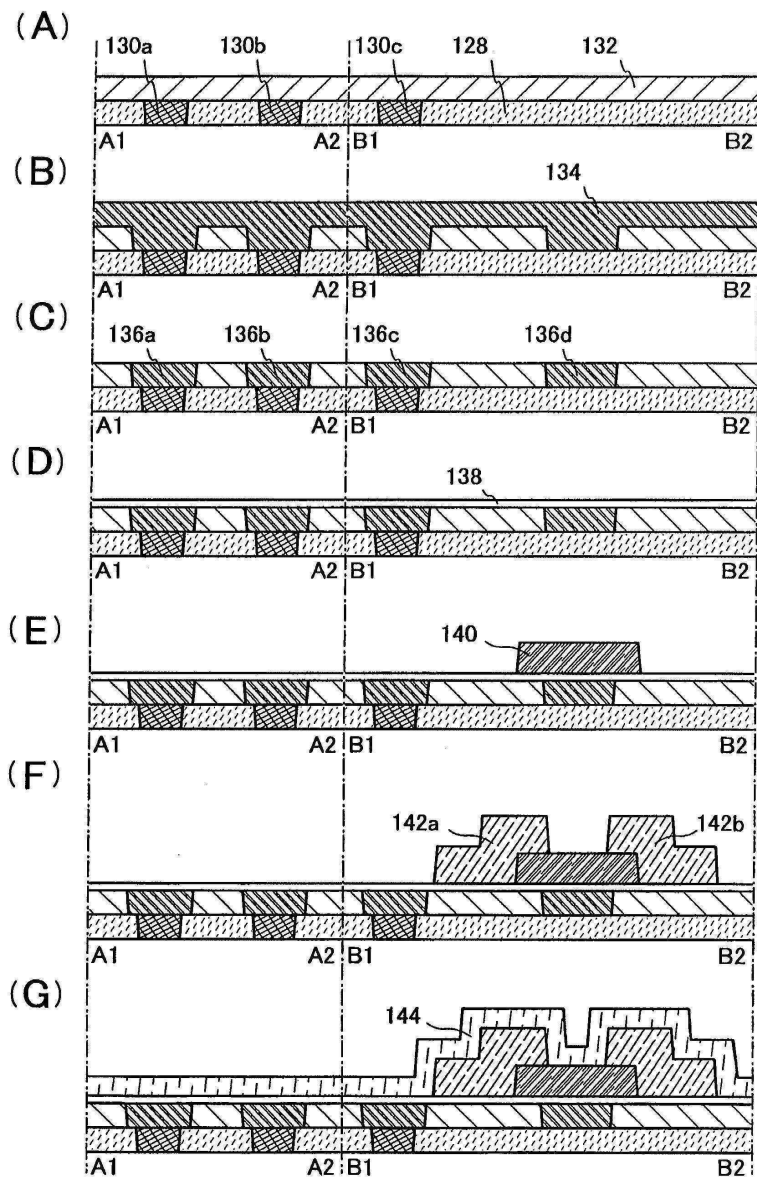
(D)



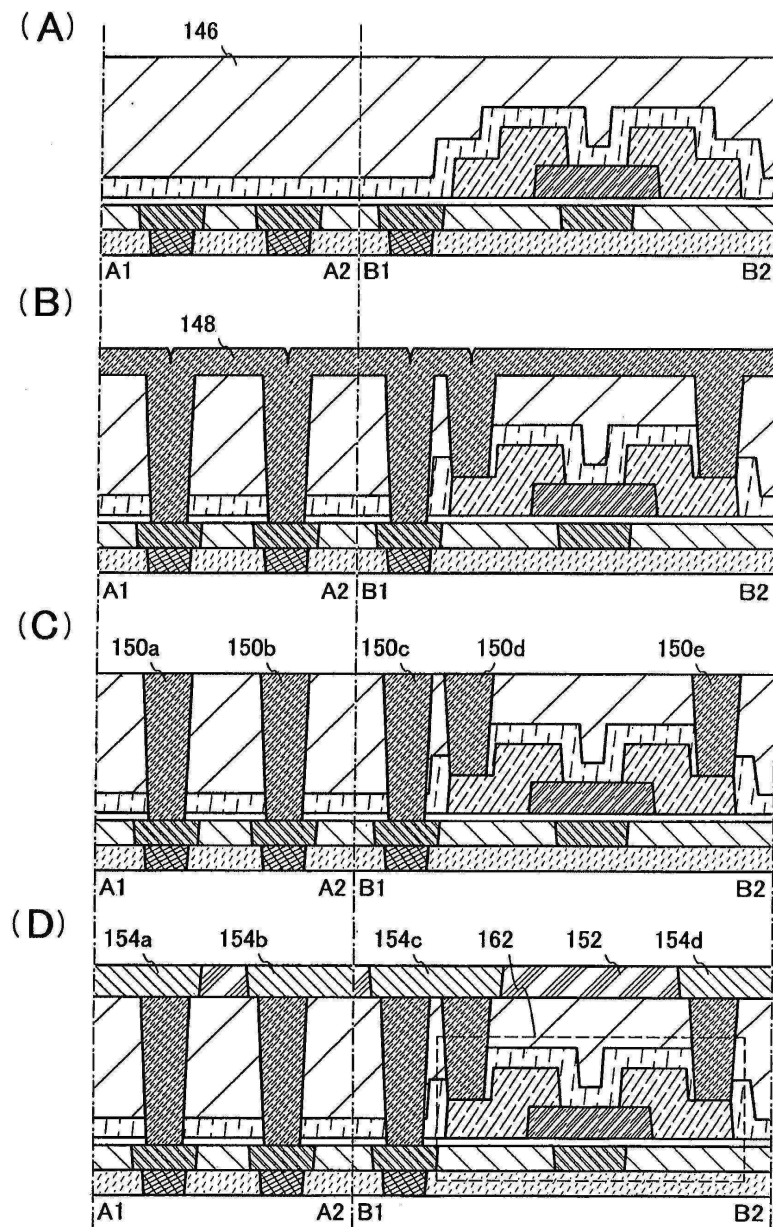
(H)



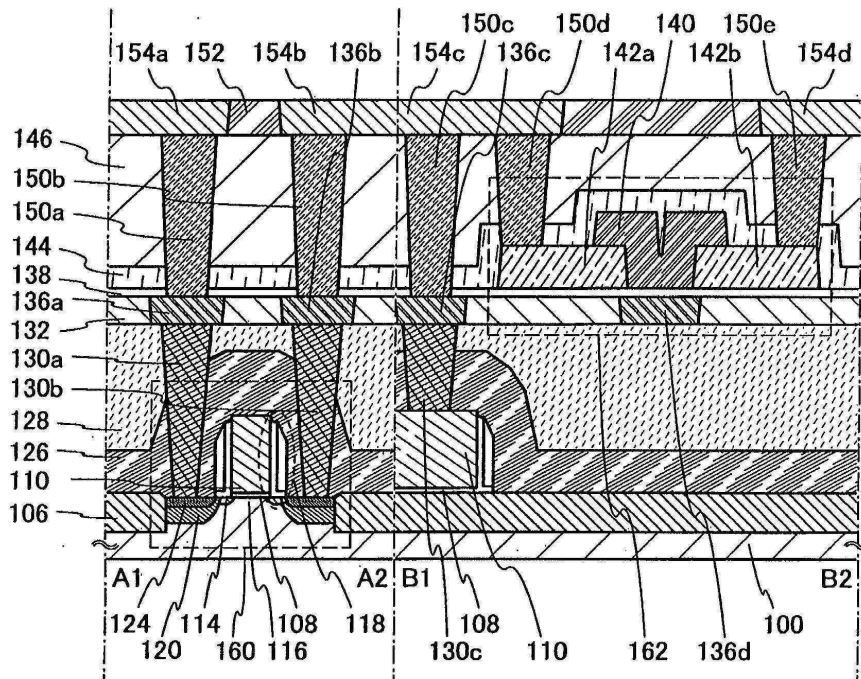
도면4



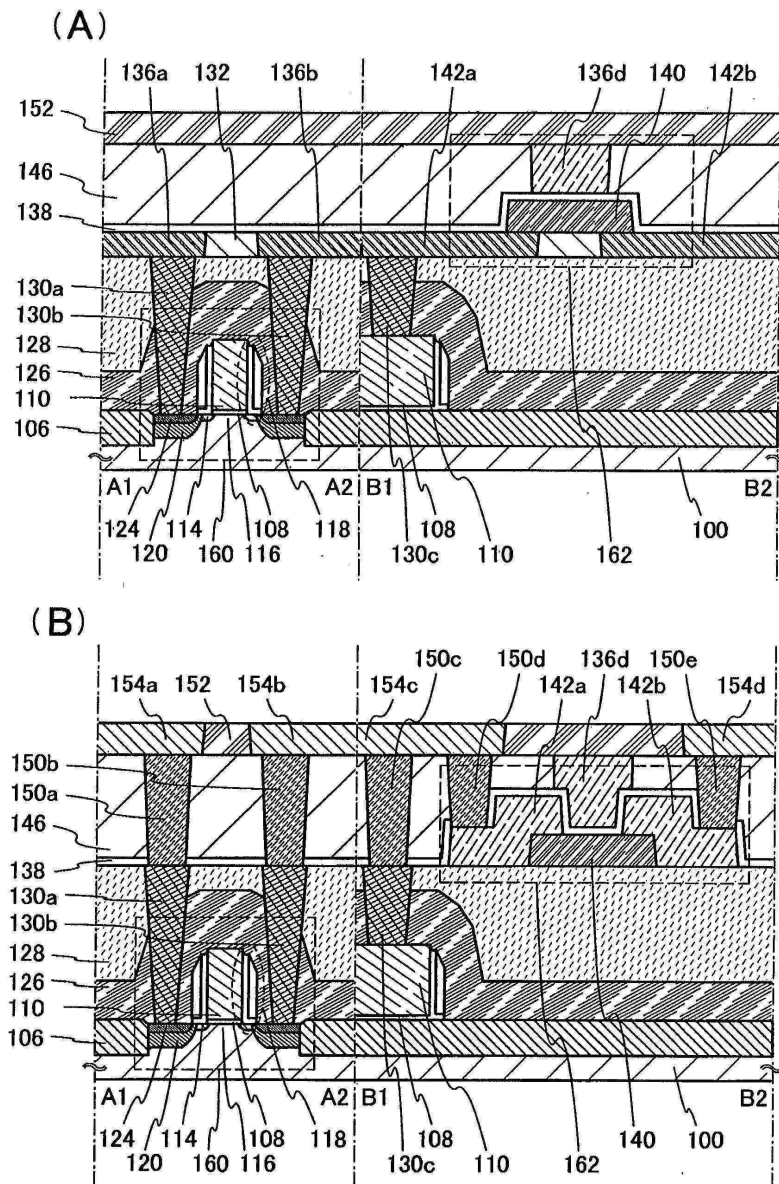
도면5



도면6

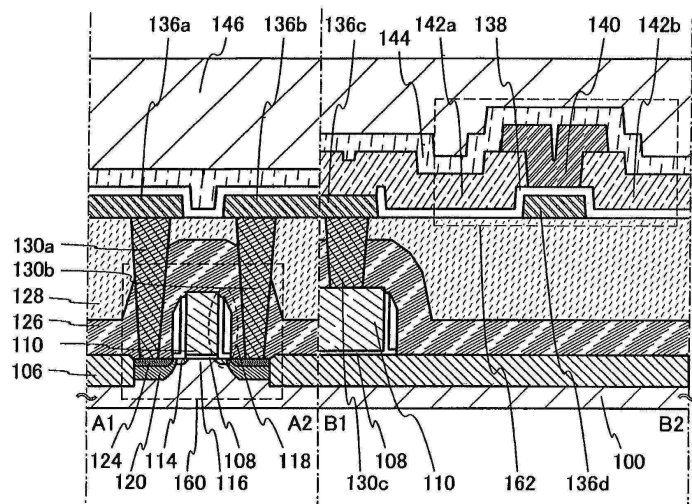


도면7

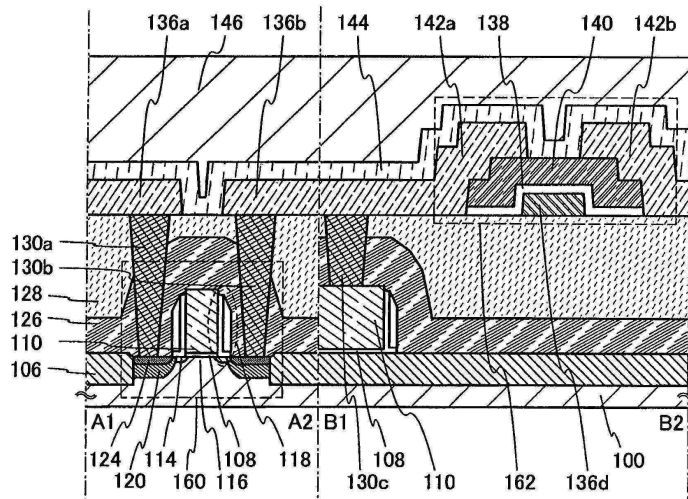


도면8

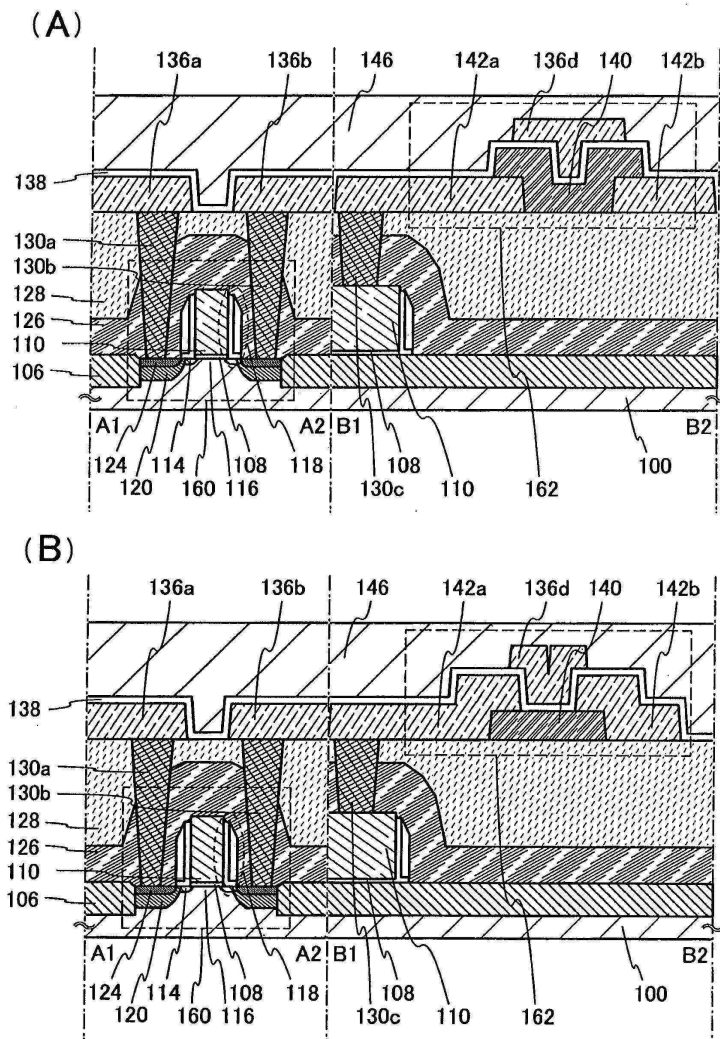
(A)



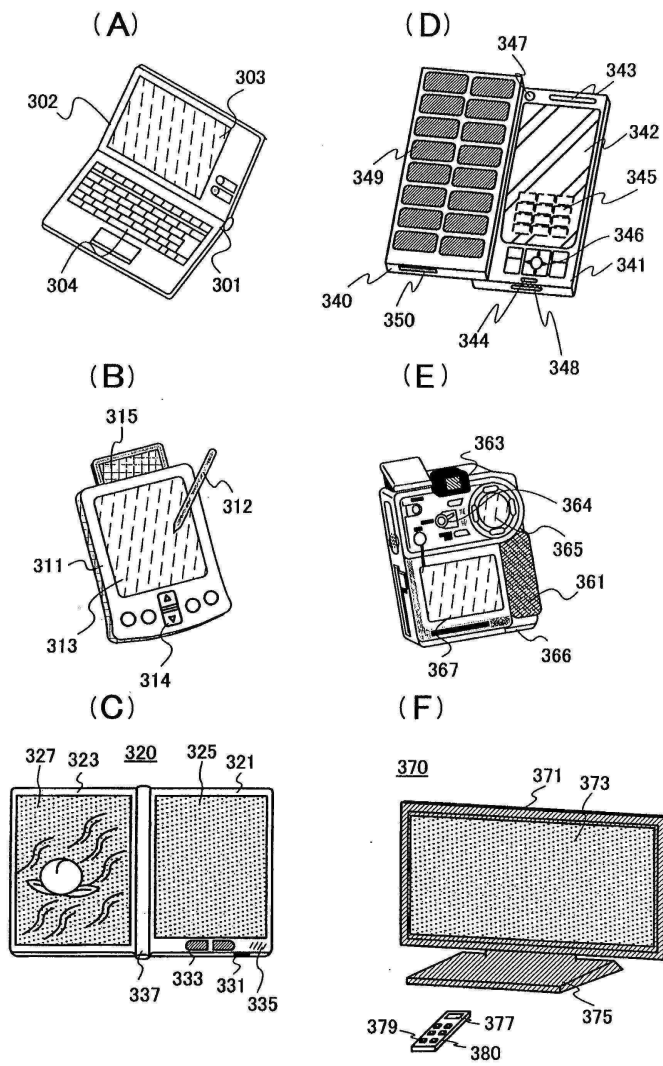
(B)



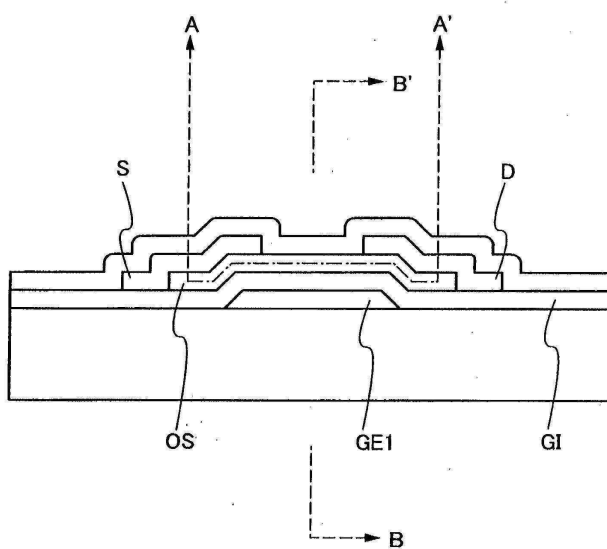
도면9



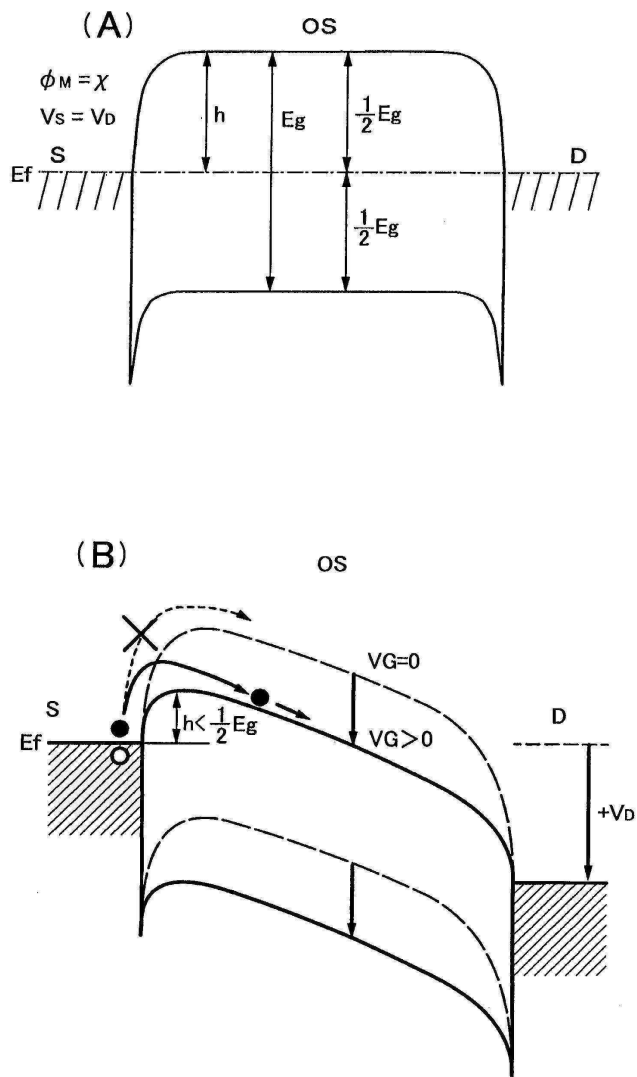
도면10



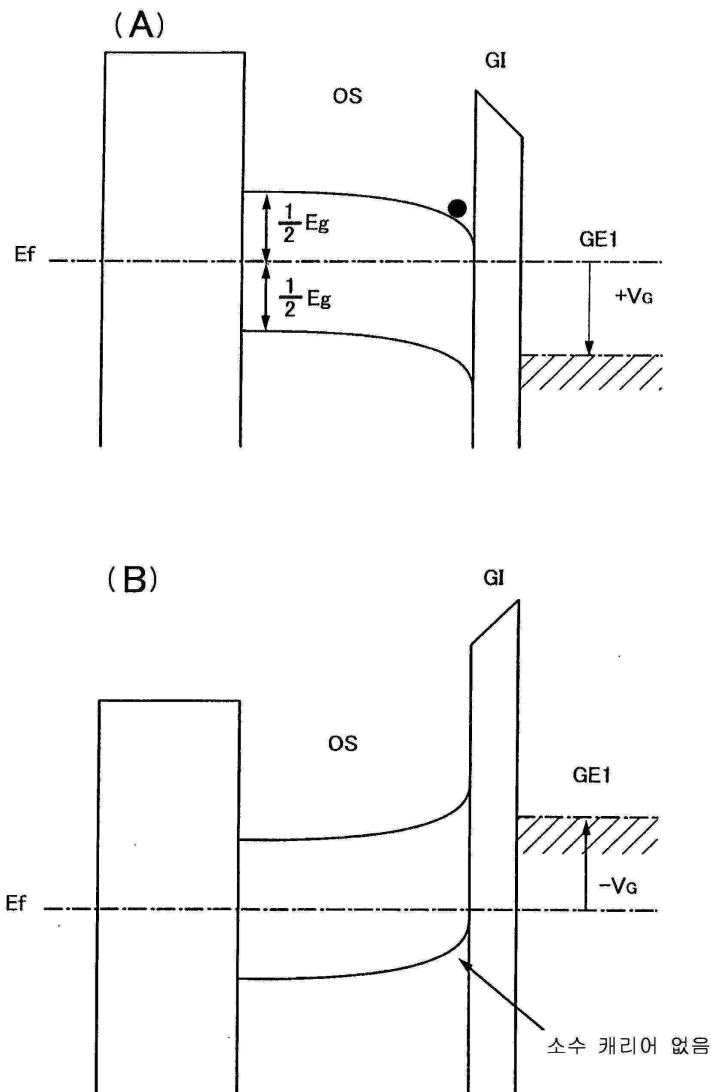
도면11



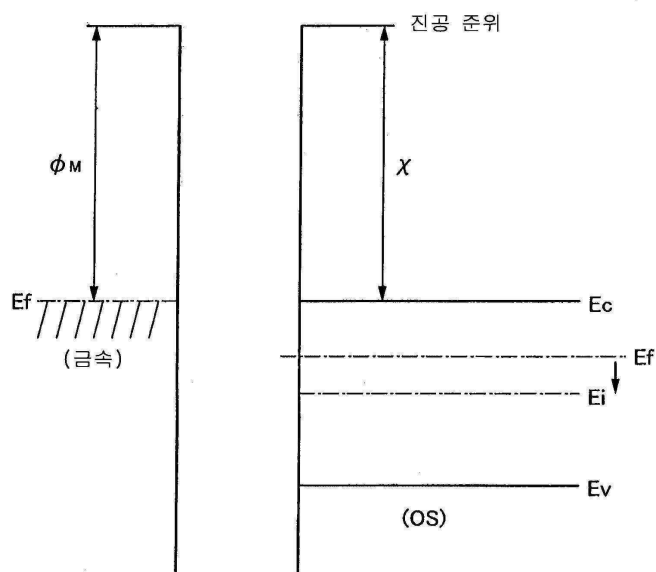
도면12



도면13

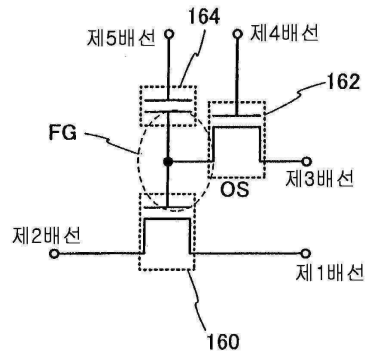


도면14

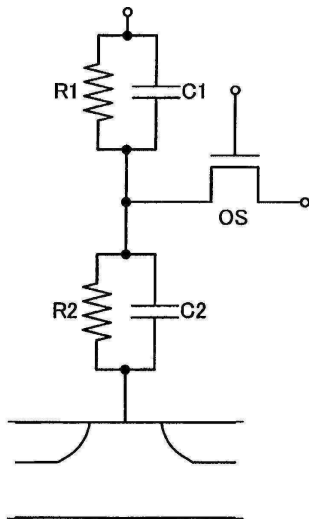


도면15

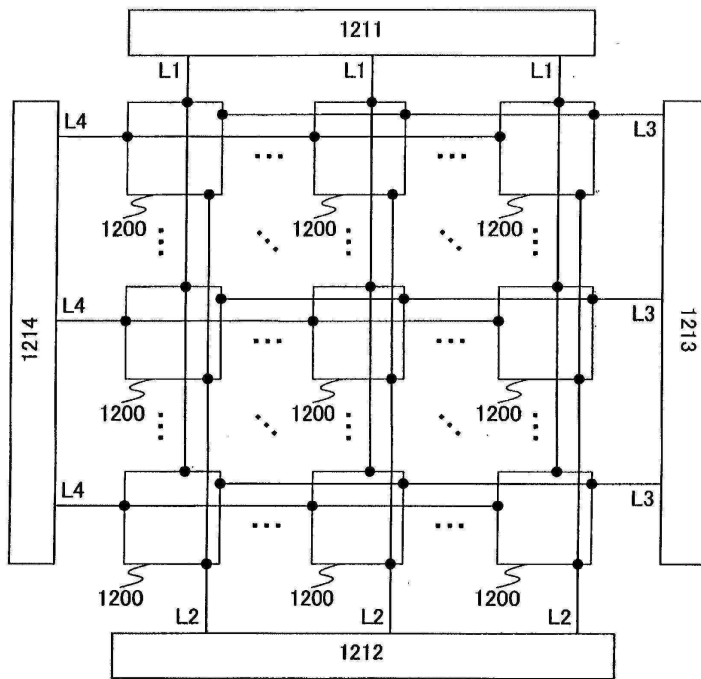
(A)



(B)

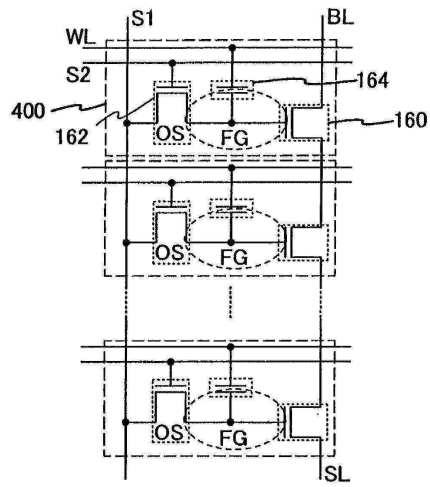


도면16

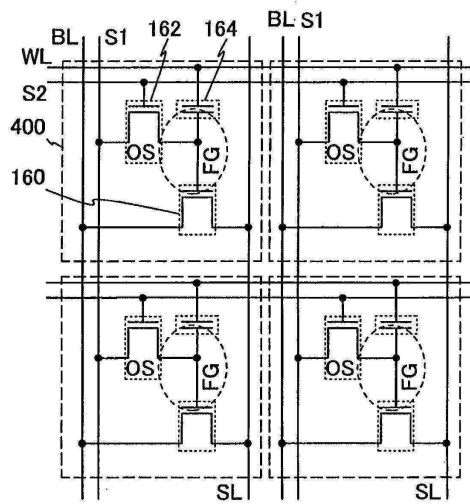


도면17

(A)

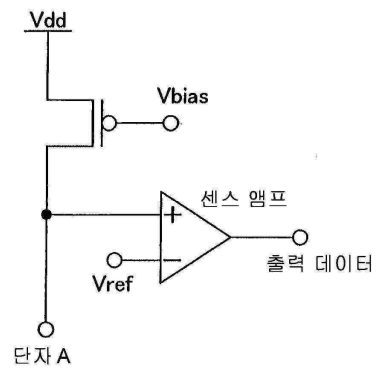


(B)

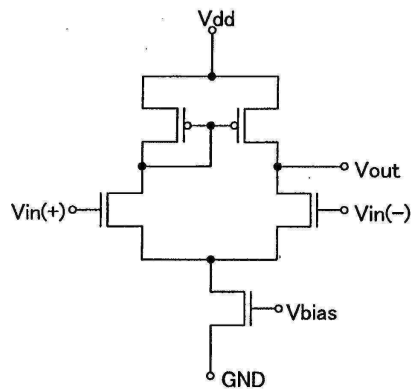


도면18

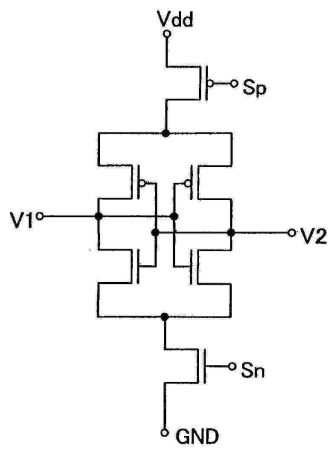
(A)



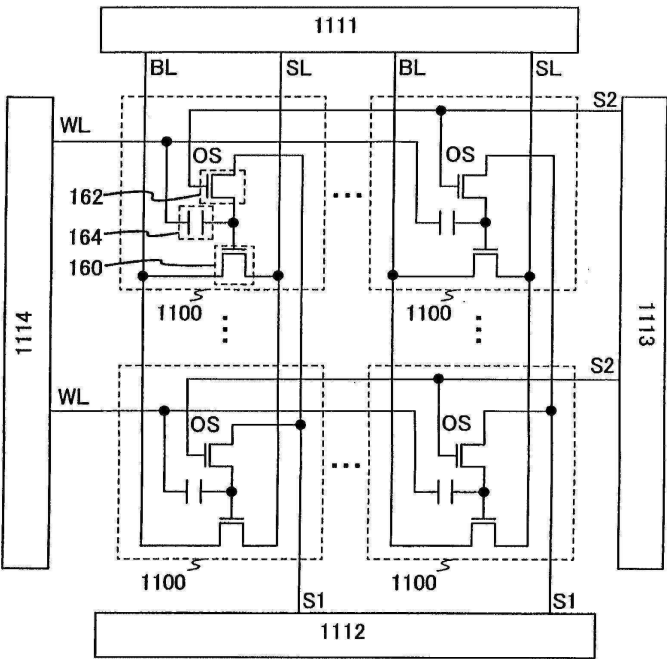
(B)



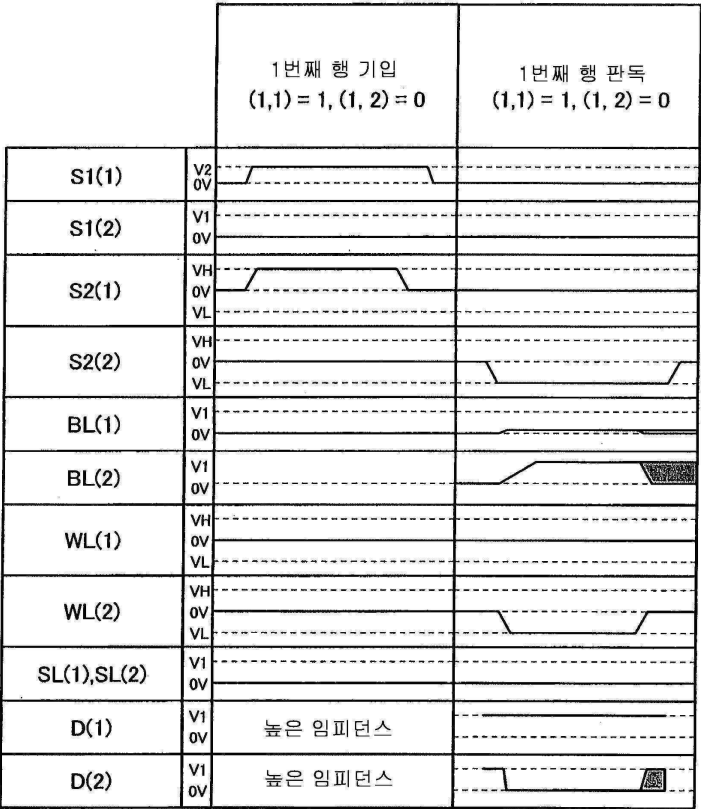
(C)



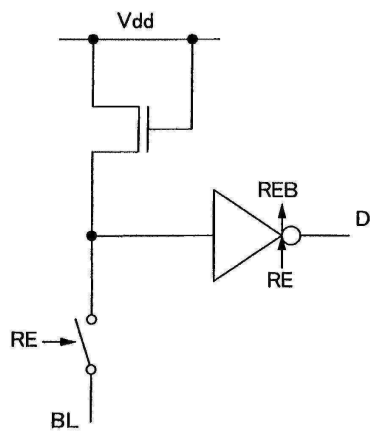
도면19



도면20

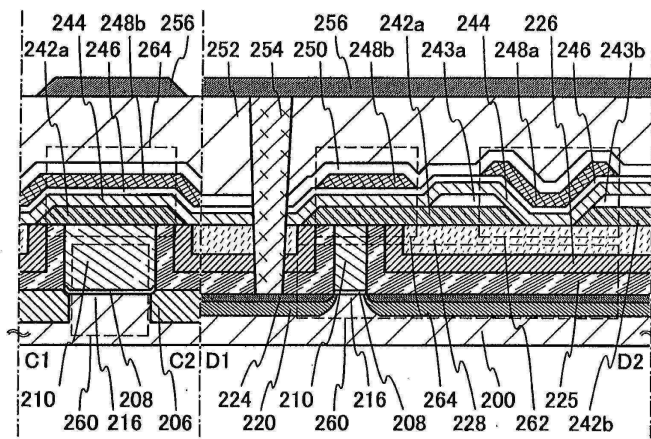


도면21

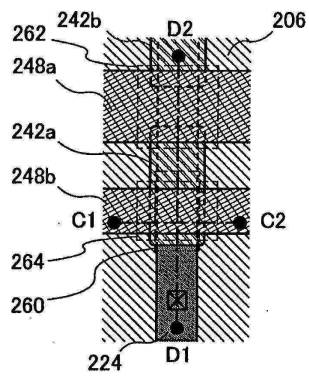


도면22

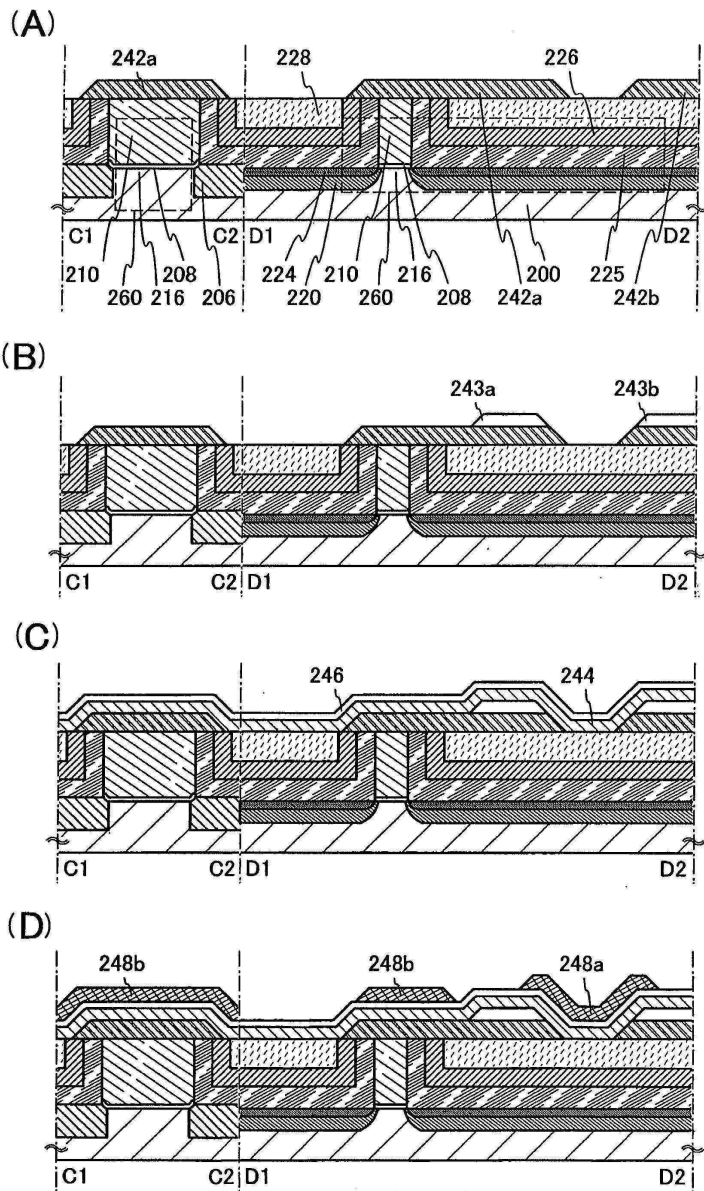
(A)



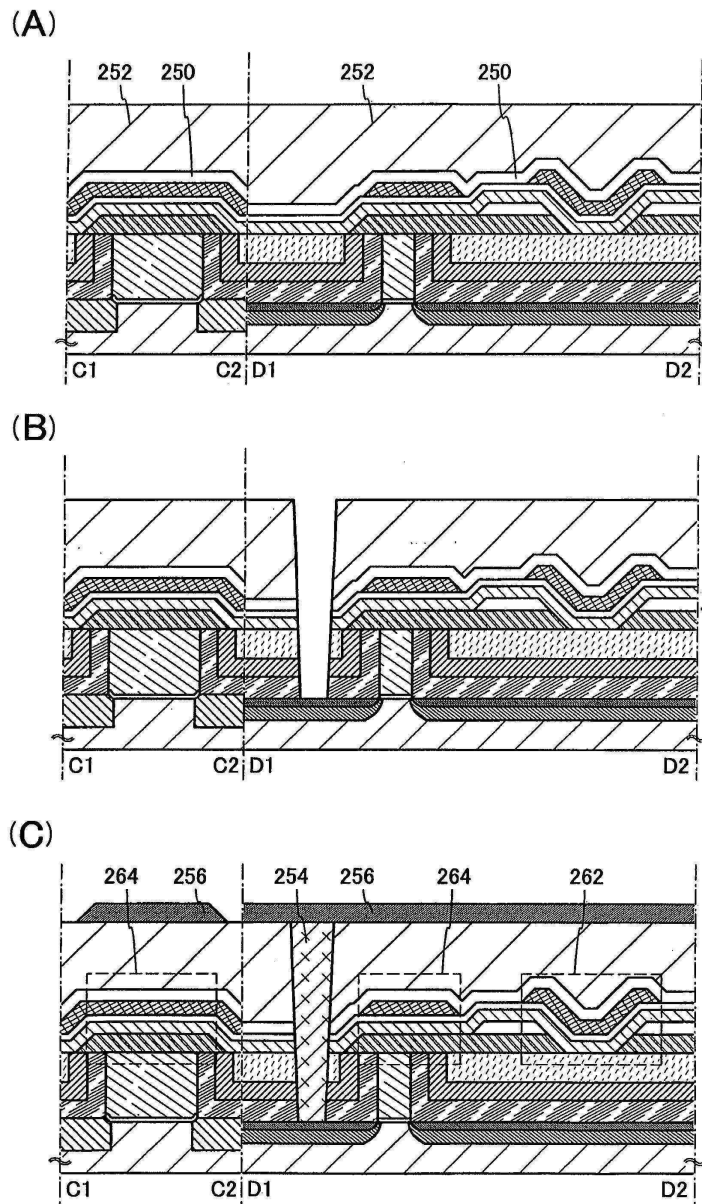
(B)



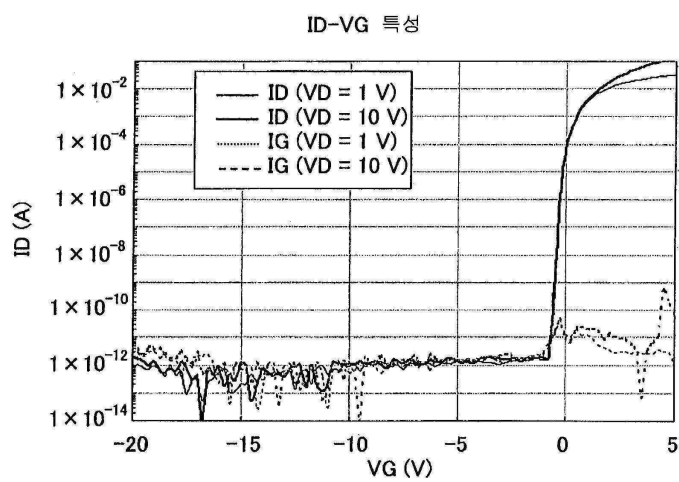
도면23



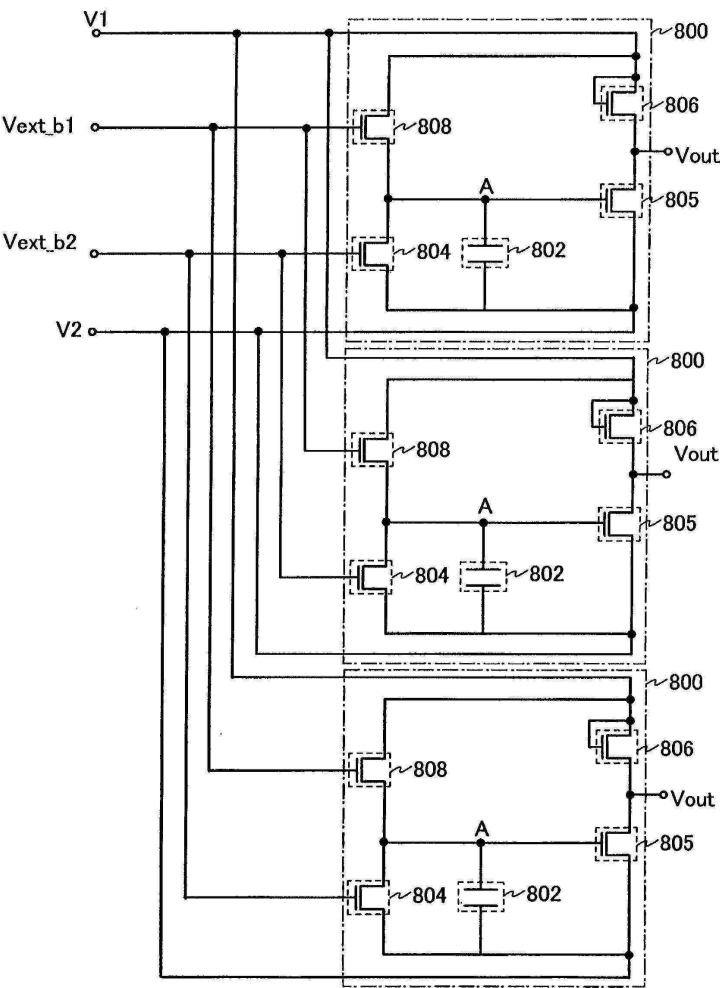
도면24



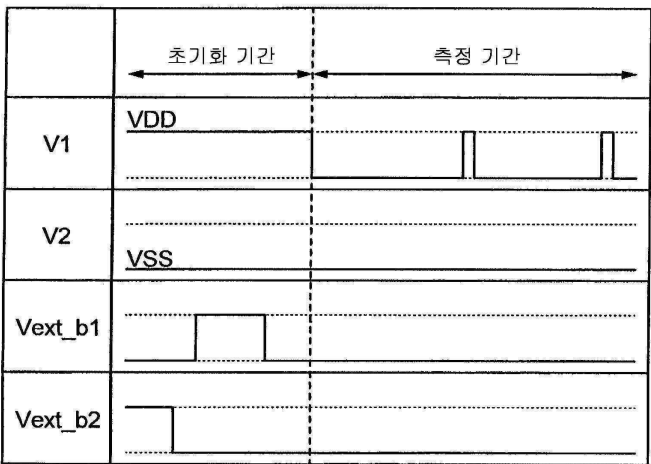
도면25



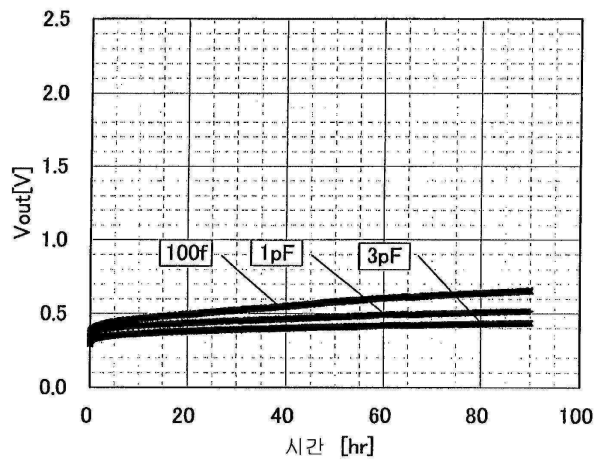
도면26



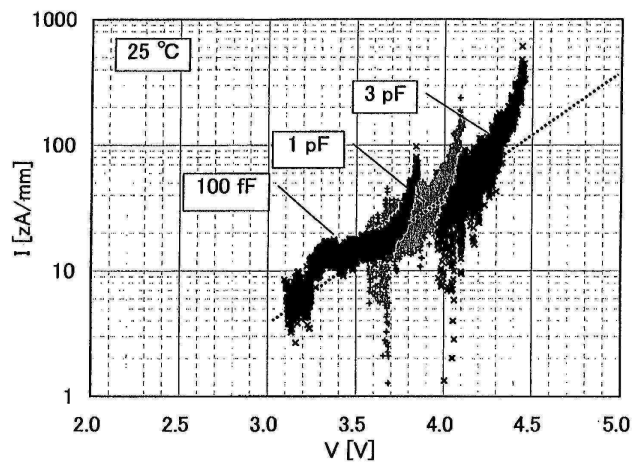
도면27



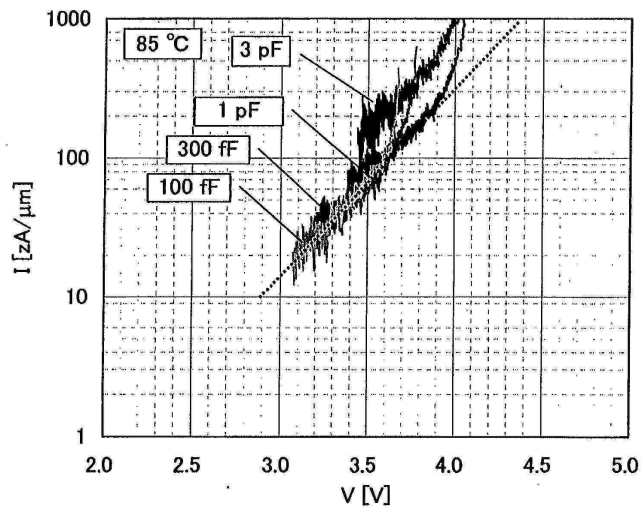
도면28



도면29



도면30



도면31

