

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2016-500914

(P2016-500914A)

(43) 公表日 平成28年1月14日(2016.1.14)

(51) Int.Cl.
H01L 29/68 (2006.01)F I
H01L 29/68テーマコード (参考)
5 F003

審査請求 未請求 予備審査請求 未請求 (全 24 頁)

(21) 出願番号 特願2015-532558 (P2015-532558)
 (86) (22) 出願日 平成25年9月20日 (2013. 9. 20)
 (85) 翻訳文提出日 平成27年5月18日 (2015. 5. 18)
 (86) 国際出願番号 PCT/IB2013/058692
 (87) 国際公開番号 W02014/049500
 (87) 国際公開日 平成26年4月3日 (2014. 4. 3)
 (31) 優先権主張番号 2012/07163
 (32) 優先日 平成24年9月25日 (2012. 9. 25)
 (33) 優先権主張国 南アフリカ (ZA)

(71) 出願人 512123363
 ビーエスティ・センサーズ・(プロプライ
 エタリー)・リミテッド
 PST SENSORS (PROPR I
 ETARY) LIMITED
 南アフリカ7700ユニバーシティ・オブ
 ・ケープ・タウン、アッパー・キャンパス
 、アールダブリュー・ジェイムズ・ビルデ
 イング、ルーム513
 (74) 代理人 100101454
 弁理士 山田 卓二
 (74) 代理人 100081422
 弁理士 田中 光雄
 (74) 代理人 100132241
 弁理士 岡部 博史

最終頁に続く

(54) 【発明の名称】 電流切換トランジスタ

(57) 【要約】

電子デバイス及び電子デバイスの製造方法を開示する。電子デバイスは、半導体材料の本体と、各端子を形成するために少なくとも3つの導電コンタクトを規定する導電材料と、を備える。半導体材料と導電コンタクトは、少なくとも部分的に重なって電子デバイスを規定しており、いずれかの対の端子間のデバイスの電気特性は、バリスタの電気特性に対応する。半導体材料の本体は、印刷またはコーティングによって堆積された層であってもよい。各対の端子間のバリスタ特性は、1つの端子と他のいずれか2つの端子との間の電流を切り換えることが可能であり、第1端子に向かって正電流が流れるとき、正電流が付加された第2端子に無視できる電流が流れ、第2端子に対して負電位に保たれた第3端子から外に向かって正電流が流れる。第1端子の外側に向かって負電流が流れるとき、第2端子に正電流が流れ、第3端子に無視できる電流が流れる。

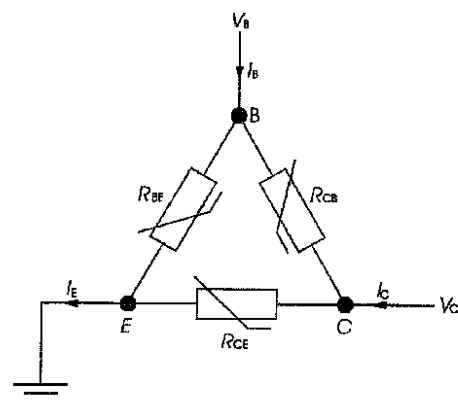


Fig. 2

【特許請求の範囲】**【請求項 1】**

半導体材料の本体と、それぞれの端子を形成する少なくとも 3 つの導電コンタクトを規定する導電材料と、を含む電子デバイスであって、

前記半導体材料と前記導電コンタクトは、少なくとも部分的に重なって前記電子デバイスを規定し、いずれかの対の端子間の前記電子デバイスの電気特性がバ리스タの電気特性に対応する、電子デバイス。

【請求項 2】

半導体材料の前記本体は、印刷又はコーティングによって堆積された層を備える、請求項 1 に記載の電子デバイス。

10

【請求項 3】

半導体材料の層が堆積された基板を含み、
前記導電材料が半導体材料の前記層上に堆積される、
請求項 1 または 2 に記載の電子デバイス。

【請求項 4】

前記導電材料が堆積される基板を含み、
半導体材料の層が前記導電材料上に堆積される、
請求項 1 または 2 に記載の電子デバイス。

【請求項 5】

各対の端子間にバ리스タ特性を有し、当該各対の端子は、1 つの端子と他のいずれか 2 つの端子との間の電流を切り換え可能であって、

20

第 1 端子に向かって正電流が流れるとき、正電位が付加される第 2 端子に無視できる電流が流れ、前記第 2 端子に対して負電位に保たれる第 3 端子から外に向かって正電流が流れ、一方、前記第 1 端子の外側に向かって負電流が流れるとき、前記第 2 端子に正電流が流れ、前記第 3 端子に無視できる電流が流れるように切り換え可能である、
請求項 1 ~ 4 のいずれか一項に記載の電子デバイス。

【請求項 6】

バリスタ特性は、前記半導体材料と前記コンタクトを形成する材料との間の同一の整流接合により生じる、請求項 1 ~ 5 のいずれか一項に記載の電子デバイス。

【請求項 7】

30

前記半導体材料は、粒子又は微細粒材料であって、
半導体接合が粒子又は粒間の境界面で形成されることによって、バリスタ特性は、前記半導体材料における複数の対称の半導体接合から生じる、
請求項 1 ~ 5 のいずれか一項に記載の電子デバイス。

【請求項 8】

前記半導体材料は、少なくとも 2 つの電気異種材料を含む複合材料であり、
整流接合が 2 つの前記材料間の境界面で形成されることによって、前記バリスタ特性は、前記半導体材料においてランダムに配向されるか、又は対向する複数の整流接合から生じる、
請求項 1 ~ 5 のいずれか一項に記載の電子デバイス。

40

【請求項 9】

半導体材料の前記本体は、一方の側に配置された少なくとも 2 つの端子と、その他方の側に配置された少なくとも 1 つの端子と、を備えるプレート、層、又はディスクの形態である、請求項 1 に記載の電子デバイス。

【請求項 10】

前記半導体材料は、一対の対向面を有する円柱又は正角柱の形態であって、2 つの端子が対向面上にそれぞれ配置され、少なくとも 1 つの端子が、前記対向面を接続する表面上に配置される、請求項 1 に記載の電子デバイス。

【請求項 11】

基板上に堆積された半導体材料の層を備え、

50

少なくとも３つの端子が前記層の一方の側に同一平面形状に配置される、
請求項１に記載の電子デバイス。

【請求項１２】

少なくとも１つの追加のコンタクトと、
前記追加のコンタクトと、他の前記導電コンタクトのうち少なくとも１つ又は半導体材料の前記本体との間に配置された絶縁材料の層と、
を含み、

前記少なくとも１つの追加のコンタクトは、追加の本体又はグランドコンタクトを形成する、

請求項１～１１のいずれか一項に記載の電子デバイス。

10

【請求項１３】

半導体材料の前記本体は、シリコン粒子を備える、請求項１～１２のいずれか一項に記載の電子デバイス。

【請求項１４】

半導体材料の本体を提供するステップ、及び
各端子を形成するために半導体材料の前記本体に少なくとも３つの導電コンタクトを提供するステップ、
を含み、

いずれかの各対の端子間のデバイスの電気特性は、バリスタの電気特性に対応する、電子デバイスの製造方法。

20

【請求項１５】

基板上に、半導体材料の少なくとも第１層を堆積するステップ、及び
各端子を形成するために少なくとも３つの導電コンタクトを規定する導電材料を堆積するステップ、
を含み、

前記半導体材料と前記導電コンタクトは、少なくとも部分的に重なって前記電子デバイスを規定する、請求項１４に記載の製造方法。

【請求項１６】

前記導電材料が、最初に前記基板上に堆積され、
前記半導体材料が、前記導電材料によって規定された前記導電コンタクトに少なくとも部分的に重なるように堆積される、請求項１５に記載の製造方法。

30

【請求項１７】

前記半導体材料が、最初に堆積され、
前記導電コンタクトを規定する前記導電材料が、前記半導体材料の上に堆積される、請求項１５に記載の製造方法。

【請求項１８】

前記半導体材料と前記導電材料のうち少なくとも一方は、印刷又はコーティング処理によって堆積される、請求項１４～１７のいずれか一項に記載の製造方法。

【請求項１９】

基板上に半導体材料の層を堆積するステップ、及び
半導体材料の前記層の一方の側に同一平面形状に少なくとも３つの端子を堆積するステップ、
を含む、請求項１４～１８のいずれか一項に記載の製造方法。

40

【請求項２０】

プレート、層、又はディスクの形態の半導体材料の本体を提供するステップ、
少なくとも２つの端子を前記本体の一方の側に付加するステップ、及び
少なくとも１つの端子を前記本体の他方の側に付加するステップ、
を含む、請求項１４に記載の製造方法。

【請求項２１】

他の前記導電コンタクトのうち少なくとも１つが又は半導体材料の前記本体の上に絶縁

50

材料の層を堆積するステップ、及び

少なくとも１つの追加のコンタクトを絶縁材料の前記層に付加するステップ、
を含み、

前記少なくとも１つの追加のコンタクトは、追加の本体又はグランドコンタクトを形成する、請求項１４～２０のいずれか一項に記載の製造方法。

【請求項２２】

一対の対向面を有する円柱又は正角柱の形態の半導体材料の本体を提供するステップ、
前記対向面に対して第１端子と第２端子とをそれぞれ付加するステップ、及び
少なくとも１つの端子を、前記対向面を接続する表面に付加するステップ、
を含む、請求項１４に記載の製造方法。

10

【発明の詳細な説明】

【背景技術】

【０００１】

本発明は、電子デバイス、特にトランジスタ、及びそのようなデバイスを製造する方法に関する。

【０００２】

更に、本発明は、プリントドエレクトロニクスデバイスの分野であって、印刷、コーティング及びパッケージングの技術を使用した電子デバイスと回路の製造の分野に関する。

【０００３】

トランスコンダクタンス又はトランスレジスタを示す電子デバイスであるトランジスタは、当分野にとって周知である。一般的なトランジスタは、接合トランジスタと電界効果トランジスタ（ＦＥＴ）との２つに分類される。ＦＥＴの動作原理及び接合ＦＥＴの設計は、１９２５年１０月２２日に出願されたリリエンフェルド（Lilienfeld）によりカナダ特許出願第２７２，４３７号で最初に開示され、そして、絶縁ゲート型電界効果トランジスタ（ＩＧ－ＦＥＴ）の変形例が１９４８年２月２６日に出願された米国特許第２，５２４，０３３号においてバーディーン（Bardeen）により開示されている。バイポーラ接合トランジスタ（ＢＪＴ）は米国特許第２，５６９，３４７号において同じ日にショックレー（Shockley）により最初に開示されている。プラティン（Brattain）、バーディーン及びショックレーの作業は、点接触トランジスタ（ＰＣＴ）を開発し、それは最初に工業的に適用されたトランジスタであり、彼らは、１９５６年にノーベル物理学賞を受けている。そのトランジスタは、米国特許第２，５２４，０３５号において開示されている。本質において、それ以降の全てのトランジスタの開発は、ＦＥＴ及びＢＪＴの構造、製造又は材料における改良であった。

20

【０００４】

従来のトランジスタは、ベース（ＢＪＴ）又はゲート（ＦＥＴ）として知られている第３電極における電流の有無によって、即ち第３電極への電位の付与によって、エミッタとコレクタ（接合トランジスタ）、又はソースとドレイン（ＦＥＴ）として知られている、２つの端子又は電極の間の電流を変化させる三極真空管又は真空管と同じ原理にしたがって作動する。したがって、トランジスタの初期の用途は、信号増幅器であった。ＢＪＴにおける小さなベース電流の変化は、より大きなエミッタ－コレクタ電流へ線形関係においてマッピングされている。電界効果トランジスタにおいて、ソース－ドレイン電流の変化の主な原因は、ゲートへの電位の付与によって生じる電界による半導体材料における自由電荷キャリアの数の減少又は増大である。したがって、これらの種類のトランジスタは、ソース－ドレイン電流のオン又はオフの切替に非常に適しており、論理回路、メモリ、及び表示切り替えにおいてそれらの主要な用途となっている。

30

40

【０００５】

プリントドエレクトロニクスにおいて、殆どの開発が、主に有機半導体材料を用いた、絶縁ゲート型電界効果トランジスタにおいて行われていた。プリントド無機半導体として最も作動しているトランジスタは、例えば、アブライド・フィジックス・レターズ 9

50

4, 19193509 (2009) でハーティング (Harting) らによって述べられた絶縁ゲート型 FET と、米国特許第 8, 026, 565 号で開示された金属半導体接合 FET であった。しかしながら、プリントドバイポーラ接合トランジスタのコンセプトは、依然として実現するべき目標であり、例えば、米国特許第 7, 432, 126 号においてシュミット (Schmidt) らによって開示されている。電界効果トランジスタにおけるこの注目点は、インタラクティブパッケージ、サプライチェーンセキュリティ、無線周波数識別、及びマーケティングにおいて、トランジスタが論理ゲート及びディスプレイドライバとして用いられているという予想される用途によって主に駆動されていた。これらの用途の開発における進歩は、特性、処理中の互換性、配置、及び異なる材料の複数の層の厚みの正確な制御を要求するプリントドトランジスタの複雑さによって、ある程度、妨げられていた。

【発明の概要】

【0006】

本発明の第 1 態様によれば、電子部品、即ち少なくとも 3 つの端子を有し、端子に接続される 3 つのバ리스タの三角形ネットワークである等価回路を有する電子部品の組み合わせを備え、1 つの端子と他のいずれか 2 つの端子のうち 1 つの端子との間の電流においては、第 1 端子に正電流が存在するとき、正電位が付加される第 2 端子に無視できる電流が流れ、第 2 端子に対して負電位に保たれる第 3 端子から外に向かって正電流が流れ、一方、第 1 端子の外側に向かう負電流が存在するとき、第 2 端子に正電流が流れ、第 3 端子に無視できる電流が流れるようなトランジスタを提供する。

【0007】

本発明の第 2 態様によれば、少なくとも 1 つの半導体材料と、端子を形成する少なくとも 3 つの導電コンタクトと、を備え、半導体材料、又は半導体材料といずれかの対のコンタクトとの組み合わせが端子間のバリスタ特性を与えており、1 つの端子と他のいずれか 2 つの端子との間の電流を、第 1 端子に向かって正電流が流れるとき、正電位が付加される第 2 端子に無視できる電流が流れ、第 2 端子に対して負電位に保たれる第 3 端子から外に向かう正電流が流れ、一方、第 1 端子の外側に向かって負電流が流れるとき、第 2 端子に正電流が流れ、第 3 端子に無視できる電流が流れるように切り換える電子部品を提供する。

【0008】

本発明の第 3 態様によれば、半導体材料の本体と、各端子を形成する少なくとも 3 つの導電コンタクトを規定する導電材料と、を備え、半導体材料と導電材料とが少なくとも部分的に重なってデバイスを規定し、一对の端子間のデバイスの電気特性が、バリスタの電気特性に対応する、電子デバイスを提供する。

【0009】

一実施形態では、半導体材料の本体は、印刷又はコーティングによって堆積された層を備える。

【0010】

デバイスは、半導体材料の層が堆積し、半導体材料の層の上に導電材料が堆積した基板を含んでもよい。

【0011】

あるいは、デバイスは、導電材料が堆積し、導電材料の上に半導体材料の層が堆積した基板を含んでもよい。

【0012】

デバイスは、好ましくは、各対の端子間にバリスタ特性を有し、1 つの端子と他のいずれかの 2 つの端子との間の電流を、第 1 端子に正電流が流れるとき、正電位が付加される第 2 端子に無視できる電流が流れ、第 2 端子に対して負電位に保たれる第 3 端子から外に向かって正電流が流れ、一方、第 1 端子の外側に向かって負電流が流れるとき、第 2 端子に正電流が流れ、第 3 端子に無視できる電流が流れるように切り換える。

【0013】

一実施形態では、バリスタ特性は、半導体材料とコンタクトを形成する材料との間の同一の整流接合から生じる。

【0014】

別の実施形態では、半導体材料は、粒子又は微細粒材料であり、バリスタ特性は半導体材料における複数の対称半導体接合から生じ、半導体接合は粒子間又は粒間の境界面で形成される。

【0015】

更なる実施形態では、半導体材料は、少なくとも2つの電気異種物質を含む複合材料であり、バリスタ特性は、半導体材料内にランダムに配向されるか又は対向する複数の整流接合から生じ、整流接合は、2つの材料間の境界面に形成される。

10

【0016】

半導体材料の本体は、一方の側に配置された少なくとも2つの端子と、他方の側に配置された少なくとも1つの端子と、を備えるプレート、層、又はディスクの形態であってもよい。

【0017】

あるいは、半導体材料は、一对の対向面を有し、各対向面に配置された2つの端子と、対向面を接続する面に配置された少なくとも1つの端子とを備える円柱又は正角柱の形態であってもよい。

【0018】

デバイスは、基板上に半導体材料の層を堆積し、層の一方の側に同一平面形状に堆積された少なくとも3つの端子を備えるように製造してもよい。

20

【0019】

デバイスは、少なくとも1つの追加のコンタクトと、追加のコンタクトと他のコンタクト又は半導体材料の本体の少なくとも一方との間に堆積された絶縁材料の層とを含み、少なくとも1つの追加のコンタクトは、追加の本体又はグランドコンタクトを形成する。

【0020】

電子部品は、印刷又はコーティングによって製造されてもよい。

【0021】

電子部品を製造する半導体材料は、好ましくは、シリコン粒子を含む。

【0022】

30

本発明の別の態様によれば、半導体材料の本体を提供するステップ、各端子を形成するために少なくとも3つの導電コンタクトを半導体材料の本体に提供するステップ、を含み、いずれかの対の端子間のデバイスの電気特性は、バリスタの電気特性に対応する、電子デバイスを製造する方法を提供する。

【0023】

方法は、基板上に少なくとも半導体材料の第1層を堆積するステップ、各端子を形成するために少なくとも3つの導電コンタクトを規定する導電材料を堆積するステップ、を含み、半導体材料と導電コンタクトとは、少なくとも部分的に重なってデバイスを規定する。

【0024】

40

導電材料が最初に基板上に堆積され、導電材料によって規定されたコンタクトの上に少なくとも部分的に半導体材料が堆積されてもよい。

【0025】

あるいは、半導体材料が最初に堆積され、半導体材料の上に、コンタクトを規定する導電材料が堆積されてもよい。

【0026】

いずれの場合においても、デバイスは、基本的に2つの堆積処理工程で製造されることが理解できる。

【0027】

半導体材料と導電材料のうち少なくとも1つは、好ましくは、印刷又はコーティング処

50

理によって堆積される。

【0028】

したがって、本明細書に開示されたデバイスが、基本的に半導体材料と導電材料のみで構成され、公知の印刷、コーティング、又は薄膜蒸着技術を使用して、2つの工程のみで簡単に製造できることは、本発明の重要な態様である。

【0029】

方法は、基板上に半導体材料の層を堆積するステップ、半導体材料の層の一方の側に同一平面形状に少なくとも3つの端子を堆積するステップ、を含んでもよい。

【0030】

あるいは、方法は、プレート、層、又はディスクの形態の半導体材料の本体を提供するステップ、少なくとも2つの端子を本体の一方の側に付加するステップ、少なくとも1つの端子を本体の他方の側に付加するステップ、を含んでもよい。

【0031】

方法は、他のコンタクトのうち少なくとも1つの上か、又は半導体材料の本体の上に絶縁材料の層を堆積するステップ、少なくとも1つの追加のコンタクトを絶縁材料の層に付加するステップ、を含み、少なくとも1つのコンタクトは、追加の本体又はグランドコンタクトを形成してもよい。

【0032】

別の態様では、方法は、一对の対向面を有する円柱又は正角柱の形態で半導体材料の本体を提供するステップ、第1端子及び第2端子をそれぞれの対向面に付加するステップ、少なくとも1つの端子を、対向面を接続する表面に付加するステップ、を含んでもよい。

【図面の簡単な説明】

【0033】

【図1a】図1aは、従来技術のトランジスタの動作のうち機械的な切換形式を示す概略図である。

【図1b】図1bは、本発明に係るトランジスタの動作のうち機械的な切換形式を示す概略図である。

【図2】図2は、本発明の例示的な実施形態に係る三端子トランジスタの等価回路のモデルを示す概略図である。

【図3a】図3aは、図2のモデルのトランジスタの回路に対応するデバイスの伝達特性のプロットであり、100Vのコレクタ電位の場合におけるベース電流に対するコレクタ電流の依存性を示す。

【図3b】図3bは、20V、60V、及び100Vのコレクタ電位の場合におけるベース電位に対するコレクタ電流の依存性を示す同じデバイスの伝達特性のプロットである。

【図4】図4は、本発明に係るトランジスタの例示的な第1実施形態の概略図である。

【図5】図5は、本発明に係るトランジスタの例示的な第2実施形態の概略図である。

【図6】図6は、本発明に係るトランジスタの例示的な第3実施形態の概略図である。

【図7a】図7aは、本発明に係るトランジスタの例示的な第4実施形態の変形例の概略図である。

【図7b】図7bは、本発明に係るトランジスタの例示的な第4実施形態の変形例の概略図である。

【図7c】図7cは、本発明に係るトランジスタの例示的な第4実施形態の変形例の概略図である。

【図8】図8は、本発明に係るトランジスタの例示的な第5実施形態の概略図である。

【図9】図9は、図6に示される例示的な第3実施形態に対応するトランジスタのプロトタイプ版の写真である。

【図10a】図10aは、異なる材料を使用して製造された、図9に示されるプロトタイプのトランジスタの伝達関数を示すグラフである。

【図10b】図10bは、異なる材料を使用して製造された、図9に示されるプロトタイプのトランジスタの伝達関数を示すグラフである。

10

20

30

40

50

【図 1 1 a】図 1 1 a は、異なる材料を使用して製造された、図 9 に示されるプロトタイプのトランジスタの伝達関数を示すグラフである。

【図 1 1 b】図 1 1 b は、異なる材料を使用して製造された、図 9 に示されるプロトタイプのトランジスタの伝達関数を示すグラフである。

【図 1 2 a】図 1 2 a は、異なる材料を使用して製造された、図 9 に示されるプロトタイプのトランジスタの伝達関数を示すグラフである。

【図 1 2 b】図 1 2 b は、異なる材料を使用して製造された、図 9 に示されるプロトタイプのトランジスタの伝達関数を示すグラフである。

【図 1 3】図 1 3 は、図 7 b に示される例示的な第 4 実施形態に対応するトランジスタのプロトタイプ版の写真である。

10

【図 1 4 a】図 1 4 a は、図 1 3 に示されるプロトタイプのトランジスタの伝達関数を示すグラフである。

【図 1 4 b】図 1 4 b は、図 1 3 に示されるプロトタイプのトランジスタの伝達関数を示すグラフである。

【図 1 5】図 1 5 は、本発明に係るトランジスタの例示的な第 6 実施形態の概略図である。

【発明を実施するための形態】

【0034】

本発明は、あるタイプの電子デバイス、又はそのようなデバイスを製造する方法に関する。特に、本発明は、デバイスの第 1 端子を流れる電流の方向に応じて、第 2 端子と第 3 端子とのうちのいずれか 1 つに電流を流すように、2 方向に切り換えるように動作するトランジスタに関する。

20

【0035】

更に、本発明は、プリントエレクトロニクス分野に関するものであって、印刷、コーティング、及びパッケージングの技術を使用して、電子デバイス及び回路を製造する分野に関する。本明細書では、用語「印刷」は、液体又はコロイドインクから基板材料上にパターン若しくはデザインを形成することを意味する。印刷方法としては、限定されるものではないが、例えば、フレキソ印刷又はレタープレス等の凸版印刷、グラビア等の凹版印刷、パッド印刷とオフセット印刷とを含む転写法、リソグラフィ及びゼログラフィなどのフラットな印刷方法、スクリーン印刷等の孔版方法、及びインクジェット印刷等の非接触印刷等がある。

30

【0036】

「コーティング」は、例えば、吹き付け、ドクターブレード、スロット - ダイ又はスピンコーティングによる材料の連続した層の堆積をいう。そのような層は、例えば、フォトリソグラフィ、機械的又はレーザー彫刻、又はエッチングによって、実質的にパターンにされる必要があるかもしれない。パッケージング技術は、材料の追加、除去、及び形成用の印刷及びパッケージング産業で一般的に知られている他の技術である。材料の追加、除去、及び形成としては、限定されるものではないが、高温及び低温ラミネート加工、予め印刷された要素及び成分の転写、カレンダーリング、スタンピング、エンボス加工を含む。

40

【0037】

本発明の一態様では、本明細書に開示されたトランジスタは基本的に半導体材料と電気コンタクトのみで構成され、公知の印刷技術又は薄膜蒸着技術を用いて 2 つの工程のみで簡単に製造することができる。電流切換トランジスタとしては、高電圧で機能することができ、特に無線周波数通信、及びエレクトロルミネッセントディスプレイ（ELディスプレイ）等の駆動用高電圧表示要素に関連して、プリントロジックの異なる態様における用途を見つけることが期待されている。

【0038】

本明細書に開示されたトランジスタは、電界効果トランジスタと接合トランジスタの両方と異なる動作原理を有しており、ベースに電流が流れるとき、エミッタとコレクタとの

50

間に無視できる電流が流れ、ベースを流れる電流の向きに応じて、エミッタとベースとの間に電流が流れるか、又はベースとコレクタとの間に電流が流れる。簡単に比較するため、2つの動作原理の機械的な切換形式の図を図1に示す。

【0039】

図1a及び図1bでは、従来技術のBJTと本発明のトランジスタのそれぞれについて、トランジスタの動作の機械的な切換形式が概略的に示されている。図1aでは、ベースBへの信号の付加は、矢印によって示される方向におけるプランジャー10の直線運動と等しく、エミッタEとコレクタCとの間の接続を形成したり、遮断したりする。図1bでは、ベースBを流れる電流の方向の変化は、レバー12の回転と等しく、ベースBとエミッタEとの間の接続を形成するか、又はベースBとコレクタCとの間の接続を形成する。

10

【0040】

したがって、図1aに示される従来のトランジスタの動作モードでは、ベースBでの電流による電荷注入（又はFETのゲートへの電位の付加）は、プランジャー10の垂直運動と等しく、エミッタEとコレクタCとの間の接続を形成するか、又は遮断するかのいずれかを行う。本発明のトランジスタでは、ベースを流れる電流の方向の変化は、図1における機械レバーの回転と等しく、エミッタ又はコレクタのどちらかをベースに接続する。

【0041】

本発明の基本的なトランジスタは、電子部品、即ち図2に示されるように、少なくとも3つの端子を有し、3つの端子のそれぞれの対に接続される3つのバリスタの三角形ネットワークである等価回路を有する電子部品の組み合わせを備える。この図は、ベースB、エミッタE、及びコレクタC用の3つの端子を備え、端子の各対に接続される3つのバリスタ R_{BE} 、 R_{CB} 、及び R_{CE} で構成されているトランジスタの等価回路のモデルを概略的に示している。

20

【0042】

図2のデバイスでは、1つの端子と他の2つの端子のうち1つの端子との間の電流は、第1端子に正電流が存在するとき、即ち第1端子の内側に向かって正電流が流れるとき、正電位が付加される第2端子に無視できる電流が流れ、第2端子に対して負電位に保たれる第3端子から外に向かう正電流が流れ、一方、負電流があるとき、即ち第1端子の外側に向かって負電流が流れるとき、第2端子に正電流が流れ、第3端子に無視できる電流が流れる。

30

【0043】

いずれかの対の端子間のバリスタ特性では、低電流のため、即ち端子間に電位差を付加するための非常に高い電気抵抗と、大電流のため、即ち端子間に電位差を付加するための低い電気抵抗とが要求される。電位 V_C がコレクタCに付加され、正電流 I_B がベースBに注入されたとき、ベースBの電位 V_B は、エミッタEに対して大きく、正であり、コレクタCに対して低くなる。コレクタとエミッタとに接続されるバリスタの特性に対するコレクタ電圧 V_C の大きさによっては、コレクタに小さい電流が流れるかもしれない。これは、他の種類のトランジスタと同様のオフ電流として述べることができる。反対に、ベースに負電流が存在する場合、即ち外側の向きの意味で、ベース電圧 V_B は、コレクタに対して大きく、負となり、エミッタに対して低くなる。したがって、ベースとコレクタとに接続されるバリスタの抵抗 R_{CB} は、ベースからエミッタに接続されるバリスタの抵抗 R_{BE} よりも非常に小さく、大部分の電流は、コレクタに流れる。

40

【0044】

そのようなトランジスタは、図2に示されるように、3つの個々のバリスタを共に接続して簡単に構成することができ、それは電子部品の製造において知られている任意の適した方法によって、3つの端子又は接続リード線のみを有する共通の筐体内に共にパッケージされてもよい。あるいは、トランジスタは、共通の基板上に、少なくとも3つの個々のバリスタの集積回路として形成することもできる。この集積回路は、集積回路の製造、薄膜エレクトロニクス、又はプリントエレクトロニクスにおいて共通に適用される材料の堆積及びパターニング用のいくつかの技術を用いて、形成される。

50

【 0 0 4 5 】

しかしながら、トランジスタ自体は、可能な限り少ない工程で製造される単一の電子部品のみを備えることが望ましい。したがって、本発明の好ましい実施形態によれば、電子部品は、少なくとも1つの半導体材料と、端子を形成する少なくとも3つの導電コンタクトと、を備えるように製造される。電子部品は、ベースとして示される1つの端子とエミッタ及びコレクタと呼ばれるいずれか2つの他の端子との間の電流を、第1端子に向かう正電流が存在するとき、正電位が付加される第2端子に無視できる電流が流れ、第2端子に対して負電位に保持される第3端子から外への正電流が流れ、一方、負電流が存在するとき、即ち第1端子の外側に向かって負電流が流れるとき、第2端子に正電流が流れ、第3端子に無視できる電流が流れるように切り換える。

10

【 0 0 4 6 】

バリスタ特性は、半導体材料とコンタクトを形成する材料との間に同一の整流接合の存在に起因する。

【 0 0 4 7 】

別の実施形態では、バリスタ特性は、粒子又は微細粒材料である半導体材料において、それによって半導体接合が粒子間又は粒間の境界面に形成される複数の対称半導体接合から生じる。

【 0 0 4 8 】

更なる実施形態では、バリスタ特性は、半導体材料におけるランダムに配向された又は対向する複数の整流接合から生じる。半導体材料は、少なくとも2つの電氣的異種材料を有する複合材料であり、それによって整流接合が2つの材料の間の境界面に形成される。

20

【 0 0 4 9 】

半導体材料は、一方の側に堆積される少なくとも2つの端子と、その他方の側の少なくとも1つの端子とを有するプレート、層、又はディスクの形態であってもよい。

【 0 0 5 0 】

先行技術文献で知られているものとして、一对の端子間で所望のバリスタ特性を実現する2つの方法がある。第1の方法は、いずれか2つの端子間の経路に同一であるが対立するダイオードの対を有するように、半導体材料とコンタクトを形成する材料との間に同一の整流接合を構成することである。そのような整流接合は、コンタクトの導電材料と半導体材料との間の接合部分を有するショットキー障壁の形態であってもよい。あるいは、整流接合は、あるタイプの導電半導体材料と、その導電タイプとは反対の導電タイプの別の高ドーブ半導体との間の半導体接合であって、高ドーブ半導体は電気コンタクトのために要求される導電材料に対しての抵抗コンタクトを有する。

30

【 0 0 5 1 】

好ましい第2の方法は、固有電界又は電流依存導電率を有することによってバリスタ材料としても説明されている半導体材料を使用することである。このアプローチの利点は、整流接合を提供する必要がなくなるように電荷を運ぶのであれば、コンタクトのため及び電気接続のために材料を自由に選択することができることである。そのような材料の例は、ゴーシュ (G h o s h) らの国際公開第2012/027109号、ホン (H o n g) らの米国特許出願公開第2012/0153237号明細書、及びシ (S h i) らの国際公開第2012/071051号に開示されている。

40

【 0 0 5 2 】

これらの材料の多くは、少なくとも2つの電気異種材料を含む複合材料であり、2つの材料の間の境界面で形成される半導体材料において、ランダムに配向されるか又は対向する複数の整流接合からバリスタ特性が生じる。別の案としては、国際公開第2007/0004014号に開示されているもの等のシリコンナノ粒子からなる単相材料によって提供されており、国際公開第2012/035494号におけるサーミスタとしての用途に適した優れたバリスタ特性を有するものとして示されているそのような単相粒子又は細粒材料においては、バリスタ特性は、粒子間又は粒間の境界面で形成する半導体材料における複数の対称の半導体接合から生じる。

50

【0053】

本発明の例示的な第1実施形態は、T D K E P C O Sで作られたS I O V - S 1 4 K 7 5の種類の3つの個々のバリスタを用いて構成されたモデル回路であり、3つのバリスタは図2に示されるように共に接続されている。回路は、ベースB、エミッタE、及びコレクタCに示される3つの端子を有している。測定された伝達特性として、図3aにコレクタ電位100Vの場合におけるベース電流 I_B に対するコレクタ電流 I_C を示し、図3bにコレクタ電位20V、60V、及び100Vの場合におけるベース電圧 V_B に対するコレクタ電流 I_C を示す。電流 - 電流伝達特性は、負のベース電流の単位元 (u n i t y) よりわずかに小さい負の勾配の線形応答を有するほぼ完全な切替挙動を示すと共に、正のベース電流に対する小さいオフ電流を示す。また、図3bに示されるように、電流が切り換わる明確に定義されたベース電位があり、このスイッチオン電圧は、コレクタに付加される電位に依存する。したがって、このような構成のデバイスは、概してユニティゲイン増幅器 / 減衰器として使用することができるか、又はインバータとして使用することができる。更に、用途としては、整流、フィルタリング、及び信号処理等を含み、これらは負の信号をコレクタへ、正の信号をエミッタへ分けることによって行うことが可能である。

10

【0054】

本発明の第2実施形態は、個々の構成要素としてのトランジスタの一体型構造であり、トランジスタは、半導体材料の本体と、ベース端子、エミッタ端子、及びコレクタ端子を形成する少なくとも3つの導電コンタクトとを備える。考えられる例示的な2つの構造が、図4及び図5に示されている。

20

【0055】

図4では、半導体本体14は、プレート又はディスク又は材料の層の形態でのフラットシートを備える。エミッタ端子16とコレクタ端子18は、半導体本体14の上面に、互いに間隔を有して隣り合って適用される一方、ベース端子20は、本体の対向する下表面に適用される。図に示したように、本体14は、コンタクトが占める領域を超えて延びてもよい。

【0056】

ベースコンタクト20は、互いに隣り合うエミッタコンタクト16及びコレクタコンタクト18の側と反対側の本体にある。そのため、ベースとコレクタとの間、又はベースとエミッタとの間のいずれかに規定されるバリスタを覆う経路は、本体の厚さに依存する一方、コレクタとエミッタとの間の経路は、本体の表面に接近して横方向に存在する。したがって、この形状は、同じ電位差において、エミッタとベースとの間の抵抗か、又はコレクタとベースとの間の抵抗のいずれかに比べて、エミッタとコレクタとの間の抵抗を自動的に大きくすることができる。そのため、比較的小さいオフ電流を得ることができる。

30

【0057】

絶縁層22は、本体14の下表面に配置され、ベースコンタクト20を覆い、追加の導電コンタクト24が絶縁層の露出面に適用される。このコンタクト24は、トランジスタ用の本体又はグラウンド端子を提供するのに役立つ。

【0058】

第2実施形態の別の構成では、図5に示されるように、円柱又は正四角柱の形の半導体材料の本体26を備え、それぞれ対向する本体の端面32と34に、環状のエミッタ端子28と環状のコレクタ端子30とが対向して配置されている。また、第2実施形態の構成では、2つの端面に接続される円柱表面上に少なくとも1つのベース端子36を備えている。ベース端子36は、図5に示されるように、本体26を完全に取り囲む単一の円周コンタクトを備えてもよく、本体の表面上の異なる位置に配置された1つ以上の個々のコンタクトを備えてもよい。

40

【0059】

本体26を通して軸方向に延びる補助コンタクト38は、同軸スリーブ又はシリンダー40によって、本体の半導体材料と分けられており、本体又はグラウンド端子として使用可

50

能である図4におけるコンタクト24に等しい。

【0060】

グランド端子は、デバイスを完全に取り囲んで構成されてもよく、それによって筐体を形成し、あるいは追加の特徴として、例えば、図4に示されるような下部の導電層や導電コンタクト24、又は図5に示されるような導電同軸コア38を付加してもよい。

【0061】

本発明の好ましい実施形態では、限られた数の工程で、基板上に印刷処理又は薄膜蒸着処理をすることによって製造できるものである。概して、これは、同時に堆積されると共に半導体層と同じ側に配置されるエミッタ、ベース、及びコレクタ用の材料を有するコンタクトの同一平面形状を採用することを提案している。しかしながら、ある用途では、例えば、高電流が要求される場合、図4のものと同様の千鳥状又は対向形状を採用し、絶縁層22がポリマーフィルム等の絶縁材料、又は紙や布地等の繊維性材料で構成される基板を備えるか、又はグランド端子24が金属箔等の導電材料で構成される基板を備えることが望ましい。

10

【0062】

図6は、導電コンタクトが同一平面形状に配置された、本発明の例示的な第3実施形態を示している。第3実施形態は、好ましくは印刷によって製造される。この実施形態では、導電性を有しない表面を備える基板42を提供している。導電性を有しない表面とは、絶縁材料で構成されていてもよいし、あるいはデバイスが製造される表面のうち少なくとも一部を覆う絶縁材料層を備える導電材料や半導体材料で構成されてもよい。

20

【0063】

デバイスの視点から、基板材料又はその寸法の選択に制限はないが、使用される堆積方法及び用途の分野に適している必要がある。理想的には、プリントエレクトロニクスデバイスの分野において想定される用途として、基板材料はフレキシブルなシート材料が硬質のシート材料であって、連続薄膜、織物の繊維材料、不織の繊維材料、又はそれらの複合材料であってもよい。

【0064】

薄膜材料の例としては、ポリマーがある。ポリマーは、限定されるものではないが、ポリエチレンテレフタレート（PET）、ポリエチレン（PE）、ポリカーボネート、ポリエチレンナフタレート（PEN）、ポリイミド（カプトン、ベスベル）を含み、又、セルロースアセテートとセルロースアセテートブチレート（CAB）等のセルロース誘導体、及びフェノールとアルキルエポキシ樹脂を含む。又、薄膜材料としては、金属がある。金属は、限定されるものではないが、鋼とステンレス鋼との合金、銅、銅合金、アルミニウム、アルミニウム合金、チタニウム、チタニウム合金、マグネシウム、及びマグネシウム合金等の鉄類を含んでもよい。

30

【0065】

繊維材料は、合成繊維材料と、羊毛、綿、リネン、又はストーンウール（岩綿）等の動物、植物、又は鉱物起源の天然繊維との織物及び不織布を含む。又、繊維材料は、食物繊維、及びデュポン社のノーマックス（登録商標）のようなアラミド紙、セラミック紙などの紙のような材料から作られた従来の紙及び板を含む。

40

【0066】

複合基板材料は、繊維及び粒子の強化ポリマー及び金属を含む。繊維及び粒子の強化ポリマー及び金属は、限定されるものではないが、任意の材料及び挿入されたナノクレイのナノ粒子、ナノチューブ、ナノワイヤー、及びナノロッド等のナノスケールのフィラーを備えるものを含む。又、複合基板材料は、木材などの天然素材、スーパーウッド又はチップボードなどの再生木材、積層シート、少なくとも1つの表面に連続したコーティングが、ざらざらのコーティングが施された薄膜シート又は繊維シートを含む。

【0067】

薄膜蒸着又は電子機器の製造等の他の用途又は製造工程においては、基板材料は、酸化物結晶及び非晶質酸化物を備えてもよい。又、基板材料は、ケイ酸塩及びチタン酸塩、例

50

えば、軟質ガラス、ホウケイ酸ガラス、石英、チタン酸バリウム、又はサファイア等を備えてもよく、又は半導体材料を備えてもよく、限定されるものではないが、シリコン、ゲルマニウム、又はガリウムヒ素、リン化インジウム、またはセレン化銅インジウムとして、シリコン、ゲルマニウム、または化合物半導体を含む。

【0068】

上記の例は、全てを網羅するものでもないし、限定するものでもないことは理解される。

【0069】

ベース、エミッタ、及びコレクタ用の導電コンタクトは、基板42の絶縁表面上に堆積されると共に、パターンに形成される。パターンにおいては、対向する2つの導電コンタクト44と46がベースを規定しており、それらは狭く細長いギャップ48の対向端に配置され、エミッタ用のコンタクト50とコレクタ用のコンタクト52とにそれぞれ分けている。2つのベースコンタクト44と46は、コレクタコンタクト52を取り囲む導電材料の経路54によって接続されている。ベースコンタクト44と46は、ギャップ48を決定する三角形のテーパ状の先端を有していることが図6に見られる。図に示されたデバイスの構成は、エミッタとコレクタに対して対称であるため、これらは自由に入れ替えることができる。

【0070】

コンタクトを規定する導電材料の堆積及びパターンニングは、例えば、導電インクの印刷によって、又はマスクを介しての物理的気相成長法又は化学的気相成長法によって、同じ処理工程で行われることが好ましい。プリントデバイスの場合、コンタクト用に適した材料は、金属又はカーボンを含むインクであり、インクは、インジウム、スズ、亜鉛、及びアンチモン等の他の導電材料、又はPEDOT等の有機導電体を含むが、微視的又はナノ構造の形態であってもよく、PSSが等しく付加されてもよい。半導体材料が薄膜蒸着によって堆積されるデバイスにおいては、金属の選択は、半導体と共に整流接合を提供することを要求する組み合わせによって制限されてもよい。一般的に、モリブデン、パラジウム、チタン、タングステン、ニッケル又はそれらの合金を含む高仕事関数の金属と、あるいは銀、銅、又はスズ等の中程度の仕事関数を有する金属及び合金とが好ましい。

【0071】

次に、半導体本体56は、4つのコンタクト44、46、50、及び52のすべての間のギャップを覆い、かつベースコンタクトを通して延びるギャップ48の軸周りにほぼ鏡面对称となるように、堆積されると共にパターン化される。本体56は、ギャップ48に隣接するコンタクトの最も内側の端部に重なるのに十分な大きさである。

【0072】

コンタクトを覆う半導体材料の領域が電気特性に影響を及ぼさないように、導電材料によって短絡されており、この設計の代わりに、半導体材料が、導体間の5つのギャップ（即ち、エミッタからベース（上部）、コレクタからベース（上部）、エミッタからベース（下部）、コレクタからベース（下部）、及びエミッタからコレクタ）のそれぞれをブリッジする5つのトラックを備えるパターンに制限されてもよい。半導体本体の堆積及びパターンニングは、例えば、半導体インクの印刷によって、又はマスクを介しての物理的気相成長法又は化学的気相成長法によって、1つの工程で行われることが好ましい。

【0073】

プリントデバイスでは、乾燥又は硬化によりバリスタ材料を形成するインクは、均一な半導体を形成するものが好ましい。なぜならば、これらはデバイスの導電部分用の材料の選択を制限しないからである。好ましい材料は、シリコン粒子を含むインクであり、シリコンナノ粒子は、国際公開第2007/0004014号に開示されている特定の表面特性を有するナノ粒子が好ましく、バリスタ材料を形成することが実証されている国際公開第2012/035494号に開示されたサーミスタにおいて使用されている。あるいは、P3HT又はPEDOT等の有機半導体材料が使用されてもよい。なぜならば、それらは一般的にバリスタ材料ではないが、これらの材料は概して多くの一般の金属との整

10

20

30

40

50

流接合を形成するからである。

【0074】

別の処理では、堆積の順序が逆であってもよく、半導体本体は、最初に基板上に堆積され、最終構造においては、端子と基板との間に配置されてもよい。

【0075】

本発明の例示的な第4実施形態は、絶縁表面を有する基板材料の上に印刷することによって、薄膜蒸着によってか、又は従来の半導体製造技術によって製造することができる。第4実施形態は、半導体本体と接触する3つの端子のみを備え、3つの端子は対称パターンに配置されている。この実施形態は、ベース端子44と46の間を延びる導体54が、中央のコレクタ端子52に接続することを制限するという点において、図6の実施形態を回路に統合する上での困難に対処している。したがって、少なくとも2つの追加の処理ステップ、例えば、絶縁材料と導電材料の堆積によるビアの作成等、が任意の回路を完成するために必要である。第4実施形態では、基板の平面接続は、すべての端子に対してオープンであり、電気接続が端子と同じ処理ステップで構築することができる。更に、デザインの対称性については、回路配置において、3つのすべての端子を自由に入れ替えることができる。この実施形態の3つのデザインの例は、それぞれ好適に対称性を有しており、図7a、図7b、及び図7cに示されている。

【0076】

対称に配置された電気コンタクト58、60、及び62は、ベース、エミッタ、及びコレクタとして使用されており、基板64上に堆積され、パターン化されている。それ以外については、使用される材料及び処理は、図6の実施形態と同様である。次に、半導体本体66は、端子58、60、及び62の隣り合う内側端部との間に規定される略三角形のギャップ68の上に堆積され、パターン化され、3つの全ての端子が等しく接続される3つの部分から成る回転対称性を有するデザインとなる。

【0077】

堆積された半導体材料66の好ましい形状は、図7a、図7b、及び図7cにそれぞれ示されるように、円形、コンタクトの内側端部を延びると共に電気コンタクトを作成する辺を有する正三角形、及びコンタクトの内側端部の上を延びる頂点を有する正三角形である。前述の実施形態のように、半導体材料の固体層又はシートを備える本体66は、正しい方向及び端子間の位置において湾曲されたトラック又は直線状のトラックによって置き換えられてもよい。半導体材料及び製造方法の選択は、前述の実施形態と同様であって、導電材料と半導体材料の堆積順序は、逆であってもよい。

【0078】

図7a～図7cに示される第4実施形態の対称性設計は、設計の柔軟性を制限するが、各対の端子間の抵抗を変更可能なように変形させることができる。第5実施形態は、前述の2つの実施形態のものと同じ材料及び同じ処理を用いて製造することができ、これらのパラメータをより正確に制御することができる。この実施形態では、図8に示されるように、ベースコンタクト70がT形状を有し、Tのヘッド72が拡がっている。エミッタコンタクト74とコレクタコンタクト76は、それぞれ内側に延びる矩形状の端部78と80を有し、端部78と80は互いに隣り合って対称に配置されると共にベース端子のヘッド72と隣り合っている。それぞれの端部78と80の1つのエッジが隣り合うベース端子のエッジと平行になると共に、エミッタの端部及びコレクタの端部のうち互いに対向するエッジ間にギャップを有して平行に延びている。全体として、T形状のギャップ82は、それぞれのコンタクト間に存在している。

【0079】

寄生抵抗と浮遊容量を最小にするため、エミッタ端子74の外側端子部とコレクタ端子76の外側端子部とは、互いに離れる方向の角度で延びている。半導体本体84が3つすべてのギャップを覆うように堆積された後、等価回路内のバ리스タの相対抵抗は、もっぱらエミッタコンタクトの端部78の長さ、コレクタコンタクトの端部80の長さ、一対のコンタクトのギャップ間の距離とによって決定される。したがって、この設計では、

エミッタ - ベース、ベース - コレクタ、及びエミッタ - コレクタのチャンネルに対して非対称の抵抗値とすることができる。

【実施例】

【0080】

図9は、導電インクと半導体インクのスクリーン印刷によって製造された第3実施形態のプロトタイプのトランジスタ(図6)の写真を示す。基板は、1平方メートル当たり80重量グラムのコーティングされていない上質紙を含む。この実施形態の他の例では、160 g s mのコーティングされていない板紙、及び100ミクロンPETで製造された。

【0081】

デバイスのコンタクトと他の導電部分は、デュボン社のラックスプリント(登録商標) 5000銀導体を用いて印刷される。同様のデバイスについては、クリエイティブマテリアルズ社、及びPChem社を含む他の製造業社から供給される銀インク及び銀合金インクを用いると共に、定電場に依存しない抵抗を有する半導体材料を提供するデュボン社の7162ラックスプリント(登録商標)透光性導体を使用して、コンタクトが印刷されることにより製造される。

【0082】

半導体パターンは、シリコンナノ粒子とアクリル系バインダーを含むインクを用いて印刷した。使用されたシリコンナノ粒子は、国際公開第2007/0004014号に開示されたタイプのものであり、国際公開第2009/125370号に開示された製粉方法を使用して、Siltronixによって提供される0.005 cmより小さい抵抗率のホウ素ドーパされたp型シリコン原料から作られた。使用される他のインクは、Siltronixによって提供される同等の抵抗率のn型シリコン原料から用意されると共に、Silicon Smelters (Pty) Ltd.によって提供される2503グレードシリコン金属から用意された。

【0083】

図10及び図11は、p型及びn型シリコンナノ粒子と銀コンタクトとを含むインクを使用して印刷された本実施形態のトランジスタの伝達特性を示す。図10aは、ベース電流に対するコレクタ電流の依存性を示し、図10bは、ベース電圧に対するコレクタ電流の依存性を示す。図11では、等価回路における3つのバリスタのそれぞれの間(即ち、それぞれの対の端子の間)の電位差の点からコレクタ電流を述べているモデル関数に対するフィッティングについても示されている。

【0084】

より具体的には、図10は、普通紙基板上に、銀コンタクトとp型シリコン半導体をスクリーン印刷することによって製造された第3実施形態に係るトランジスタの伝達特性を示し、コレクタ電位100Vの場合におけるベース電流に対するコレクタ電流の依存性(図10a)と、コレクタ電位80Vと120Vの場合におけるベース電位に対するコレクタ電流の依存性(図10b)を示す。

【0085】

図11は、普通紙基板上に、銀コンタクトとn型シリコン半導体をスクリーン印刷することによって製造された第3実施形態に係るトランジスタの伝達特性を示し、コレクタ電位110Vの場合におけるベース電流に対するコレクタ電流の依存性(図11a)と、コレクタ電位100V、110V、及び120Vの場合におけるベース電位に対するコレクタ電流の依存性(図11b)を示す。図11a及び図11bの両方における実線は、ベース及びコレクタ電位に対するコレクタ電流の依存性を述べているモデル関数のフィッティングである。

【0086】

図12は、デュボン7162透光性導体とp型シリコンインクとを使用して印刷したコンタクトを有しない類似のトランジスタの類似のデータを示す。3つすべてのデバイスの伝達特性は、個々の構成要素(図3)から構成されたモデルのトランジスタのものと同等であって、ベース電流が負のとき、ベース電流に対するコレクタ電流は線形依存し、ベー

10

20

30

40

50

ス電流が正の時に小さいオフ電流を有する。

【0087】

より具体的には、図12は、普通紙基板上に、透光性導電性酸化物コンタクトとp型シリコン半導体とをスクリーン印刷することによって製造された第3実施形態に係るトランジスタの伝達特性を示し、コレクタ電位120Vの場合におけるベース電流に対するコレクタ電流の依存性(図12a)と、コレクタ電位100V、110V、及び120Vの場合におけるベース電位に対するコレクタ電流の依存性(図12b)を示す。

【0088】

図13は、1平方メートル当たり80重量グラムのコーティングされていない上質普通紙基板上に、銀とp型シリコンインクとをスクリーン印刷することによって製造された図7a~7cの第4実施形態のトランジスタの写真を示す。本実施形態の他の例についても、先の例で述べられた材料を使用して製造された。

【0089】

図14は、図7bに示される第4実施形態のトランジスタの電流-電流(図14a)の伝達特性と電流-電圧(図14b)との伝達特性を示し、これらは前述の実施形態のものとさほど変わらず、負のベース電流に対してコレクタ電流が線形依存するが、正のベース電流に対しては弱線形依存を示すわずかに大きいオフ電流を有する。しかしながら、対称的な構成は、電流-電圧伝達特性曲線(図14b)における傾きが、非対称のデザインよりも大きく、電流が切り換えられたときに、よりよく規定されたベース電位を生じさせる。このスイッチオン電圧は、コレクタに付加される電位に依存する。

【0090】

より具体的には、図14は、普通紙基板上に、銀コンタクトとp型シリコン半導体とをスクリーン印刷することによって製造された第4実施形態に係るトランジスタの伝達特性を示し、コレクタ電位90V、110V、及び130Vの場合におけるベース電流に対するコレクタ電流の依存性(図14a)と、コレクタ電位90V、110V、及び130Vの場合におけるベース電位に対するコレクタ電流の依存性(図14b)を示す。

【0091】

図15は、本発明の例示的な第6実施形態を示しており、これは第4実施形態の特徴と第5実施形態の特徴とを組み合わせたものである。

【0092】

導電性のベース端子86、エミッタ端子88、及びコレクタ端子90は、絶縁表面を有する基板64上に印刷されている。それぞれのコンタクトは、それぞれ内側に延びる導電トラック92、94、及び96を有し、互いに120度で配向される3つの軸を規定している。各トラック92、94、及び96の両側に延びているのは、同心円状に湾曲した複数の櫛形コンタクト98、100、及び102である。端子と櫛形コンタクトのパターンは、任意の材料と前述の実施形態で述べられた処理を使用して、基板上に堆積される。

【0093】

コンタクト98、100、及び102は、図15に示されるように、一連の部分円弧を形成してもよいし、又は三角形や六角形等の三回対称性を有する多角形の部分であってもよい。次に、半導体本体104は、前述したものと同一方法でコンタクト間のギャップをブリッジするように堆積される。あるいは、半導体パターンがコンタクトと基板との間にあるように堆積の順序を逆にしてもよい。

【0094】

有利な点として、各対の端子の間のバリスタの相対抵抗は、三回対称性と3つの端子へのアクセスのしやすさを維持しながら、導電コンタクト間の半導体ブリッジの長さ、幅、及び数を変更することによって、自由に替えることができる。

【図 1 (a)】

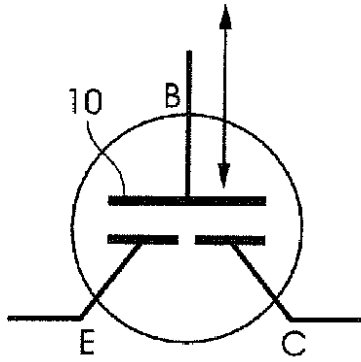


Fig. 1(a)

【図 1 (b)】

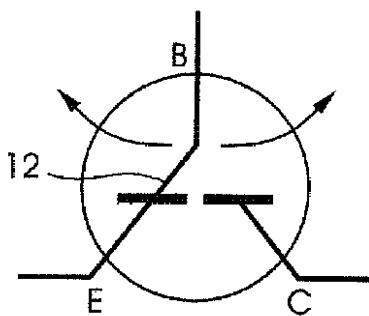
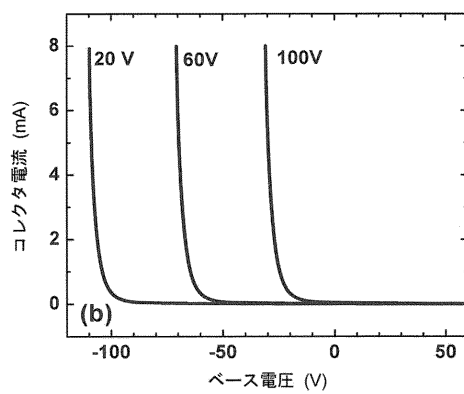


Fig. 1(b)

【図 3 b】



【図 4】

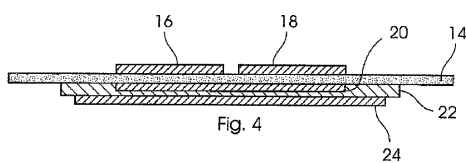


Fig. 4

【図 2】

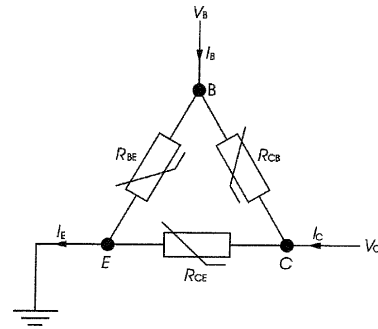
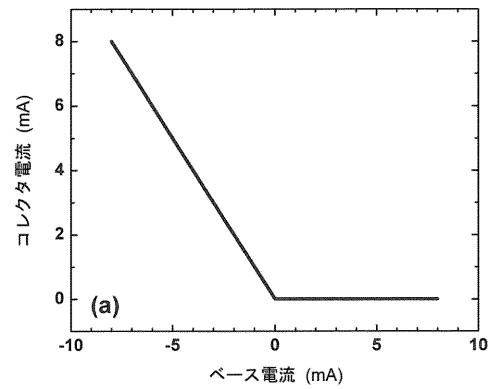


Fig. 2

【図 3 a】



【図 5】

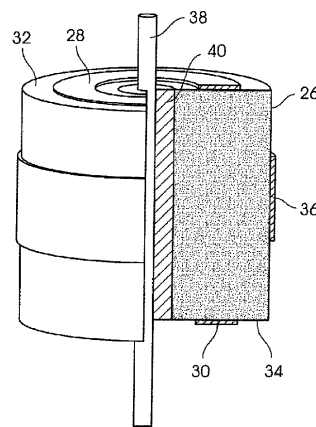


Fig. 5

【図 6】

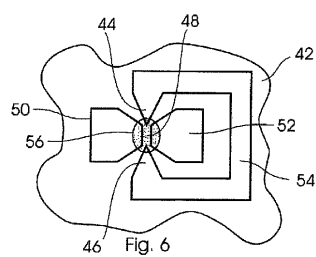
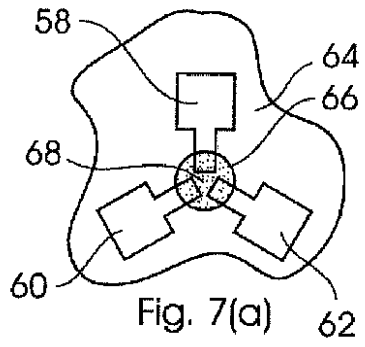
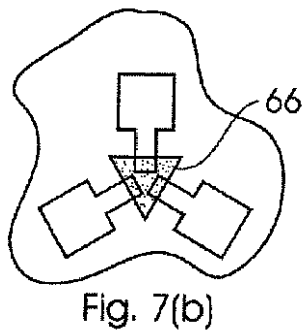


Fig. 6

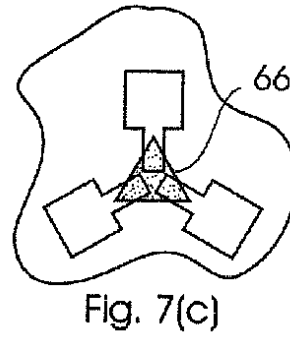
【図 7 (a)】



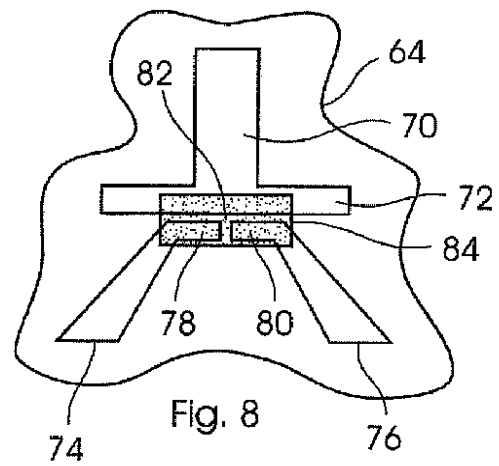
【図 7 (b)】



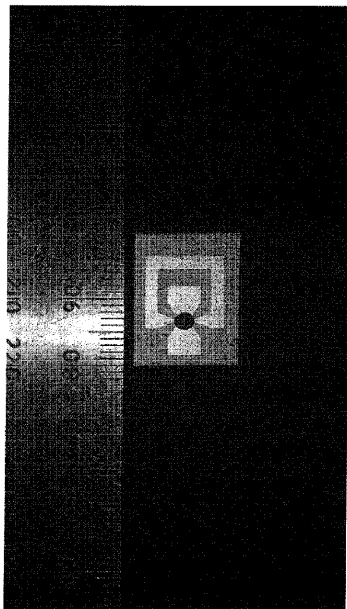
【図 7 (c)】



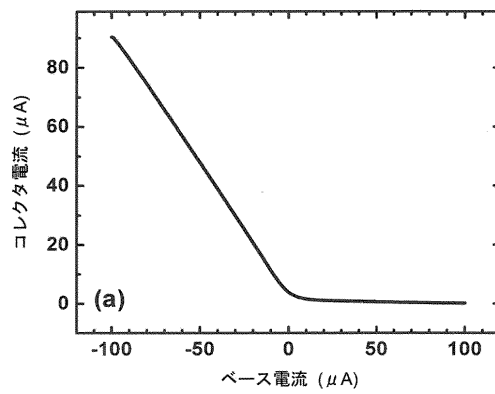
【図 8】



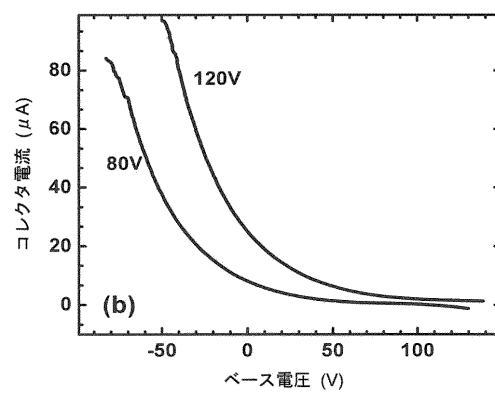
【図 9】



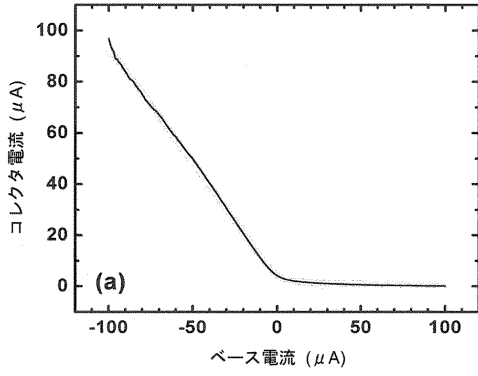
【図 10 a】



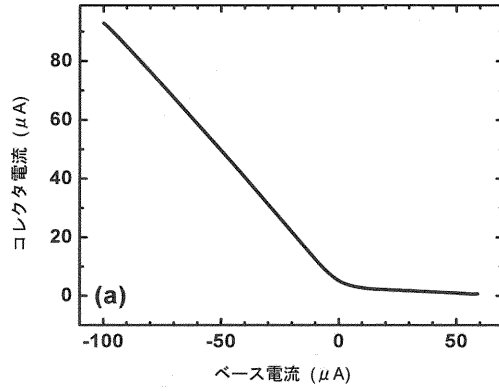
【図 10 b】



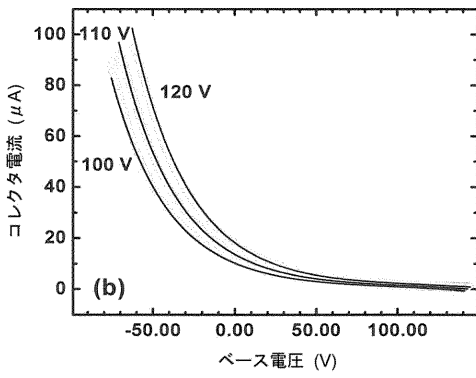
【図 1 1 a】



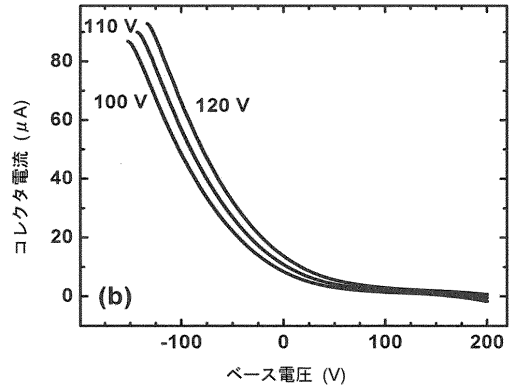
【図 1 2 a】



【図 1 1 b】



【図 1 2 b】



【図 1 3】

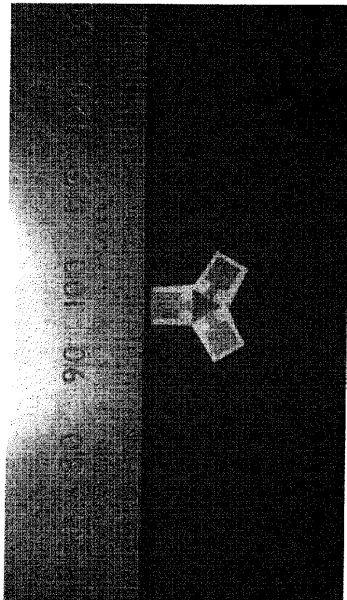
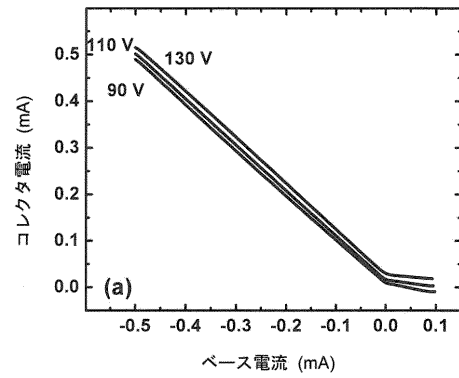
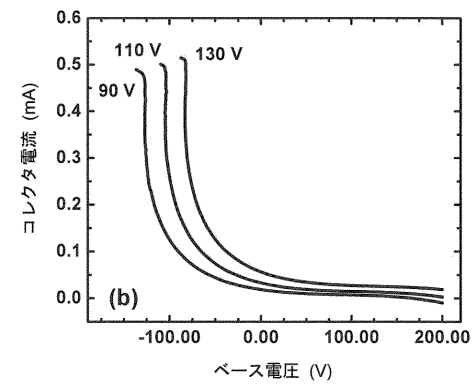


Fig. 13

【図 1 4 a】



【図 1 4 b】



【図 15】

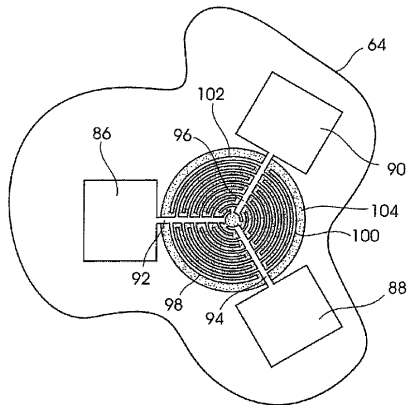


Fig. 15

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/IB2013/058692
A. CLASSIFICATION OF SUBJECT MATTER H01L 29/96 (2006.01)		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols)		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) WPI and EPODOC using keywords: transistor, varistor, triangle, three, ring, disc, circle and like terms Google Patents/Scholar: ring, disk, disc, annular, transistor, switch, annular, printed, flat and like terms		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
	Documents are listed in the continuation of Box C	
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C <input checked="" type="checkbox"/> See patent family annex		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "T" document published prior to the international filing date but later than the priority date claimed "J" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 5 March 2014		Date of mailing of the international search report 05 March 2014
Name and mailing address of the ISA/AU AUSTRALIAN PATENT OFFICE PO BOX 200, WODEN ACT 2606, AUSTRALIA Email address: pct@ipaustralia.gov.au Facsimile No.: +61 2 6283 7999		Authorised officer Andrew Walker AUSTRALIAN PATENT OFFICE (ISO 9001 Quality Certified Service) Telephone No. 0262223676

INTERNATIONAL SEARCH REPORT C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		International application No. PCT/IB2013/058692
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2011/0148258 A1 (TANAKA et al.) 23 June 2011 Abstract; Figures 2A, 2B; Paragraphs 44-47	1-4, 6-22
X	JP 1-146305 A (NEC CORP) 08 June 1989 Abstract; Figures 1-3	1-4, 6-22
X	JP 2005-340301 A (TDK CORP) 08 December 2008 Abstract; Figures	1-4, 6-22
Form PCT/ISA/210 (fifth sheet) (July 2009)		

INTERNATIONAL SEARCH REPORT Information on patent family members		International application No. PCT/IB2013/058692	
This Annex lists known patent family members relating to the patent documents cited in the above-mentioned international search report. The Australian Patent Office is in no way liable for these particulars which are merely given for the purpose of information.			
Patent Document/s Cited in Search Report		Patent Family Member/s	
Publication Number	Publication Date	Publication Number	Publication Date
US 2011/0148258 A1	23 Jun 2011	US 2011/148258 A1	23 Jun 2011
		US 8531068 B2	10 Sep 2013
JP 1-146305 A	08 Jun 1989	None	
JP 2005-340301 A	08 Dec 2008	None	
End of Annex			
Due to data integration issues this family listing may not include 10 digit Australian applications filed since May 2001. Form PCT/ISA/210 (Family Annex)(July 2009)			

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ

(74)代理人 100183265

弁理士 中谷 剣一

(72)発明者 デイビッド・トーマス・ブリットン

南アフリカ 8 0 0 1 ケープ・タウン、ブリー・ストリート 1 2 0 番、デ・オウド・シュアー 7 0 4

(72)発明者 マルギット・ヘルティンゲ

南アフリカ 7 7 0 0 モウブレイ、トゥウィツケナム・ロード 8 番、ユーシーティ・リサーチ・コン
トラクツ・アンド・アイピー・サービシーズ内

(72)発明者 スタンリー・ダグラス・ウォルトン

南アフリカ 8 0 0 5 グリーン・ポイント、ハイ・レベル・ロード 3 9 番、シー 5 ・アルマ・コート

Fターム(参考) 5F003 BB08 BB90 BC08 BC90 BE08 BE90 BH01 BH02 BH05 BM02

BM03 BM10