



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201230733 A1

(43) 公開日：中華民國 101 (2012) 年 07 月 16 日

(21) 申請案號：100101112

(22) 申請日：中華民國 100 (2011) 年 01 月 12 日

(51) Int. Cl. : **H04L27/22 (2006.01)**

(71) 申請人：林宗賢 (中華民國) LIN, TSUNG HSIEN (TW)

臺北市大安區羅斯福路 4 段 1 號電機 2 館 243 室

(72) 發明人：劉慧賢 LIU, HUI HSIEN (TW) ; 林宗賢 LIN, TSUNG HSIEN (TW) ; 劉耀鴻 LIU, YAO HONG (TW)

(74) 代理人：郭曉文；楊代強

申請實體審查：有 申請專利範圍項數：10 項 圖式數：9 共 30 頁

(54) 名稱

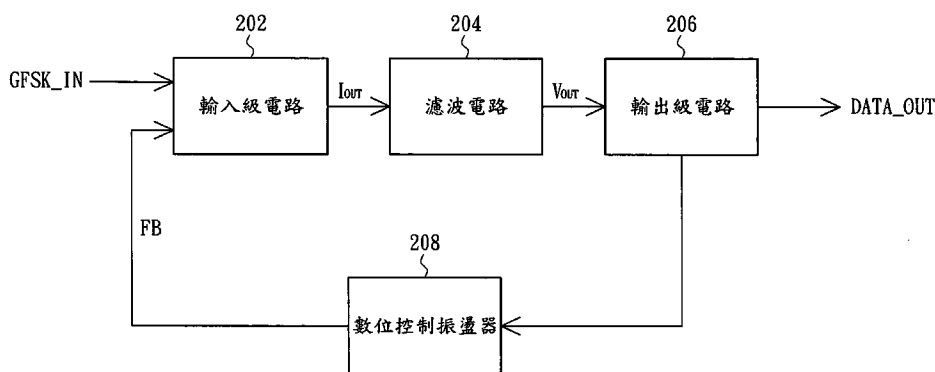
接收器

RECEIVER

(57) 摘要

一種接收器，適於接收 GFSK 訊號，其包括輸入級電路、濾波電路、輸出級電路和數位控制振盪器。輸入級電路具有一混合器，以將 GFSK 訊號與一回授訊號混合，並且產生一輸入級電流訊號給濾波電路。藉此，濾波電路可以將輸入級電流訊號濾波，並且轉換成一電壓訊號。輸出級電路則耦接濾波電路，以將電壓訊號轉換成數位輸出資料。另外，數位控制振盪器則耦接輸出級電路，以依據該數位輸出資料而輸出該回授訊號。

200



200：接收器

202：輸入級電路

204：濾波電路

206：輸出級電路

208：數位控制振盪器

DATA_OUT：數位輸出資料

FB：回授訊號

GFSK_IN：GFSK 訊號

IOUT：電流訊號

VOUT：電壓訊號

六、發明說明：

【發明所屬之技術領域】

本發明是有關於一種接收器，且特別是有關於一種用以接收高斯相位移鍵(以下簡稱 GFSK)訊號的接收器。

【先前技術】

圖 1 繪示為習知之 GFSK 接收器的系統方塊圖。請參照圖 1，習知的 GFSK 接收器 100 包括相位頻率偵測器(PFD) 102、電荷泵 104、濾波器 106、溫度計式碼(Thermometer Code)產生器 108、類比數位轉換器(DAC) 110 和壓控振盪器(VCO) 112。相位頻率偵測器 102 會接收 GFSK 訊號 GFSK_IN，並且將其與一迴授訊號 FB 比較，而產生一比較結果。此比較結果會被送至電荷泵 104，以產生電壓訊號 V1。接著，濾波器 106 會將電壓訊號 V1 進行濾波，以消除雜訊，並且將經過濾波的電壓訊號 V1'送至溫度計式碼產生器 108。藉此，溫度計式碼產生器 108 就可以依據電壓訊號 V1'而產生數位輸出資料 DATA_OUT。

此外，溫度計式碼產生器 108 的輸出則是耦接至數位類比轉換器 110。藉此，數位類比轉換器 110 就會依據數位輸出資料 DATA_OUT 而輸出一控制電壓訊號 V_{CTRL} 給壓控振盪器 112。此時，壓控振盪器 112 就可以依據控制電壓訊號 V_{CTRL} 而產生振盪電壓訊號當作迴授訊號 FB 給相位頻率偵測器 102。

然而，由於壓控振盪器 100 的增益容易受到製程、電壓和溫度改變的影響，這使得迴授訊號 FB 的品質不定。另外，控制電壓訊號 V_{CTRL} 也容易受到數位類比轉換器 110 本身雜訊的影響。

除此之外，在習知的接收器 100 中，在相位頻率偵測器 102 之前，有時需要配置一混合器。如此一來，就會增加接收器 100 的體積。

【發明內容】

因此，本發明提供一種接收器，可以接收並處理 GFSK 訊號。

本發明提供一種接收器，包括輸入級電路、濾波電路、輸出級電路和數位控制振盪器。輸入級電路具有一混合器，以將 GFSK 訊號與一回授訊號混合，並且產生一輸入級電流訊號給濾波電路。藉此，濾波電路可以將輸入級電流訊號濾波，並且轉換成一電壓訊號。輸出級電路則耦接濾波電路，以將電壓訊號轉換成數位輸出資料。另外，數位控制振盪器則耦接輸出級電路，以依據該數位輸出資料而輸出該回授訊號。

在本發明之一實施例中，數位控制振盪器包括調變器、多相位鎖相迴路和相位切換器。調變器耦接輸出級電路，以依據數位輸出資料而產生一調變訊號給相位切換器。另外，多相位鎖相迴路則是輸出多個相位訊號給相位切換器。藉此，相位切換器會依據相位訊號和調變訊號而產生迴授訊號。

由於本發明是利用數位控制振盪器來產生迴授訊號，因此不會受到製程和雜訊的影響，而導致迴授訊號的品質變動。

為讓本發明之上述和其他目的、特徵和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下。

【實施方式】

GFSK 訊號接收器的系統

圖 2 繪示為依照本發明之一較佳實施一的一種接收器的系統方塊圖。請參照圖 2，本實施例所提供的接收器 200，包括輸入級電路 202、濾波電路 204、輸出級電路 206 和數位控制振盪器 208。其中，輸入級電路 202 耦接濾波電路 204，而濾波電路 204 則耦接輸出級電路 206。在本實施例中，輸出級電路 206 的輸出就是接收器 200 的輸出。此外，輸出級電路 206 還將輸出耦接至數位控制振盪器 208，而數位控制振盪器 208 的輸出則耦接至輸入級電路 202 的輸入端。

在本實施例中，輸入級電路 202 會接收 GFSK 訊號 GFSK_IN，並且將其與迴授訊號 FB 混合，而輸出輸入級電流訊號 I_{OUT} 給濾波電路 204。此時，濾波電路 204 會將輸入級電流訊號 I_{OUT} 濾波，並且將其轉換為電壓訊號 V_{OUT} 給輸出級電路 206。藉此，輸出級電路 206 會依據電壓訊號 V_{OUT} 而產生數位輸出資料 DATA_OUT。另外，數位輸出資料 DATA_OUT 也會送至數位控制振盪器 208。因此，數位控制振盪器 208 就會依據數位輸出資料 DATA_OUT 而產生迴授訊號 FB 到輸入級電路 202 的另一輸入端。

實體電路

圖 3 繪示為依照本發明之一較佳實施例的一種輸入級電路的電路方塊圖。請參照圖 3，在本實施例中的輸入級電路 202，包括天線 302、放大器 304 和混合器 306。天線 302 可以透過無線傳輸介面接收 GFSK 訊號 GFSK_IN，並且將其送至放大器 304。放大器 304 具有預設的增益值，其可以將 GFSK 訊號 GFSK_IN 放大後，再送至混合器 306。

混合器 306 耦接濾波電路 204 和數位控制振盪器 208。藉

此，混合器 306 可以將 GFSK 訊號 GFSK_IN 與迴授訊號 FB 混合，而輸出輸入級電流訊號 I_{OUT} 給濾波電路 204。

圖 4 繪示為依照本發明之一較佳實施例的一種濾波電路的電路方塊圖。請參照圖 4，本實施例所提供的濾波電路 204 包括低通濾波器(LP) 402，可以將混合器 306 所輸出的輸入級電流訊號 $I_{OUT,P}$ 和 $I_{OUT,N}$ 濾波，以消除高頻的雜訊。另外，低通濾波器 402 還將輸入級電流訊號 $I_{OUT,P}$ 和 $I_{OUT,N}$ 轉換成電壓訊號 V_{OUT} ，並且送至輸出級電路 206 進行處理。

在本實施例中，為了消除輸出級電路 206 所產生的雜訊，濾波電路 204 還包括電流產生器 404、以及加法器 408 和 406。電流產生器 404 耦接輸出級電路 206，以將數位輸出資料 DATA_OUT 轉換成類比的電流訊號 $I_{DAC,P}$ 和 $I_{DAC,N}$ 。而加法器 406 和 408 則分別耦接混合器 306 和電流產生器 404，以分別將電流訊號 $I_{OUT,P}$ 和 $I_{DAC,P}$ 相加，並且將電流訊號 $I_{OUT,N}$ 和 $I_{DAC,N}$ 相加。如此一來，就可以將低頻雜訊成形(Shaping)。接著，加法器 406 和 408 會將相加的結果送至低通濾波器 402，以產生電壓訊號 V_{OUT} 。因此，在電壓訊號 V_{OUT} 中，會含有已經成形的低頻雜訊成分，以便在後續進行處理。

圖 5 繪示為依照本發明之一較佳實施例的一種輸出級電路的電路方塊圖。請參照圖 5，在本實施例中的輸出級電路 206，至少包括量化器 502，其可以耦接濾波電路 204。因此，量化器 502 可以依據電壓訊號 V_{OUT} 而產生溫度計式碼 TR_CODE。藉此，輸出級電路 206 就可以依據溫度計式碼 TR_CODE 而產生數位輸出資料 DATA_OUT。

在一些實施例中，輸出級電路 206 還包括 TB 轉換器 504，其耦接量化器 502。其中，TB 轉換器 504 用來將溫度計式碼

TR_CODE 轉換為二進位碼 BI_CODE，並且將其當作數位輸出資料 DATA_OUT 輸出。在一些實施例中，數位輸出資料 DATA_OUT 可以是 3 位元的二進位碼 BI_CODE。

另外，在輸出級電路 206 中，還可以配置一加法器 506。加法器 506 可以耦接 TB 轉換器 504，以接收二進位碼 BI_CODE，並且將此二進位碼 BI_CODE 加上一設定值 r 後，而產生一加總值 SUM。其中，設定值 r 和加總值 SUM 都例如是 13 位元的二進位碼。接著，此加總值 SUM 會送至數位控制振盪器 208，以決定其中心振盪頻率。換句話說，設定值 r 的大小可以決定數位控制振盪器 208 的振盪頻率。

圖 6 繪示為依照本發明之一較佳實施例的一種數位控制振盪器之電路方塊圖。請參照圖 6，在本實施例中，數位控制振盪器 208 包括調變器 602、相位切換器 604 和多相位鎖相迴路(PLL) 606。調變器 602 耦接加法器 506 和相位切換器 604，而相位切換器 604 則耦接混合器 306 和多相位鎖相迴路 606。

在本實施例中，調變器 602 是一三角積分調變器 (Sigma-Delta Modulator，或表示為 $\Sigma\Delta$ Modulator)，其可以將加總值 SUM 進行三角積分調變，而產生調變輸出訊號 $\Sigma\Delta M_{OUT}$ 給相位切換器 604。如此一來，調變器 602 藉由上述將低頻雜訊成形的結果，就可以有效地消除系統中的低頻雜訊。

另外，多相位鎖相迴路 606 則是會產生多個相位訊號 P_n 給相位切換器 604。藉此，相位切換器 604 就會依據調變訊號 $\Sigma\Delta M_{OUT}$ ，並且依據多個相位 P_n 其中之一，而輸出迴授訊號 FB 給混合器 306。

在本實施例中，多相位鎖相迴路 606 所產生的相位訊號 P_n ，包括 0 度相位訊號 P_0 、45 度相位訊號 P_{45} 、90 度相位訊

號 P90、180 度相位訊號 P180、225 度相位訊號 P225、270 度相位訊號 P270、以及 315 度相位訊號 P315。

另外，在數位控制振盪器 208 中，還配置一除法器 608，其耦接多相位鎖相迴路 606、調變器 602 和量化器 502。在本實施例中，除法器 608 會將鎖相迴路 606 的輸出除以一預設值，例如是 2，而產生致能訊號 EN1。而此致能訊號 EN1 會分別送至調變器 602 和量化器 502，以分別將二者致能。

圖 7 繪示為依照本發明之一較佳實施例的一種相位切換器之電路方塊圖。請參照圖 7，本實施例所提供的相位切換器 604，包括相位多工器 702 和相位控制器 704。其中，相位多工器 702 耦接相位控制器 704，並且耦接多相位鎖相迴路 606，以接收多個相位訊號 P_n 。另外，相位控制器 704 則耦接調變器 602，以接收調變訊號 $\Sigma\Delta M_{OUT}$ 。

請繼續參照圖 7，相位多工器 702 可以依據一選擇指令 $\phi < 0:2 >$ ，而選擇多個相位訊號 P_n 其中之一當作一相位輸出訊號 P_{OUT} 輸出給相位控制器 704。其中，相位多工器 702 的輸出端會耦接至相位切換器 604 的輸出端。因此，相位輸出訊號 P_{OUT} 就被當作回授訊號 FB 輸出。另外，相位控制器 704 也依據相位輸出訊號 P_{OUT} 和調變訊號 $\Sigma\Delta M_{OUT}$ 而產生選擇指令 $\phi < 0:2 >$ 。在本實施例中，選擇指令是 3 位元的二進位碼。然而，本發明並不以此為限。

另外，相位控制器 704 則包括延遲器 712、互斥或閘 714、重複取樣電路 716、相位狀態累加器 718 和及閘 720。延遲器 712 耦接相位多工器 702，以接收相位輸出訊號 P_{OUT} ，並且將其延遲一預設時間後，輸出延遲的相位輸出訊號 P_{OUT_DL} 。另外，互斥或閘 714 的第一輸入端和第二輸入端分別耦接相位多

工器 702 和延遲器 712，以分別依據相位輸出訊號 P_{OUT} 和延遲的相位輸出訊號 P_{OUT_DL} ，而輸出互斥或閘訊號，也就是致能訊號 EN2。而致能訊號 EN2 會被送至重複取樣電路 716 和相位狀態累加器 718，以分別將二者致能。

在本實施例中，重複取樣電路 716 可以利用一 D 型正反器來實現。因此，當重複取樣電路 716 被致能時，就會依據調變訊號 $\Sigma\Delta M_{OUT}$ 而產生控制訊號 K，並且傳送給及閘 720 的第一輸入端。另外，及閘 720 的第二輸入端則是接收一致能訊號 EN3。因此，當控制訊號 K 和致能訊號 EN3 同時為邏輯 1 的狀態時，及閘 720 就會輸出高態的及閘訊號 AND_OUT 給相位狀態累加器 718。此時，相位狀態累加器 718 就會依據及閘訊號 AND_OUT，而產生選擇指令 $\phi<0:2>$ 給相位多工器 702。

圖 8 繪示為依照本發明之一較佳實施例的一種相位狀態累加器之邏輯架構圖。請參照圖 8，在本實施例中，相位狀態累加器 718 包括多個 D 型正反器，例如 802、804 和 806。每一 D 型正反器 802、804 和 806 都具有致能端 C、輸入端 D、正相輸出端 Q 和反相輸出端 \bar{Q} 。其中，各致能端 C 都耦接至時序訊號 CLK。另外，每一 D 型正反器 802、804 和 806 的反相輸出端 \bar{Q} 都是浮接，而各正相輸出端 Q 則分別對應輸出選擇指令 $\phi<0:2>$ 中多個位元的其中之一。例如，D 型正反器 802、804 和 806 分別從各自的正相輸出端 Q 輸出選擇指令 $\phi<0:2>$ 的最低位元、中間位元和最高位元。

另外，相位狀態累加器 718 還包括多個互斥或閘，例如 812、814 和 816，並且包括多個及閘，像是 822 和 824。其中，互斥或閘 812 和及閘 822，以及互斥或閘 814 和及閘 824 的第一輸入端和第二輸入端彼此耦接。另外，D 型正反器 802 的正

相輸入端 Q 和輸入端 D，分別耦接至互斥或閘 812 的輸出端和第一輸入端；D 型正反器 804 的正相輸入端 Q 和輸入端 D，則是分別耦接至互斥或閘 814 的輸出端和第一輸入端；而 D 型正反器 806 的正相輸入端 Q 和輸入端 D，則是分別耦接至互斥或閘 816 的輸出端和第一輸入端。除此之外，互斥或閘 812 的第二輸入端會接收及閘訊號 AND_OUT；互斥或閘 814 的第二輸入端則耦接至及閘 822 的輸出端；以及互斥或閘 816 的第二輸入端則是耦接至及閘 824 的輸出端。

請合併參照圖 7 和圖 8，及閘 720 藉由重複取樣電路 716 所輸出之控制訊號 K 的狀態改變，就會產生不同狀態的及閘訊號 AND_OUT。而依據及閘訊號 AND_OUT 的狀態，D 型正反器 802、804 和 806 就可以從正相輸出端 Q 輸出對應的選擇指令 $\phi<0:2>$ 給相位多工器 702。

時序圖

以下以相位切換器 604 中的訊號時序圖，來說明相位切換器 604 的運作原理。

圖 9 繪示為依照本發明之一較佳實施例的一種相位切換器的訊號時序圖。請合併參照圖 7、圖 8 和圖 9，在圖 9 中的訊號時序圖中，P0、P45、P90、P135、P180、P225、P270 和 P315 是多相位鎖相迴路 606 所輸出的相位訊號，分別對應的選擇指定 $\phi<0:2>$ 為 000_b 、 001_b 、 010_b 、 011_b 、 100_b 、 101_b 、 110_b 和 111_b 。在本實施例中，控制訊號 K 和致能訊號 EN3 在 t_0 時都為邏輯 1 的狀態，而選擇指令 $\phi<0:2>$ 在 t_0 時為 100_b 。因此，相位多工器 702 會選擇相位訊號 P180 當作相位輸出訊號 P_{OUT}。此時，由於相位訊號 P180 為邏輯 0 的狀態，因此相位

輸出訊號 P_{OUT} 也是邏輯 0 的狀態。

接著，在 t_1 時，時脈訊號 CLK 會被致能。而由於 D 型正反器 802 的正相輸出端 Q 在 t_0 時的狀態為邏輯 0，因此在 t_1 時，互斥或閘 812 會輸出邏輯 1，而使得 D 型正反器 802 的正相輸出端 Q 在 t_1 的狀態為邏輯 1。另外，及閘 822 在 t_1 時會輸出邏輯 0，導致互斥或閘 814 和及閘 824 的輸出都為邏輯 0 的狀態。因此，D 型正反器 804 的正相輸入端 Q 會維持邏輯 0 的狀態。此外，互斥或閘 816 的輸出則是邏輯 1，因此 D 型正反器 806 的正相輸出端 Q 也是維持邏輯 1。由此可知，在時間 t_1 時，選擇指令 $\phi\langle 0:2 \rangle$ 為 101。因此，相位多工器 702 在 t_1 時會選擇相位訊號 P225 當作相位輸出訊號 P_{OUT} 。由於相位訊號 P225 在 t_1 時也是邏輯 0 的狀態，因此相位輸出訊號 P_{OUT} 會維持邏輯 0 的狀態，而實現無縫切換的功能。

另外，在 t_2 時，時脈訊號 CLK 再次被致能。由於之前選擇指令 $\phi\langle 0:2 \rangle$ 為 111，也就是說 D 型正反器 802、804 和 806 的正相輸出端 Q 在 t_2 前的狀態皆為邏輯 1。因此，在 t_2 時，互斥或閘 812 的輸出則會切換為邏輯 0，而及閘 822 的輸出則為邏輯 1。因此，D 型正反器 802 的正相輸出端 Q 在 t_2 時的狀態為 0。同樣地，互斥或閘 814 和及閘 824 的輸出也分別為邏輯 0 和邏輯 1，因此 D 型正反器 804 的正相輸出端 Q 在 t_2 時的狀態為邏輯 0。另外，互斥或閘 816 會因為第一輸入端和第二輸入端的狀態皆為邏輯 1，因此輸出端的狀態會是邏輯 0 的狀態，導致 D 型正反器 806 的正相輸出端 Q 在 t_2 時的狀態也是邏輯 0。由此可知， t_2 時的選擇指令 $\phi\langle 0:2 \rangle$ 為 000。因此，相位多工器 702 會選擇相位訊號 P0 當作相位輸出訊號 P_{OUT} 。藉由以上的動作，相位多工器 702 就可以持續往覆並且

按照順序的選擇相位訊號 P0、P45、P90、P135、P180、P225、P270 和 P315 來當作相位輸出訊號 P_{OUT}，並且也可以實現無縫切換的功能。

功效

綜上所述，本發明至少可以達到以下的功效：

1. 由於本發明有低通濾波器以及三角積分調變器來消除高頻雜訊和低頻雜訊，因此可以改善迴授訊號的品質。

2. 由於本發明是採用數位控制振盪器來產生迴授訊號，因此迴授訊號的品質較不易受到製程的影響而改變。

3. 本發明是直接採用混合器來取代習知技術中的相位頻率偵測器和混合器，因此可以縮小接收器的體積，並且降低硬體的成木。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

圖 1 繪示為習知之 GFSK 接收器的系統方塊圖。

圖 2 繪示為依照本發明之一較佳實施例的一種接收器的系統方塊圖。

圖 3 繪示為依照本發明之一較佳實施例的一種輸入級電路的電路方塊圖。

圖 4 繪示為依照本發明之一較佳實施例的一種濾波電路的電路方塊圖。

圖 5 繪示為依照本發明之一較佳實施例的一種輸出級電路的電路方塊圖。

圖 6 繪示為依照本發明之一較佳實施例的一種數位控制振盪器之電路方塊圖。

圖 7 繪示為依照本發明之一較佳實施例的一種相位切換器之電路方塊圖。

圖 8 繪示為依照本發明之一較佳實施例的一種相位狀態累加器之邏輯架構圖。

圖 9 繪示為依照本發明之一較佳實施例的一種相位切換器的訊號時序圖。

【主要元件符號說明】

- 100、200：GFSK 接收器
- 102：相位頻率偵測器(PFD)
- 104：電荷泵
- 106：濾波器
- 108：溫度計式碼產生器
- 110：類比數位轉換器(DAC)
- 112：壓控振盪器(VCO)
- 202：輸入級電路
- 204：濾波電路
- 206：輸出級電路
- 208：數位控制振盪器
- 302：天線
- 304：放大器
- 306：混合器

- 402：低通濾波器(LP)
- 404：電流產生器
- 408、406、506：加法器
- 502：量化器
- 602：調變器
- 604：相位切換器
- 606：多相位鎖相迴路(PLL)
- 702：相位多工器
- 704：相位控制器
- 712：延遲器
- 714、812、814、816：互斥或閘
- 716：重複取樣電路
- 718：相位狀態累加器
- 720、822、824：及閘
- 802、804、806：D型正反器
- AND_OUT：及閘訊號
- C、D、Q、 \bar{Q} ：D型正反器的端點
- 時序訊號 CLK：
- DATA_OUT：數位輸出資料
- EN1、EN2、EN3：致能訊號
- FB：迴授訊號
- GFSK_IN：GFSK 訊號
- I_{OUT}、I_{OUT,N}、I_{OUT,P}、I_{DAC,N}、I_{DAC,P}：電流訊號
- K：控制訊號
- P_n、P_{OUT}、P_{OUT_DL}：相位訊號
- r：設定值

SUM：加總值

TR_CODE：溫度計式碼

V1、V1'、V_{CTRL}、V_{OUT}：電壓訊號

$\Sigma\Delta M_{OUT}$ ：調變訊號

$\phi <0:2>$ ：選擇指令

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號： 100101112

※申請日： 100. 1. 12

※IPC 分類： H04L 57/52 2006.01

一、發明名稱：(中文/英文)

接收器/RECEIVER

二、中文發明摘要：

一種接收器，適於接收 GFSK 訊號，其包括輸入級電路、濾波電路、輸出級電路和數位控制振盪器。輸入級電路具有一混合器，以將 GFSK 訊號與一回授訊號混合，並且產生一輸入級電流訊號給濾波電路。藉此，濾波電路可以將輸入級電流訊號濾波，並且轉換成一電壓訊號。輸出級電路則耦接濾波電路，以將電壓訊號轉換成數位輸出資料。另外，數位控制振盪器則耦接輸出級電路，以依據該數位輸出資料而輸出該回授訊號。

三、英文發明摘要：

A receiver suitable for receiving GFSK signal has an input stage circuit, a filter circuit, an output stage circuit and a digital control oscillator (DCO). The input stage circuit has a mixer for mixing the GFSK signal with a feedback signal, so as to generate an input stage current signal to the filter circuit. Therefore, the filter circuit can filter the input stage current signal and output a voltage signal. The output stage circuit is coupled to the filter circuit for converting the voltage signal into digital output data. In addition, the DCO is coupled to the output stage circuit for

201230733

outputting the feedback signal according to the digital output data.

七、申請專利範圍：

1. 一種接收器，適於接收一 GFSK 訊號，並產生一數位輸出訊號，而該接收器包括：

一輸入級電路，具有一混合器，以將該 GFSK 訊號與一回授訊號混合，並產生一輸入級電流訊號；

一濾波電路，耦接該輸入級電路，以將該輸入級電流訊號轉換成一電壓訊號；

一輸出級電路，耦接該濾波電路，以將該電壓訊號轉換成該數位輸出資料；以及

一數位控制振盪器，耦接該輸出級電路，以依據該數位輸出資料而輸出該回授訊號。

2. 如申請專利範圍第 1 項所述之接收器，其中該輸入級電路更包括：

一天線，接收該 GFSK 訊號；以及

一放大器，耦接該天線和該混合器，以將該 GFSK 訊號放大後，再傳送至該混合器。

3. 如申請專利範圍第 1 項所述之接收器，其中該濾波電路包括：

一第一加法器，耦接該輸入級電路，以將該輸入級電流訊號與一回授電流訊號相加，而產生一加總電流訊號；

一電流產生器，耦接該輸出級電路和該第一加法器，以依據該數位輸出訊號而產生該回授電流訊號；以及

一低通濾波器，耦接該加法器，以將該加總電壓訊號進行濾波，並產生該電壓訊號。

4. 如申請專利範圍第 1 項所述之接收器，其中該輸出級電路包括一量化器，耦接該濾波電路，以依據該數位訊號產生一溫度計式碼，用以產生該數位輸出資料。

5. 如申請專利範圍第 4 項所述之接收器，其中該輸出級電路更包括：

一 TB 轉換器，耦接該量化器，以將該溫度計式碼轉換成二進制碼，以作為該數位輸出資料；以及

一第二加法器，將該二進制碼與一預設值相加，並產生一加總資料給該數位控制振盪器。

6. 如申請專利範圍第 1 項所述之接收器，其中該數位振盪器包括：

一調變器，耦接該輸出級電路，以依據該數位輸出資料而產生一調變訊號；

一多相位鎖相迴路，輸出多個相位訊號；以及

一相位切換器，耦接該調變器和該多相位鎖相迴路，以依據該些相位訊號和該調變訊號而產生該迴授訊號。

7. 如申請專利範圍第 6 項所述之接收器，其中該數位振盪器更包括一除法器，耦接該多相位鎖相迴路，以依據該多相位鎖相迴路的輸出產生一第一致能訊號，並將其送至該調變器和該輸出級電路。

8. 如申請專利範圍第 6 項所述之接收器，其中該相位切換器包括：

一相位多工器，耦接該多相位鎖相迴路，並依據一選擇指令選擇該些相位訊號其中之一輸出，以產生該迴授訊號；以及

一相位控制器，耦接該相位多工器和該調變器，以依據該相位多工器的輸出和該調變訊號而產生該選擇指令。

9. 如申請專利範圍第 8 項所述之接收器，其中該相位控制器包括：

一延遲器，耦接該相位多工器，以將被選擇輸出的相位訊號延遲一預設時間，並輸出一延遲相位訊號；

一第一互斥或閘，耦接該相位多工器和該延遲器，以依據被選擇輸出的相位訊號和該延遲相位訊號而輸出一第一互斥或閘訊號；

一重複取樣電路，耦接該調變器和該互斥或閘，以依據該調變訊號和該第一互斥或閘訊號而輸出一取樣控制訊號；

一第一及閘，依據該取樣控制訊號和一第二致能訊號而輸出一第一及閘訊號；以及

一相位狀態累加器，耦接該第一及閘和該第一互斥或閘，以依據該第一互斥或閘訊號和該第一及閘訊號而產生該選擇指令給該相位多工器。

10. 如申請專利範圍第 9 項所述之接收器，其中該相位狀態累加器包括：

一第一 D 型正反器、一第二 D 型正反器和一第三 D 型正反器，分別具有一致能端、一輸入端和一正相輸出端，其中該些致能端共同耦接一時脈訊號，而該些正相輸出端則用以輸出該選擇指令；

一 第二互斥或閘，其第一輸入端和輸出端分別耦接至該第一 D 型正反器的正相輸出端和輸入端，而該第二互斥或閘的第二輸入端則耦接該第一及閘，以接收該第一及閘訊號；

一 第二及閘，其第一輸入端和第二輸入端分別耦接至該第二互斥或閘的第一輸入端和第二輸入端；

一 第三互斥或閘，其第一輸入端、輸出端和第二輸入端分別耦接該第二 D 型正反器的正相輸出端和輸入端，以及該第二及閘的輸出端；

一 第三及閘，其第一輸入端和第二輸入端分別耦接該第三互斥或閘的第一輸入端和第二輸入端；以及

一 第四互斥或閘，其第一輸入端、輸出端和第二輸入端分別耦接該第三 D 型正反器的正相輸出端和輸入端，以及該第三及閘的輸出端。

八、圖式：

一 第二互斥或閘，其第一輸入端和輸出端分別耦接至該第一 D 型正反器的正相輸出端和輸入端，而該第二互斥或閘的第二輸入端則耦接該第一及閘，以接收該第一及閘訊號；

一 第二及閘，其第一輸入端和第二輸入端分別耦接至該第二互斥或閘的第一輸入端和第二輸入端；

一 第三互斥或閘，其第一輸入端、輸出端和第二輸入端分別耦接該第二 D 型正反器的正相輸出端和輸入端，以及該第二及閘的輸出端；

一 第三及閘，其第一輸入端和第二輸入端分別耦接該第三互斥或閘的第一輸入端和第二輸入端；以及

一 第四互斥或閘，其第一輸入端、輸出端和第二輸入端分別耦接該第三 D 型正反器的正相輸出端和輸入端，以及該第三及閘的輸出端。

八、圖式：

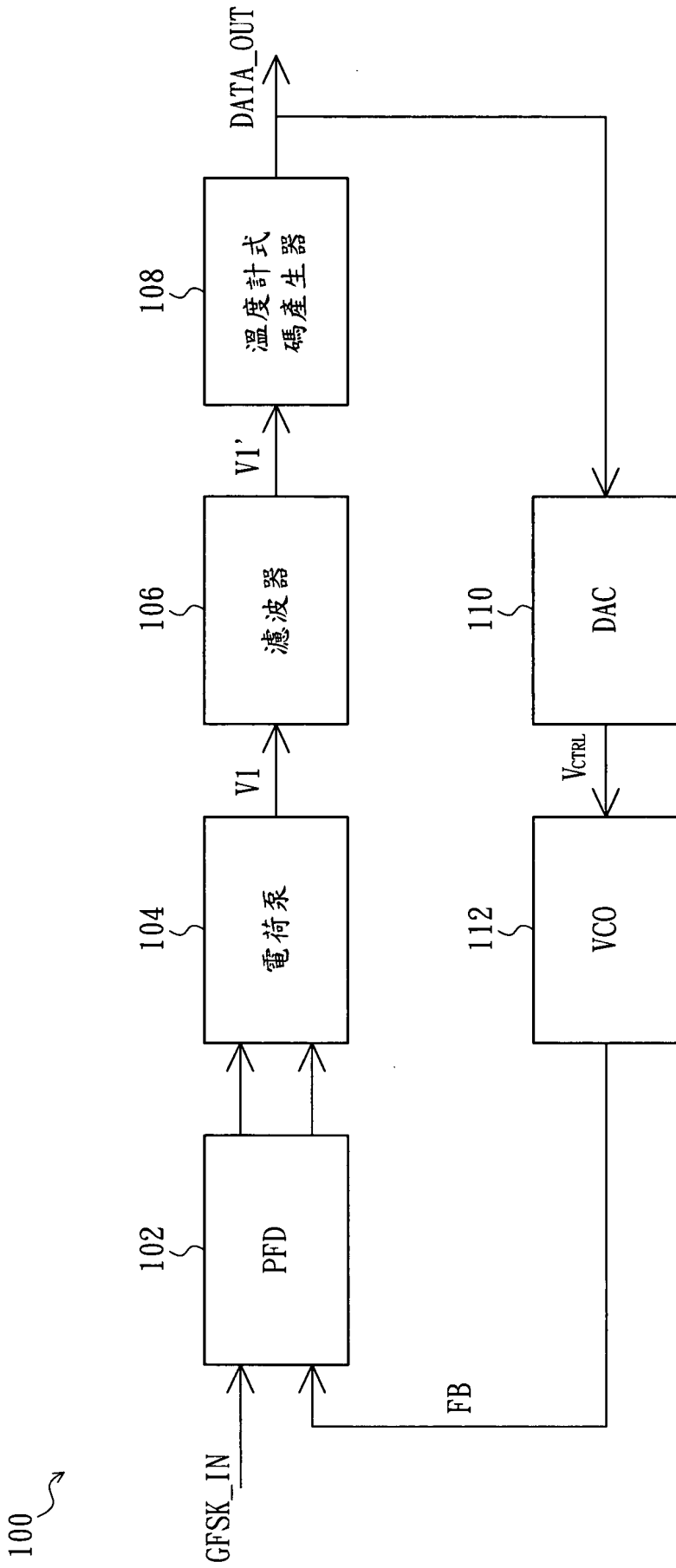


圖1

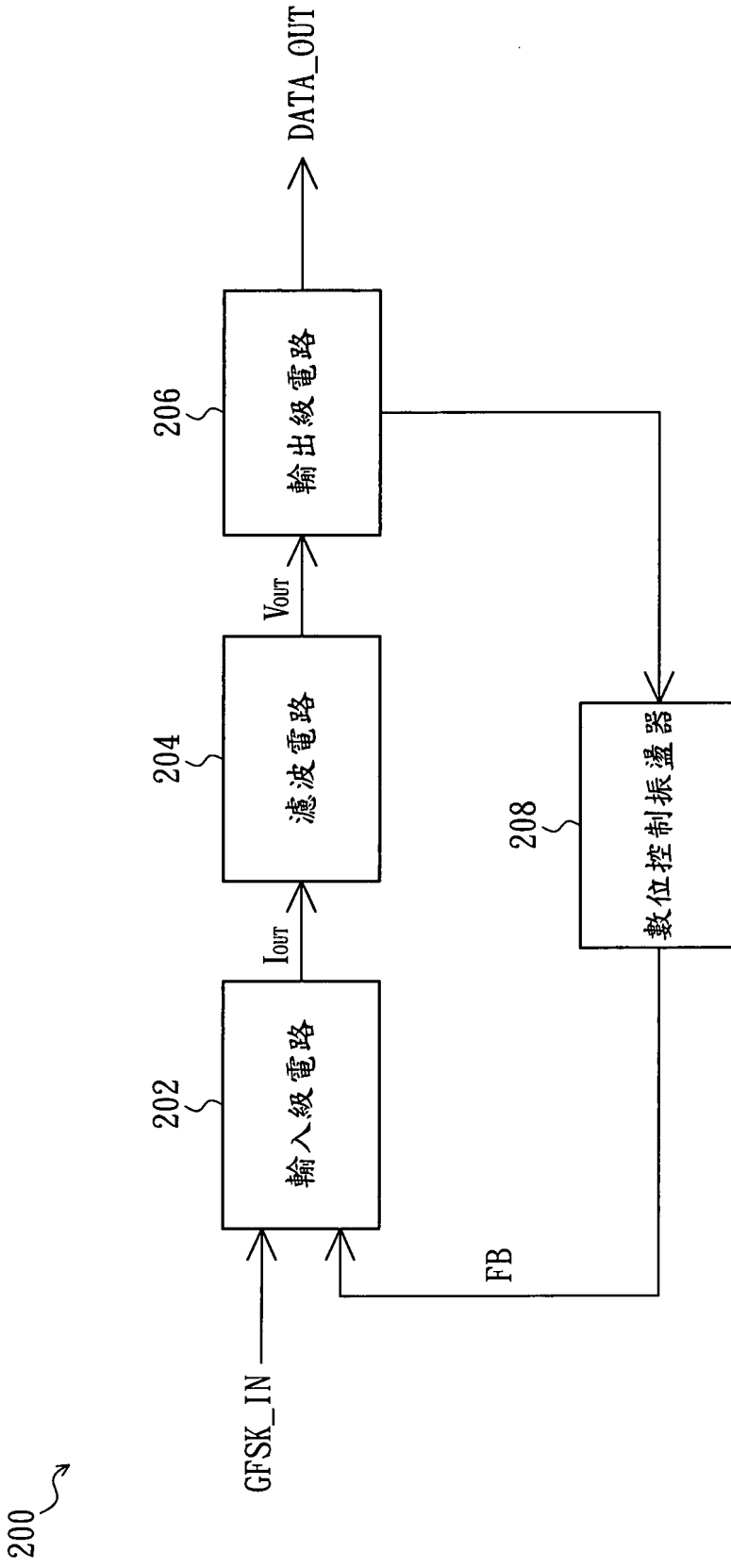


圖2

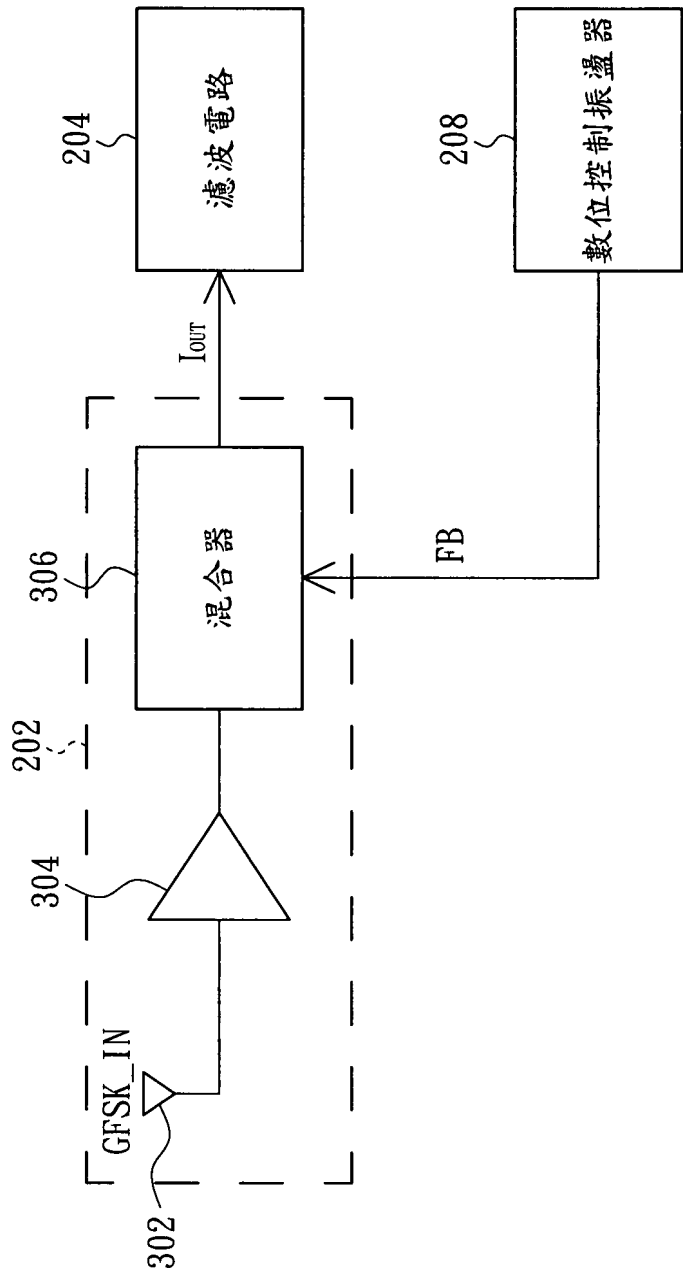


圖3

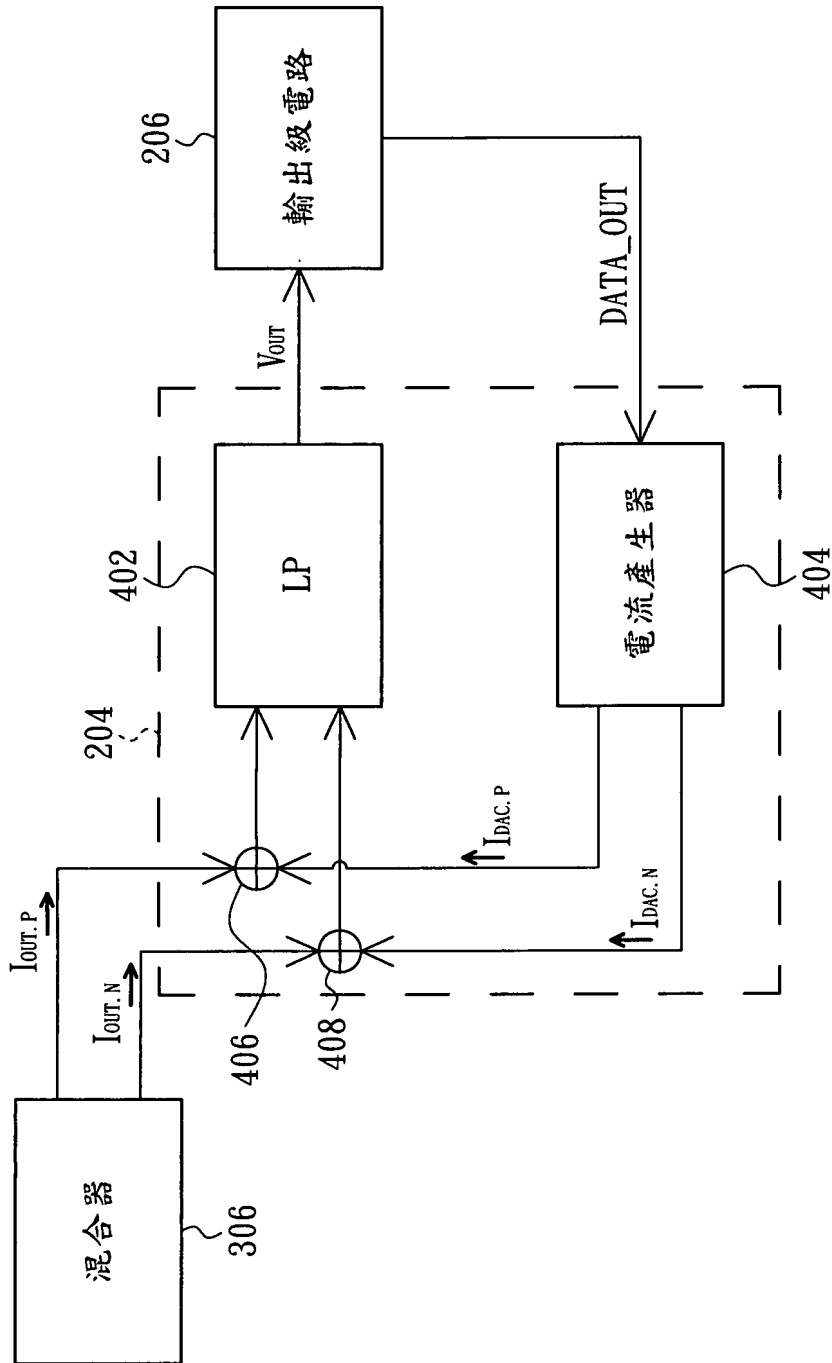


圖4

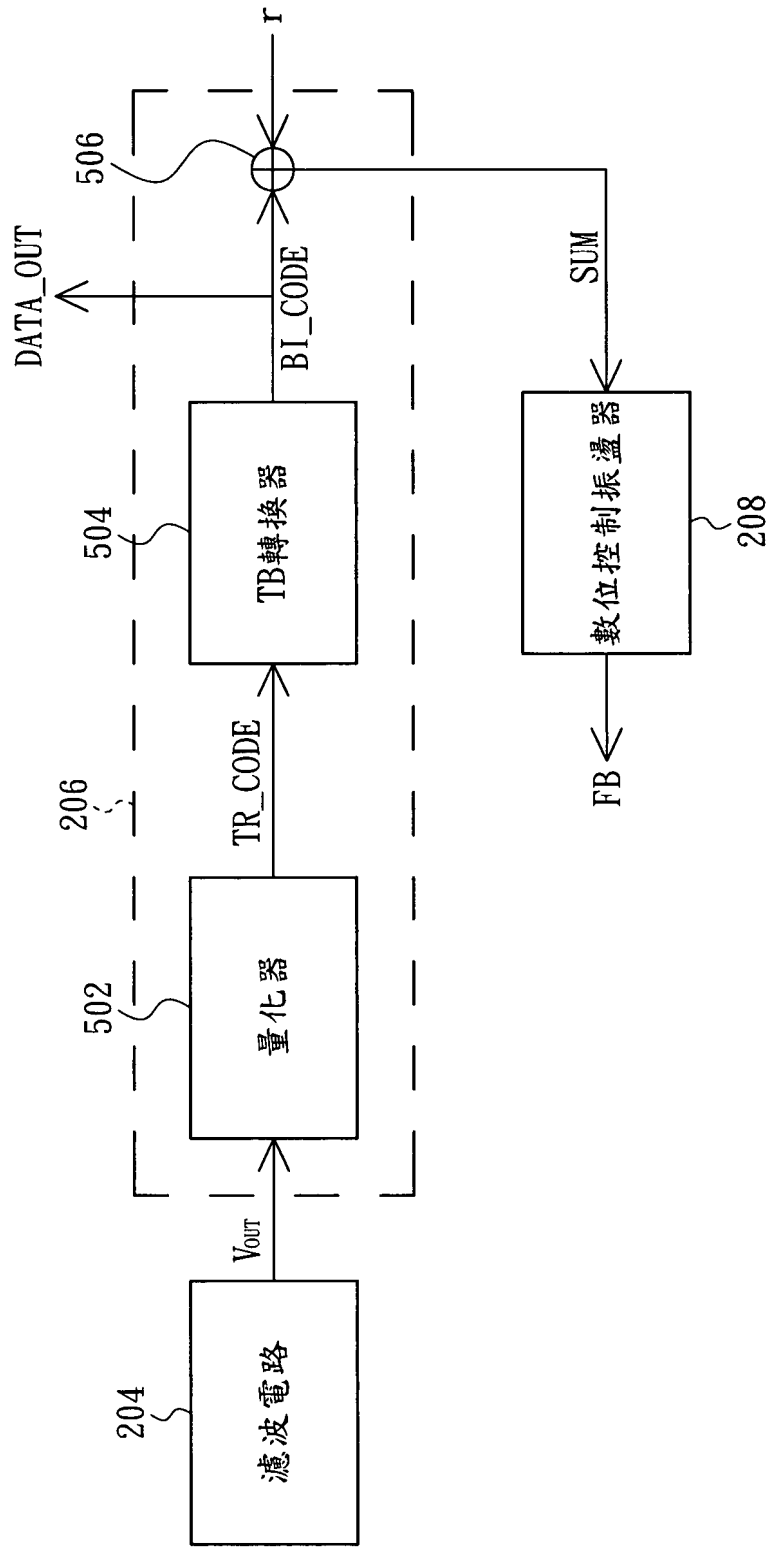


圖5

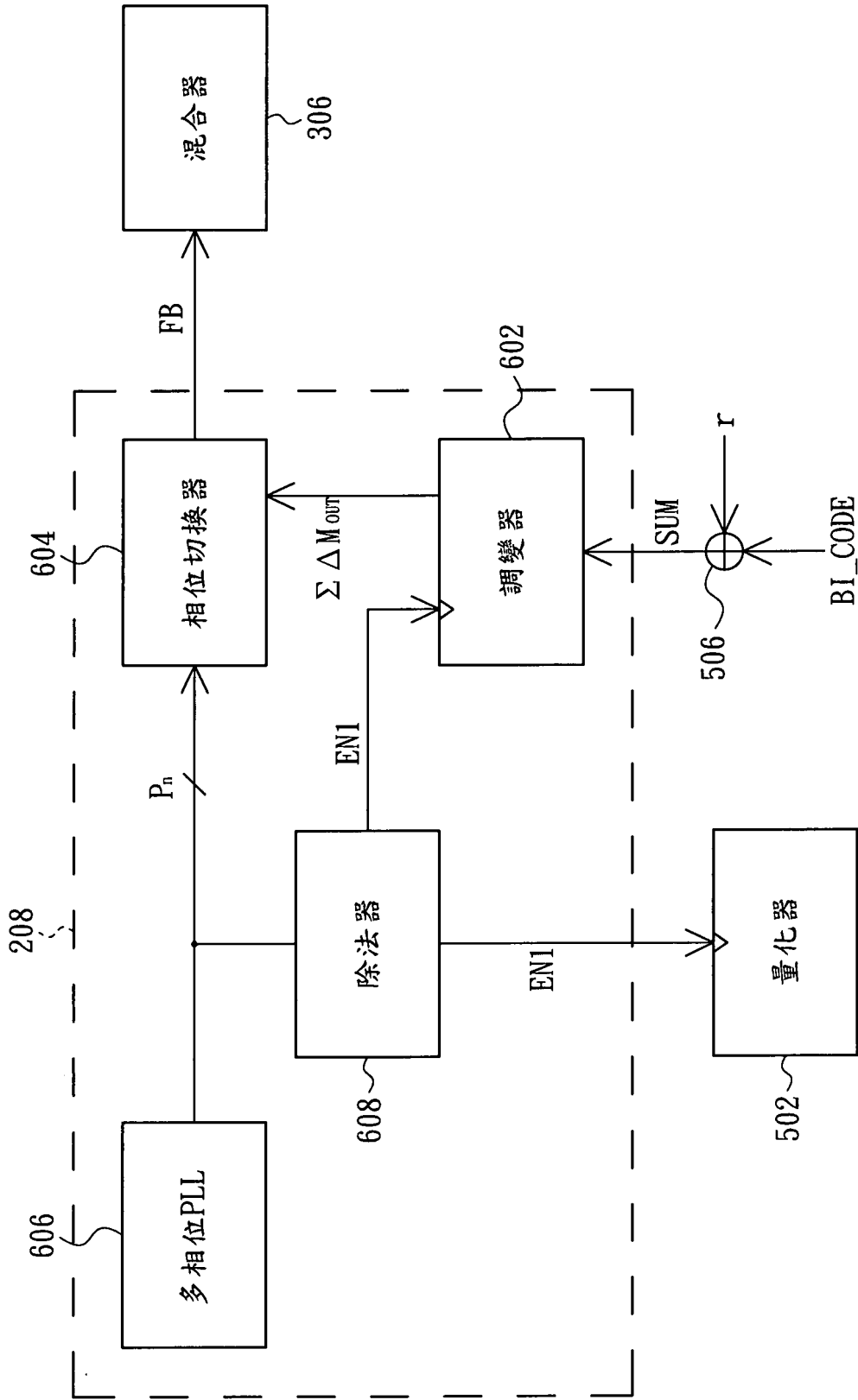


圖6

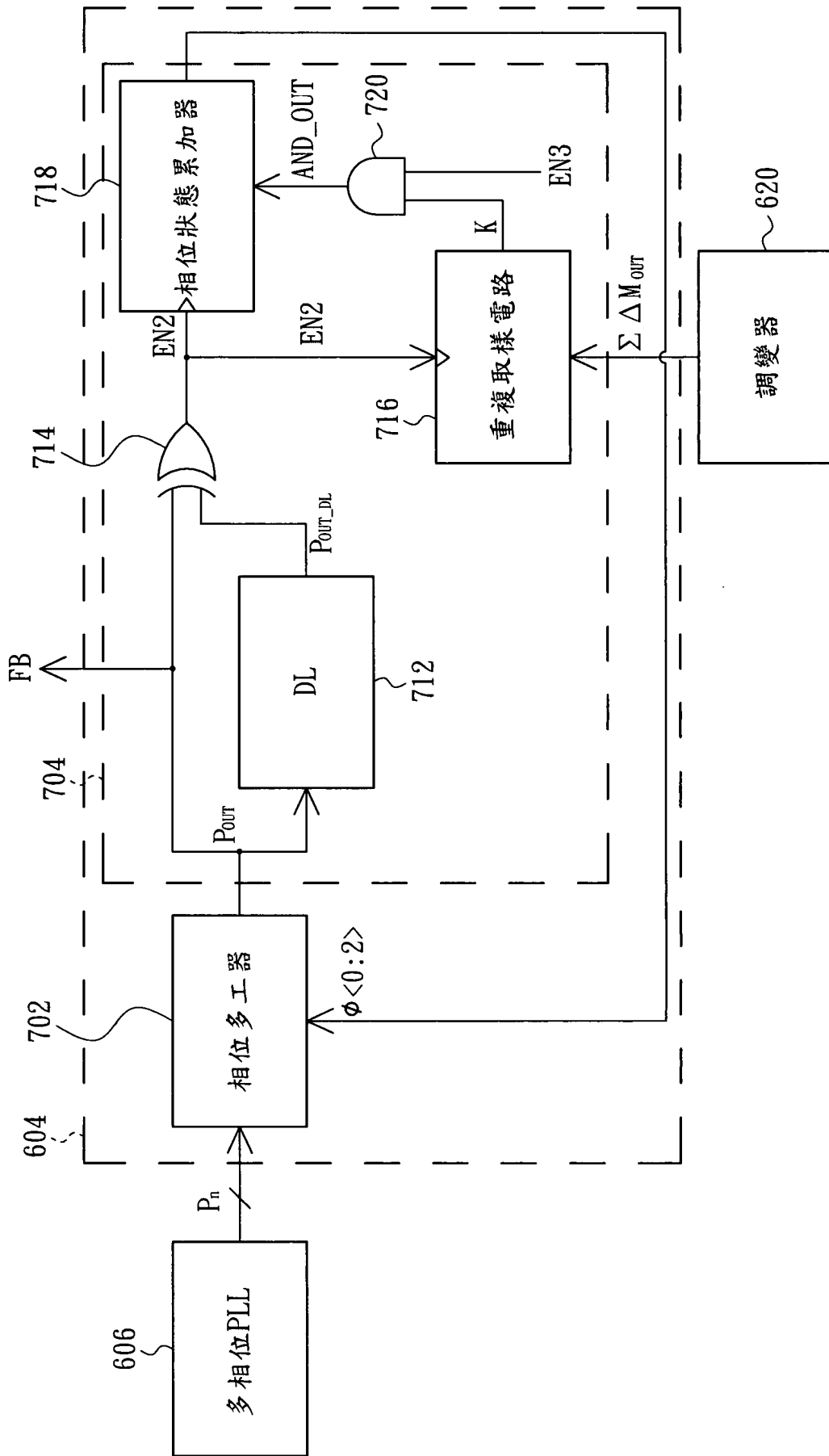


圖7

718

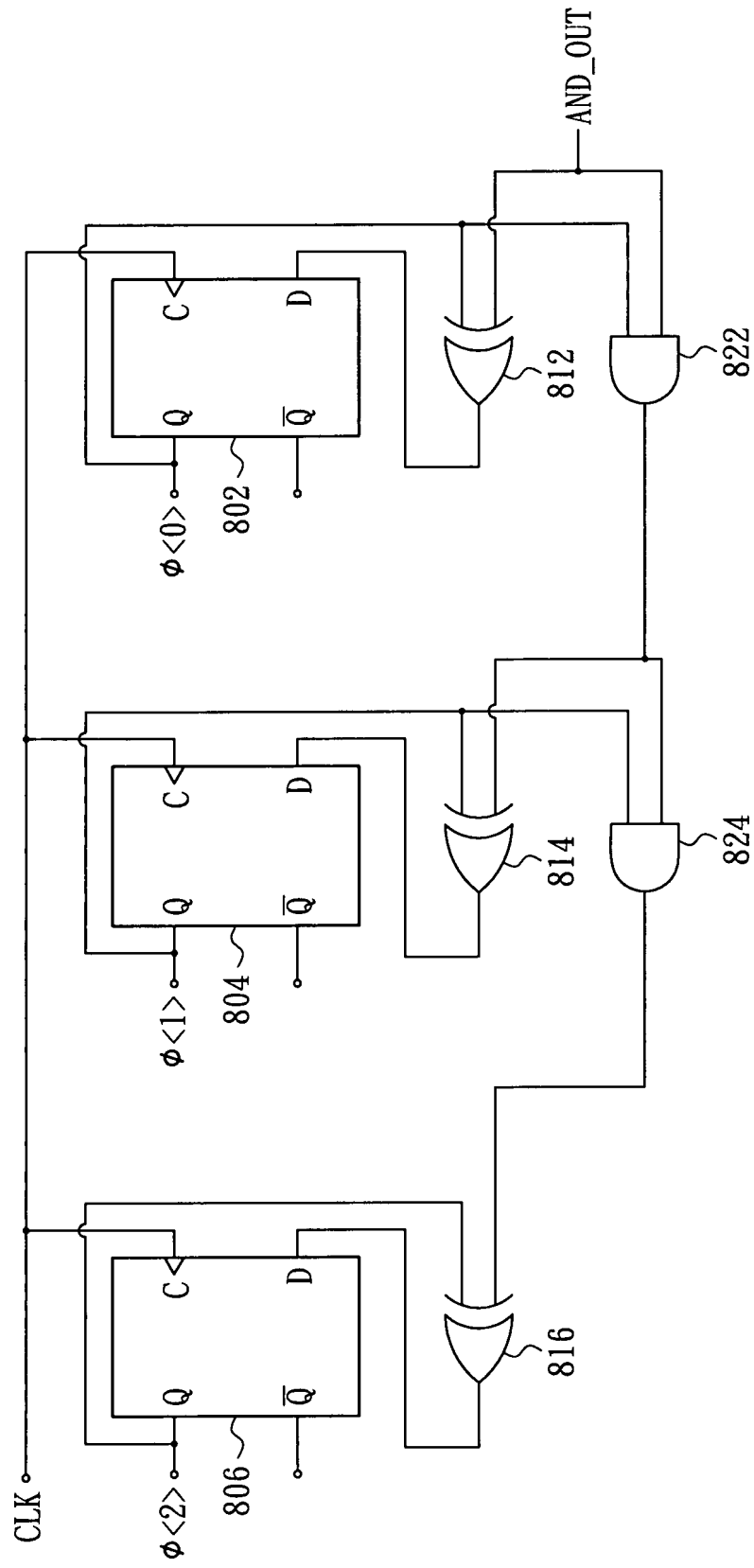


圖8

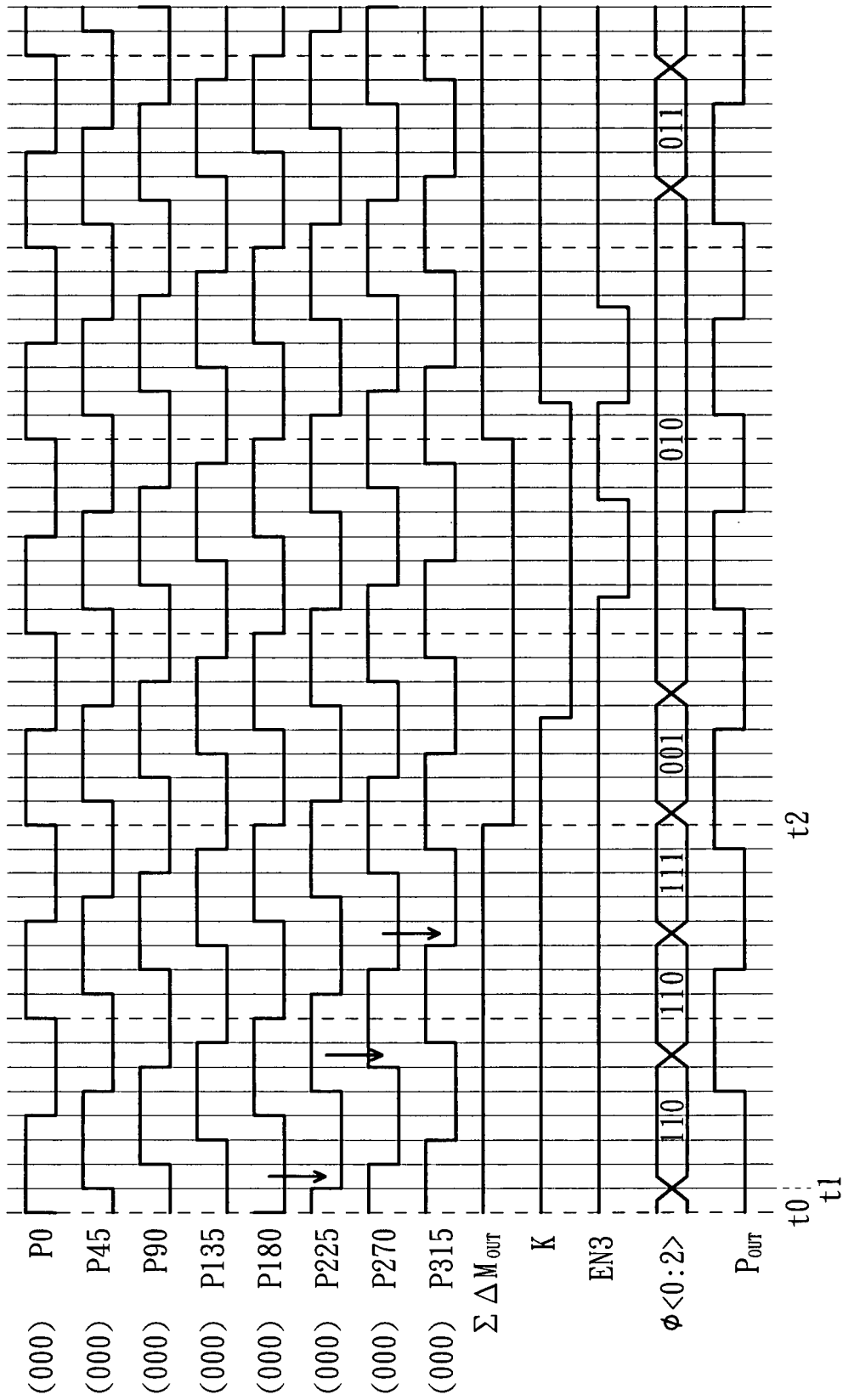


圖9

四、指定代表圖：

(一)本案指定代表圖為：第 (2) 圖。

(二)本代表圖之元件符號簡單說明：

200：接收器

202：輸入級電路

204：濾波電路

206：輸出級電路

208：數位控制振盪器

DATA_OUT：數位輸出資料

FB：迴授訊號

GFSK_IN：GFSK 訊號

I_{OUT}：電流訊號

V_{OUT}：電壓訊號

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無