

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁶
G11C 16/00

(45) 공고일자 1996년01월25일
(11) 공고번호 96-001300

(21) 출원번호	특1991-0017788	(65) 공개번호	특1992-0008768
(22) 출원일자	1991년10월10일	(43) 공개일자	1992년05월28일
(30) 우선권주장	90-274803	1990년10월11일	일본(JP)
(71) 출원인	샤프 가부시끼가이샤 쓰지 하루오 일본국 오사까시 아베노구 나가이쵸 22-22		
(72) 발명자	훗타 야수히로 일본국 나라켄 나라시 미나미교바떼쵸 4-372-3		
(74) 대리인	김영길		

심사관 : 김희태 (책자공보 제4304호)

(54) 반도체기억장치

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

반도체기억장치

[도면의 간단한 설명]

제1도는 본 발명의 제1실시예를 개략적으로 설명하는 회로도.

제2도는 본 발명의 제2실시예를 개략적으로 설명하는 회로도.

제3도는 본 발명의 제3실시예를 개략적으로 설명하는 회로도.

* 도면의 주요부분에 대한 부호의 설명

- | | |
|--------------------|--------------|
| 1 : 메모리셀어레이 | 2 : Y-디코더 |
| 3 : 센스앰프 | 4 : 워드선 구동장치 |
| 5 : 워드라인 테스트 스위치회로 | |

[발명의 상세한 설명]

본 발명은 ROM(Read Only Memory)과 같은 반도체기억장치에 관한 것이다.

일반적으로, 반도체기억장치는 의도된 데이터가 특정한 어드레스 신호의 입력으로 얻게 될 수 있는 가를 체크함으로써 테스트되고, 그것에 의해 적합과 불량을 구별한다.

근년에는, 소형화기술의 향상으로, 메모리셀영역은 더욱 축소되어 왔고, 그리고 또한 처리효과 때문에 메모리어레이내의 인접워드선 또는 비트선사이의 단락에 돌리는 고장율의 증가를 초래하였다.

선행 기술에서는, 그러한 고장의 검증이 모든 어드레스위치를 순차로 판독함으로써 성취되었다.

그러나, 그러한 검증방법은 오래끄는 테스트기간을 요하는 결점이 있고, 그리고 팽창되는 메모리용량을 더욱 증가한다. 선행기술의 상기 다수의 결점과 결함을 능가하는 본 발명의 반도체기억장치는 병렬로 배열되는 복수의 워드선과, 상기 워드선을 각각 구동하는 워드선 구동수단을 포함하고, 테스트신호를 수신하고, 출력신호를 생성하는 워드선 테스트수단을 더 포함하며, 상기 출력신호의 레벨은 상기 테스트신호가 활성화될 때는 제1레벨로 되고, 상기 테스트신호가 비활성일 때는 제2레벨로 되며, 상기 워드선 구동수단의 사전 선택된 것은 미리 선택된 워드선 구동수단이 비활성화될 때, 상

기 출력신호는 상기 미리 선택된 워드선에 인가되는 것같이 상기 테스트수단의 출력에 결속된다.

본 발명의 반도체기억장치에 있어서, 워드선 테스트수단은 테스트신호가 인가될 때 제1레벨신호, 테스트신호가 인가되지 않을 때는 제2레벨 신호를 출력한다.

워드선 구동수단은 메모리셀어레이에서 워드선을 구동하고, 그리고 워드선 테스트수단의 출력에 접속되어, 워드선 1그룹을 구동할때(출수워드선 또는 짝수워드선), 제1레벨신호는 워드선의 1그룹에 인가되고, 워드선의 1그룹을 구동하지 않을때, 제2레벨신호는 워드선의 1그룹에 인가된다.

한편, 워드선의 다른 그룹이 구동할때, 제1레벨신호는 워드선의 다른 그룹에 인가되고, 워드선의 다른 그룹을 구동하지 않을때는, 워드선 테스트수단에서의 출력신호는 워드선의 다른 그룹에 인가되고, 그것에 의해 근접 워드선사이의 단락이 시간이 짧은 기간에 식별되게 한다.

본 발명의 다른 태양에서는, 반도체기억장치는 병렬로 배열되는 복수의 비트선, 그리고 테스트신호를 수신하고, 상기 테스트신호가 활성화될때, 상기 비트선의 출수것에는 제1출력신호 그리고 상기 비트선의 짝수것에는 제2출력신호가 인가하는 비트선 테스트수단을 포함하고, 상기 제1과 제2출력신호는 서로 전압레벨에서는 다르다.

본 발명의 또 다른 태양에서는, 반도체기억장치는 병렬로 배열되는 복수의 워드선과, 병렬로 배열되는 복수의 비트선과, 그리고 상기 워드선을 각각 구동하는 워드선 구동수단을 포함하고, 그리고 또 테스트신호를 수신하고 그리고 출력신호를 생성하는 워드선 테스트수단을 포함하고, 상기 테스트신호가 활성화될때 상기 출력신호의 전압레벨은 제1레벨이고 상기 테스트신호가 활성화 아닐때 상기 출력신호의 전압레벨은 제2레벨이고, 그리고 테스트신호를 수신하고 상기 테스트신호가 활성화될때, 제1출력신호를 상기 비트선의 출수것에 인가하고 제2출력신호를 상기 비트선의 짝수것에 인가하는 비트선 테스트수단을 포함하고, 상기 제1과 제2출력신호는 서로 전압레벨이 다르고, 상기 워드선 구동수단이 사전 선택된 것은 상기 테스트수단의 출력에 결함되고, 그리고 대응 워드선이 구동되지 않을때, 상기 출력신호를 상기 대응워드선에 인가한다.

바람직한 실시예에 있어서, 상기 사전 선택 워드선 구동수단은 출수워드선에 접속된 것이다.

실시예에 있어서, 상기 사전 선택된 워드선 구동수단은 짝수워드선에 접속된 것이다.

실시예에 있어서, 상기 비트선 테스트수단은 상기 테스트신호가 활성화될때 상기 비트선테스트수단을 상기 비트선에 접속하는 스위치수단을 포함한다.

이리하여, 여기에서 언급되는 발명은 인접워드선 그리고/또는 인접비트선사이의 단락에 의한 고장은 시간의 짧은 기간에 식별될 수 있는 반도체기억장치를 제공하는 목적을 가능하게 한다.

[실시예]

제1도는 본 발명의 1실시예를 표시한다.

이 실시예는 메모리셀어레이(1), Y-디코더(2), 센스앰프(3), 워드선 구동장치 (4), 및 워드라인 테스트 스위치회로(5)를 포함하는 ROM이다. 메모리셀어레이(1)는 매트릭스형상으로 배열되는 많은 수의 메모리셀(표시되지 않음)을 가진다.

각 메모리셀은 그 메모리셀이 접속되는 워드선이 워드선 구동장치(4)에 의해 구동될 때 선택된다. 그 선택된 메모리셀에 기억되는 데이터는 메모리셀에 접속되는 비트선(제1도에 표시되지 않음)에 출력되고, 그리고 Y-디코더(2)를 통하여 센스앰프(3)에 전송된다. 워드선 구동장치(4)는 각각 워드선 WL_0, WL_1, WL_2, \dots 을 구동하는 구동회로 $C_0, C_1, C_2 \dots$ 로 구성한다.

각 구동회로는 PMOS 트랜지스터 Q_1 과 NMOS 트랜지스터 Q_2 를 가진다. PMOS 트랜지스터 Q_1 의 소스와 드레인인 NMOS 트랜지스터 Q_2 의 드레인과 V_{cc} 레벨에 각각 접속된다. 제어신호 IN_0, IN_1, IN_2, \dots 의 각 하나(1)는 트랜지스터 Q_1 과 Q_2 의 게이트에 인가된다. 짝수구동회로 $C_0, C_2 \dots$ 에 있어서, NMOS 트랜지스터 Q_2 의 소스는 접지에 접속된다.

대비로, 출수구동회로 $C_0, C_2 \dots$ 에 있어, NMOS 트랜지스터의 소스는 워드선 테스트 스위치회로(5)의 출력에 접속된다. 제어신호 IN_0, IN_1, IN_2, \dots 는 전도의 NMOS 트랜지스터의 Q_2 를 유지하여 V_{cc} 레벨에 일반적으로 세트되고, 그러므로 접지레벨 또는 워드선 테스트 스위치회로(5)에 출력신호와 같은 레벨에서 각 워드선을 유지한다.

일정한 메모리셀을 선택하기 위해, 메모리셀에 접속되는 워드선을 구동하는 구동회로에 인가되는 제어신호는 낮게 세트되어, 회로를 구동하는 PMOS 트랜지스터 Q_1 을 도전되게 하고 그것에 의해 워드선을 V_{cc} 레벨에 세팅한다. 워드선 테스트 스위치회로(5)는 NMOS 트랜지스터 Q_3 과 Q_{34} 및 인버터(6)를 포함한다.

트랜지스터 Q_3 의 소스는 접지에 접속되고, 그리고 NMOS 트랜지스터 Q_3 의 소스는 NMOS 트랜지스터 Q_4 의 드레인에 접속된다.

테스트신호 \overline{TEST} 는 NMOS 트랜지스터 Q_3 의 드레인에 인가된다. 역테스트 신호 TEST는 NMOS 트랜지스터 Q_{31} 의 게이트와 인버터(6)을 경유 NMOS 트랜지스터 Q_4 의 게이트에 집적 인가된다. 테스트모드에 있어, 테스트신호 \overline{TEST} 와 역테스트신호 TEST는 V_{cc} 와 접지레벨에 각각 세트된다.

그래서, V_{cc} 레벨에서 NMOS 트랜지스터 Q_3 의 한계치 V_{th} 를 강하여 제공되는 high레벨신호는 테스트모드의 회로에서 출력되고, 한편 비테스트모드에서는 접지레벨의 신호는 출력한다. 워드선단락에서 초

래하는 고장을 위해 구성된 반도체기억을 테스트할때, Vcc레벨에서 워드선 구동회로 C₀, C₁, C₂ ..에 인가되는 모든 IN₀, IN₁, IN₂, ...를 유지하는 동안 테스트신호 TEST는 Vcc레벨에 세트된다.

이것이 구동회로 C₀, C₁, C₂ ..의 NMOS 트랜지스터 Q₂와 테스트 스위치회로 (5)는 NMOS 트랜지스터 Q₂의 도전되게 한다.

결과로서, 짝수워드선 WL₀, WL₂, ...은 접지레벨에 세트되고, 한편, 홀수워드선 WL₁, WL₃ ...은 테스트 스위치회로(5)의 출력신호가 high로 세트되므로 high로 구동된다.

짝수워드선과 홀수워드선에 인가되는 전위사이의 제공된 차 때문에, 전류 Itw는 인접워드선사이에 어떤 단락이 있으면 테스트 스위치회로(5)의 출력을 통하여 흐른다.

그러므로, 이 전류를 측정하므로, 워드선단락으로 초래하는 고장을 짧은 시간에 체크하는 것이 가능하다.

제2도는 본 발명의 제2실시예를 표시한다.

제2도의 실시예는 제1도의 상기 실시예에 있어서와 같이, 메모리셀어레이(1), Y-디코더(2), 그리고 센스앰프를 포함한다. 간략화를 위해, 워드선과 워드선 구동장치는 제2도에 표시되지 않는다.

이 실시예는 NMOS 트랜지스터 Q_i (i=0, ..., n) 를 포함하는 비트선 테스트 스위치회로(7)를 더 가진다. NMOS 트랜지스터 Q_i의 소스는 각 비트선 BL_i의 단부에 접속된다. 테스트신호 TEST는 NMOS 트랜지스터 Q_i의 게이트에 결합되고, 신호 TEST₁은 짝수비트선에 접속되는 트랜지스터의 드레인에 결합되고, 그리고 신호 TEST₂은 홀수비트선에 접속되는 트랜지스터의 드레인에 결합된다.

테스트모드에 있어, 모든 워드선은 비선택상태로 위치되고, 테스트 신호TEST는 Vcc레벨에 세트되어, 모든 NMOS 트랜지스터 Q_i을 도전되게 한다.

이러한 상태하에서, 신호 TEST₁은 high레벨에 세트되고 그리고 신호 TEST₂는 접지레벨에 세트되어, 이것에 의해 짝수비트선은 high레벨에 그리고 홀수비트선은 접지레벨에 세트한다. 그래서, 신호 TEST의 신호선을 통하여 흐르는 전류 Itb를 측정함으로써, 짧은 시간에 인접비트선사이의 단락을 체크하는 것이 가능하다.

제3도는 본 발명의 제3실시예를 표시한다.

이 실시예는 제1도의 ROM과 같은 구성을 가지는 ROM이고 제2도에 표시된 비트선 테스트 스위치회로를 가진다.

제2도에 표시된 비트선 테스트 스위치회로를 가진다.

상기 설명에서 명백한 것과 같이, 이 실시예의 구성은 인접워드선 뿐만 아니라 인접비트선 사이에서도 단락을 테스트하게 된다.

더욱, 이러한 2개의 테스트모드를 결합함으로써, 비트선과 메모리셀 트랜지스터의 접촉에서의 결합과, 메모리셀 트랜지스터의 게이트 산화막등을 체크하는 것도 역시 가능하다.

각종 다른 변형은 본 발명의 범위와 정신에서 이탈함이 없이, 이 기술에 익숙한 사람에게는 명백하고 그리고 즉시 만들어 질수가 있다.

따라서, 여기에 첨부된 청구범위는 여기에 설명된 설명에 한정되는 것은 의도되지 않고, 오히려 청구범위는 이 발명이 속하는 이 기술에 익숙한 사람들에게 의해 동등한 것으로 취급되는 모든 특징을 포함하여, 본 발명에 존재하는 특허 가능신규성의 모든 특징을 망라한다고 해석된다.

(57) 청구의 범위

청구항 1

병렬로 배열되는 복수의 워드선과 상기 워드선을 각각 구동하기 위한 워드선 구동수단을 포함하는 반도체기억장치에 있어서, 테스트신호를 입력하고, 그리고 전압레벨의 상기 테스트신호가 활성화될 때 제1레벨이 되고, 또한 상기 테스트신호가 비활성화될때 제2레벨로 되는 출력신호를 생성하는 워드선 테스트수단을 부가하되, 상기 워드선 구동수단중 사전 선택된 것은, 사전 선택된 워드선 구동수단이 비활성화될 때, 상기 출력신호가 상기 사전 선택된 워드선에 인가되도록, 상기 테스트수단의 출력에 접속되는 것을 특징으로 하는 반도체기억장치.

청구항 2

제1항에 있어서, 상기 사전 선택 워드선 구동수단은 홀수워드선에 접속된 것인 반도체기억장치.

청구항 3

제1항에 있어서, 상기 사전 선택 워드선 구동수단은 짝수워드선에 접속된 것인 반도체기억장치.

청구항 4

병렬로 배열되는 복수의 워드선과, 병렬로 배열되는 복수의 비트선과 및 상기 워드선을 각각 구동하는 워드선 구동수단을 포함하는 반도체기억장치에 있어서, 테스트신호를 입력하고, 그리고 전압레벨이 상기 테스트신호가 활성화될 때 제1레벨이 되며, 또한 상기 테스트신호가 비활성화될때 제2전원레벨이 상기 테스트신호가 활성화될 때 제1레벨로 되며 또한 상기 테스트신호가 비활성화될 때 제2

레벨로 되어 있고, 상기 제1및 제2레벨을 서로 다른 출력신호를 워드선 테스트수단과 ; 테스트신호를 입력하고, 그리고 상기 테스트신호가 활성화될 때 제3출력신호를 상기 비트선의 홀수번째선에 또한 제4출력신호를 상기 비트선의 짝수번째에 인가하되, 상기 제3및 제4출력신호는 서로 전압레벨이 다른, 비트선 테스트수단을 부가하고, 상기 워드선 구동수단중 미리 선택된 것은, 사전 선택된 워드선 구동수단이 비활성화될때, 상기 출력신호가 상기 사전 선택된 워드선에 인가되도록 상기 워드선 테스트수단의 출력에 접속되는 것을 특징으로 하는 반도체기억장치.

청구항 5

제4항에 있어서, 상기 사전 선택 워드선 구동수단은 홀수워드선에 접속된 것인 반도체기억장치.

청구항 6

제4항에 있어서, 상기 사전 선택 워드선 구동수단은 짝수워드선에 접속된 것인 반도체기억장치.

청구항 7

제4항에 있어서, 상기 비트선 테스트수단은 상기 비트선 테스트수단을 상기 비트선의 모두에 접속하는 스위치수단을 포함하는 반도체기억장치.

청구항 8

제1항에 있어서, 상기 워드선 테스트수단은 인접 워드선을 가로질러 전압을 인가하고 그리고 상기 테스트수단을 통해서 흐르는 전류를 검출함에 의해 인접 워드선 사이의 단락회로를 검출하는 것을 특징으로 하는 반도체기억장치.

청구항 9

병렬로 배열된 복수의 비트선을 구비하는 반도체기억장치에 있어서, 상기 반도체기억장치는 테스트신호를 수신하고, 상기 테스트신호가 활성화될 때 상기 비트선의 홀수선에 제1출력신호를 상기 비트선의 짝수선에 제2출력신호를 인가하는 비트테스트수단을 추가로 구비하고, 제1 및 제2출력신호는 서로 전압 레벨이 다르고, 상기 비트선 테스트수단은 인접 비트선에 전압을 인가하고 상기 테스트수단을 통해 흐르는 전류를 검출하므로서 인접 비트선 사이 단락회로를 검출하는 것을 특징으로 하는 반도체기억장치.

도면

도면1



