



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0098481
(43) 공개일자 2008년11월10일

(51) Int. Cl.

H01L 21/76 (2006.01) H01L 21/762 (2006.01)

(21) 출원번호 10-2008-7014965

(22) 출원일자 2008년06월20일

심사청구일자 없음

번역문제출일자 2008년06월20일

(86) 국제출원번호 PCT/US2006/046579

국제출원일자 2006년12월07일

(87) 국제공개번호 WO 2007/070311

국제공개일자 2007년06월21일

(30) 우선권주장

11/298,075 2005년12월09일 미국(US)

(71) 출원인

어드밴스드 아날로직 테크놀로지스 인코퍼레이티드

미국 캘리포니아주(우편번호 95054) 산타클라라
스코트 블러바드 3230

(72) 발명자

윌리암스 리차드 케이

미국 캘리포니아 쿠퍼티노 노르위치 애비뉴 10292

(74) 대리인

김명신, 박장규, 김민철

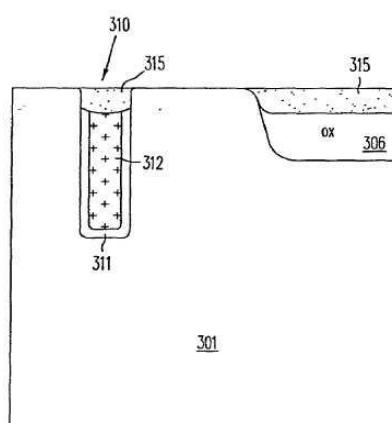
전체 청구항 수 : 총 46 항

(54) 반도체 집적회로 기판용 분리 구조체와 형성 방법

(57) 요 약

본 발명에 의한 반도체 기판의 분리 영역은 유전체로 충전된 트렌치와 필드 산화물 영역을 포함한다. 보호캡의 유전체 물질은 트렌치의 주요부의 유전체 물질과 상이하고 필드 산화물 영역은 후속 프로세스 단계 동안 침식으로부터 구조체를 보호하도록 사용된다. 필드 도핑 영역은 필드 산화물 영역 아래에 형성된다. 상이한 소자의 조건을 충족시키도록, 분리 구조체는 여러 폭과 깊이를 가지는 것을 특징으로 한다.

대 표 도 - 도8J



특허청구의 범위

청구항 1

반도체 기판에 분리 구조체를 형성하는 방법에 있어서:

상기 반도체 기판에 트렌치를 형성하는 단계;

상기 트렌치에 제 1 유전체 물질을 피착하는 단계;

상기 제 1 유전체 물질의 표면이 상기 기판 표면의 제 2 레벨 아래의 제 1 레벨에 위치하도록 상기 제 1 유전체 물질의 일부를 제거하여, 리세스를 형성하는 단계;

상기 리세스 내에 제 2 유전체 물질을 피착하는 단계; 및

상기 제 2 유전체 물질의 표면이 상기 기판의 표면과 실질적으로 동일 평면이 되도록 상기 제 2 유전체 물질의 일부를 제거하여 상기 트렌치에 보호캡을 형성하는 단계;를 포함하는 것을 특징으로 하는 반도체 기판에 분리 구조체를 형성하는 방법.

청구항 2

제 1 항에 있어서,

상기 제 2 유전체 물질은 상기 제 1 유전체 물질과 비교하여 일반 반도체 에칭 프로세스로 제거하는 데 비교적 더 저항력이 있는 것을 특징으로 하는 반도체 기판에 분리 구조체를 형성하는 방법.

청구항 3

제 2 항에 있어서,

상기 제 2 유전체 물질은 질화 실리콘 및 폴리이미드로 구성되는 그룹에서 선택된 하나 이상의 물질을 포함하는 것을 특징으로 하는 반도체 기판에 분리 구조체를 형성하는 방법.

청구항 4

제 2 항에 있어서,

상기 제 1 유전체 물질은 도핑된 및 도핑되지 않은 실리콘 산화물 및 실리케이트 유리로 구성된 그룹에서 선택된 하나 이상의 물질을 포함하는 것을 특징으로 하는 반도체 기판에 분리 구조체를 형성하는 방법.

청구항 5

제 4 항에 있어서,

상기 제 1 유전체 물질은 보로포스포실리케이트(borophosphosilicate) 유리를 포함하는 것을 특징으로 하는 반도체 기판에 분리 구조체를 형성하는 방법.

청구항 6

제 1 항에 있어서,

상기 제 2 유전체 물질의 일부를 제거하는 단계는 CMP를 포함하는 것을 특징으로 하는 반도체 기판에 분리 구조체를 형성하는 방법.

청구항 7

제 1 항에 있어서,

상기 제 2 유전체 물질을 제거하는 단계는 에칭을 포함하는 것을 특징으로 하는 반도체 기판에 분리 구조체를 형성하는 방법.

청구항 8

제 1 항에 있어서,

상기 제 1 유전체 물질의 일부를 제거하는 단계 다음에, 및 제 2 유전체 물질을 피착하는 단계 전에 상기 트렌치의 벽에 산화물 레이어를 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 기판에 분리 구조체를 형성하는 방법.

청구항 9

제 1 항에 있어서,

상기 트렌치에 제 1 유전체 물질을 피착하는 단계 전에 상기 트렌치의 벽에 산화물 레이어를 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 기판에 분리 구조체를 형성하는 방법.

청구항 10

제 9 항에 있어서,

상기 제 1 유전체 물질은 도핑된 것을 특징으로 하는 반도체 기판에 분리 구조체를 형성하는 방법.

청구항 11

제 1 항에 있어서,

상기 트렌치의 바닥에서 상기 보호캡의 바닥까지의 거리는 상기 보호캡의 두께보다 실질적으로 큰 것을 특징으로 하는 반도체 기판에 분리 구조체를 형성하는 방법.

청구항 12

제 1 항에 있어서,

상기 반도체 기판의 표면에 필드 산화물 영역을 열적으로 형성하는 단계; 및

상기 필드 산화물 영역이 상기 기판의 상기 표면과 실질적으로 동일 평면이 되도록 상기 필드 산화물 영역의 일부를 제거하는 단계;를 추가로 포함하고,

상기 필드 산화물 영역은 상기 기판의 상기 표면 상 및 하 양쪽으로 확장하는 것을 특징으로 하는 반도체 기판에 분리 구조체를 형성하는 방법.

청구항 13

제 12 항에 있어서,

상기 필드 산화물 영역의 일부를 제거하는 단계는 CMP를 포함하는 것을 특징으로 하는 반도체 기판에 분리 구조체를 형성하는 방법.

청구항 14

제 13 항에 있어서,

상기 제 2 유전체 물질을 제거하는 단계와 상기 필드 산화물 영역의 일부를 제거하는 단계는 단일 CMP의 코스에서 수행되는 것을 특징으로 하는 반도체 기판에 분리 구조체를 형성하는 방법.

청구항 15

제 12 항에 있어서,

상기 필드 산화물 영역의 상기 표면이 상기 제 2 레벨 아래의 제 3 레벨에 위치하도록 상기 필드 산화물 영역의 일부를 제거하여, 상기 필드 산화물 영역의 남은 부분 위로 제 2 리세스를 형성하는 단계;

상기 제 2 리세스에 상기 제 2 유전체 물질을 피착하는 단계; 및

상기 제 2 리세스 내의 상기 제 2 유전체 물질의 표면이 상기 기판의 상기 표면과 실질적으로 동일 평면이 되도록 상기 제 2 유전체 물질의 일부를 제거하여, 상기 필드 산화물 영역의 남은 부분 위에 제 2 보호캡을 형성하

는 단계;를 추가로 포함하는 것을 특징으로 하는 반도체 기판에 분리 구조체를 형성하는 방법.

청구항 16

반도체 기판에 분리 구조체를 형성하는 방법에 있어서,

상기 기판에 제 1 마스크 레이어를 피착하는 단계;

상기 제 1 마스크 레이어에 제 2 마스크 레이어를 피착하는 단계;

제 1 폭을 가지는 제 1 개구를 형성하도록 상기 제 2 마스크 레이어를 패터닝하는 단계;

상기 제 1 폭과 실질적으로 동일한 폭을 가지는 제 2 개구를 형성하도록 상기 제 1 개구를 통해 상기 제 1 마스크 레이어를 에칭하는 단계;

상기 제 1 폭과 실질적으로 동일한 폭을 가지는 제 1 트렌치를 형성하도록 상기 제 2 개구를 통해 상기 기판을 에칭하는 단계;

상기 제 2 마스크 레이어를 제거하는 단계;

상기 제 1 마스크 레이어의 남은 부분 위에 제 3 마스크 레이어를 피착하는 단계;

상기 제 1 폭과 동일하지 않은 제 2 폭을 가지는 제 3 개구를 형성하도록 상기 제 3 마스크 레이어를 패터닝하는 단계;

상기 제 2 폭과 실질적으로 동일한 폭을 가지는 제 4 개구를 형성하도록 상기 제 3 개구를 통해 상기 제 1 마스크 레이어를 에칭하는 단계;

상기 제 2 폭과 실질적으로 동일한 폭을 가지는 제 2 트렌치를 형성하도록 상기 제 4 개구를 통해 상기 기판을 에칭하는 단계;

상기 제 1 및 제 2 트렌치를 충전하도록 제 1 유전체 물질의 레이어를 피착하는 단계; 및

상기 제 1 및 제 2 트렌치 각각의 상기 제 1 유전체 물질의 표면이 상기 기판의 표면과 실질적으로 동일한 평면보다 높지 않은 제 1 레벨에 위치하도록 상기 제 1 유전체 물질의 일부를 제거하는 단계;를 포함하는 것을 특징으로 하는 반도체 기판에 분리 구조체를 형성하는 방법.

청구항 17

제 16 항에 있어서,

상기 제 1 레벨은 상기 기판의 평면과 실질적으로 동일한 평면인 것을 특징으로 하는 반도체 기판에 분리 구조체를 형성하는 방법.

청구항 18

제 16 항에 있어서,

상기 제 1 유전체 물질의 일부를 제거하는 단계는 상기 제 1 및 제 2 트렌치 각각의 상기 제 1 유전체 물질의 표면이 상기 기판의 상기 표면으로 한정된 평면 아래에 위치되도록 상기 제 1 유전체 물질의 일부를 제거하여, 상기 제 1 트렌치에 제 1 리세스를 형성하고 상기 제 2 트렌치에 제 2 리세스를 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 기판에 분리 구조체를 형성하는 방법.

청구항 19

제 18 항에 있어서,

상기 제 1 및 제 2 리세스에 제 2 유전체 물질을 피착하는 단계; 및

상기 제 1 및 제 2 트렌치 내의 상기 제 2 유전체 물질의 표면이 상기 기판의 상기 표면과 실질적으로 동일 평면이 되도록 상기 제 2 유전체 물질의 일부를 제거하여, 상기 제 1 트렌치 내에 제 1 보호캡을 형성하고 상기 제 2 트렌치 내에 제 2 보호캡을 형성하는 단계;를 포함하는 것을 특징으로 하는 반도체 기판에 분리 구조체를 형성하는 방법.

청구항 20

제 19 항에 있어서,

상기 제 2 유전체 물질은 상기 제 1 유전체 물질과 비교하여 정상 반도체 프로세스로 제거하는 데 비교적 더 저 항력이 있는 것을 특징으로 하는 반도체 기판에 분리 구조체를 형성하는 방법.

청구항 21

제 20 항에 있어서,

제 2 유전체 물질은 질화 실리콘 및 폴리아미드를 포함하는 그룹에서 선택된 하나 이상의 물질을 포함하는 것을 특징으로 하는 반도체 기판에 분리 구조체를 형성하는 방법.

청구항 22

제 20 항에 있어서,

상기 제 1 유전체 물질은 도핑된 및 도핑되지 않은 실리콘 산화물 및 실리케이트 유리를 포함하는 그룹에서 선택된 하나 이상의 물질을 포함하는 것을 특징으로 하는 반도체 기판에 분리 구조체를 형성하는 방법.

청구항 23

제 22 항에 있어서,

상기 제 1 유전체 물질은 보로포스포실리케이트 유리를 포함하는 것을 특징으로 하는 반도체 기판에 분리 구조체를 형성하는 방법.

청구항 24

반도체 기판에 분리 구조체를 형성하는 방법에 있어서,

상기 기판 상에 제 1 마스크 레이어를 피착하는 단계;

상기 제 1 마스크 레이어 상에 제 2 마스크 레이어를 피착하는 단계;

상기 제 2 마스크 레이어 안에 제 1 개구를 형성하도록 상기 제 2 마스크 레이어를 패터닝하는 단계;

상기 제 1 마스크 레이어 안에 제 2 개구를 형성하도록 상기 제 1 개구를 통해 상기 제 1 마스크 레이어를 에칭하는 단계;

상기 제 2 개구 아래에 제 1 전도 타입의 제 1 영역을 형성하도록 상기 제 2 개구를 통해 상기 제 1 전도 타입의 제 1 도편트를 주입하는 단계;

상기 제 2 마스크 레이어를 제거하는 단계;

상기 제 1 마스크 레이어의 상기 제 2 개구 내의 제 1 필드 산화물 영역을 생성하도록 상기 기판을 가열하는 단계;

상기 기판에 트렌치를 형성하는 단계;

상기 트렌치 내에 제 1 유전체 물질을 피착하는 단계;

상기 제 1 유전체 물질의 표면이 상기 기판의 표면의 제 2 레벨보다 낮은 제 1 레벨에 위치되도록 상기 제 1 유전체 물질의 일부를 제거하여, 상기 제 1 유전체 물질의 남은 부분 위에 제 1 리세스를 형성하는 단계;

상기 제 1 필드 산화물 영역의 표면이 상기 제 2 레벨 아래의 제 3 레벨에 위치하도록 상기 제 1 필드 산화물 영역의 일부를 제거하여, 상기 제 1 필드 산화물 영역의 남은 부분 위에 제 2 리세스를 형성하는 단계;

상기 리세스 내에 제 2 유전체 물질을 피착하는 단계; 및

상기 리세스 내의 상기 제 2 유전체 물질의 표면이 상기 기판의 표면과 실질적으로 동일 평면이 되도록 상기 제 2 유전체 물질의 부분을 제거하는 단계;를 포함하는 것을 특징으로 하는 반도체 기판에 분리 구조체를 형성하는 방법.

청구항 25

제 24 항에 있어서,

상기 제 2 유전체 물질은 상기 제 1 유전체 물질과 비교하여 일반 반도체 에칭 프로세스로 제거하는 데 비교적 더 저항력이 있는 것을 특징으로 하는 반도체 기판에 분리 구조체를 형성하는 방법.

청구항 26

제 25 항에 있어서,

상기 제 2 유전체 물질은 질화 실리콘 및 폴리아미드를 포함하는 그룹에서 선택된 하나 이상의 물질을 포함하는 것을 특징으로 하는 반도체 기판에 분리 구조체를 형성하는 방법.

청구항 27

제 26 항에 있어서,

상기 제 1 유전체 물질은 도핑된 및 도핑되지 않은 실리콘 산화물 및 실리케이트 유리를 포함하는 그룹에서 선택된 하나 이상의 물질을 포함하는 것을 특징으로 하는 반도체 기판에 분리 구조체를 형성하는 방법.

청구항 28

제 27 항에 있어서,

상기 제 1 유전체 물질은 보로포스포실리케이트 유리를 포함하는 것을 특징으로 하는 반도체 기판에 분리 구조체를 형성하는 방법.

청구항 29

제 1 항에 있어서,

상기 제 2 유전체 물질을 제거하는 단계는 CMP를 포함하는 것을 특징으로 하는 반도체 기판에 분리 구조체를 형성하는 방법.

청구항 30

제 1 항에 있어서,

상기 제 2 유전체 물질을 제거하는 단계는 에칭을 포함하는 것을 특징으로 하는 반도체 기판에 분리 구조체를 형성하는 방법.

청구항 31

반도체 기판의 트렌치에 형성된 분리 구조체에 있어서:

상기 트렌치의 하부에 배치된 제 1 유전체 물질; 및

상기 트렌치의 상부에 배치된 제 2 유전체 물질;을 포함하고,

상기 하부는 상기 상부보다 더 크고, 상기 제 2 유전체 물질의 표면은 상기 기판의 표면과 실질적으로 동일한 표면인 것을 특징으로 하는 반도체 기판의 트렌치에 형성된 분리 구조체.

청구항 32

제 31 항에 있어서,

상기 제 2 유전체 레이어는 상기 제 1 유전체 물질과 비교하여 일반 반도체 에칭 프로세스로 제거하는 데 비교적 더 저항력을 가지고 있는 것을 특징으로 하는 반도체 기판의 트렌치에 형성된 분리 구조체.

청구항 33

제 31 항에 있어서,

상기 제 2 유전체 물질은 질화 실리콘와 폴리이미드를 포함하는 그룹에서 선택된 하나 이상의 물질을 포함하는 것을 특징으로 하는 반도체 기판의 트렌치에 형성된 분리 구조체.

청구항 34

제 31 항에 있어서,

상기 제 1 유전체 물질은 도핑된 및 도핑되지 않은 실리콘 산화물 및 실리케이트 유리를 포함하는 그룹에서 선택된 하나 이상의 물질을 포함하는 것을 특징으로 하는 반도체 기판의 트렌치에 형성된 분리 구조체.

청구항 35

제 34 항에 있어서,

상기 제 1 유전체 물질은 보로포스포실리케이트 유리를 포함하는 것을 특징으로 하는 반도체 기판의 트렌치에 형성된 분리 구조체.

청구항 36

제 31 항에 있어서,

상기 트렌치의 측벽을 따라 제 1 산화물 레이어를 포함하고,

상기 제 1 산화물 레이어는 상기 기판에서 상기 제 1 유전체 레이어를 분리하는 것을 특징으로 하는 반도체 기판의 트렌치에 형성된 분리 구조체.

청구항 37

제 36 항에 있어서,

상기 트렌치의 측벽을 따라 제 2 산화물 레이어를 포함하고,

상기 제 2 산화물 레이어는 상기 기판에서 상기 제 2 유전체 레이어를 분리하는 것을 특징으로 하는 반도체 기판의 트렌치에 형성된 분리 구조체

청구항 38

반도체 기판에 있어서,

상기 반도체 기판 내에 형성된 제 1 트렌치를 포함하고, 상기 제 1 트렌치는 제 1 유전체 물질로 충전되며, 상기 제 1 유전체 물질의 표면은 상기 기판의 표면과 실질적으로 동일한 평면인 제 1 분리 구조체; 및

상기 반도체 기판에 형성된 제 2 트렌치를 포함하고, 상기 제 2 트렌치는 제 2 유전체 물질로 충전되며, 상기 제 2 유전체 물질의 표면은 상기 기판의 표면과 실질적으로 동일한 평면인 제 2 분리 구조체를 포함하고,

상기 제 1 트렌치는 상기 제 2 트렌치보다 깊고 상기 제 2 트렌치는 상기 제 1 트렌치보다 넓은 것을 특징으로 하는 반도체 기판.

청구항 39

제 38 항에 있어서,

산화물 레이어가 상기 제 1 및 제 2 트렌치 각각의 벽에 형성되는 것을 특징으로 하는 반도체 기판.

청구항 40

제 38 항에 있어서,

상기 제 1 유전체 물질은 제 3 유전체 물질의 제 1 레이어 및 제 4 유전체 물질의 제 2 레이어를 포함하고,

상기 제 2 레이어는 상기 제 1 트렌치 내의 상기 제 1 레이어 위에 배치되고,

상기 제 2 레이어의 표면은 상기 기판의 상기 표면과 실질적으로 동일 평면인 것을 특징으로 하고;

상기 제 2 유전체 물질은 상기 제 3 유전체 물질의 제 3 레이어와 상기 제 4 유전체 물질의 제 4 레이어를 포함

하고,

상기 제 4 레이어는 상기 제 2 트렌치 내의 상기 제 3 레이어 위에 배치되고,

상기 제 4 레이어의 표면은 상기 기판의 상기 표면과 실질적으로 동일 평면인 것을 특징으로 하는 반도체 기판.

청구항 41

제 40 항에 있어서,

상기 제 4 유전체 물질은 상기 제 3 유전체 물질과 비교하여 일반 반도체 에칭 프로세스로 제거하는 데 비교적 더 저항력이 있는 것을 특징으로 하는 반도체 기판.

청구항 42

제 41 항에 있어서,

제 1 산화물 레이어가 상기 제 1 트렌치의 벽을 라이닝(lining)하고,

상기 제 1 산화물 레이어는 상기 반도체 기판에서 상기 제 1 레이어를 분리하는 것을 특징으로 하는 반도체 기판.

청구항 43

제 41 항에 있어서,

제 2 산화물 레이어는 상기 제 2 트렌치의 벽을 라이닝하고,

상기 제 2 산화물 레이어는 상기 반도체 기판에서 상기 제 3 레이어를 분리하는 것을 특징으로 한다.

청구항 44

반도체 기판에 있어서,

상기 반도체 기판에 형성된 트렌치를 포함하고, 상기 트렌치는 제 1 유전체 물질로 충전되고, 상기 제 1 유전체 물질의 표면은 상기 기판의 표면과 실질적으로 동일한 평면인 제 1 분리 구조체; 및

필드 산화물 영역을 포함하고, 상기 필드 산화물 영역은 상기 기판의 상기 표면과 실질적으로 동일 평면인 제 2 분리 구조체;를 포함하고,

상기 트렌치는 상기 필드 산화물 영역보다 넓고 상기 필드 산화물 영역은 상기 트렌치보다 넓은 것을 특징으로 하는 반도체 기판.

청구항 45

반도체 기판에 있어서,

트렌치를 포함하고, 상기 트렌치는 제 1 유전체 물질의 제 1 레이어와 제 2 유전체 물질의 제 2 레이어를 포함하고, 상기 제 2 레이어는 상기 트렌치 내의 상기 제 1 레이어 위에 배치되고, 상기 제 2 레이어의 표면은 상기 기판의 표면과 실질적으로 동일 평면인 제 1 분리 구조체; 및

필드 산화물 영역을 포함하고, 상기 제 1 산화물 영역의 표면은 상기 기판의 표면에 대하여 리세스되고, 제 2 유전체 물질의 제 3 레이어는 상기 필드 산화물 레이어 위에 놓이고, 상기 제 3 레이어의 표면은 상기 기판의 상기 표면과 실질적으로 동일 평면인 제 2 분리 구조체;를 포함하고,

상기 제 2 유전체 물질은 상기 제 1 유전체 물질과 비교하여 일반 반도체 에칭 프로세스로 제거하는데 비교적 더 큰 저항력이 있고,

상기 제 2 유전체 물질은 상기 필드 산화물 영역과 비교하여 일반 반도체 에칭 프로세스로 제거하는데 비교적 더 큰 저항력이 있는 것을 특징으로 하는 반도체 기판.

청구항 46

반도체 기판 내의 트렌치에 형성되는 분리 구조체에 있어서,

제 1 유전체 물질과 제 2 유전체 물질의 혼합을 포함하고,

상기 혼합 내의 상기 제 2 유전체 물질의 비율이 트렌치의 깊이가 감소하는 바에 따라 증가하고,

상기 제 2 유전체 물질은 상기 제 1 유전체 물질과 비교하여 일반 반도체 에칭 프로세스로 제거하는 데 비교적 더 큰 저항력이 있는 것을 특징으로 하는 반도체 기판 내의 트렌치에 형성되는 분리 구조체.

명세서

기술분야

<1>

본 발명은 반도체 칩 제작에 관한 것으로, 특히 반도체 칩에 형성되는 능동 또는 수동 소자를 전기적으로 분리하는 구조체를 제작하는 방법에 관한 것이다.

배경기술

<2>

반도체 IC(Integrated Circuit) 칩의 제작에서, 칩의 표면에 형성되는 소자를 전기적으로 분리하는 것이 빈번하게 필요하다. 이를 위한 다양한 방법이 있다. 한가지 방법은 잘 알려진 LOCOS(Local Oxidation Of Silicon) 프로세스를 이용하는 것으로, 칩의 표면이 질화 실리콘과 같은 비교적 딱딱한 물질로 마스크되고 두꺼운 산화물 레이어가 상기 마스크 내의 개구에 열 성장되는 것을 특징으로 한다. 다른 방법은 실리콘에 트렌치를 에칭하고 그 다음 산화 실리콘과 같은 유전체 물질로 상기 트렌치를 충전하는 것이다.

<3>

이들 분리 구조체(isolation structure)는 도편트(dopant)의 측방 확산에 대해 차단 또는 배리어(barrier)로서 역할을 할 수 있기 때문에 프로세스에서 일찍 형성하는 것이 바람직하고, 그에 의해 칩의 표면 위에 더욱 밀접하게 여러 소자를 패킹하는 것이 가능하게 된다. 간단히 말하면, 유전체가 충전된 트렌치는 전기적인 분리 구조체로서 뿐만 아니라 확산 차단 기능을 할 수 있다.

<4>

프로세스에서 유전체로 충전된 트렌치를 일찍 형성하는 것의 문제점은 에칭과 세정 단계를 빈번하게 포함하는 후속 프로세스 단계에서 트렌치 내의 유전체 물질이 에칭되거나 제거될 수 있다는 것이다. 이는 분리 구조체로서 트렌치의 가치를 손상할 수 있고, 칩의 상면에 추가 프로세싱을 더 어렵게 하는 함몰을 생성할 수 있다.

<5>

이 문제는 도 1A-1C에 도시된다. 도 1A에서, 트렌치(101)가 반도체 기판(100)에 에칭되어 있다. 도 1B에서, 트렌치(101)는 유전체 물질(102)로 충전되고 상면은 분리 구조체를 형성하도록 평탄화된다(예를 들어 CMP(Chemical Mechanical Polishing)에 의해). 도 1C는 추가 프로세싱 후의 분리 구조체를 도시하는 것으로, 구조체의 상면 위에 리세스 또는 캡(103)을 형성하도록 유전체 물질(102)의 일부가 제거되거나 침식된다. 일반 반도체 프로세스에서 에칭을 견디는 유전체 물질(예를 들어, 질화 실리콘)은 단단하고, 부서지기 쉽고, 고-스트레스 물질이 되는 경향이 있다. 이들 물질은 트렌치에 괴착되면 크래킹(cracking) 경향이 있다.

<6>

두번째 문제는 칩이 일반적으로 두 일반 영역: 널따란 또는 폭넓은 "필드"영역과 때로는 "활성" 영역으로 불리는 더 밀도 있게 패킹되는 소자 영역으로 나뉘는 사실에서 기인한다. 타이트한 패킹 밀도를 유지하도록 비교적 좁고 깊은 트렌치를 활성 영역에 형성하고 더 먼 거리로 소자들 사이에 간격을 두기 위하여 비교적 폭넓은 트렌치를 필드 영역에 형성하는 것이 바람직하다. 이것은 트렌치를 충전하는 데 문제를 만든다. 폭넓은 트렌치는 충전이 어려운 반면에 좁은 트렌치는 충전이 용이하다. 한편, 필드 영역 내의 먼 거리를 커버하기 위해 여러 좁은 트렌치를 사용하는 것은 칩의 표면 구조를 복잡하게 할 수 있다.

<7>

따라서, 후속 프로세싱 동안 유전체 충전 물질의 부식을 방지하는 유전체-충전 분리 구조체를 형성하는 유연한 적용 가능 기술을 개발하는 것이 바람직하다. 칩의 필드 및 활성 영역 각각에 비교적 폭넓고 좁은 구조체를 형성하는 것 또한 바람직하다.

발명의 상세한 설명

<8>

본 발명에 따르면, "유전체 충전체"를 반도체 기판 내의 트렌치에 충전하여 분리 구조체가 형성된다. 유전체 충전체는 제 1 유전체 물질과 제 2 유전체 물질을 포함한다. 제 1 유전체 물질은 트렌치의 하부에 배치되고; 제 2 유전체 물질은 트렌치의 상부에 배치되며, 하부는 일반적으로 상부보다 세로의 치수가 더 크다. 제 2 유전체 물질의 표면은 기판의 표면과 실질적으로 동일한 평면이다. 제 1 및 제 2 유전체 물질은 제 2 유전체 물질이 제 1 유전체 물질을 에칭하는 화학 물질로 에칭되지 않는다는 점에서 유사하지 않다. 그러므로, 후속 프로세스에서 제 2 유전체 물질은 제 1 유전체 물질 위에 보호캡을 형성한다. 일반적으로, 제 1 유전체 물질은 비교적 부

드럽고, 낮은 응력의 물질이고, 제 2 유전체 물질은 비교적 단단하고, 예칭 저항이 큰 물질이다. 제 2 유전체 물질 레이어의 이후의 예칭 프로세스 동안 보호를 제공하지만 응력 문제는 만들지 않는 값으로 두께를 제한하는 것에 의해 크래킹(cracking) 문제를 피할 수 있다.

- <9> 한편, 불연속 캡(discrete cap)을 형성하는 대신, 트렌치는 "정도의 차이가 있는(graded)" 유전체로 충전될 수 있으며, 유전체 충전체에서 제 2 유전체 물질의 비율은 트렌치 입구 쪽 위로 이동하면서 점차 증가한다.
- <10> 트렌치의 측벽은 도편트가 유전체 충전체에서 반도체 기판으로 이동하는 것을 방지하도록 산화물 레이어로 라이닝(lining) 된다.
- <11> 실시예의 일 그룹에서, 제 1 유전체 물질은 도핑된 또는 도핑되지 않은 실리콘 산화물 및 실리케이트(silicate) 유리이다. 제 2 유전체 물질은 질화 실리콘, 폴리이미드 또는 실리콘 산화물을 약간 포함하거나 포함하지 않은 임의의 유전체 물질이 될 수 있다.
- <12> 기판은 일반적으로 LOCOS(Local Oxidation of Silicon) 프로세스로 형성된 필드 산화물 영역의 하부 또한 포함한다. 필드 산화물 영역의 표면 또한 기판의 표면과 실질적으로 동일 평면이다. 한편, 보호캡이 상기 필드 산화물 위에 형성될 수 있다.
- <13> 실시예의 다른 그룹에서, 기판은 비교적 얇고 폭넓은 트렌치에 형성된 구조체와 비교적 좁고 깊은 트렌치에 형성된 구조체로 이루어진 2개의 분리 구조체를 포함한다. 두 트렌치는 유전체 충전체로 충전되고 유전체 충전체의 표면은 기판의 표면과 실질적으로 동일 평면이다. 한편, 위에 설명된 종류의 보호캡은 각 트렌치의 입구에 형성될 수 있다.
- <14> 실시예의 또 다른 그룹에서, 일 또는 그 이상의 필드 산화물 영역은 일 또는 그 이상의 트렌치 분리 구조체와 같은 기판에 형성된다. 기설정된 전도성 타입과 도핑 농도의 필드 도핑 영역이 필드 산화물 영역 아래에 형성될 수 있다. 선택적으로, 트렌치와 필드 산화물 영역이 기판의 표면의 평면과 만나는 곳에 보호 유전체 캡이 형성될 수 있다. 전체 구조체의 표면은 실질적으로 동일 평면이다. 표면은 화학적 예칭(etchback), 플라즈마 강화 또는 RIE(Reactive Ion Etch), CMP(Chemical-Mechanical Polishing) 또는 이것들의 조합을 사용하여 평탄화된다.
- <15> 본 발명은 또한 분리 구조체를 제작하는 방법을 포함한다. 그러한 방법 중 하나는 반도체 기판에 트렌치를 형성하는 단계; 상기 트렌치에 제 1 유전체 물질을 피착하는 단계; 상기 제 1 유전체 물질의 표면이 기판의 상면의 제 2 레벨 아래의 제 1 레벨에 위치하도록 상기 제 1 유전체 물질의 일부를 제거하여 리세스(recess)를 형성하는 단계; 상기 리세스에 제 2 유전체 물질을 피착하는 단계; 및 제 2 유전체 물질의 표면이 기판의 표면과 실질적으로 동일 평면이 되도록 일부 제 2 유전체 물질을 제거하여 상기 트렌치에 보호캡을 형성하는 단계를 포함한다.
- <16> 다른 방법은 반도체 기판의 표면에 필드 산화물 영역을 형성하는 단계; 상기 기판에 트렌치를 형성하는 단계; 상기 트렌치에 제 1 유전체 물질을 피착하는 단계; 제 1 유전체 물질의 표면이 상기 기판의 표면의 제 2 레벨 아래의 제 1 레벨에 위치되도록 제 1 유전체 물질의 일부를 제거하여 리세스를 형성하는 단계; 상기 리세스에 제 2 유전체 물질을 피착하는 단계; 및 필드 산화물 영역의 표면과 제 2 유전체 물질의 표면이 상기 기판의 표면과 실질적으로 동일 평면이 되도록 상기 필드 산화물 영역과 상기 제 2 유전체 물질의 일부를 제거하여 상기 트렌치 안에 보호캡을 형성하는 단계를 포함한다.
- <17> 본 발명의 방법은 고도로 플렉서블하고 반도체 기판 상의 상이한 영역과 장치의 여러 요구를 만족시키는 데 필요한 분리 영역을 형성하는 데 사용될 수 있다. 기판의 토포그래피(topography)는 후속 프로세스 동안 미세 라인 폭 및, 서브마이크론 피처의 형성 또는 그 상호 연결을 간섭하거나 복잡하게 하지 않도록 아주 평면적이거나 적어도 충분히 평면적으로 유지된다. 보호캡은 후속 프로세스 동안 유전체 물질이 침식되는 것을 방지하도록 사용될 수 있다.

실시예

- <27> 도 2A-2F는 도 1C에 도시된 바와 같이 트렌치의 상부에 캡 또는 리세스의 형성을 회피하는 트렌치 분리 구조체의 제조 프로세스를 도시한다. 도 2A에 도시된 바와 같이, 산화물 또는 "하드 마스크" 레이어(121)는 반도체 기판(120)의 상면에 형성되고, 포토레지스트 레이어(122)는 하드 마스크 레이어(121)의 상부에 피착된다. "하드 마스크(hard mask)"라는 용어는 여기서 반도체 기판(120)의 트렌치의 예칭 동안 마스크로 사용되는 열 성장 또는 증착된 유전체 레이어를 일컬을 때 사용된다. "하드 마스크"는 예를 들어 물리적으로 부드럽고 그래서 트

렌치 에칭 프로세스 동안 침식되는 쉬운 유기 포토 레지스트 레이어(122)와 구분된다. 정상 포토리소그래픽 (photolithographic) 프로세스에 의해 포토레지스트 레이어(122)에 개구가 형성되고, 포토레지스트 레이어(122)의 개구를 통해 하드 마스크 레이어(121)에 개구(123)가 에칭된다.

<28> 도 2B에 도시된 바와 같이, 기판(120)은 트렌치(124)를 형성하도록 상기 개구(123)를 통해 에칭된다. 일반적으로 포토레지스트 레이어(132)는 트렌치 에칭 프로세스를 방해하고, 트렌치 에칭 프로세스 동안 형상을 변경하고, 트렌치에 바람직하지 않은 유기 불순을 투입할 가능성이 있으므로, 트렌치의 에칭 전에 포토레지스트 레이어(132)를 제거하는 것이 바람직하다. 수직 벽을 구비한 트렌치(124)를 생성하는 이방성 에칭을 위해 RIE(reactive ion etch)가 사용될 수 있다. 비교적 얇은 산화물 레이어(125)는 트렌치(124)의 벽과 플로어 위에 열 성장된다. 필요한 경우, 희생 산화물 레이어가 RIE 프로세스에 의해 발생되는 결정 결함을 제거하도록 형성될 수 있고, 희생 산화물 레이어는 제거될 수 있으며, 그 다음 제 2 산화물 레이어가 성장될 수 있다. 산화물 레이어(125)의 두께는 100-1000Å, 일반적으로 약 300-400Å이 될 수 있다. 트렌치(124)가 도핑된 유전체 물질로 나중에 충전되는 경우, 산화물 레이어(125)가 트렌치(124) 주위 반도체 물질에 도편트가 들어가는 것을 막게 된다.

<29> 도 2C에 도시된 바와 같이, 보로포스포실리케이트 유리(BPSG, Borophosphosilicate Glass)와 같이 비교적 두꺼운 유리 레이어(126)는 완전히 트렌치(124)를 충전하도록 기판(120)의 표면 위에 스피닝(spinning) 된다. BPSG는 점도를 감소시키기 위해 도핑되거나, 도핑되지 않을 수 있다. 한편, BPSG는 CVD로 피착될 수 있다. 전술한 바와 같이, BPSG 레이어(126)가 도핑되면, 산화물 레이어(125)는 도편트가 기판(120)에 들어가 도핑하는 것을 막도록 배리어(barrier)로 작용한다. BPSG 레이어(126)는 충분한 두께(예를 들어 0.5-1.0 μ m 두께)를 가지며, 그 상면은 트렌치(124)의 위치 위로 작은 덴트(dent)만 있을 뿐 비교적 평坦하다. 필요한 경우, 고온의 역류가 BPSG 레이어(126)의 표면을 추가로 평坦화하기 위해 사용될 수 있다.

<30> 도 2D에 도시된 바와 같이, BPSG 레이어(126) 및 측벽 산화물 레이어(125)는 그 상면이 기판(12)의 표면 이하까지 다시 에칭되어 리세스(300)를 형성한다. 에칭 다음, BPSG 레이어의 표면은 기판(120)의 표면 아래 0.1 내지 0.5 μ m(일반적으로 약 0.2~0.3 μ m)에 형성된다. 그 다음, 도 2E에 도시된 바와 같이, 리세스(300)를 충전하고 기판(120)의 표면을 넘쳐흐르는 다른 유전체의 레이어(131)가 피착된다. 레이어(131)는 그 다음 산화물 레이어(125)와 BPSG 레이어(126)를 완전히 커버하고 보호하는 보호캡(132)을 형성하도록 CMP 또는 에칭에 의해 평탄화된다. 캡(132)의 상면은 웨이퍼 전체에 걸쳐 높이에서 0.1 μ m로 변경할 수 있지만 기판(120)의 표면과 동일한 평면인 것이 바람직하다. 도 2F는 캡(132)이 형성된 다음의 구조를 도시한다.

<31> 레이어(131)와 캡(132)은 상기 프로세스에서 나중에 배치된 세정 및 에칭 단계로는 심하게 에칭되지 않는 물질로 형성되어야 한다. 본 실시예에서, 예를 들어, 레이어(131)는 질화 실리콘으로 형성된다. 일반적으로, 레이어(131)를 구성하는 물질은 후속 프로세스 단계에서, 전혀 에칭되지 않거나 BPSG 레이어(126) 또는 산화물 레이어(125)보다 상당히 천천히 에칭된다. 본 발명에 따른 보호캡은 프로세스 동안 어느 때라도, 도 1C에 도시된 종류의 다음의 부식에서 트렌치 충전 물질을 보호하도록 형성될 수 있다.

<32> 일반적으로 추가 에칭으로부터 보호막을 제공할 수 있는 질화 실리콘과 같은 물질은 대체로 매우 균일하게 피착되지 않고 그리하여 그것들로 트렌치를 충전하기 어렵다는 것을 알아야 한다. 또한, 질화 실리콘은 두껍게 피착되는 경우 크랙하는 경향이 있다. 이들 문제는 BPSG와 같은 더 부드럽고 덜 깨지기 쉬운 물질로 트렌치를 충전하고, 그 다음 질화 실리콘과 같이 더 강하고 더 깨지기 쉬운, 비교적 얇은 보호캡으로 상기 물질을 커버하는 것으로 극복된다.

<33> 표 1은 몇 가지 에칭제 또는 제거 방법에 대하여 트렌치를 충전하는 데 사용될 수 있는 물질의 상대 제거율을 나타낸다.

표 1

에칭 제 또는 제거 방법					
유전체 충전물질	100:1 HF	10:1 HF	선택적 플라즈마 산화 에칭	선택적 "니트라이드" 플라즈마 에칭	CMP
열 SiO_2	30Å/min	175Å/min	Ox: 500Å/min Nit: <20Å/min	Nit: 1200Å/min Ox: 420Å/min	
SOG (Spin-on glass)					
BPSG	1240Å/min	7362Å/min	8200 Å/min		1800 Å/min
폴리아미드	5Å/min	8Å/min			

<34>

도 2A-2F에 도시된 프로세스는 여러 변형이 있다. 그러한 변형 중 하나는 도 3A-3D에 도시된다. 도 3A는 도 2D와 유사하고 BPSG 레이어(126)와 산화물 레이어(125)가 상면이 기판(120)의 표면 보다 낮아질 때까지 에칭된 다음의 구조를 도시한다. 도 3B에 도시된 바와 같이, 그 다음에 얇은 산화물 레이어(140)가 기판(120)의 표면에 열 성장되고, 도 3C에 도시된 바와 같이, 질화물 레이어(131)가 그 다음 피착된다. 본 실시예에서, 산화물 레이어(140)는 반도체 기판(120)에서 질화물 레이어(131)를 구분한다. 한편, 산화물 레이어는 CVD를 사용하여 증착될 수 있다. 질화물 레이어(131)가 도 3D에 도시된 바와 같이 평탄화되거나 에칭되는 경우, 트렌치에 남아 있는 질화물 캡은 트렌치의 측벽에 접촉하지 않는다. 이 캡은 도 2F에 도시된 실시예가 도시하는 바와 같은 효과적인 셀링(seal)을 제공하지 못할 수도 있지만, 트렌치의 벽 위의 산화물(산화질화물) 레이어(140)의 존재는 질화물과 실리콘 각각의 상이한 열 확장 계수에 기인하는 스트레스를 감소시키는 경향이 있다. 그리하여 산화물(또는 산화질화물) 레이어(140)는 스트레스 경감을 제공한다.

<35>

또한, 도 4에 도시된 바와 같이 산화물 레이어(140)가 오버 에칭되어 작은 캡(150)을 남기더라도, 캡(150)은 그럼에도 불구하고 도 1C에 도시된 리세스(103) 보다 훨씬 작고, 예를 들어 BPSG의 다음 레이어로 충전이 더욱 용이하다. 그러나 모든 산화물 레이어(140)를 제거하지 않는 것이 바람직하다.

<37>

도 5는 각 단계가 "카드"(클립된 카드는 선택 단계를 표시함)로 표시되는 전술된 프로세스를 요약한 흐름도이다. 제 1 시퀀스에서, 트렌치는 하드 마스크 레이어(예를 들어 산화물 또는 질화물)를 피착하고, 포토레지스트 레이어를 피착하고, 트렌치 마스크를 생성하도록 포토레지스트 레이어를 패터닝하고, 트렌치 마스크 내의 개구를 통해 하드 마스크 레이어를 에칭하고, 포토레지스트 레이어를 선택적으로 제거하고, 하드 마스크 레이어 내의 개구를 통해 상기 트렌치를 에칭하여 생성된다.

<38>

다음 시퀀스에서, 희생 산화물 레이어는 선택적으로 트렌치의 벽 위에 형성되고 제거될 수 있고, 라이닝 산화물 레이어는 성장되고, 트렌치는 유전체(예를 들어 BPSG)로 충전되고, 유전체는 선택적으로 에칭 또는 CMP에 의해 평탄화될 수 있다.

<39>

마지막으로, 유전체 충전제는 트렌치 안으로 에칭되고, 산화질화물 또는 산화물 레이어는 선택적으로 트렌치의 벽 위에 성장되거나 피착되고, 질화물 레이어는 기판의 상면과 실질적으로 동일한 평면이 될 때까지 에칭된다.

<40>

전술된 실시예는 기판의 표면이 기본적으로 평면인 구조를 설명한다. 비 평면 구조(200)는 도 6A에 도시된다. 기판(205)은 상면(202)을 구비한다. 트렌치(201)는 기판(205) 내에 에칭되고, 필드 산화물 영역이 기판 내 하방과 표면(202) 위 상방으로 확장하도록 필드 산화물 영역(203)이 기판에서 열 성장된다. 폴리 실리콘 레이어(204)는 필드 산화물 영역(203)의 상부에 피착 된다. 명백하듯이, 트렌치(201)의 바닥과 폴리 실리콘(204)의 상부 사이에는 상당한 높이 차이가 있다. 트렌치(201)가 유전체로 충전되면, 유전체의 표면을 표면(202)과 평탄하게하는 데 에칭이 사용될 수 있다. 그렇지 않고, CMP가 유전체를 평탄화하는데 사용되면, 필드 산화물 영역(203)의 일부와 함께 폴리실리콘 레이어(204)가 제거될 것이 분명하다.

<41>

이 문제를 해결하는 한가지 방법은 폴리실리콘을 생략하고(또는 프로세스 흐름에서 나중까지 폴리실리콘(204)의 형성을 뒤로 미룸) 표면(202) 아래의 부분이 필요한 전기적 특성을 충분히 제공할 만큼 충분한 두께로 필드 산

화물 영역(203)을 성장시키는 것이다. 도 6B는 산화물 레이어(206)로 라이닝되고 BPSG(207)로 충전된 트렌치(201)를 도시하며, 둘 다 트렌치 안으로 예칭되었다. 전체 구조는 질화물 레이어(208)로 커버되고, 이것은 트렌치의 상부 또한 충전한다. 도 6C에서, 상면은 CMP로 평탄화되고 필드 산화물 영역(203)의 바닥부(209)와 BPSG(207) 및 산화물 레이어(206) 위에 보호 질화물 캡(210)을 남긴다. 상면은 전체적으로 평평하다. 비평탄 상면을 가지면 추가 프로세스가 아주 복잡하므로, 도 6C에 도시된 평편한 구조가 도 6A에 도시된 구조보다 바람직하다. 또한, 필드 산화물 영역(203)은 열 방식으로 성장되므로, 남은 영역(209)은 매우 폭넓게 될 수 있지만, 트렌치는 매우 좁게 될 수 있다. 요약하면, 도 6C에 도시된 구조는 캡(210) 때문에 예칭에 저항력이 있는 "캡 된" 트렌치와, "캡 안된" 필드 산화물 영역(209)을 포함한다.

<42> 한편, 도 7A-7H는 폭넓은 분리 트렌치와 좁은 분리 트렌치가 최소 단계를 사용하여 형성될 수 있는 프로세스를 도시한다.

<43> 도 7A에서, 하드 마스크 레이어(252)는 기판(251)에 피착되고 포토레지스트 레이어(253)는 하드 마스크 레이어(252)의 상부에 피착된다. 포토레지스트 레이어(253)는 넓은 개구를 형성하도록 예칭되고, 하드 마스크 레이어(252)는 기판(251)의 표면을 노출하는 넓은 개구(254)를 형성하도록 포토레지스트 레이어(253) 내의 넓은 개구를 통해 예칭된다.

<44> 도 7B에 도시된 바와 같이, 기판(251)은 넓은 트렌치(260)를 형성하도록 RIE로 예칭된다. 포토레지스트 레이어(253)는 제거되고, 새로운 포토레지스트 레이어(257)가 피착된다. 트렌치(260)가 너무 깊지 않으면, 포토레지스트 레이어(257)는 트렌치(260)의 바닥과 기판(251)의 상면 사이의 스텝을 커버할 것이다. 비교적 좁은 개구가 포토레지스트 레이어(257)에 예칭되고, 하드 마스크 레이어(252)가 기판(251)의 표면을 노출하는 좁은 개구(256)를 형성하도록 포토레지스트 레이어(257) 내의 개구를 통해 예칭된다. 한편, 레이어(257)는 포토레지스트 레이어(미도시)에 의해 패터닝되고 예칭되는 피착된 하드 마스크 유전체 레이어를 나타낸다.

<45> 도 7C에 도시된 바와 같이, 기판(251)은 좁은 트렌치(261)를 형성하도록 RIE에 의해 예칭된다. 포토레지스트(또는 하드 마스크) 레이어(257)와 하드 마스크 레이어(252)는 그 다음 제거되거나 패터닝 및 예칭된다.

<46> 선택적으로, 희생 산화물 레이어(미도시)가 트렌치(260, 261) 내에 성장되고 RIE 프로세스로부터 임의의 결정 순상을 복구하도록 제거된다. 도 7D에 도시된 바와 같이, 얇은 산화물 레이어(262)가 기판(251) 안으로 도편트의 확산을 막는 배리어로 성장되고, BPSG의 레이어(263)는 구조의 전체 표면 위로 피착된다. 한편, 후속 프로세싱 단계 동안, 조립 동안, 및 소자 동작 중의 온도 변화 동안, 크래킹을 피하도록 유전체 충전 물질이 충분히 낮은 스트레스를 보이는 한, 레이어(263)는 임의의 도핑되거나 도핑되지 않은 CVD-피착 또는 스페닝된 실리콘 산화물 또는 실리케이트 유리 또는 임의의 다른 유전체 "충전" 물질을 포함할 수 있다.

<47> 물론, 프로세스 시퀀스는 더 좁은 트렌치가 더 넓은 트렌치 전에 형성되도록 수정될 수 있다.

<48> 다음, 도 7E에 도시된 바와 같이, 상기 구조의 전체 상면은 CMP 또는 CMP가 후속되는 짧은 화학적 예칭에 의해 평탄화된다.

<49> 선택적으로, 산화물 레이어(262) 및 BPSG 레이어(263)가 도 7F에 도시된 바와 같이 함몰부(270, 271)를 형성하도록 트렌치(260, 261) 안으로 예칭(예를 들어, 산 또는 드라이 예칭에 의해)된다. 실리콘 이산화물, 실리케이트 유리 또는 BPSG(예를 들어 질화물 또는 폴리이미드)와 유사하지 않은 유전체가 도 7G에 도시된 바와 같이 상기 구조의 상면 위로 피착되고, 상면은 도 7H에 도시된 바와 같이 트렌치(260, 261)의 입구에 보호캡(280)을 형성하도록 다시 평탄화된다. 유전체 충전 물질(263)과는 달리, 캡(280)을 형성하기 위해 사용되는 물질은, 물질이 IC 제조시 후속 웨이퍼 프로세싱 동안의 일반 예칭에 의해 침식되지 않고 캡(280)이 크래킹을 피하도록 충분히 얇게 만들어는 한, 깨지기 쉬운 또는 고 스트레스 물질을 포함할 수 있다.

<50> 도 8A-8J는 캡을 포함하는 분리 트렌치와 캡을 포함하는 필드 산화물 영역을 형성하는 프로세스를 도시한다. 도 8A에 도시한 바와 같이, 패드 산화물 레이어(302)는 실리콘 기판(301) 상에 성장되고, 일반적인 LOCOS 시퀀스에서와 같이, 질화물 레이어(303)가 패드 산화물 레이어(302) 상에 피착된다. 패드 산화물 레이어는 예를 들어 300-1000 Å의 두께가 될 수 있다. 질화물 레이어(303)는 패드 산화물 레이어(302)를 노출하는 폭넓은 개구(304)를 형성하도록 마스크 레이어(미도시)를 통해 예칭된다. 도 8B에 도시된 바와 같이, 상기 구조체는 개구(304)에 두꺼운 필드 산화물 영역(305)을 형성하도록 가열된다(예를 들어, 900-1100 °C에서 1-4 시간 동안). LOCOS 프로세스에서 일반적인 것과 같이, 질화물 레이어(303)는 개구(304)의 에지에서 산화물 확장으로 상승되어 "새 부리" 형상과 유사하게 형성된다. 다음, 질화물 레이어(303)의 남은 부분이 예칭되고(도 8C), 상면이 CMP 프로세스로 평탄화되어, 필드 산화물 레이어(305)의 남은 부분(306)과 패드 산화물 레이어(302) 사이의 전

이가 부드러운 도 8D에 도시된 결과를 가져온다.

<51> 다음, 도 8E에 도시된 바와 같이, 포토레지스트 레이어(308)가 좁은 개구(309)를 생성하도록 피착 및 패터닝된다. 산화물 레이어(307)는 도 8F에 도시된 바와 같이 개구(309)를 통해 에칭되고, 기판(301)은 좁은 트렌치(310)를 형성하도록 RIE 프로세스에 의해 에칭되며, 여기서 산화물 레이어(307)는 하드 마스크로 작용한다. 산화물 레이어(307)의 남은 부분은 짧은 세정 단계에서 제거된다.

<52> 도 8G에 도시된 바와 같이, 짧은 산화물 레이어(311)가 트렌치(310)의 벽에 성장되고 BPSG 또는 다른 유전체 충전제 레이어(312)가 피착된다. 기판(301)의 상면은 에칭 또는 CMP에 의해 평탄화된다.

<53> 도 8H에 도시된 바와 같이, 트렌치(310) 내의 산화물 레이어(311) 및 BPSG레이어(312)와 필드 산화물 영역(305)의 남은 부분(306)은 이들 구성 요소의 상면이 기판의 상면보다 낮아질 때까지 에칭된다. 질화물과 같은 비유사 유전체 레이어(315)가 구조체 위에 피착되고(도 8I), 상기 구조체는 상면을 평탄화하고 트렌치(310)와 필드 산화물(306) 위에 보호캡(316)을 형성하도록(도 8J) 다시 CMP 프로세스를 받게 된다.

<54> 도 9A-9E는 트렌치 분리 구조체 아래가 아닌 필드 산화물 분리 영역 아래에 필드 도핑 영역을 가지는 구조체를 생성하는 프로세스를 도시한다.

<55> 도 9AB, 패드 산화물 레이어(351)가 실리콘 기판(350) 상에 성장되고, 질화물 레이어(352)와 포토레지스트 레이어(353)가 패드 산화물 레이어(351)의 상면에 그 순서로 피착된다. 포토레지스트 레이어(353)는 두 개구(354A, 354B)를 형성하도록 패터닝되고, 질화물 레이어(352)는 패드 산화물 레이어(351)를 노출하도록 개구(354A, 354B)를 통해 에칭된다. 인(P+)이 N-타입 영역(356A)을 형성하도록 개구(354A, 354B)를 통해 주입된다. 인 주입 용량은 일반적으로 $5 \times 10^{12} \sim 3 \times 10^{13} \text{ cm}^{-2}$ 의 범위이고, 주입 에너지는 일반적으로 약 80 내지 120keV이다. 한편, 폴리이미드 레이어는 질화물 레이어(352) 대신 치환될 수 있고, 트렌치(374) 에칭을 위한 하드 마스크를 형성하는데 사용될 수 있다.

<56> 도 9B에 도시된 바와 같이, 포토레지스트 레이어(353)가 제거되고, 새로운 포토레지스트 레이어(355)가 피착되며, 포토레지스트 레이어(353)의 이전 개구(354B)의 위치를 포함하는 개구를 형성하도록 패터닝 된다. P-타입 영역(356B)을 형성하도록 봉소(B+)가 포토레지스트 레이어(355)의 개구를 통해 주입된다. 봉소 주입량은 일반적으로 인 주입량보다 더 크기 때문에 (예를 들면, $8 \times 10^{13} \sim 2 \times 10^{14} \text{ cm}^{-2}$), 봉소는 P-타입 영역(356B)을 형성하도록 개구(354B) 아래의 인 영역을 카운터 도핑한다. 봉소 주입 에너지는 일반적으로 60~120keV이다.

<57> 다음, 도 9C에 도시된 바와 같이, 상기 구조체는 개구(354A, 354B)의 위치에 두꺼운 필드 산화물 영역(370A, 370B)을 형성하도록 가열된다. 필드 산화물 영역(370A, 370B)은 두께가 $2000 \text{ \AA} \sim 2 \mu\text{m}$ 가 될 수 있다(일반적으로 약 $0.8 \mu\text{m}$). 또한, 이 열처리는 인과 봉소 도편트를 활성화하고 필드 산화물 영역(370A) 아래에 N-타입 필드 도핑 영역(358A)을 형성하고, 필드 산화물 영역(370B) 아래에 P-타입 필드 도핑 영역(370B)을 형성한다.

<58> 남은 질화물 레이어(352)는 제거되고(도 9D), 선택적으로 희생 산화가 수행된다. 다음, 도 9E에 도시된 바와 같이, 트렌치(374)는 산화물 레이어(371)를 형성하도록 에칭 및 산화되고, 다음, 위에 설명된 방식으로 BPSG(372)와 같은 물질을 포함하는 유전체로 충전된다. 상기 구조체의 상면은 CMP 또는 에칭으로 평탄화되고, 산화물 레이어(371), BPSG(372) 및 필드 산화물 영역(370A, 370B)의 남은 부분이 전술된 방식으로 에칭된다. 질화물(또는 트렌치(374)를 충전하는 데 사용되는 물질과 유사하지 않은 다른 유전체) 레이어가 상면에 피착되고, 그 다음 상면은 보호캡(373)을 형성하도록 평탄화된다.

<59> 이 프로세스는 예를 들어 저전압 장치를 분리하는 데 사용되는 필드 도핑 없는 비교적 좁은 트렌치를 생성하고, 예를 들어 고 전압 CMOS 장치를 분리하는 데 사용되는 필드 도핑된 폭넓은 필드 산화물 영역을 생성한다. 상기 프로세스에 의하면, 설계자는 동일한 반도체 기판에서 상이한 폭과 상이한 필드 도핑을 가진 분리 영역을 형성할 수 있으며, 임의의 추가 프로세스에 평평한 상면을 제공한다. 또한, 분리 영역에는 원하는 경우, 보호캡이 형성될 수 있다.

<60> 일부 실시예에서, 트렌치 내의 물질은 분리된 트렌치 캡 대신에 단계적인 유전체 충전에 의해 보호된다. 그러한 실시예에서, 트렌치는 적어도 부분적으로는 비교적 부드럽고, 저 스트레스의 유전체와 비교적 강하고, 에칭 저항이 큰 유전체의 혼합으로 충전된다. 혼합에서 비교적 강하고 에칭 저항이 큰 유전체의 비율은 트렌치의 입구에 근접할수록 증가한다. 예를 들어, 실리콘 이산화물과 실리콘 질화물의 혼합이 트렌치에 피착되며, 상기 혼합에서 실리콘 질화물의 백분율은 트렌치의 입구에 가까울수록 증가한다.

<61> 본 발명의 특정 실시예가 설명되었지만, 이 실시예는 설명일 뿐 제한하는 것이 아니다. 본 발명의 광범위한 원리에 따른 많은 추가 또는 다른 실시예들이 당업자에게 명백할 것이다.

도면의 간단한 설명

<18> 도 1A-1C는 분리 구조체로 사용되는 트렌치 내의 유전체가 이후 프로세싱 동안 침식이 발생되는 경우 발생하는 문제를 도시한다.

<19> 도 2A-2F는 유전체가 충전된 트렌치의 입구에 보호캡을 포함하는 분리 구조체를 형성하는 프로세스를 도시한다.

<20> 도 3A-3D는 산화물 레이어가 보호캡에 인접한 트렌치의 벽에 형성되는 경우 도 2F의 분리 구조체의 변형된 버전을 형성하는 프로세스를 도시한다.

<21> 도 4는 도 3D에 도시된 산화물 레이어가 어떻게 후속 프로세싱에서 침식되는지를 도시한다.

<22> 도 5는 도 2A-2F 및 도 3A-3D에 도시된 프로세스를 "카드" 형태로 도시한 흐름도이다.

<23> 도 6A-6C는 널따란 또는 폭넓은 필드 산화물 영역과 비교적 좁은 유전체가 충전된 트렌치를 포함하는 분리 구조체를 형성하는 프로세스를 도시한다.

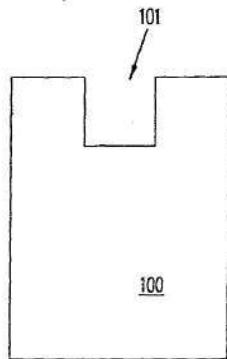
<24> 도 7A-7H는 폭넓고 얇은 트렌치 및 좁고 깊은 트렌치를 포함하는 분리 구조체를 형성하는 프로세스를 도시한다.

<25> 도 8A-8J는 각 구조체의 상부에 보호캡이 형성된 널따란 또는 폭넓은 필드 산화물 영역과 비교적 좁은 유전체가 충전된 트렌치를 포함하는 분리 구조체를 형성하는 다른 프로세스를 도시한다.

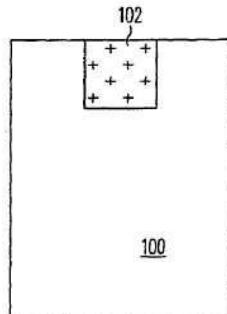
<26> 도 9A-9E는 아래에 필드 도핑 영역을 구비한 한 쌍의 필드 산화물 영역과 유전체가 충전된 트렌치를 포함하는 분리 구조체를 형성하는 프로세스를 도시한다.

도면

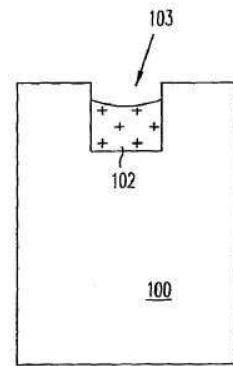
도면1A



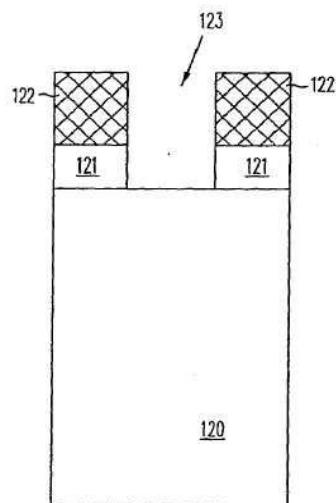
도면1B



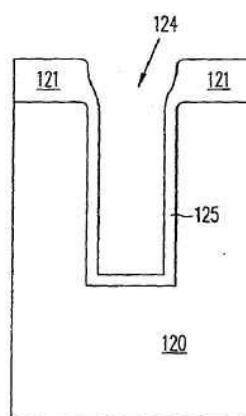
도면1C



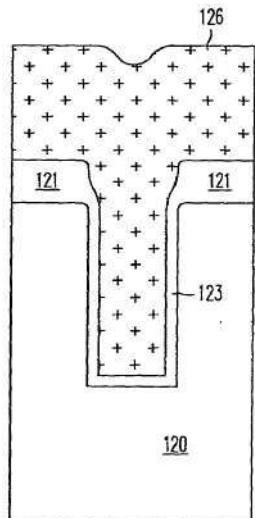
도면2A



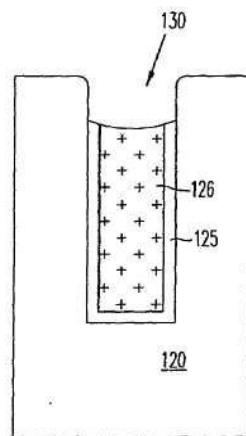
도면2B



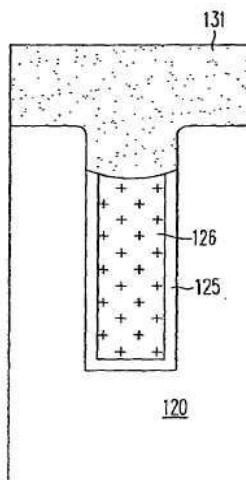
도면2C



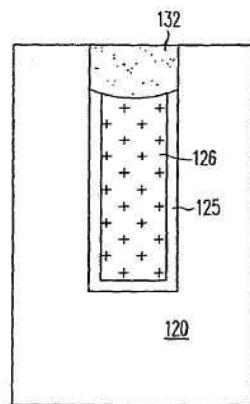
도면2D



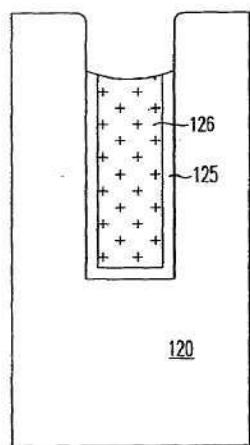
도면2E



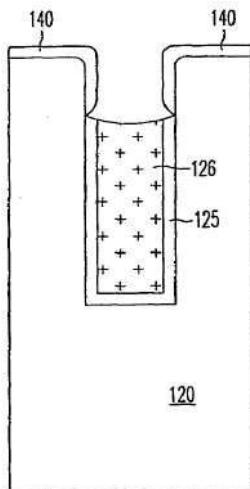
도면2F



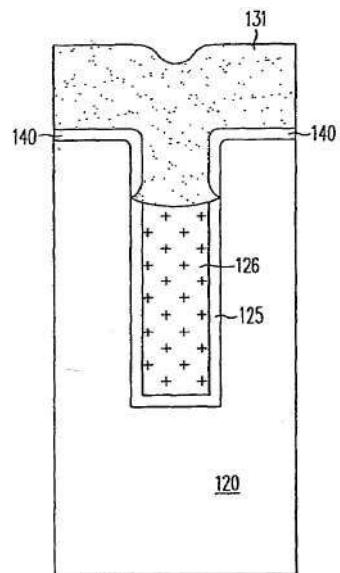
도면3A



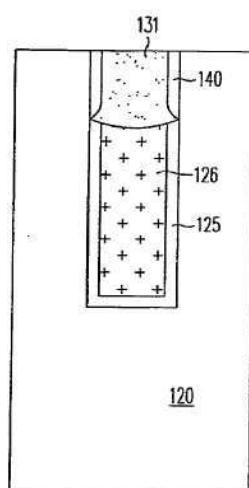
도면3B



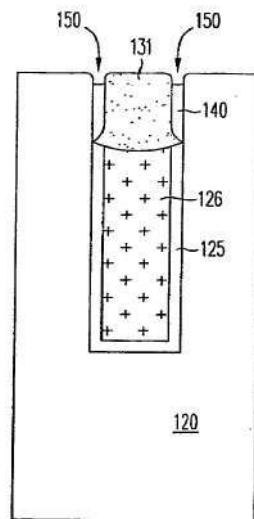
도면3C



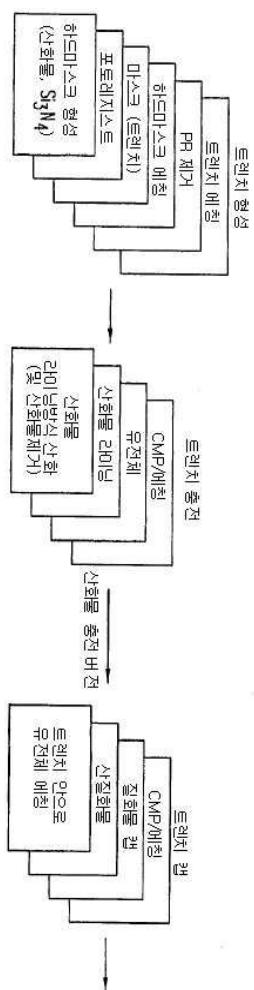
도면3D



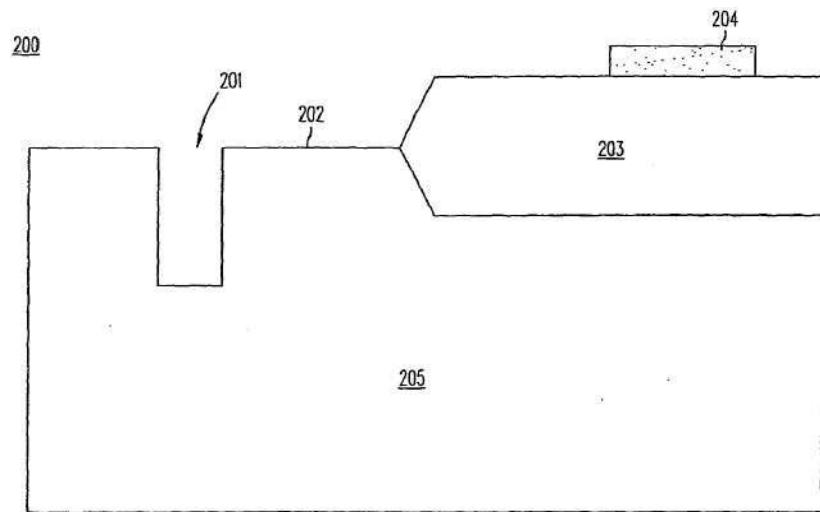
도면4



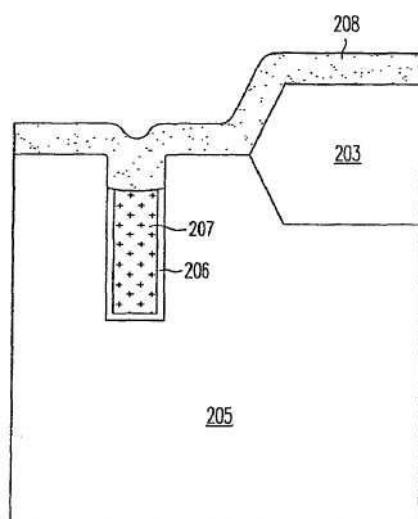
도면5



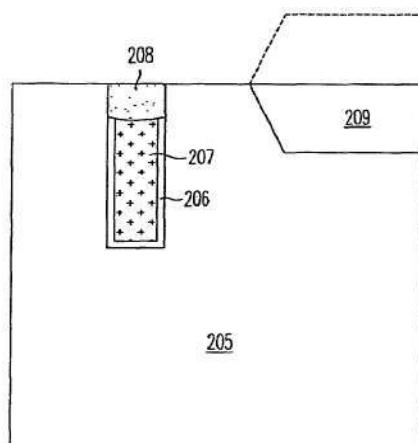
도면6A



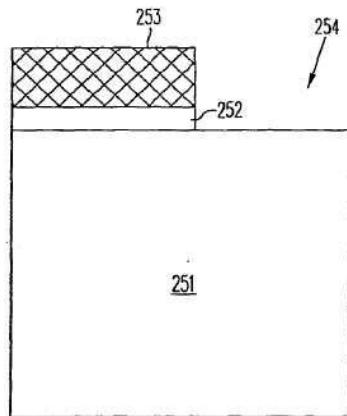
도면6B



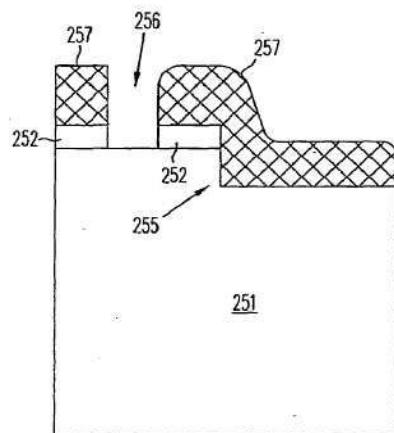
도면6C



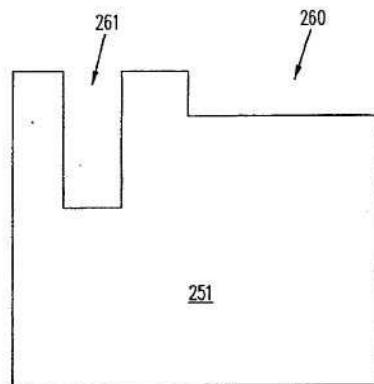
도면7A



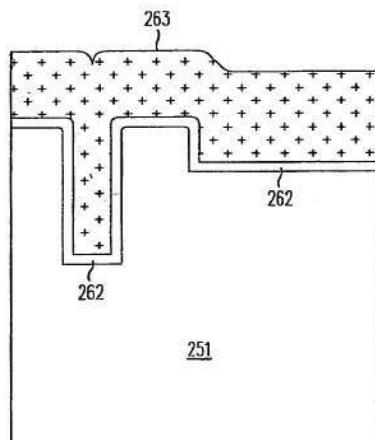
도면7B



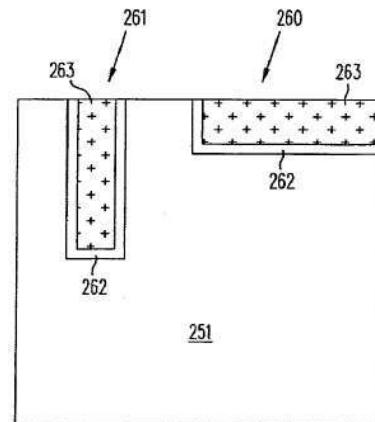
도면7C



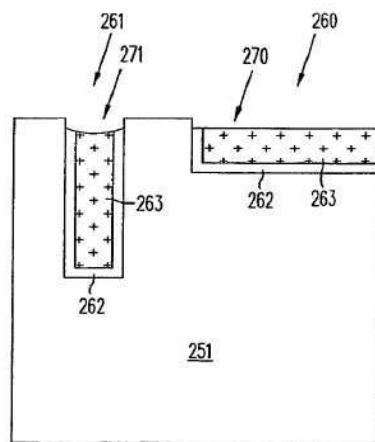
도면7D



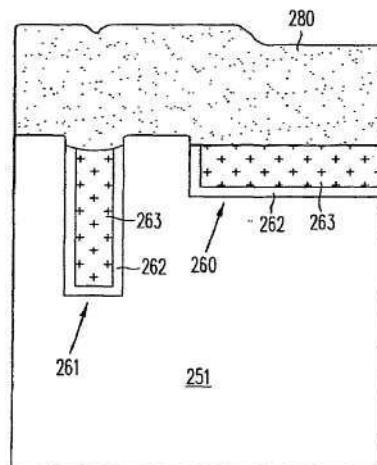
도면7E



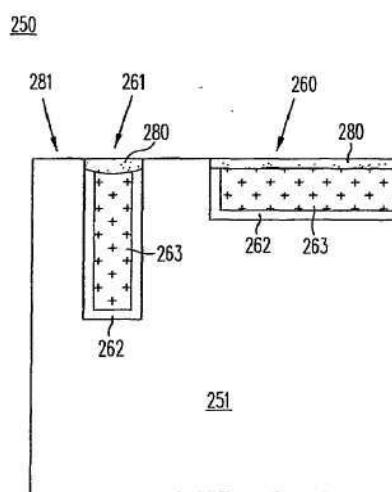
도면7F



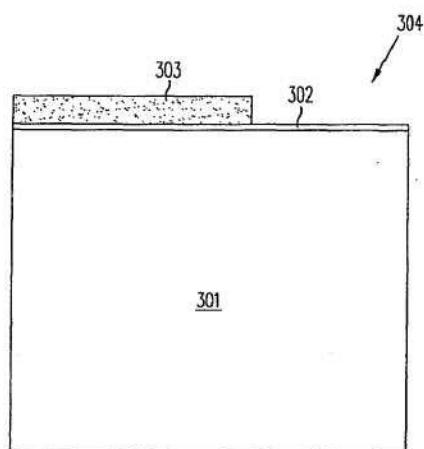
도면7G



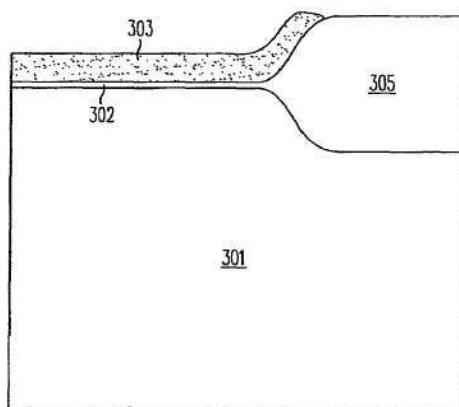
도면7H



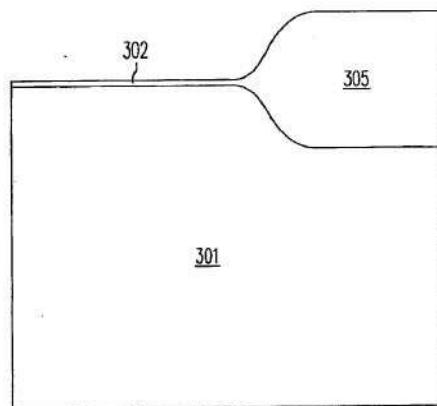
도면8A



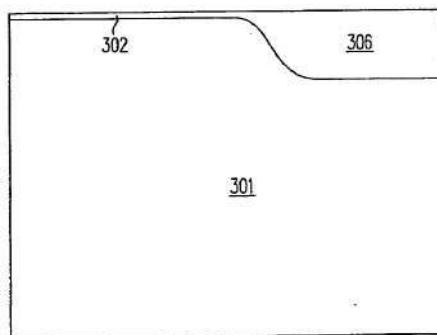
도면8B



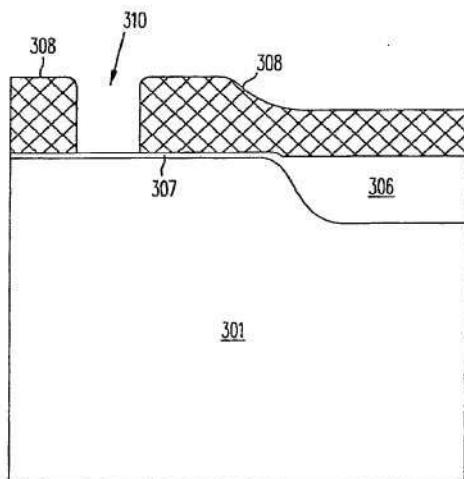
도면8C



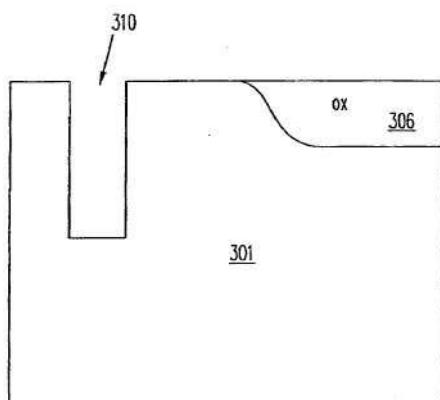
도면8D



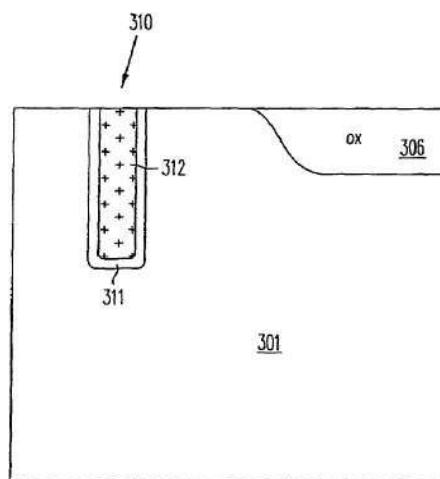
도면8E



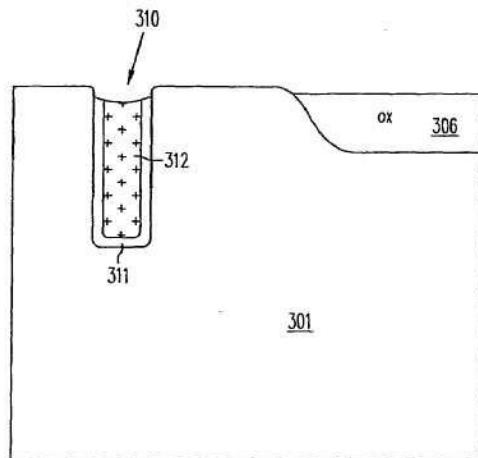
도면8F



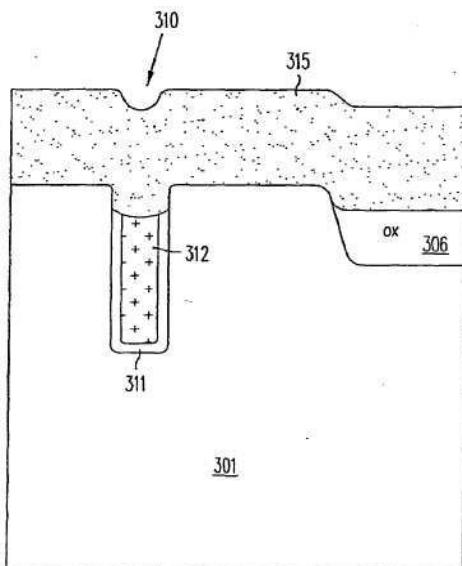
도면8G



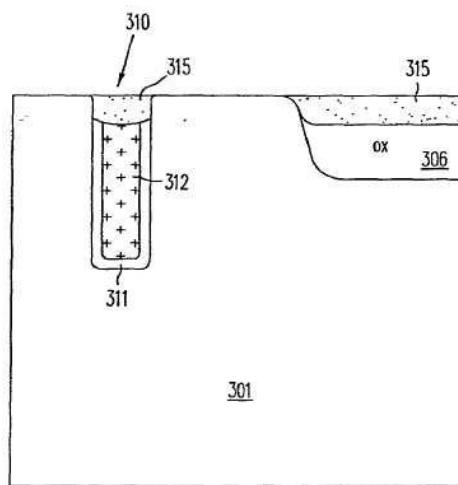
도면8H



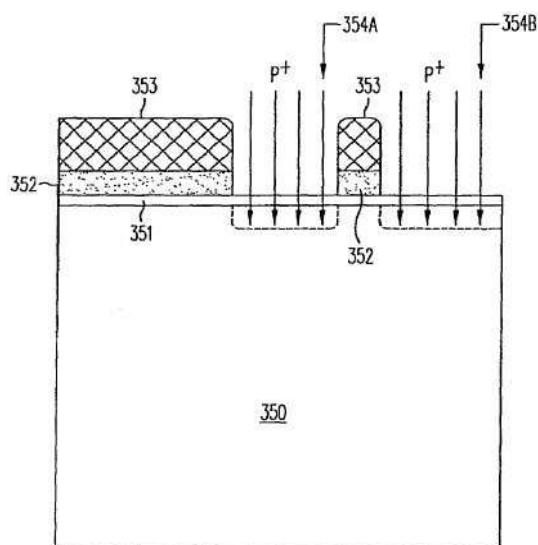
도면8I



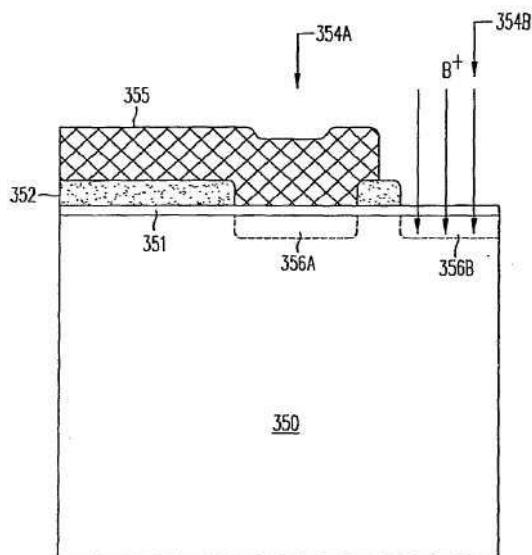
도면8J



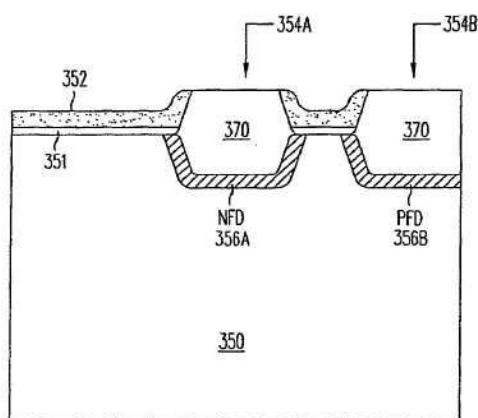
도면9A



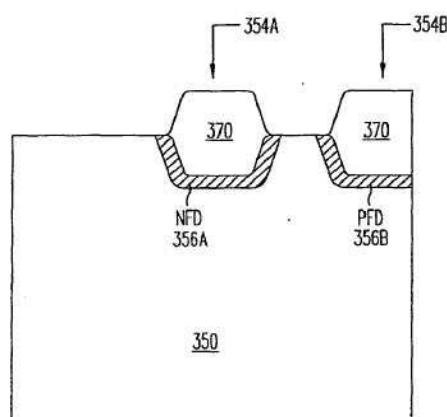
도면9B



도면9C



도면9D



도면9E

