

(19)日本国特許庁(JP)

## (12)特許公報(B2)

(11)特許番号  
特許第7603059号  
(P7603059)

(45)発行日 令和6年12月19日(2024.12.19)

(24)登録日 令和6年12月11日(2024.12.11)

(51)国際特許分類 F I  
H 0 4 N 25/705 (2023.01) H 0 4 N 25/705  
H 0 4 N 25/77 (2023.01) H 0 4 N 25/77

請求項の数 10 (全52頁)

(21)出願番号	特願2022-509744(P2022-509744)	(73)特許権者	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(86)(22)出願日	令和3年3月15日(2021.3.15)	(72)発明者	廣瀬 丈也 神奈川県厚木市長谷398番地 株式会 社半導体エネルギー研究所内
(86)国際出願番号	PCT/IB2021/052110	(72)発明者	米田 誠一 神奈川県厚木市長谷398番地 株式会 社半導体エネルギー研究所内
(87)国際公開番号	WO2021/191719	(72)発明者	井上 広樹 神奈川県厚木市長谷398番地 株式会 社半導体エネルギー研究所内
(87)国際公開日	令和3年9月30日(2021.9.30)	(72)発明者	池田 隆之 神奈川県厚木市長谷398番地 株式会 社半導体エネルギー研究所内
審査請求日	令和6年2月26日(2024.2.26)		
(31)優先権主張番号	特願2020-57810(P2020-57810)		
(32)優先日	令和2年3月27日(2020.3.27)		
(33)優先権主張国・地域又は機関	日本国(JP)		

最終頁に続く

(54)【発明の名称】 撮像装置および電子機器

## (57)【特許請求の範囲】

## 【請求項1】

画素と、読み出し回路と、を有し、

前記画素は、第1の受光回路と、第2の受光回路と、増幅回路と、演算回路と、を有し、

前記増幅回路は、前記第1の受光回路に保持された第1のデータと、前記第2の受光回

路に保持された第2のデータとの差分に応じて増幅した電位を前記演算回路に出力するこ

とができ、

前記演算回路は、第1のノードと、第2のノードと、を有し、

前記第1のノードには、前記第1のデータと前記第2のデータを同じ値としたときに前記増幅回路が出力する第1の電位が書き込まれ、

前記第2のノードには、前記第1のデータおよび前記第2のデータが光電変換により生成されたときに前記増幅回路が出力する第2の電位が書き込まれ、

前記第1のノードおよび前記第2のノードのそれぞれには、第3の電位を加算することができ、

前記読み出し回路は、前記第1のノードの電位に従って流れる電流と、前記第2のノードの電位に従って流れる電流を用いた演算により、前記第2の電位と前記第3の電位との積を抽出することができる撮像装置。

## 【請求項2】

請求項1において、

前記読み出し回路は、カレントミラー回路と、相関二重サンプリング回路と、を有し、

10

20

前記カレントミラー回路は、第1のトランジスタと、第2のトランジスタと、を有し、  
前記第1のトランジスタのソースまたはドレインの一方およびゲートは、前記第1のノードと電氣的に接続され、

前記第2のトランジスタのソースまたはドレインの一方は、前記第2のノードおよび前記  
記相関二重サンプリング回路と電氣的に接続される撮像装置。

【請求項3】

画素と、読み出し回路と、を有し、

前記画素は、第1の受光回路と、第2の受光回路と、増幅回路と、演算回路と、を有し、

前記増幅回路は、第1の入力端子と、第2の入力端子と、を有し、

前記演算回路は、第1のノードと、第2のノードと、第1のキャパシタと、第2のキャ  
パシタと、第1のトランジスタと、第2のトランジスタと、を有し、

10

前記第1のノードには、前記第1のキャパシタの一方の電極および前記第1のトランジ  
スタのゲートが電氣的に接続され、

前記第2のノードには、前記第2のキャパシタの一方の電極および前記第2のトランジ  
スタのゲートが電氣的に接続され、

前記第1のトランジスタのソースまたはドレインの一方、および前記第2のトランジス  
タのソースまたはドレインの一方には、前記読み出し回路が電氣的に接続され、

前記第1の受光回路は、前記第1の入力端子と電氣的に接続され、

前記第2の受光回路は、前記第2の入力端子と電氣的に接続され、

前記第1のノードには、前記第1の入力端子および前記第2の入力端子に同じ電位が入  
力されたときに前記増幅回路が出力する第1の電位が書き込まれ、

20

前記第2のノードには、前記第1の受光回路が生成するデータと、前記第2の受光回路  
が生成するデータとの差分に応じて前記増幅回路が出力する第2の電位が書き込まれ、

前記第1のノードおよび前記第2のノードのそれぞれには、前記第1のキャパシタまた  
は前記第2のキャパシタを介して、第3の電位を加算することができ、

前記読み出し回路は、前記第1のトランジスタに流れる電流と、前記第2のトランジス  
タに流れる電流を用いた演算により、前記第2の電位と前記第3の電位との積を抽出す  
ることができる撮像装置。

【請求項4】

請求項3において、

30

前記読み出し回路は、カレントミラー回路と、相関二重サンプリング回路と、を有し、

前記カレントミラー回路は、第3のトランジスタと、第4のトランジスタと、を有し、

前記第3のトランジスタのソースまたはドレインの一方およびゲートは、前記第1のト  
ランジスタのソースまたはドレインの一方と電氣的に接続され、

前記第4のトランジスタのソースまたはドレインの一方は、前記第2のトランジスタの  
ソースまたはドレインの一方および前記相関二重サンプリング回路と電氣的に接続される  
撮像装置。

【請求項5】

請求項3または4において、

前記第1の受光回路および前記第2の受光回路のそれぞれは、光電変換デバイスと、第  
5のトランジスタと、第6のトランジスタと、第3のキャパシタと、を有し、

40

前記光電変換デバイスの一方の電極は、前記第5のトランジスタのソースまたはドレイ  
ンの一方と電氣的に接続され、前記第5のトランジスタのソースまたはドレインの他方は  
、前記第6のトランジスタのソースまたはドレインの一方、および前記第3のキャパシタ  
の一方の電極と電氣的に接続され、

前記第1の受光回路が有する前記第6のトランジスタのソースまたはドレインの他方は  
、前記第1の入力端子と電氣的に接続され、

前記第2の受光回路が有する前記第6のトランジスタのソースまたはドレインの他方は  
、前記第2の入力端子と電氣的に接続される撮像装置。

【請求項6】

50

請求項 5 において、

前記第 5 のトランジスタおよび前記第 6 のトランジスタは、チャネル形成領域に金属酸化物を有し、前記金属酸化物は、In と、Zn と、M (M は Al、Ti、Ga、Ge、Sn、Y、Zr、La、Ce、Nd または Hf の一つまたは複数) と、を有する撮像装置。

【請求項 7】

請求項 5 または 6 において、

前記第 1 の受光回路および前記第 2 の受光回路のそれぞれは、さらに第 7 のトランジスタと、第 8 のトランジスタと、を有し、

前記第 7 のトランジスタのゲートは、前記第 3 のキャパシタの一方の電極と電気的に接続され、

前記第 7 のトランジスタのソースまたはドレインの一方は、前記第 8 のトランジスタのソースまたはドレインの一方と電気的に接続される撮像装置。

【請求項 8】

請求項 5 乃至 7 のいずれか一項において、

前記増幅回路は、第 9 のトランジスタと、第 10 のトランジスタと、第 11 のトランジスタと、を有し、

前記第 9 のトランジスタのソースまたはドレインの一方は、前記第 1 の受光回路が有する前記第 3 のキャパシタの一方の電極と電気的に接続され、

前記第 9 のトランジスタのソースまたはドレインの他方は、前記第 1 の入力端子と電気的に接続され、

前記第 10 のトランジスタのソースまたはドレインの一方は、前記第 2 の受光回路が有する前記第 3 のキャパシタの一方の電極と電気的に接続され、

前記第 10 のトランジスタのソースまたはドレインの他方は、前記第 2 の入力端子と電気的に接続され、

前記第 11 のトランジスタのソースまたはドレインの一方は、前記第 1 の入力端子と電気的に接続され、

前記第 11 のトランジスタのソースまたはドレインの他方は、前記第 2 の入力端子と電気的に接続される撮像装置。

【請求項 9】

請求項 1 乃至 8 のいずれか一項において、

一つの前記読み出し回路には、複数の前記画素が電気的に接続されている撮像装置。

【請求項 10】

請求項 1 乃至 9 のいずれか一項に記載の撮像装置を有し、前記撮像装置で撮像した画像と、前記撮像装置で解析した前記画像における被写体の距離情報に基づき、前記画像の一部を加工する電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一態様は、撮像装置に関する。

【0002】

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様の技術分野は、物、方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニファクチャ、または、組成物 (コンポジション・オブ・マター) に関するものである。そのため、より具体的に本明細書で開示する本発明の一態様の技術分野としては、半導体装置、表示装置、液晶表示装置、発光装置、照明装置、蓄電装置、記憶装置、撮像装置、それらの動作方法、または、それらの製造方法、を一例として挙げるができる。

【0003】

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。トランジスタ、半導体回路は半導体装置の一態様である。また、記憶装置、

10

20

30

40

50

表示装置、撮像装置、電子機器は、半導体装置を有する場合がある。

【背景技術】

【0004】

基板上に形成された酸化物半導体薄膜を用いてトランジスタを構成する技術が注目されている。例えば、酸化物半導体を有するオフ電流が極めて低いトランジスタを画素回路に用いる構成の撮像装置が特許文献1に開示されている。

【0005】

また、撮像装置に演算機能を付加する技術が特許文献2に開示されている。

【先行技術文献】

【特許文献】

【0006】

【文献】特開2011-119711号公報

【文献】特開2016-123087号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

携帯機器などに搭載される撮像装置では、高解像度の画像を取得できる機能が一般化している。次世代においては、撮像装置にさらに知的な機能を搭載することが求められている。

【0008】

撮像装置で取得した画像データ(アナログデータ)は、デジタルデータに変換され、外部に取り出した後に必要に応じて画像処理が行われる。当該処理を撮像装置内で行うことができれば、外部の機器との連携がより高速となり、使用者の利便性が向上する。また、周辺装置などの負荷および消費電力も低減することができる。また、アナログデータの状態で複雑なデータ処理が行えれば、データ変換に要する時間も短縮することができる。

【0009】

例えば、隣接する画素間のデータの差分情報から輝度勾配を算出し、当該輝度勾配をデータとしてDNN(ディープニューラルネットワーク)などを用いることにより、距離情報を推論することができる。画素間の差分データの演算およびDNNの一部の演算を撮像装置内で行うことにより、低消費電力で高速な推論が可能となる。

【0010】

また、スマートフォンなどの携帯情報端末では、撮像された被写体の距離の情報を取得し、撮像した画像の加工(目的とする被写体の前後をぼかすなど)を行うことができる。当該距離の情報は、複数のカメラによる視差を用いて取得している。画像処理により距離の情報を得ることができれば、カメラを一つにすることができ、製造コストを低減することができる。

【0011】

したがって、本発明の一態様では、画像処理を行うことができる撮像装置を提供することを目的の一つとする。または、距離の情報を取得できる撮像装置を提供することを目的の一つとする。または、隣接する画素間の輝度勾配の情報を取得できる撮像装置を提供することを目的の一つとする。または、ニューラルネットワークの一部の要素として機能する撮像装置を提供することを目的の一つとする。または、低消費電力の撮像装置を提供することを目的の一つとする。または、信頼性の高い撮像装置を提供することを目的の一つとする。または、新規な撮像装置などを提供することを目的の一つとする。または、上記撮像装置の駆動方法を提供することを目的の一つとする。または、新規な半導体装置などを提供することを目的の一つとする。

【0012】

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

10

20

30

40

50

## 【課題を解決するための手段】

## 【0013】

本発明の一態様は、画像処理機能を有する撮像装置に関する。

## 【0014】

本発明の一態様は、画素と、読み出し回路と、を有し、画素は、第1の受光回路と、第2の受光回路と、増幅回路と、演算回路と、を有し、増幅回路は、第1の受光回路に保持された第1のデータと、第2の受光回路に保持された第2のデータとの差分に応じた電位を演算回路に出力することができ、演算回路は、第1のノードと、第2のノードと、を有し、第1のノードには、第1のデータと第2のデータを同じ値としたときに増幅回路が出力する第1の電位が書き込まれ、第2のノードには、第1のデータおよび第2のデータが光電変換により生成されたときに増幅回路が出力する第2の電位が書き込まれ、第1のノードおよび第2のノードのそれぞれには、第3の電位を加算することができ、読み出し回路は、第1のノードの電位に従って流れる電流と、第2のノードの電位に従って流れる電流を用いた演算により、第2の電位と第3の電位との積を抽出することができる撮像装置である。

10

## 【0015】

読み出し回路は、カレントミラー回路と、相関二重サンプリング回路と、を有し、カレントミラー回路は、第1のトランジスタと、第2のトランジスタと、を有し、第1のトランジスタのソースまたはドレインの一方およびゲートは、第1のノードと電氣的に接続され、第2のトランジスタのソースまたはドレインの一方は、第2のノードおよび相関二重サンプリング回路と電氣的に接続することができる。

20

## 【0016】

また、本発明の他の一態様は、画素と、読み出し回路と、を有し、画素は、第1の受光回路と、第2の受光回路と、増幅回路と、演算回路と、を有し、増幅回路は、第1の入力端子と、第2の入力端子と、を有し、演算回路は、第1のノードと、第2のノードと、第1のキャパシタと、第2のキャパシタと、第1のトランジスタと、第2のトランジスタと、を有し、第1のノードには、第1のキャパシタの一方の電極および第1のトランジスタのゲートが電氣的に接続され、第2のノードには、第2のキャパシタの一方の電極および第2のトランジスタのゲートが電氣的に接続され、第1のトランジスタのソースまたはドレインの一方、および第2のトランジスタのソースまたはドレインの一方には、読み出し回路が電氣的に接続され、第1の受光回路は、第1の入力端子と電氣的に接続され、第2の受光回路は、第2の入力端子と電氣的に接続され、第1のノードには、第1の入力端子および第2の入力端子に同じ電位が入力されたときに増幅回路が出力する第1の電位が書き込まれ、第2のノードには、第1の受光回路が生成するデータと、第2の受光回路が生成するデータとの差分に応じて増幅回路が出力する第2の電位が書き込まれ、第1のノードおよび第2のノードのそれぞれには、第1のキャパシタまたは第2のキャパシタを介して、第3の電位を加算することができ、読み出し回路は、第1のトランジスタに流れる電流と、第2のトランジスタに流れる電流を用いた演算により、第2の電位と第3の電位との積を抽出することができる撮像装置である。

30

## 【0017】

読み出し回路は、カレントミラー回路と、相関二重サンプリング回路と、を有し、カレントミラー回路は、第3のトランジスタと、第4のトランジスタと、を有し、第3のトランジスタのソースまたはドレインの一方およびゲートは、第1のトランジスタのソースまたはドレインの一方と電氣的に接続され、第4のトランジスタのソースまたはドレインの一方は、第2のトランジスタのソースまたはドレインの一方および相関二重サンプリング回路と電氣的に接続することができる。

40

## 【0018】

第1の受光回路および第2の受光回路のそれぞれは、光電変換デバイスと、第5のトランジスタと、第6のトランジスタと、第3のキャパシタと、を有し、光電変換デバイスの一方の電極は、第5のトランジスタのソースまたはドレインの一方と電氣的に接続され、第

50

5のトランジスタのソースまたはドレインの他方は、第6のトランジスタのソースまたはドレインの一方、および第3のキャパシタの一方の電極と電気的に接続され、第1の受光回路が有する第6のトランジスタのソースまたはドレインの他方は、第1の入力端子と電気的に接続され、第2の受光回路が有する第6のトランジスタのソースまたはドレインの他方は、第2の入力端子と電気的に接続することができる。

【0019】

第5のトランジスタおよび第6のトランジスタは、チャンネル形成領域に金属酸化物を有し、金属酸化物は、Inと、Znと、M(MはAl、Ti、Ga、Ge、Sn、Y、Zr、La、Ce、NdまたはHfの一つまたは複数)と、を有することが好ましい。

【0020】

第1の受光回路および第2の受光回路のそれぞれは、さらに第7のトランジスタと、第8のトランジスタと、を有し、第7のトランジスタのゲートは、第3のキャパシタの一方の電極と電気的に接続され、第7のトランジスタのソースまたはドレインの一方は、第8のトランジスタのソースまたはドレインの一方と電気的に接続することが好ましい。

【0021】

増幅回路は、第9のトランジスタと、第10のトランジスタと、第11のトランジスタと、を有し、第9のトランジスタのソースまたはドレインの一方は、第1の受光回路が有する第3のキャパシタの一方の電極と電気的に接続され、第9のトランジスタのソースまたはドレインの他方は、第1の入力端子と電気的に接続され、第10のトランジスタのソースまたはドレインの一方は、第2の受光回路が有する第3のキャパシタの一方の電極と電気的に接続され、第10のトランジスタのソースまたはドレインの他方は、第2の入力端子と電気的に接続され、第11のトランジスタのソースまたはドレインの一方は、第1の入力端子と電気的に接続され、第11のトランジスタのソースまたはドレインの他方は、第2の入力端子と電気的に接続することができる。

【0022】

第9のトランジスタ乃至第11のトランジスタは、チャンネル形成領域に金属酸化物を有し、金属酸化物は、Inと、Znと、M(MはAl、Ti、Ga、Ge、Sn、Y、Zr、La、Ce、NdまたはHfの一つまたは複数)と、を有することが好ましい。

【0023】

また、上記において、一つの読み出し回路には、複数の画素を電気的に接続することができる。

【0024】

また、本発明の他の一態様は、上記撮像装置で撮像した画像と、上記撮像装置で解析した画像における被写体の距離情報に基づき、画像の一部を加工する電子機器である。

【発明の効果】

【0025】

本発明の一態様を用いることで、画像処理を行うことができる撮像装置を提供することができる。または、距離の情報を取得できる撮像装置を提供することができる。または、隣接する画素間の輝度勾配の情報を取得できる撮像装置を提供することができる。または、ニューラルネットワークの一部の要素として機能する撮像装置を提供することができる。または、低消費電力の撮像装置を提供することができる。または、信頼性の高い撮像装置を提供することができる。または、新規な撮像装置などを提供することができる。または、上記撮像装置の駆動方法を提供することができる。または、新規な半導体装置などを提供することができる。

【図面の簡単な説明】

【0026】

図1は、撮像装置を説明するブロック図である。

図2は、画素ブロック200および回路240を説明する図である。

図3は、画素100を説明する図である。

図4Aは、受光回路を説明する図である。図4Bは、差動増幅回路を説明する図である。

10

20

30

40

50

図 5 A、図 5 B は、電流源回路を説明する図である。  
 図 6 は、画素ブロック 2 0 0 の動作を説明するタイミングチャートである。  
 図 7 A、図 7 B は、回路 3 0 1 および回路 3 0 2 を説明する図である。  
 図 8 は、メモリセルを説明する図である。  
 図 9 A、図 9 B は、ニューラルネットワークの構成例を示す図である。  
 図 1 0 A 乃至図 1 0 D は、撮像装置の画素の構成を説明する図である。  
 図 1 1 A 乃至図 1 1 C は、光電変換デバイスの構成を説明する図である。  
 図 1 2 は、画素を説明する断面図である。  
 図 1 3 A 乃至図 1 3 C は、S i トランジスタを説明する図である。  
 図 1 4 は、画素を説明する断面図である。  
 図 1 5 は、画素を説明する断面図である。  
 図 1 6 は、画素を説明する断面図である。  
 図 1 7 A 乃至図 1 7 D は、O S トランジスタを説明する図である。  
 図 1 8 は、画素を説明する断面図である。  
 図 1 9 A 乃至図 1 9 C は、画素を説明する斜視図（断面図）である。  
 図 2 0 A 1 乃至図 2 0 A 3、図 2 0 B 1 乃至図 2 0 B 3 は、撮像装置を収めたパッケージ、モジュールの斜視図である。  
 図 2 1 A 乃至図 2 1 F は、電子機器を説明する図である。  
 図 2 2 は、自動車を説明する図である。

10

【発明を実施するための形態】

20

【0 0 2 7】

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。したがって、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する発明の構成において、同一部分または同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略することがある。なお、図を構成する同じ要素のハッチングを異なる図面間で適宜省略または変更する場合もある。

【0 0 2 8】

また、回路図上では単一の要素として図示されている場合であっても、機能的に不都合がなければ、当該要素が複数で構成されてもよい。例えば、スイッチとして動作するトランジスタは、複数が直列または並列に接続されてもよい場合がある。また、キャパシタを分割して複数の位置に配置する場合もある。

30

【0 0 2 9】

また、一つの導電体が、配線、電極および端子のような複数の機能を併せ持っている場合があり、本明細書においては、同一の要素に対して複数の呼称を用いる場合がある。また、回路図上で要素間が直接接続されているように図示されている場合であっても、実際には当該要素間が一つまたは複数の導電体を介して接続されている場合があり、本明細書ではこのような構成でも直接接続の範疇に含める。

【0 0 3 0】

40

（実施の形態 1）

本実施の形態では、本発明の一態様である撮像装置について、図面を参照して説明する。

【0 0 3 1】

本発明の一態様は、画像処理などの付加機能を備えた撮像装置である。当該撮像装置は、撮像動作で取得したアナログデータ（画像データ）を画素に保持し、当該アナログデータと任意の重み係数とを乗じたデータを取り出すことができる。

【0 0 3 2】

また、画素では、隣接する受光デバイス間の差分データを取得することができ、輝度勾配の情報を得ることができる。当該情報をニューラルネットワークなどに取り込むことで、距離情報などの推論を行うことができる。また、膨大な画像データをアナログデータの状

50

態で画素に保持することができるため、効率良く処理を行うことができる。

#### 【0033】

画像における距離の情報を得ることで、ロボットによるピッキング作業、移動体の自動運転、距離計測などを支援することができる。また、スマートフォンなどにおいては、距離情報の取得に複数のカメラを用いていたが、一つのカメラで距離情報を得ることができ、製造コストを低減することができる。

#### 【0034】

<撮像装置>

図1は、本発明の一態様の撮像装置を説明するブロック図である。撮像装置は、画素アレイ300と、回路301と、回路302と、回路303と、回路304と、回路305を有する。なお、回路301乃至回路305のそれぞれは、単一の回路構成に限らず、複数の回路の組み合わせで構成される場合がある。または、上記いずれか複数の回路が統合されていてもよい。また、上記以外の回路が接続されてもよい。

10

#### 【0035】

画素アレイ300は、撮像機能および演算機能を有する。回路301は、演算機能を有する。回路302は、演算機能またはデータ変換機能を有する。回路303、304は、選択機能を有する。回路305は、画素に積和演算用の電位を供給する機能を有する。選択機能を有する回路には、シフトレジスタまたはデコーダなどを用いることができる。なお、回路301、302は、外部に設けられていてもよい。

#### 【0036】

画素アレイ300は、複数の画素ブロック200を有する。画素ブロック200は、図2に示すように、画素アレイ210および回路220を有する。

20

#### 【0037】

画素アレイ210は、マトリクス状に配置された複数の画素100を有し、それぞれの画素100は、配線151および配線152と電気的に接続され、配線151および配線152は、それぞれ回路220と電気的に接続される。

#### 【0038】

回路220は読み出し回路であり、回路230および回路240を有する。回路230は電流源回路であり、画素アレイ210および回路240に流れる電流を制御する機能を有する。回路240は、差分抽出回路であり、例えば、相関二重サンプリング回路(CDS回路)を用いることができる。

30

#### 【0039】

回路230、回路240、および画素アレイ210は、いずれか2つ以上が互いに重なる領域を有するように形成されることが好ましい。当該構成とすることで、画素ブロック200の面積を小さくすることができ、解像度を上げることができる。なお、回路240は、画素ブロック200の外側に設けることもできる。

#### 【0040】

なお、図2においては、一例として画素アレイ210が有する画素数を $3 \times 3$ としているが、これに限らない。例えば、 $2 \times 2$ 、 $4 \times 4$ などとすることができる。または、水平方向と垂直方向の画素数が異なってもよい。または、画素100と配線151および配線152のそれぞれの間にはスイッチなどを設け、画素数を可変としてもよい。また、一部の画素を隣り合う画素ブロック200で共有してもよい。また、配線151には、増幅回路またはゲイン調整回路が電気的に接続されていてもよい。

40

#### 【0041】

画素100では、画像データの取得、当該画像データを用いた演算データの生成、当該演算データと重み係数とを加算したデータの生成、などを行うことができる。また、上記構成の画素ブロック200は、積和演算回路として動作させることができる。

#### 【0042】

<画素回路>

画素100の構成例を図3に示す。画素100は、回路10a、10b、回路20、回路

50

30を有する。

【0043】

回路10a、10bは受光回路であり、光電変換デバイスにより撮像データを生成する機能を有する。回路20は差動増幅回路であり、回路10aおよび回路10bから入力されたデータの差に応じて増幅されたデータ電位を出力する機能を有する。回路30は演算回路であり、回路20から出力されたデータ電位を保持する機能、および当該データ電位に重み（重み係数に相当する電位）を与える機能を有する。

【0044】

<受光回路>

回路10a、10bは同様の構成とすることができ、光電変換デバイス101（光電変換デバイス101a、101b）と、トランジスタ102（トランジスタ102a、102b）と、トランジスタ103（トランジスタ103a、103b）と、キャパシタ106（キャパシタ106a、106b）を有することができる。

10

【0045】

光電変換デバイス101の一方の電極は、トランジスタ102のソースまたはドレインの一方と電氣的に接続される。トランジスタ102のソースまたはドレインの他方は、トランジスタ103のソースまたはドレインの一方、およびキャパシタ106の一方の電極と電氣的に接続される。

【0046】

光電変換デバイス101の他方の電極は、配線114と電氣的に接続される。トランジスタ103のソースまたはドレインの他方は、配線115と電氣的に接続される。トランジスタ102のゲートは、配線116と電氣的に接続される。トランジスタ103のゲートは、配線117と電氣的に接続される。

20

【0047】

ここで、トランジスタ102のソースまたはドレインの他方と、トランジスタ103のソースまたはドレインの一方と、キャパシタ106の一方の電極との電氣的な接続点をノードFD（ノードFDa、ノードFDb）とする。

【0048】

配線114、115は、電源線としての機能を有することができる。例えば、配線114は高電位電源線、配線115は低電位電源線として機能させることができる。配線116、117は、各トランジスタの導通を制御する信号線として機能させることができる。

30

【0049】

光電変換デバイス101としては、フォトダイオードを用いることができる。フォトダイオードの種類は問わず、シリコンを光電変換層に有するSiフォトダイオード、有機光導電膜を光電変換層に有する有機フォトダイオードなどを用いることができる。なお、低照度時の光検出感度を高めたい場合は、アバランシェフォトダイオードを用いることが好ましい。

【0050】

トランジスタ102は、ノードFDの電位を制御する機能を有することができる。トランジスタ103は、ノードFDの電位を初期化する機能を有することができる。

40

【0051】

光電変換デバイス101にアバランシェフォトダイオードを用いる場合は、高電圧を印加することがあり、光電変換デバイス101と接続されるトランジスタには高耐圧のトランジスタを用いることが好ましい。高耐圧のトランジスタには、例えば、チャンネル形成領域に金属酸化物を用いたトランジスタ（以下、OSトランジスタ）などを用いることができる。具体的には、トランジスタ102にOSトランジスタを適用することが好ましい。

【0052】

また、OSトランジスタは、オフ電流が極めて低い特性も有する。トランジスタ102、103にOSトランジスタを用いることによって、ノードFDで電荷を保持できる期間を極めて長くすることができる。そのため、回路構成および動作方法を複雑にすることなく

50

、全画素で同時に電荷の蓄積動作を行うグローバルシャッタ方式を適用することができる。また、ノードFDに画像データを保持させつつ、当該画像データを用いた複数回の演算を行うこともできる。

【0053】

一方で、高速動作などが望まれる場合は、シリコンをチャンネル形成領域に用いた移動度が高いトランジスタ（以下、Siトランジスタ）を用いることが好ましい。したがって、トランジスタ102、103にSiトランジスタを適用してもよい。

【0054】

なお、上記に限らず、OSトランジスタおよびSiトランジスタを任意に組み合わせて適用してもよい。Siトランジスタとしては、アモルファスシリコンを有するトランジスタ、結晶性のシリコン（微結晶シリコン、低温ポリシリコン、単結晶シリコン）を有するトランジスタなどが挙げられる。

10

【0055】

なお、上記は回路10a、10bの回路構成の一例であり、光電変換動作に関しては他の回路構成で行うこともできる。

【0056】

また、回路10a、10bは、図4Aに示すように、トランジスタ175（トランジスタ175a、175b）、およびトランジスタ176（トランジスタ176a、176b）を有する構成としてもよい。

【0057】

トランジスタ175のゲートは、ノードFDと電氣的に接続される。トランジスタ175のソースまたはドレインの一方は、配線118と電氣的に接続される、トランジスタ175のソースまたはドレインの他方は、トランジスタ176のソースまたはドレインの一方と電氣的に接続される。トランジスタ176のソースまたはドレインの他方は、配線OUTと電氣的に接続される。配線118は、電源線として機能することができ、配線115と接続されていてもよい。

20

【0058】

トランジスタ175は、ノードFDの電位に従ってデータを出力するソースフォロアの要素である。また、トランジスタ176は、読み出す受光回路を選択するための選択トランジスタとして機能する。したがって、図4Aの構成の回路10a、10bを用いることで、各受光回路から画像データを配線OUTに読み出すことができる。また、当該構成では、回路20の動作と並行して画像データの読み出しを行うこともできる。

30

【0059】

<差動増幅回路>

回路20は、トランジスタ104（トランジスタ104a、104b）と、トランジスタ105（トランジスタ105a、105b）と、トランジスタ107と、トランジスタ108と、トランジスタ131（トランジスタ131a、131b）を有する構成とすることができる。

【0060】

トランジスタ104aのソースまたはドレインの一方は、トランジスタ105aのゲートおよびトランジスタ107のソースまたはドレインの一方と電氣的に接続される。トランジスタ104bのソースまたはドレインの一方は、トランジスタ105bのゲートおよびトランジスタ107のソースまたはドレインの他方と電氣的に接続される。トランジスタ105aのソースまたはドレインの一方は、トランジスタ131aのソースまたはドレインの一方およびゲートと電氣的に接続される。トランジスタ105bのソースまたはドレインの一方は、トランジスタ131bのソースまたはドレインの一方およびゲートと電氣的に接続される。トランジスタ105aのソースまたはドレインの他方は、トランジスタ105bのソースまたはドレインの他方およびトランジスタ108のソースまたはドレインの一方と電氣的に接続される。

40

【0061】

50

トランジスタ 1 3 1 のソースまたはドレインの他方は、配線 1 2 4 と電氣的に接続される。トランジスタ 1 0 8 のソースまたはドレインの他方は、GND 配線などの基準電位線または低電位電源線と電氣的に接続される。トランジスタ 1 0 4 a のゲートは、配線 1 2 1 と電氣的に接続される。トランジスタ 1 0 4 b のゲートは、配線 1 2 2 と電氣的に接続される。トランジスタ 1 0 7 のゲートは、配線 1 2 3 と電氣的に接続される。

【 0 0 6 2 】

配線 1 2 4 は、例えば、高電位電源を供給する電源線としての機能を有することができる。配線 1 2 1、配線 1 2 2、配線 1 2 3 は、各トランジスタの導通を制御する信号線としての機能を有することができる。

【 0 0 6 3 】

トランジスタ 1 0 4 は、スイッチとして機能する。トランジスタ 1 0 4 a のソースまたはドレインの他方は回路 1 0 a のノード F D a と電氣的に接続される。また、トランジスタ 1 0 4 b のソースまたはドレインの他方は、回路 1 0 b のノード F D b と電氣的に接続される。したがって、トランジスタ 1 0 4 は、回路 1 0 a、1 0 b の要素であるということもできる。

【 0 0 6 4 】

トランジスタ 1 0 5 は、差動増幅回路の差動トランジスタ対として機能する。トランジスタ 1 0 5 a のゲートは、回路 2 0 の第 1 の入力端子として機能する。また、トランジスタ 1 0 5 b のゲートは、回路 2 0 の第 2 の入力端子として機能する。したがって、第 1 の入力端子には、回路 1 0 a が生成したデータを入力することができる。また、第 2 の入力端子には、回路 1 0 b が生成したデータを入力することができる。

【 0 0 6 5 】

トランジスタ 1 0 7 はスイッチとして機能し、第 1 の入力端子と第 2 の入力端子とを同じ電位にすることができる。当該スイッチは、参照データの取得時に用いることができる。

【 0 0 6 6 】

トランジスタ 1 0 8 は電流源として機能し、ゲートには適切な電位 ( B i a s ) が供給される。なお、トランジスタ 1 0 8 の代わりに抵抗素子を用いてもよい。

【 0 0 6 7 】

トランジスタ 1 3 1 は、電圧変換回路として機能する。なお、図 3 では、トランジスタ 1 3 1 をダイオード接続の p チャネル型トランジスタとして例示しているが、ダイオード接続の n チャネル型トランジスタとしてもよい。または、トランジスタ 1 3 1 の代わりにダイオード素子、抵抗素子、またはカスコード回路を用いてもよい。

【 0 0 6 8 】

また、トランジスタ 1 0 5 b のソースまたはドレインの一方とトランジスタ 1 3 1 b のソースまたはドレインの一方を接続する配線の一部は出力端子としても機能し、図 3 では、ノード N として表している。出力端子 ( ノード N ) には、回路 1 0 a の出力データと回路 1 0 b の出力データの差に応じて増幅されたデータ電位を出力することができる。

【 0 0 6 9 】

なお、回路 2 0 は、図 4 B に示すように、トランジスタ 1 0 4 およびトランジスタ 1 0 7 を省いた構成としてもよい。トランジスタ 1 0 4 およびトランジスタ 1 0 7 は、第 1 の入力端子および第 2 の入力端子を同じ電位とするために設けられるが、当該電位としてトランジスタ 1 0 3 から供給される配線 1 1 5 の電位 ( リセット電位 ) を用いれば、トランジスタ 1 0 4 およびトランジスタ 1 0 7 を省くことができる。

【 0 0 7 0 】

< 演算回路 >

回路 3 0 は、トランジスタ 1 3 2 と、トランジスタ 1 3 3 と、トランジスタ 1 3 4 と、トランジスタ 1 4 2 と、トランジスタ 1 4 3 と、トランジスタ 1 4 4 と、キャパシタ 1 3 5 と、キャパシタ 1 4 5 を有する構成とすることができる。

【 0 0 7 1 】

トランジスタ 1 3 2 のソースまたはドレインの一方は、キャパシタ 1 3 5 の一方の電極お

10

20

30

40

50

よびトランジスタ 1 3 3 のゲートと電氣的に接続される。キャパシタ 1 3 5 の他方の電極は、トランジスタ 1 3 4 のソースまたはドレインの一方と電氣的に接続される。トランジスタ 1 4 2 のソースまたはドレインの一方は、キャパシタ 1 4 5 の一方の電極およびトランジスタ 1 4 3 のゲートと電氣的に接続される。キャパシタ 1 4 5 の他方の電極は、トランジスタ 1 4 4 のソースまたはドレインの一方と電氣的に接続される。

【 0 0 7 2 】

トランジスタ 1 3 2 のゲートは、配線 1 2 5 と電氣的に接続される。トランジスタ 1 4 2 のゲートは、配線 1 2 6 と電氣的に接続される。トランジスタ 1 3 4 のゲートおよびトランジスタ 1 4 4 のゲートは、配線 1 2 7 と電氣的に接続される。トランジスタ 1 3 2 のソースまたはドレインの他方およびトランジスタ 1 4 2 のソースまたはドレインの他方は、

10

【 0 0 7 3 】

トランジスタ 1 3 3 のソースまたはドレインの一方は、配線 1 5 1 と電氣的に接続される。トランジスタ 1 4 3 のソースまたはドレインの一方は、配線 1 5 2 と電氣的に接続される。

トランジスタ 1 3 3 のソースまたはドレインの他方およびトランジスタ 1 4 3 のソースまたはドレインの他方は、GND 配線などの基準電位線または低電位電源線と電氣的に接続される。

20

【 0 0 7 4 】

配線 1 2 5、配線 1 2 6、配線 1 2 7 は、各トランジスタの導通を制御する信号線としての機能を有することができる。配線 1 2 8 は、例えば、重み係数（畳み込み処理のフィルタなど）に相当する電位を供給することができる配線であり、回路 3 0 5（図 1 参照）と電氣的に接続される。配線 1 5 1 は、回路 2 3 0 および回路 2 4 0 と電氣的に接続される配線であり、配線 1 5 2 は、回路 2 3 0 と電氣的に接続される配線である（図 2 参照）。

【 0 0 7 5 】

ここで、トランジスタ 1 3 2 のソースまたはドレインの一方、キャパシタ 1 3 5 の一方の電極、およびトランジスタ 1 3 3 のゲートが接続される点（配線）をノード P 1 とする。また、トランジスタ 1 4 2 のソースまたはドレインの一方、キャパシタ 1 4 5 の一方の電極、およびトランジスタ 1 4 3 のゲートが接続される点（配線）をノード P 2 とする。

30

【 0 0 7 6 】

ノード P 1 およびノード P 2 には、回路 2 0 が出力するデータを格納することができる。また、ノード P 1 およびノード P 2 はフローティングとすることができる。したがって、ノード P 1 およびノード P 2 に保持されたデータに、配線 1 2 8 から供給される電位（重み係数）をキャパシタ 1 3 5 またはキャパシタ 1 4 5 の容量結合で与えることができる。

【 0 0 7 7 】

< 読み出し回路 >

次に、読み出し回路 2 2 0 の構成について説明する。読み出し回路 2 2 0 は、電流源回路として機能する回路 2 3 0 と、差分抽出回路として機能する回路 2 4 0 を有する。

40

【 0 0 7 8 】

< 電流源回路 >

回路 2 3 0 は画素 1 0 0 に保持されたデータに従って電流を流すことができ、例えば、図 5 A に示す構成とすることができる。回路 2 3 0 は、電流供給部 2 2 5 およびカレントミラー部 2 2 6 を有する構成とすることができる。

【 0 0 7 9 】

図 5 A は、n - c h 型トランジスタを用いた構成である。電流供給部 2 2 5 は、トランジスタ 2 2 2、2 5 2、トランジスタ 2 2 3、2 5 3 を有する構成とすることができる。

【 0 0 8 0 】

トランジスタ 2 2 2 のソースまたはドレインの一方は、信号線 F G と電氣的に接続される

50

。トランジスタ 2 2 2 のソースまたはドレインの他方は、トランジスタ 2 2 3 のゲートと電氣的に接続される。トランジスタ 2 5 2 のソースまたはドレインの一方は、信号線 F G R E F と電氣的に接続される。トランジスタ 2 5 2 のソースまたはドレインの他方は、トランジスタ 2 5 3 のゲートと電氣的に接続される。トランジスタ 2 2 2 のゲート、およびトランジスタ 2 5 2 のゲートは、配線 2 1 3 と電氣的に接続される。

【 0 0 8 1 】

トランジスタ 2 2 3 のソースまたはドレインの一方は配線 1 5 1 と電氣的に接続される。トランジスタ 2 5 3 のソースまたはドレインの一方は配線 1 5 2 と電氣的に接続される。トランジスタ 2 2 3 のソースまたはドレインの他方、およびトランジスタ 2 5 3 のソースまたはドレインの他方は、高電位電源線 ( V D D ) と電氣的に接続される。

10

【 0 0 8 2 】

電流供給部 2 2 5 では、信号線 F G、F G R E F には適切な信号電位が供給され、配線 2 1 3 に高電位 ( “ H ” ) を供給することで、トランジスタ 2 2 2、2 5 2、およびトランジスタ 2 2 3、2 5 3 が導通し、配線 1 5 1 および配線 1 5 2 に電流を供給することができる。

【 0 0 8 3 】

カレントミラー部 2 2 6 は、トランジスタ 2 5 4、およびトランジスタ 2 2 4 を有する構成とすることができる。トランジスタ 2 5 4 のゲートおよびソースまたはドレインの一方は配線 1 5 2 と電氣的に接続される。トランジスタ 2 2 4 のソースまたはドレインの一方は配線 1 5 1 と電氣的に接続される。トランジスタ 2 2 4 のソースまたはドレインの他方およびトランジスタ 2 5 4 のソースまたはドレインの他方は、低電位電源線 ( V S S ) と電氣的に接続される。トランジスタ 2 2 4 のゲートはトランジスタ 2 5 4 のゲートと電氣的に接続され、トランジスタ 2 2 4 にはトランジスタ 2 5 4 と同じ電流 ( I C M ) を流すことができる。

20

【 0 0 8 4 】

なお、電流供給部 2 2 5 は、図 5 B に示すように p - c h 型トランジスタを用いた構成であってもよい。トランジスタ 2 6 2 の出力側が配線 1 5 2 およびトランジスタ 2 6 1 のゲートと電氣的に接続された構成となっている。

【 0 0 8 5 】

< 差分抽出回路 >

30

回路 2 4 0 は差分抽出回路であり、画素 1 0 0 および回路 2 3 0 に流れる電流を用いて、データと重み係数との積 ( 積和演算結果 ) を抽出することができる。図 2 に示すように、各画素 1 0 0 は、配線 1 5 1 で互いに電氣的に接続される。回路 2 4 0 は、各画素 1 0 0 のトランジスタ 1 3 3 に流れる電流の和を用いて演算を行うことができる。

【 0 0 8 6 】

回路 2 4 0 は、キャパシタ 2 0 2 と、トランジスタ 2 0 3 と、トランジスタ 2 0 4 と、トランジスタ 2 0 5 と、トランジスタ 2 0 6 と、電圧変換回路としてトランジスタ 2 0 7 を有する。トランジスタ 2 0 7 のゲートには、適切なアナログ電位 ( B i a s ) が印加される。

【 0 0 8 7 】

40

キャパシタ 2 0 2 の一方の電極は、トランジスタ 2 0 3 のソースまたはドレインの一方、およびトランジスタ 2 0 4 のゲートと電氣的に接続される。トランジスタ 2 0 4 のソースまたはドレインの一方は、トランジスタ 2 0 5 のソースまたはドレインの一方、およびトランジスタ 2 0 6 のソースまたはドレインの一方と電氣的に接続される。キャパシタ 2 0 2 の他方の電極は、配線 1 5 1 およびトランジスタ 2 0 7 のソースまたはドレインの一方と電氣的に接続される。

【 0 0 8 8 】

ここで、キャパシタ 2 0 2 の一方の電極、トランジスタ 2 0 3 のソースまたはドレインの一方、およびトランジスタ 2 0 4 のゲートを接続する点をノード C とする。

【 0 0 8 9 】

50

トランジスタ 203 のソースまたはドレインの他方は、配線 218 と電氣的に接続される。トランジスタ 204 のソースまたはドレインの他方は、配線 219 と電氣的に接続される。トランジスタ 205 のソースまたはドレインの他方は、GND 配線などの基準電源線と電氣的に接続される。トランジスタ 206 のソースまたはドレインの他方は、配線 212 と電氣的に接続される。トランジスタ 207 のソースまたはドレインの他方は、GND 配線などの基準電源線と電氣的に接続される。トランジスタ 203 のゲートは、配線 216 と電氣的に接続される。トランジスタ 205 のゲートは、配線 215 と電氣的に接続される。トランジスタ 206 のゲートは、配線 214 と電氣的に接続される。

【0090】

配線 218、219 は、電源線としての機能を有することができる。例えば、配線 218 は、読み出し用のリセット電位 ( $V_r$ ) を供給する配線としての機能を有することができる。配線 219 は、高電位電源線として機能させることができる。配線 214、215、216 は、各トランジスタの導通を制御する信号線として機能させることができる。配線 212 は出力線であり、例えば、図 1 に示す回路 301 と電氣的に接続することができる。

10

【0091】

トランジスタ 203 は、ノード C の電位を配線 218 の電位にリセットする機能を有することができる。トランジスタ 204、205 は、ソースフォロア回路としての機能を有することができる。トランジスタ 206 は、読み出しを制御する機能を有することができる。なお、回路 240 は、相関二重サンプリング回路 (CDS 回路) としての機能を有し、当該機能を有する他の構成の回路に置き換えることもできる。

20

【0092】

<動作>

次に、本発明の一態様の撮像装置の動作を説明する。本発明の一態様では、まず、画素 100 において、回路 10a と回路 10b の出力に差がないときのデータ (参照データ) を取得する。次に、回路 10a と回路 10b のそれぞれにおいて、光電変換により画像データを取得し、それらの差分データを取得する。

【0093】

次に、参照データおよび差分データに基づいて回路 230 から回路 240 に流れる電流を電圧変換したデータと、参照データおよび差分データに重みを与えたときに回路 230 から回路 240 に流れる電流を電圧変換したデータとの差分電位を回路 240 で抽出する。

30

【0094】

当該差分電位は、回路 220 が流す電流から様々なオフセット成分を除いたデータに相当し、差分データと重み係数との積の項で表される電流を電圧変換したデータとなる。すなわち、差分データと重み係数との積を抽出することができる。

【0095】

差分データと重み係数との積の抽出について、ここでは全体の流れを説明するため、画素 100 の動作の説明は省略し、ノード P1 に、回路 10a および回路 10b の差分データ (光電変換により得られたデータの差分) に相当するデータ電位 X が格納され、ノード P2 に、回路 10a と回路 10b の出力に差がないときに回路 20 が出力するデータ電位 (参照データ、理想的には 0) が格納された状態であるとして説明する。画素 100 の詳細な動作は後述する。

40

【0096】

画素ブロック 200 では、差分データ (電位 X) と重み係数 (電位 W) との積以外のオフセット成分を除去し、目的の WX を抽出することができる。回路 230 として図 5A に示す回路を用いた場合の WX 抽出の流れは以下の通りである。

【0097】

まず、回路 240 において、トランジスタ 203 を導通状態とし、配線 218 からノード C に電位  $V_r$  を書き込む。ここで電位  $V_r$  は、読み出し動作に用いるリセット電位である。

【0098】

このとき、画素 100 の回路 30 のノード P1 には、差分データ (電位 X) が書き込まれ

50

ているとする。また、ノードP2には、参照データ0が書き込まれていることとする。また、配線128から書き込まれる重み係数は0とする。

【0099】

このとき、回路230から各画素100のトランジスタ133に流れる電流の合計は、 $k(X - V_{th})^2$ となる。また、回路230から各画素100のトランジスタ143に流れる電流の合計は、 $k(0 - V_{th})^2$ となる。ここで、 $k$ は定数、 $V_{th}$ はそれぞれのトランジスタのしきい値電圧である。

【0100】

回路230において、トランジスタ223に流れる電流の合計を $I_C$ 、トランジスタ253に流れる電流の合計を $I_{CREF}$ 、トランジスタ224およびトランジスタ254に流れる電流を $I_{CM}$ とする(図5A参照)。

10

【0101】

このとき、 $I_{CREF0}$ (重み0のときの $I_{CREF}$ ) $=I_{CM0} + k(0 - V_{th})^2$ であるから、 $I_{CM0} = I_{CREF0} - k(0 - V_{th})^2$ となる。

【0102】

ここで、回路240のトランジスタ207に流れる電流 $I_{R0}$ (重み0のときの $I_R$ )は、 $I_{R0} = I_C - I_{CM0} - k(X - V_{th})^2$ となる。すなわち、 $I_{R0} = I_C - I_{CREF0} + k(0 - V_{th})^2 - k(X - V_{th})^2$ となる。

【0103】

そして、回路240のトランジスタ203を非導通状態とし、ノードCに電位 $V_r$ を保持する。

20

【0104】

次に、配線128に重み係数( $W$ )に相当する電位を供給し、容量結合でノードP1、ノードP2に重み係数( $W$ )を与える。

【0105】

このとき、回路230から各画素100のトランジスタ133に流れる電流の合計は、 $k(X + W - V_{th})^2$ となる。また、回路230から各画素100のトランジスタ143に流れる電流の合計は、 $k(W - V_{th})^2$ となる。

【0106】

したがって、回路240のトランジスタ207に流れる電流 $I_R$ は、 $I_R = I_C - I_{CM} - k(X + W - V_{th})^2$ となる。すなわち、 $I_R = I_C - I_{CREF} + k(W - V_{th})^2 - k(X + W - V_{th})^2$ となる。

30

【0107】

ここで、 $I_{R0}$ と $I_R$ の差分をとると、 $I_{R0} - I_R = k(V_{th}^2 - (X - V_{th})^2 - (W - V_{th})^2 + (W + X - V_{th})^2) = k(2WX)$ となる。すなわち、オフセット成分が除かれ、 $WX$ からなる項を抽出することができる。

【0108】

上記差分は、回路240で抽出することができる。 $I_{R0}$ はノードCの電位 $V_r$ として初期化されており、ノードCがフローティングの状態配線151の電位が、重み係数0の状態から重み係数 $W$ の状態に変化することから、当該電位の差分 $Y$ ( $I_{R0}$ と $I_R$ の差分に相当)がキャパシタ202の容量結合でノードCに付加される。ここで、ノードCは $V_r + Y$ となり、電位 $V_r = 0$ とみなせば、 $Y$ は $I_{R0}$ と $I_R$ の差分を電圧変換した電位そのものである。すなわち、 $WX$ を抽出することができる。

40

【0109】

次に、図6に示すタイミングチャートに従って、画素100の動作および画素ブロック200の動作を説明する。なお、ここで説明する画素100は、図3に示す構成とする。また、電源線などには所定の電位が供給されていることとする。

【0110】

<画素100の動作>

時刻T1に、配線116の電位を“H”、配線117の電位を“H”、配線121の電位を“H 50

”、配線 1 2 2 の電位を “ H ”、配線 1 2 3 の電位を “ L ” とすると、回路 1 0 a および回路 1 0 b において、トランジスタ 1 0 2、トランジスタ 1 0 3 が導通し、ノード F D a の電位およびノード F D b の電位がリセット電位（配線 1 1 5 の電位）となる。

【 0 1 1 1 】

時刻 T 2 に、配線 1 1 6 の電位を “ L ”、配線 1 1 7 の電位を “ L ”、配線 1 2 1 の電位を “ L ”、配線 1 2 2 の電位を “ L ”、配線 1 2 3 の電位を “ L ” とすると、トランジスタ 1 0 2、トランジスタ 1 0 3、トランジスタ 1 0 4 が非導通となり、ノード F D a およびノード F D b には、リセット電位が保持される。また、光電変換デバイス 1 0 1 では、蓄積動作が開始される。

【 0 1 1 2 】

時刻 T 3 に、配線 1 1 6 の電位を “ H ”、配線 1 2 2 の電位を “ H ”、配線 1 2 3 の電位を “ H ” とすると、トランジスタ 1 0 2 が導通し、光電変換デバイス 1 0 1 に蓄積された電荷がノード F D a およびノード F D b に転送される。その後、配線 1 1 6 の電位を “ L ” とし、ノード F D a およびノード F D b の電位を保持する。

【 0 1 1 3 】

また、トランジスタ 1 0 4 b、トランジスタ 1 0 7 が導通し、ノード F D b の電位が回路 2 0 の第 1 の入力端子（トランジスタ 1 0 5 a のゲート）および第 2 の入力端子（トランジスタ 1 0 5 b のゲート）に入力される。

【 0 1 1 4 】

このとき、回路 2 0 の出力端子（ノード N）には、第 1 の入力端子に入力されたデータと第 2 の入力端子に入力されたデータの差に応じて増幅されたデータ電位が出力される。ここで、回路 2 0 の出力端子（ノード N）に出力されるデータ電位は、参照データと呼ぶことができる。参照データは、第 1 の入力端子に入力されたデータと第 2 の入力端子に入力されたデータとの差がないときに出力されるデータである。

【 0 1 1 5 】

なお、回路 2 0 に図 4 B の構成を用いた場合は、ノード F D a およびノード F D b をリセット電位としたときに参照データを出力すればよい。

【 0 1 1 6 】

時刻 T 4 に、配線 1 2 6 の電位を “ H ” とすると、回路 3 0 のノード P 2 に回路 2 0 の出力端子（ノード N）の電位が書き込まれる。その後、配線 1 2 6 の電位を “ L ” とし、ノード P 2 の電位を保持する。なお、時刻 T 4 より前に配線 1 2 7 の電位を “ H ” とし、キャパシタ 1 3 5、1 4 5 の他方の電極の電位を配線 1 2 8 の電位（例えば 0）としておく。

【 0 1 1 7 】

時刻 T 5 に、配線 1 2 1 の電位を “ H ”、配線 1 2 2 の電位を “ H ”、配線 1 2 3 の電位を “ L ” とすると、トランジスタ 1 0 4 a が導通し、トランジスタ 1 0 7 が非導通となり、回路 2 0 の第 1 の入力端子にはノード F D a の電位が書き込まれる。なお、回路 2 0 の第 2 の入力端子には、ノード F D b の電位が書き込まれている。

【 0 1 1 8 】

したがって、回路 2 0 の出力端子（ノード N）には、ノード F D a とノード F D b との差分に応じて増幅されたデータ電位が出力される。ここで、回路 2 0 の出力端子（ノード N）に出力されるデータ電位は、回路 1 0 a が取得した画像データと回路 1 0 b が取得した画像データの差に応じて増幅された電位であり、差分データと呼ぶことができる。または、画像データ、撮像データと呼ぶこともできる。

【 0 1 1 9 】

時刻 T 6 に、配線 1 2 5 の電位を “ H ” とすると、回路 3 0 のノード P 1 に回路 2 0 の出力端子（ノード N）の電位が書き込まれる。その後、配線 1 2 5 の電位を “ L ” とし、ノード P 1 の電位を保持する。

【 0 1 2 0 】

時刻 T 7 に、配線 1 2 1 の電位を “ L ”、配線 1 2 2 の電位を “ L ”、配線 1 2 7 の電位を “ L ” とすると、トランジスタ 1 0 4、トランジスタ 1 3 4、トランジスタ 1 4 4 が非導通とな

10

20

30

40

50

り、回路10a、回路10b、および回路20の一連の動作が終了する。

【0121】

<回路220、回路230の動作>

また、時刻T7に、配線213の電位を“H”とすると、回路230において、トランジスタ222、トランジスタ252のゲートに適切なバイアスが供給され、トランジスタ223に電流ICが流れ、トランジスタ253に電流ICREFが流れる(図5A参照)。そして、配線213の電位を“L”とする。

【0122】

ここで、ICREFは、トランジスタ254に流れる電流(ICM)と、回路30のトランジスタ143に流れる電流の和になる。また、電流ICは、トランジスタ224に流れる電流(ICM)と、回路30のトランジスタ133に流れる電流と、回路240のトランジスタ207に流れる電流との和になる。

10

【0123】

また、上記状態で配線151の電位が確定しているとき、配線216の電位を“H”とし、ノードCに配線218の電位“Vr”を書き込む。そして、配線216の電位を“L”とし、ノードCをフローティングとして電位“Vr”を保持する。

【0124】

時刻T8に、配線127の電位を“H”とし、トランジスタ134、144を導通させ、配線128に重み係数に相当する電位Wを供給すると、回路30のノードP1、ノードP2に保持されている電位に、電位Wが容量結合で与えられる。このとき、重み係数0の状態から重み係数Wの状態に変化することから、回路230のトランジスタ207に流れる電流が変化する。

20

【0125】

このとき、配線151の電位の変化分“Y”がキャパシタ202の容量結合でノードCに付加される。ここで、ノードCの電位は“Vr+Y”となり、電位“Vr”=0とみなせば、ノードCの電位はトランジスタ207に流れる電流の差分を電圧変換した電位“Y”となる。すなわち、前述した電流式に従ってWXを抽出することができる。

【0126】

時刻T9に、配線214の電位を“H”、配線215に適切なバイアスを供給すると、回路240はソースフォロア動作により、WXに応じた信号電位を配線212に出力することができる。

30

【0127】

時刻T10に、配線127の電位を“L”、配線213の電位を“L”、配線214の電位を“L”、配線215の電位を“L”とし、読み出し動作を終了する。

【0128】

上記動作によって回路240から出力されるWXは、回路301に入力することができる。

【0129】

なお、上記ではノードP1およびノードP2に同時性のあるデータを書き込み、当該データに従ったデータを抽出する例を示したが、ノードP1およびノードP2のデータに時差があってもよい。例えば、第1のフレームのデータをノードP1に書き込み、第2のフレームのデータをノードP2に書き込むことで、運動視差を含む情報を抽出することができる。運動視差からは奥行(距離)の情報を得ることができ、立体映像を構成することができる。

40

【0130】

<回路301、302>

図7Aは、回路240と接続する回路301および回路302を説明する図である。回路240から出力される積和演算結果のデータは、回路301に順次入力される。回路301は、様々な演算機能を有していてもよい。または、回路301の機能をソフトウェア処理で代替してもよい。

【0131】

50

例えば、回路301は、活性化関数の演算を行う回路を有することができる。当該回路には、例えばコンパレータ回路を用いることができる。コンパレータ回路では、入力されたデータと、設定されたしきい値とを比較した結果を2値データとして出力する。すなわち、画素ブロック200および回路301は、ニューラルネットワークの一部の要素として作用することができる。

【0132】

また、回路301はA/Dコンバータを有していてもよい。積和演算などを行わず、画像データを外部に出力するときは、回路301でアナログデータをデジタルデータに変換することができる。例えば、図4Aに示す回路10aおよび回路10bが配線OUTを介して回路301と電氣的に接続することができる。

10

【0133】

また、画素ブロック200が出力するデータは複数ビットの画像データに相当するが、回路301で2値化できる場合は、画像データを圧縮しているともいえる。

【0134】

回路301から出力されたデータは、回路302に順次入力される。回路302は、例えばラッチ回路およびシフトレジスタなどを有する構成とすることができる。当該構成によって、パラレルシリアル変換を行うことができ、並行して入力されたデータを配線311にシリアルデータとして出力することができる。配線311の接続先は限定されない。例えば、ニューラルネットワーク、記憶装置、通信装置などと接続することができる。

【0135】

また、図7Bに示すように、回路302はニューラルネットワークを有していてもよい。当該ニューラルネットワークは、マトリクス状に配置されたメモリセルを有し、各メモリセルには重み係数が保持されている。回路301から出力されたデータはメモリセル320にそれぞれ入力され、積和演算を行うことができる。なお、図7Bに示すメモリセルの数は一例であり、限定されない。

20

【0136】

図7Bに示すニューラルネットワークは、マトリクス状に設置されたメモリセル320および参照メモリセル325と、回路330と、回路350と、回路360と、回路370を有する。

【0137】

図8にメモリセル320および参照メモリセル325の一例を示す。参照メモリセル325は、任意の一行に設けられる。メモリセル320および参照メモリセル325は同様の構成を有し、トランジスタ161と、トランジスタ162と、キャパシタ163と、を有する。

30

【0138】

トランジスタ161のソースまたはドレインの一方は、トランジスタ162のゲートと電氣的に接続される。トランジスタ162のゲートは、キャパシタ163の一方の電極と電氣的に接続される。ここで、トランジスタ161のソースまたはドレインの一方、トランジスタ162のゲート、キャパシタ163の一方の電極が接続される点をノードNMとする。

40

【0139】

トランジスタ161のゲートは、配線WLと電氣的に接続される。キャパシタ163の他方の電極は、配線RWと電氣的に接続される。トランジスタ162のソースまたはドレインの一方は、GND配線等の基準電位配線と電氣的に接続される。

【0140】

メモリセル320において、トランジスタ161のソースまたはドレインの他方は、配線WDと電氣的に接続される。トランジスタ162のソースまたはドレインの他方は、配線BLと電氣的に接続される。

【0141】

参照メモリセル325において、トランジスタ161のソースまたはドレインの他方は、

50

配線W D r e fと電氣的に接続される。トランジスタ162のソースまたはドレインの他方は、配線B L r e fと電氣的に接続される。

【0142】

配線W Lは、回路330と電氣的に接続される。回路330にはデコーダまたはシフトレジスタなどを用いることができる。

【0143】

配線R Wは、回路301と電氣的に接続される。各メモリセルには、回路301から出力された2値のデータが書き込まれる。なお、回路301と各メモリセルとの間にシフトレジスタなどの順序回路を有していてもよい。

【0144】

配線W Dおよび配線W D r e fは、回路350と電氣的に接続される。回路350には、デコーダまたはシフトレジスタなどを用いることができる。また、回路350は、D/AコンバータおよびS R A Mを有していてもよい。回路350は、ノードN Mに書き込まれる重み係数を出力することができる。

【0145】

配線B Lおよび配線B L r e fは、回路360と電氣的に接続される。回路360は、回路240と同等の構成とすることができる。回路360により、積和演算結果からオフセット成分を除いた信号を得ることができる。

【0146】

回路360は、回路370と電氣的に接続される。回路370は、活性化関数回路とも換言できる。活性化関数回路は、回路360から入力された信号を、あらかじめ定義された活性化関数に従って変換するための演算を行う機能を有する。活性化関数としては、例えば、シグモイド関数、t a n h関数、s o f t m a x関数、R e L U関数、しきい値関数などを用いることができる。活性化関数回路によって変換された信号は、出力データとして外部に出力される。

【0147】

図9Aに示すように、ニューラルネットワークN Nは、入力層I L、出力層O L、中間層(隠れ層)H Lによって構成することができる。入力層I L、出力層O L、中間層H Lは、それぞれ1または複数のニューロン(ユニット)を有する。なお、中間層H Lは1層であってもよいし2層以上であってもよい。2層以上の中間層H Lを有するニューラルネットワークはD N N(ディープニューラルネットワーク)と呼ぶこともできる。また、ディープニューラルネットワークを用いた学習は、深層学習と呼ぶこともできる。

【0148】

入力層I Lの各ニューロンには、入力データが入力される。中間層H Lの各ニューロンには、前層または後層のニューロンの出力信号が入力される。出力層O Lの各ニューロンには、前層のニューロンの出力信号が入力される。なお、各ニューロンは、前後の層の全てのニューロンと結合されていてよいし(全結合)、一部のニューロンと結合されていてよい。

【0149】

図9Bに、ニューロンによる演算の例を示す。ここでは、ニューロンNと、ニューロンNに信号を出力する前層の2つのニューロンを示している。ニューロンNには、前層のニューロンの出力 $x_1$ と、前層のニューロンの出力 $x_2$ が入力される。そして、ニューロンNにおいて、出力 $x_1$ と重み $w_1$ の乗算結果( $x_1 w_1$ )と出力 $x_2$ と重み $w_2$ の乗算結果( $x_2 w_2$ )の総和 $x_1 w_1 + x_2 w_2$ が計算された後、必要に応じてバイアス $b$ が加算され、値 $a = x_1 w_1 + x_2 w_2 + b$ が得られる。そして、値 $a$ は活性化関数 $h$ によって変換され、ニューロンNから出力信号 $y = a h$ が出力される。

【0150】

このように、ニューロンによる演算には、前層のニューロンの出力と重みの積を足し合わせる演算、すなわち積和演算が含まれる(上記の $x_1 w_1 + x_2 w_2$ )。この積和演算は、プログラムを用いてソフトウェア上で行ってもよいし、ハードウェアによって行われても

10

20

30

40

50

よい。

【0151】

本発明の一態様では、ハードウェアとしてアナログ回路を用いて積和演算を行う。積和演算回路にアナログ回路を用いる場合、積和演算回路の回路規模の縮小、または、メモリへのアクセス回数の減少による処理速度の向上および消費電力の低減を図ることができる。

【0152】

積和演算回路は、OSトランジスタを有する構成とすることが好ましい。OSトランジスタはオフ電流が極めて小さいため、積和演算回路のアナログメモリを構成するトランジスタとして好適である。なお、SiトランジスタとOSトランジスタの両方を用いて積和演算回路を構成してもよい。

【0153】

本実施の形態は、他の実施の形態の記載と適宜組み合わせることができる。

【0154】

(実施の形態2)

本実施の形態では、本発明の一態様の撮像装置の構造例などについて説明する。

【0155】

<構造例>

図10Aは、撮像装置の画素の構造の一例を示す図であり、層561および層563の積層構造とすることができる。

【0156】

層561は、光電変換デバイス101を有する。光電変換デバイス101は、図11Aに示すように層565aと、層565bを有することができる。なお、場合によって、層を領域と言い換えてもよい。

【0157】

図11Aに示す光電変換デバイス101はpn接合型フォトダイオードであり、例えば、層565aにp型半導体、層565bにn型半導体を用いることができる。または、層565aにn型半導体、層565bにp型半導体用いてもよい。

【0158】

上記pn接合型フォトダイオードは、代表的には単結晶シリコンを用いて形成することができる。単結晶シリコンを光電変換層とするフォトダイオードは、紫外光から近赤外光まで比較的広い分光感度特性を有し、後述する光学変換層と組み合わせることで、様々な波長の光を検出することができる。

【0159】

そのほか、pn接合型フォトダイオードの光電変換層として、化合物半導体を用いてもよい。当該化合物半導体としては、例えば、ガリウム-ヒ素-リン化合物(GaAsP)、ガリウム-リン化合物(GaP)、インジウム-ガリウム-ヒ素化合物(InGaAs)、鉛-硫黄化合物(PbS)、鉛-セレン化合物(PbSe)、インジウム-ヒ素化合物(InAs)、インジウム-アンチモン化合物(InSb)、水銀-カドミウム-テルル化合物(HgCdTe)などを用いることができる。

【0160】

化合物半導体としては、13族元素(アルミニウム、ガリウム、インジウムなど)および15族元素(窒素、リン、ヒ素、アンチモンなど)を有する化合物半導体(3-5族化合物半導体とも言う)、または、12族元素(マグネシウム、亜鉛、カドミウム、水銀など)および16族元素(酸素、硫黄、セレン、テルルなど)を有する化合物半導体(2-6族化合物半導体とも言う)であることが好ましい。

【0161】

化合物半導体は、構成元素の組み合わせおよびその原子数比に応じてバンドギャップを変化させることができるため、紫外光から赤外光まで様々な波長範囲に感度を有するフォトダイオードを形成することができる。

【0162】

10

20

30

40

50

なお、紫外光の波長は、 $0.01\ \mu\text{m}$ 近傍乃至 $0.38\ \mu\text{m}$ 近傍、可視光の波長は、 $0.38\ \mu\text{m}$ 近傍乃至 $0.75\ \mu\text{m}$ 近傍、近赤外光の波長は、 $0.75\ \mu\text{m}$ 近傍乃至 $2.5\ \mu\text{m}$ 近傍)、中赤外光の波長は、 $2.5\ \mu\text{m}$ 近傍乃至 $4\ \mu\text{m}$ 近傍、遠赤外光の波長は、 $4\ \mu\text{m}$ 近傍乃至 $1000\ \mu\text{m}$ 近傍、と一般的に定義することができる。

【0163】

例えば、紫外光から可視光にかけて光感度を有するフォトダイオードを形成するには、光電変換層にGaPなどを用いることができる。また、紫外光から近赤外光にかけて光感度を有するフォトダイオードを形成するには、光電変換層に前述したシリコンまたはGaAsPなどを用いることができる。また、可視光から中赤外光にかけて光感度を有するフォトダイオードを形成するには、光電変換層にInGaAsなどを用いることができる。また、近赤外光から中赤外光にかけて光感度を有するフォトダイオードを形成するには、光電変換層にPbSまたはInAsなどを用いることができる。また、中赤外光から遠赤外光にかけて光感度を有するフォトダイオードを形成するには、光電変換層にPbSe、InSbまたはHgCdTeなどを用いることができる。

10

【0164】

なお、上記化合物半導体を用いたフォトダイオードは、pn接合だけでなく、pin接合であってもよい。また、pn接合およびpin接合は、ホモ接合構造に限らず、ヘテロ接合構造であってもよい。

【0165】

例えば、ヘテロ接合では、pn接合構造の一方の層に第1の化合物半導体を用い、他方の層に第1の化合物半導体とは異なる第2の化合物半導体を用いることができる。また、pin接合構造のいずれか1層または2層に第1の化合物半導体を用い、その他の層に第1の化合物半導体とは異なる第2の化合物半導体を用いることができる。なお、第1の化合物半導体または第2の化合物半導体の一方は、シリコンなどの単体の半導体であってもよい。

20

【0166】

なお、画素毎に異なる材料を用いて、フォトダイオードの光電変換層を形成してもよい。当該構成を用いることで、紫外光を検出する画素、可視光を検出する画素、赤外光を検出する画素などのいずれか2種類の画素、または3種類の画素を有する撮像装置を形成することができる。

30

【0167】

また、層561が有する光電変換デバイス101は、図11Bに示すように、層566aと、層566bと、層566cと、層566dとの積層としてもよい。図11Bに示す光電変換デバイス101はアバランシェフォトダイオードの一例であり、層566a、層566dは電極に相当し、層566b、566cは光電変換部に相当する。

【0168】

層566aは、低抵抗の金属層などとするのが好ましい。例えば、アルミニウム、チタン、タングステン、タンタル、銀またはそれらの積層を用いることができる。

【0169】

層566dは、可視光に対して高い透光性を有する導電層を用いるのが好ましい。例えば、インジウム酸化物、錫酸化物、亜鉛酸化物、インジウム - 錫酸化物、ガリウム - 亜鉛酸化物、インジウム - ガリウム - 亜鉛酸化物、またはグラフェンなどを用いることができる。なお、層566dを省く構成とすることもできる。

40

【0170】

光電変換部の層566b、566cは、例えばセレン系材料を光電変換層としたpn接合型フォトダイオードの構成とすることができる。層566bとしてはp型半導体であるセレン系材料を用い、層566cとしてはn型半導体であるガリウム酸化物などを用いるのが好ましい。

【0171】

セレン系材料を用いた光電変換デバイスは、可視光に対する外部量子効率が高い特性を有

50

する。当該光電変換デバイスでは、アバランシェ増倍を利用することにより、入射される光の量に対する電子の増幅を大きくすることができる。また、セレン系材料は光吸収係数が高いため、光電変換層を薄膜で作製できるなどの生産上の利点を有する。セレン系材料の薄膜は、真空蒸着法またはスパッタ法などを用いて形成することができる。

【0172】

セレン系材料としては、結晶性セレン（単結晶セレン、多結晶セレン）、非晶質セレンを用いることができる。これらは、紫外光から可視光にかけて光感度を有する。また、銅、インジウム、セレンの化合物（CIS）、または、銅、インジウム、ガリウム、セレンの化合物（CIGS）などを用いることができる。これらは、紫外光から近赤外光にかけて光感度を有する。

10

【0173】

n型半導体は、バンドギャップが広く、可視光に対して透光性を有する材料で形成することが好ましい。例えば、亜鉛酸化物、ガリウム酸化物、インジウム酸化物、錫酸化物、またはそれらが混在した酸化物などを用いることができる。また、これらの材料は正孔注入阻止層としての機能も有し、暗電流を小さくすることもできる。

【0174】

また、層561が有する光電変換デバイス101は、図11Cに示すように、層567aと、層567bと、層567cと、層567dと、層567eとの積層としてもよい。図11Cに示す光電変換デバイス101は有機光導電膜の一例であり、層567aは下部電極、層567eは透光性を有する上部電極であり、層567b、567c、567dは光電変換部に相当する。

20

【0175】

光電変換部の層567b、567dのいずれか一方はホール輸送層、他方は電子輸送層とすることができる。また、層567cは光電変換層とすることができる。

【0176】

ホール輸送層としては、例えば酸化モリブデンなどを用いることができる。電子輸送層としては、例えば、C60、C70などのフラーレン、またはそれらの誘導体などを用いることができる。

【0177】

光電変換層としては、n型有機半導体およびp型有機半導体の混合層（バルクヘテロ接合構造）を用いることができる。有機半導体には様々な種類があり、目的の波長に光感度を有する材料を光電変換層に選べばよい。

30

【0178】

図10Aに示す層563としては、例えばシリコン基板を用いることができる。当該シリコン基板は、Siトランジスタ等を有する。当該Siトランジスタを用いて、画素回路の他、当該画素回路を駆動する回路、画像信号の読み出し回路、画像処理回路、ニューラルネットワーク、通信回路等を形成することができる。また、DRAM（Dynamic Random Access Memory）などの記憶回路、CPU（Central Processing Unit）、MCU（Micro Controller Unit）などを形成してもよい。なお、画素回路を除く上記回路を本実施の形態では、機能回路と呼ぶ。

40

【0179】

例えば、実施の形態1で説明した画素回路（画素100）および機能回路（回路220、301、302、303、304、305など）が有するトランジスタにおいて、その一部または全てを層563に設けることができる。

【0180】

また、層563は、図10Bに示すように複数の層の積層であってもよい。図10Bでは、層563a、563b、563cの三層を例示しているが、二層であってもよい。または、層563は四層以上の積層であってもよい。これらの層は、例えば貼り合わせ工程などを用いて積層することができる。当該構成とすることで、画素回路と機能回路を複数の

50

層に分散させ、画素回路と機能回路を重ねて設けることができるため、小型で高機能の撮像装置を作製することができる。

【0181】

また、画素は、図10Cに示すように層561、層562および層563の積層構造を有していてもよい。

【0182】

層562は、OSトランジスタを有することができる。前述した機能回路の一つ以上をOSトランジスタで形成してもよい。または、層563が有するSiトランジスタと層562が有するOSトランジスタを用いて、機能回路の一つ以上を形成してもよい。または、層563をガラス基板などの支持基板とし、層562が有するOSトランジスタで機能回路を形成してもよい。

10

【0183】

例えば、OSトランジスタおよびSiトランジスタを用いて、ノーマリーオフCPU（「NoFF-CPU」ともいう）を実現することができる。なお、NoFF-CPUとは、ゲート電圧が0Vであっても非導通状態（オフ状態ともいう）であるノーマリーオフ型のトランジスタを含む集積回路である。

【0184】

NoFF-CPUは、NoFF-CPU内の動作不要な回路への電力供給を停止し、当該回路を待機状態にすることができる。電力供給が停止され、待機状態になった回路では電力が消費されない。よって、NoFF-CPUは、電力使用量を最小限にすることができる。また、NoFF-CPUは、電力供給が停止されても設定条件などの動作に必要な情報を長期間保持することができる。待機状態からの復帰は当該回路への電力供給を再開するだけでよく、設定条件などの再書き込みが不要である。すなわち、待機状態からの高速復帰が可能である。このように、NoFF-CPUは、動作速度を大きく落とすことなく消費電力を低減できる。

20

【0185】

また、層562は、図10Dに示すように複数の層の積層であってもよい。図10Dでは、層562a、563bの二層を例示しているが、三層以上の積層であってもよい。これらの層は、例えば層563上に積み上げるように形成することができる。または、層563上に形成した層と、層561上に形成した層とを貼り合わせて形成してもよい。

30

【0186】

OSトランジスタに用いる半導体材料としては、エネルギーギャップが2eV以上、好ましくは2.5eV以上、より好ましくは3eV以上である金属酸化物を用いることができる。代表的には、インジウムを含む酸化物半導体などであり、例えば、後述するCAAC-OSまたはCAC-OSなどを用いることができる。CAAC-OSは結晶を構成する原子が安定であり、信頼性を重視するトランジスタなどに適する。また、CAC-OSは、高移動度特性を示すため、高速駆動を行うトランジスタなどに適する。

【0187】

OSトランジスタは半導体層のエネルギーギャップが大きいいため、数yA/μm（チャネル幅1μmあたりの電流値）という極めて低いオフ電流特性を示す。また、OSトランジスタは、インパクトイオン化、アバランシェ降伏、および短チャネル効果などが生じないなどSiトランジスタとは異なる特徴を有し、高耐圧で信頼性の高い回路を形成することができる。また、Siトランジスタでは問題となる結晶性の不均一性に起因する電気特性のばらつきもOSトランジスタでは生じにくい。

40

【0188】

OSトランジスタが有する半導体層は、例えばインジウム、亜鉛およびM（アルミニウム、チタン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、セリウム、スズ、ネオジムまたはハフニウム等の金属から選ばれた一つ、または複数）を含むIn-M-Zn系酸化物で表記される膜とすることができる。In-M-Zn系酸化物は、代表的には、スパッタリング法で形成することができる。または、ALD（Atomic

50

layer deposition)法を用いて形成してもよい。

【0189】

In-M-Zn系酸化物をスパッタリング法で形成するために用いるスパッタリングターゲットの金属元素の原子数比は、In M、Zn Mを満たすことが好ましい。このようなスパッタリングターゲットの金属元素の原子数比として、In:M:Zn=1:1:1、In:M:Zn=1:1:1.2、In:M:Zn=3:1:2、In:M:Zn=4:2:3、In:M:Zn=4:2:4.1、In:M:Zn=5:1:6、In:M:Zn=5:1:7、In:M:Zn=5:1:8等が好ましい。なお、成膜される半導体層の原子数比はそれぞれ、上記のスパッタリングターゲットに含まれる金属元素の原子数比のプラスマイナス40%の変動を含む。

10

【0190】

半導体層としては、キャリア密度の低い酸化物半導体を用いる。例えば、半導体層は、キャリア密度が $1 \times 10^{17} / \text{cm}^3$ 以下、好ましくは $1 \times 10^{15} / \text{cm}^3$ 以下、さらに好ましくは $1 \times 10^{13} / \text{cm}^3$ 以下、より好ましくは $1 \times 10^{11} / \text{cm}^3$ 以下、さらに好ましくは $1 \times 10^{10} / \text{cm}^3$ 未満であり、 $1 \times 10^{-9} / \text{cm}^3$ 以上のキャリア密度の酸化物半導体を用いることができる。そのような酸化物半導体を、高純度真性または実質的に高純度真性な酸化物半導体と呼ぶ。当該酸化物半導体は欠陥準位密度が低く、安定な特性を有する酸化物半導体であるといえる。

【0191】

なお、これらに限られず、必要とするトランジスタの半導体特性および電気特性（電界効果移動度、しきい値電圧等）に応じて適切な組成のものを用いればよい。また、必要とするトランジスタの半導体特性を得るために、半導体層のキャリア密度、不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間距離、密度等を適切なものとするのが好ましい。

20

【0192】

半導体層を構成する酸化物半導体において、第14族元素の一つであるシリコンまたは炭素が含まれると、酸素欠損が増加し、n型化してしまう。このため、半導体層におけるシリコンまたは炭素の濃度（二次イオン質量分析法により得られる濃度）を、 $2 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下、好ましくは $2 \times 10^{17} \text{ atoms} / \text{cm}^3$ 以下とする。

【0193】

また、アルカリ金属およびアルカリ土類金属は、酸化物半導体と結合するとキャリアを生成する場合があります、トランジスタのオフ電流が増大してしまうことがある。このため、半導体層におけるアルカリ金属またはアルカリ土類金属の濃度（二次イオン質量分析法により得られる濃度）を、 $1 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms} / \text{cm}^3$ 以下にする。

30

【0194】

また、半導体層を構成する酸化物半導体に窒素が含まれていると、キャリアである電子が生じてキャリア密度が増加し、n型化しやすい。この結果、窒素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため半導体層における窒素濃度（二次イオン質量分析法により得られる濃度）は、 $5 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下にすることが好ましい。

40

【0195】

また、半導体層を構成する酸化物半導体に水素が含まれていると、金属原子と結合する酸素と反応して水になるため、酸化物半導体中に酸素欠損を形成する場合がある。酸化物半導体中のチャンネル形成領域に酸素欠損が含まれていると、トランジスタはノーマリーオン特性となる場合がある。さらに、酸素欠損に水素が入った欠陥はドナーとして機能し、キャリアである電子が生成されることがある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成する場合がある。したがって、水素が多く含まれている酸化物半導体を用いたトランジスタは、ノーマリーオン特性となりやすい。

【0196】

50

酸素欠損に水素が入った欠陥は、酸化物半導体のドナーとして機能しうる。しかしながら、当該欠陥を定量的に評価することは困難である。そこで、酸化物半導体においては、ドナー濃度ではなく、キャリア濃度で評価される場合がある。よって、本明細書等では、酸化物半導体のパラメータとして、ドナー濃度ではなく、電界が印加されない状態を想定したキャリア濃度を用いる場合がある。つまり、本明細書等に記載の「キャリア濃度」は、「ドナー濃度」と言い換えることができる場合がある。

【0197】

よって、酸化物半導体中の水素はできる限り低減されていることが好ましい。具体的には、酸化物半導体において、二次イオン質量分析法 (SIMS: Secondary Ion Mass Spectrometry) により得られる水素濃度を、 $1 \times 10^{20}$  atoms/cm<sup>3</sup> 未満、好ましくは  $1 \times 10^{19}$  atoms/cm<sup>3</sup> 未満、より好ましくは  $5 \times 10^{18}$  atoms/cm<sup>3</sup> 未満、さらに好ましくは  $1 \times 10^{18}$  atoms/cm<sup>3</sup> 未満とする。水素などの不純物が十分に低減された酸化物半導体をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

10

【0198】

また、半導体層は、例えば非単結晶構造でもよい。非単結晶構造は、例えば、c軸に配向した結晶を有するCAAC-OS (C-Axis Aligned Crystalline Oxide Semiconductor)、多結晶構造、微結晶構造、または非晶質構造を含む。非単結晶構造において、非晶質構造は最も欠陥準位密度が高く、CAAC-OSは最も欠陥準位密度が低い。

20

【0199】

非晶質構造の酸化物半導体膜は、例えば、原子配列が無秩序であり、結晶成分を有さない。または、非晶質構造の酸化物膜は、例えば、完全な非晶質構造であり、結晶部を有さない。

【0200】

なお、半導体層が、非晶質構造の領域、微結晶構造の領域、多結晶構造の領域、CAAC-OSの領域、単結晶構造の領域のうち、二種以上を有する混合膜であってもよい。混合膜は、例えば上述した領域のうち、いずれか二種以上の領域を含む単層構造、または積層構造を有する場合がある。

【0201】

以下では、非単結晶の半導体層の一態様であるCAC (Cloud-Aligned Composite)-OSの構成について説明する。

30

【0202】

CAC-OSとは、例えば、酸化物半導体を構成する元素が、0.5 nm以上10 nm以下、好ましくは、1 nm以上2 nm以下、またはその近傍のサイズで偏在した材料の一構成である。なお、以下では、酸化物半導体において、一つあるいはそれ以上の金属元素が偏在し、該金属元素を有する領域が、0.5 nm以上10 nm以下、好ましくは、1 nm以上2 nm以下、またはその近傍のサイズで混合した状態をモザイク状、またはパッチ状ともいう。

【0203】

なお、酸化物半導体は、少なくともインジウムを含むことが好ましい。特にインジウムおよび亜鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種が含まれていてもよい。

40

【0204】

例えば、In-Ga-Zn酸化物におけるCAC-OS (CAC-OSの中でもIn-Ga-Zn酸化物を、特にCAC-IGZOと呼称してもよい。)とは、インジウム酸化物 (以下、InO<sub>x1</sub> (X1は0よりも大きい実数) とする。) 、またはインジウム亜鉛酸

50

化物（以下、 $I n x_2 Z n y_2 O z_2$ （ $x_2$ 、 $y_2$ 、および $z_2$ は0よりも大きい実数）とする。）と、ガリウム酸化物（以下、 $G a O x_3$ （ $x_3$ は0よりも大きい実数）とする。））、またはガリウム亜鉛酸化物（以下、 $G a x_4 Z n y_4 O z_4$ （ $x_4$ 、 $y_4$ 、および $z_4$ は0よりも大きい実数）とする。）などと、に材料が分離することでモザイク状となり、モザイク状の $I n O x_1$ 、または $I n x_2 Z n y_2 O z_2$ が、膜中に均一に分布した構成（以下、クラウド状ともいう。）である。

【0205】

つまり、CAC-OSは、 $G a O x_3$ が主成分である領域と、 $I n x_2 Z n y_2 O z_2$ 、または $I n O x_1$ が主成分である領域とが、混合している構成を有する複合酸化物半導体である。なお、本明細書において、例えば、第1の領域の元素Mに対するInの原子数比が、第2の領域の元素Mに対するInの原子数比よりも大きいことを、第1の領域は、第2の領域と比較して、Inの濃度が高いとする。

10

【0206】

なお、IGZOは通称であり、In、Ga、Zn、およびOによる1つの化合物をいう場合がある。代表例として、 $I n G a O_3 (Z n O)_{m_1}$ （ $m_1$ は自然数）、または $I n_{(1+x_0)} G a_{(1-x_0)} O_3 (Z n O)_{m_0}$ （ $-1 < x_0 < 1$ 、 $m_0$ は任意数）で表される結晶性の化合物が挙げられる。

【0207】

上記結晶性の化合物は、単結晶構造、多結晶構造、またはCAAC構造を有する。なお、CAAC構造とは、複数のIGZOのナノ結晶がc軸配向を有し、かつa-b面においては配向せずに連結した結晶構造である。

20

【0208】

一方、CAC-OSは、酸化物半導体の材料構成に関する。CAC-OSとは、In、Ga、Zn、およびOを含む材料構成において、一部にGaを主成分とするナノ粒子状に観察される領域と、一部にInを主成分とするナノ粒子状に観察される領域とが、それぞれモザイク状にランダムに分散している構成をいう。したがって、CAC-OSにおいて、結晶構造は副次的な要素である。

【0209】

なお、CAC-OSは、組成の異なる二種類以上の膜の積層構造は含まないものとする。例えば、Inを主成分とする膜と、Gaを主成分とする膜との2層からなる構造は、含まない。

30

【0210】

なお、 $G a O x_3$ が主成分である領域と、 $I n x_2 Z n y_2 O z_2$ 、または $I n O x_1$ が主成分である領域とは、明確な境界が観察できない場合がある。

【0211】

なお、ガリウムの代わりに、アルミニウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種が含まれている場合、CAC-OSは、一部に該金属元素を主成分とするナノ粒子状に観察される領域と、一部にInを主成分とするナノ粒子状に観察される領域とが、それぞれモザイク状にランダムに分散している構成をいう。

40

【0212】

CAC-OSは、例えば基板を意図的に加熱しない条件で、スパッタリング法により形成することができる。また、CAC-OSをスパッタリング法で形成する場合、成膜ガスとして、不活性ガス（代表的にはアルゴン）、酸素ガス、および窒素ガスの中から選ばれたいずれか一つまたは複数を用いればよい。また、成膜時の成膜ガスの総流量に対する酸素ガスの流量比は低いほど好ましく、例えば酸素ガスの流量比を0%以上30%未満、好ましくは0%以上10%以下とすることが好ましい。

【0213】

50

CAC-OSは、X線回折(XRD: X-ray diffraction)測定法のひとつであるOut-of-plane法による $\theta/2$  スキャンを用いて測定したときに、明確なピークが観察されないという特徴を有する。すなわち、X線回折測定から、測定領域のa-b面方向、およびc軸方向の配向は見られないことが分かる。

【0214】

また、CAC-OSは、プローブ径が1nmの電子線(ナノビーム電子線ともいう。)を照射することで得られる電子線回折パターンにおいて、リング状に輝度の高い領域(リング領域)と、該リング領域に複数の輝点が観測される。したがって、電子線回折パターンから、CAC-OSの結晶構造が、平面方向、および断面方向において、配向性を有さないnc(nano-crystal)構造を有することがわかる。

10

【0215】

また、例えば、In-Ga-Zn酸化物におけるCAC-OSでは、エネルギー分散型X線分光法(EDX: Energy Dispersive X-ray spectroscopy)を用いて取得したEDXマッピングにより、 $GaOx_3$ が主成分である領域と、 $Inx_2Zny_2Oz_2$ 、または $InOx_1$ が主成分である領域とが、偏在し、混合している構造を有することが確認できる。

【0216】

CAC-OSは、金属元素が均一に分布したIGZO化合物とは異なる構造であり、IGZO化合物と異なる性質を有する。つまり、CAC-OSは、 $GaOx_3$ などが主成分である領域と、 $Inx_2Zny_2Oz_2$ 、または $InOx_1$ が主成分である領域と、に互いに相分離し、各元素を主成分とする領域がモザイク状である構造を有する。

20

【0217】

ここで、 $Inx_2Zny_2Oz_2$ 、または $InOx_1$ が主成分である領域は、 $GaOx_3$ などが主成分である領域と比較して、導電性が高い領域である。つまり、 $Inx_2Zny_2Oz_2$ 、または $InOx_1$ が主成分である領域を、キャリアが流れることにより、酸化物半導体としての導電性が発現する。したがって、 $Inx_2Zny_2Oz_2$ 、または $InOx_1$ が主成分である領域が、酸化物半導体中にクラウド状に分布することで、高い電界効果移動度( $\mu$ )が実現できる。

【0218】

一方、 $GaOx_3$ などが主成分である領域は、 $Inx_2Zny_2Oz_2$ 、または $InOx_1$ が主成分である領域と比較して、絶縁性が高い領域である。つまり、 $GaOx_3$ などが主成分である領域が、酸化物半導体中に分布することで、リーク電流を抑制し、良好なスイッチング動作を実現できる。

30

【0219】

したがって、CAC-OSを半導体素子に用いた場合、 $GaOx_3$ などに起因する絶縁性と、 $Inx_2Zny_2Oz_2$ 、または $InOx_1$ に起因する導電性とが、相補的に作用することにより、高いオン電流( $I_{on}$ )、および高い電界効果移動度( $\mu$ )を実現することができる。

【0220】

また、CAC-OSを用いた半導体素子は、信頼性が高い。したがって、CAC-OSは、様々な半導体装置の構成材料として適している。

40

【0221】

<積層構造1>

次に、撮像装置の積層構造について、断面図を用いて説明する。なお、以下に示す絶縁層および導電層などの要素は一例であり、さらに他の要素が含まれていてもよい。または、以下に示す要素の一部が省かれていてもよい。また、以下に示す積層構造は、必要に応じて、貼り合わせ工程、研磨工程などを用いて形成することができる。

【0222】

図12は、層560、561、層563を有し、層563を構成する層563aと層563bの間に貼り合わせ面を有する積層体の断面図の一例である。

50

## 【 0 2 2 3 】

< 層 5 6 3 b >

層 5 6 3 b は、シリコン基板 6 1 1 に設けられた機能回路を有することができる。ここでは、機能回路の一部として、回路 2 0 が有するトランジスタ 1 0 5、トランジスタ 1 0 8 およびトランジスタ 1 3 1 を示している。

## 【 0 2 2 4 】

層 5 6 3 b には、シリコン基板 6 1 1、絶縁層 6 1 2、6 1 3、6 1 4、6 1 6、6 1 7、6 1 8 が設けられる。絶縁層 6 1 2 は保護膜としての機能を有する。絶縁層 6 1 3、6 1 3、6 1 6、6 1 7 は、層間絶縁膜および平坦化膜としての機能を有する。絶縁層 6 1 8 および導電層 6 1 9 は、貼り合わせ層としての機能を有する。導電層 6 1 9 は、トランジスタ 1 0 5 のゲートと電氣的に接続される。

10

## 【 0 2 2 5 】

保護膜としては、例えば、窒化シリコン膜、酸化シリコン膜、酸化アルミニウム膜などを用いることができる。層間絶縁膜および平坦化膜としては、例えば、酸化シリコン膜などの無機絶縁膜、アクリル樹脂、ポリイミド樹脂などの有機絶縁膜を用いることができる。キャパシタの誘電体層としては、窒化シリコン膜、酸化シリコン膜、酸化アルミニウム膜などを用いることができる。貼り合わせ層に関しては後述する。

## 【 0 2 2 6 】

なお、デバイス間の電氣的な接続に用いられる配線、電極およびプラグとして用いることのできる導電体には、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタンなどから選ばれた金属元素、または上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金等を適宜選択して用いればよい。当該導電体は単層に限らず、異なる材料で構成された複数の層であってもよい。

20

## 【 0 2 2 7 】

< 層 5 6 3 a >

層 5 6 3 a は、画素 1 0 0 の要素を有する。また、機能回路の要素を有していてもよい。ここでは、画素 1 0 0 の要素の一部として、トランジスタ 1 0 2 を示している。また、機能回路の要素として、回路 2 0 が有するトランジスタ 1 0 4 を示している。

30

## 【 0 2 2 8 】

層 5 6 3 a には、シリコン基板 6 3 2、絶縁層 6 3 1、6 3 3、6 3 4、6 3 5、6 3 7、6 3 8 が設けられる。また、導電層 6 3 6、6 3 9 が設けられる。

## 【 0 2 2 9 】

絶縁層 6 3 1 および導電層 6 3 9 は、貼り合わせ層としての機能を有する。絶縁層 6 3 4、6 3 5、6 3 7 は、層間絶縁膜および平坦化膜としての機能を有する。絶縁層 6 3 3 は、保護膜としての機能を有する。絶縁層 6 3 8 は、シリコン基板 6 3 2 と導電層 6 3 9 を絶縁する機能を有する。絶縁層 6 3 8 は、他の絶縁層と同様の材料で形成することができる。また、絶縁層 6 3 8 は、絶縁層 6 3 1 と同一の材料で形成されていてもよい。

## 【 0 2 3 0 】

導電層 6 3 9 は、トランジスタ 1 0 5 のソースまたはドレインの他方および導電層 6 1 9 と電氣的に接続される。また、導電層 6 3 6 は、配線 1 1 4 ( 図 3 参照 ) と電氣的に接続される。

40

## 【 0 2 3 1 】

図 1 2 に示す S i トランジスタはシリコン基板 ( シリコン基板 6 1 1、6 3 2 ) にチャネル形成領域を有するフィン型である。チャネル幅方向の断面 ( 図 1 2 の層 5 6 3 a に示す A 1 - A 2 の断面 ) を図 1 3 A に示す。なお、S i トランジスタは、図 1 3 B に示すようにプレーナー型であってもよい。

## 【 0 2 3 2 】

または、図 1 3 C に示すように、シリコン薄膜の半導体層 5 4 5 を有するトランジスタで

50

あってもよい。半導体層 5 4 5 は、例えば、シリコン基板 6 1 1 上の絶縁層 5 4 6 上に形成された単結晶シリコン (SOI (Silicon on Insulator)) とすることができる。

【0233】

<層 5 6 1>

層 5 6 1 は、光電変換デバイス 1 0 1 を有する。光電変換デバイス 1 0 1 は、層 5 6 3 a 上に形成することができる。図 1 2 では、光電変換デバイス 1 0 1 として、図 1 1 C に示す有機光導電膜を光電変換層に用いた構成を示している。なお、ここでは、層 5 6 7 a をカソード、層 5 6 7 e をアノードとする。

【0234】

層 5 6 1 には、絶縁層 6 5 1、6 5 2、6 5 3、6 5 4、および導電層 6 5 5 が設けられる。

【0235】

絶縁層 6 5 1、6 5 3、6 5 4 は、層間絶縁膜および平坦化膜としての機能を有する。また、絶縁層 6 5 4 は光電変換デバイス 1 0 1 の端部を覆って設けられ、層 5 6 7 e と層 5 6 7 a との短絡を防止する機能も有する。絶縁層 6 5 2 は、素子分離層としての機能を有する。素子分離層としては、有機絶縁膜などを用いることが好ましい。

【0236】

光電変換デバイス 1 0 1 のカソードに相当する層 5 6 7 a は、層 5 6 3 a が有するトランジスタ 1 0 2 のソースまたはドレインの一方と電氣的に接続される。光電変換デバイス 1 0 1 のアノードに相当する層 5 6 7 e は、導電層 6 5 5 を介して、層 5 6 3 a が有する導電層 6 3 6 と電氣的に接続される。

【0237】

<層 5 6 0>

層 5 6 0 は、層 5 6 1 上に形成される。層 5 6 0 は、遮光層 6 7 1、光学変換層 6 7 2 およびマイクロレンズアレイ 6 7 3 を有する。

【0238】

遮光層 6 7 1 は、隣接する画素への光の流入を抑えることができる。遮光層 6 7 1 には、アルミニウム、タングステンなどの金属層を用いることができる。また、当該金属層と反射防止膜としての機能を有する誘電体膜を積層してもよい。

【0239】

光電変換デバイス 1 0 1 が可視光に感度を有するとき、光学変換層 6 7 2 にカラーフィルタを用いることができる。カラーフィルタに (赤)、G (緑)、B (青)、Y (黄)、C (シアン)、M (マゼンタ) などの色を画素別に割り当てることにより、カラー画像を得ることができる。例えば、図 1 9 A の斜視図 (断面を含む) に示すように、カラーフィルタ 6 7 2 R (赤)、カラーフィルタ 6 7 2 G (緑)、カラーフィルタ 6 7 2 B (青) をそれぞれ異なる画素に割り当てることができる。

【0240】

また、適切な光電変換デバイス 1 0 1 と光学変換層 6 7 2 との組み合わせにおいて、光学変換層 6 7 2 に波長カットフィルタを用いれば、様々な波長領域における画像が得られる撮像装置とすることができる。

【0241】

例えば、光学変換層 6 7 2 に可視光線の波長以下の光を遮る赤外線フィルタを用いれば、赤外線撮像装置とすることができる。また、光学変換層 6 7 2 に近赤外線の波長以下の光を遮るフィルタを用いれば、遠赤外線撮像装置とすることができる。また、光学変換層 6 7 2 に可視光線の波長以上の光を遮る紫外線フィルタを用いれば、紫外線撮像装置とすることができる。

【0242】

なお、一つの撮像装置内に異なる光学変換層を複数配置してもよい。例えば、図 1 9 B に示すように、カラーフィルタ 6 7 2 R (赤)、カラーフィルタ 6 7 2 G (緑)、カラーフ

10

20

30

40

50

フィルタ672B(青)、赤外線フィルタ672IRをそれぞれ異なる画素に割り当てることができる。当該構成では、可視光画像および赤外光画像を同時に取得することができる。

【0243】

または、図19Cに示すように、カラーフィルタ672R(赤)、カラーフィルタ672G(緑)、カラーフィルタ672B(青)、紫外線フィルタ672UVをそれぞれ異なる画素に割り当てることができる。当該構成では、可視光画像および紫外光画像を同時に取得することができる。

【0244】

また、光学変換層672にシンチレータを用いれば、X線撮像装置などに用いる放射線の強弱を可視化した画像を得る撮像装置とすることができる。被写体を透過したX線等の放射線がシンチレータに入射されると、フォトルミネッセンス現象により可視光線または紫外光線などの光(蛍光)に変換される。そして、当該光を光電変換デバイス101で検知することにより画像データを取得する。また、放射線検出器などに当該構成の撮像装置を用いてもよい。

【0245】

シンチレータは、X線またはガンマ線などの放射線が照射されると、そのエネルギーを吸収して可視光または紫外光を発する物質を含む。例えば、 $Gd_2O_2S:Tb$ 、 $Gd_2O_2S:Pr$ 、 $Gd_2O_2S:Eu$ 、 $BaFCl:Eu$ 、 $NaI$ 、 $CsI$ 、 $CaF_2$ 、 $BaF_2$ 、 $CeF_3$ 、 $LiF$ 、 $LiI$ 、 $ZnO$ などを樹脂またはセラミクスに分散させたものを用いることができる。

【0246】

赤外光または紫外光による撮像を行うことで、検査機能、セキュリティ機能、センサ機能などを撮像装置に付与することができる。例えば、赤外光による撮像を行うことで、生産物の非破壊検査、農産物の選別(糖度計機能など)、静脈認証、医療検査などを行うことができる。また、紫外光による撮像を行うことで、光源または火災から放出される紫外光を検出することができ、光源、熱源、生産装置等の管理などを行うことができる。

【0247】

光学変換層672上にはマイクロレンズアレイ673が設けられる。マイクロレンズアレイ673が有する個々のレンズを通る光が直下の光学変換層672を通り、光電変換デバイス101に照射されるようになる。マイクロレンズアレイ673を設けることにより、集光した光を光電変換デバイス101に入射することができるため、効率よく光電変換を行うことができる。マイクロレンズアレイ673は、目的の波長の光に対して透光性の高い樹脂またはガラスなどで形成することが好ましい。

【0248】

<貼り合わせ>

次に、層563bと層563aの貼り合わせについて説明する。

【0249】

層563bには、絶縁層618および導電層619が設けられる。導電層619は、絶縁層618に埋設された領域を有する。また、絶縁層618および導電層619の表面は、それぞれ高さが一致するように平坦化されている。

【0250】

層563aには、絶縁層631および導電層639が設けられる。導電層639は、絶縁層631に埋設された領域を有する。また、絶縁層631および導電層639の表面は、それぞれ高さが一致するように平坦化されている。

【0251】

ここで、導電層619および導電層639は、主成分が同一の金属元素であることが好ましい。また、絶縁層618および絶縁層631は、同一の成分で構成されていることが好ましい。

【0252】

例えば、導電層619、639には、Cu、Al、Sn、Zn、W、Ag、PtまたはA

10

20

30

40

50

uなどを用いることができる。接合のしやすさから、好ましくはCu、Al、W、またはAuを用いる。また、絶縁層618、631には、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、窒化チタンなどを用いることができる。

【0253】

つまり、導電層619および導電層639のそれぞれに、上記に示す同一の金属材料を用いることが好ましい。また、絶縁層618および絶縁層631のそれぞれに、上記に示す同一の絶縁材料を用いることが好ましい。当該構成とすることで、層563bと層563aの境を接合位置とする、貼り合わせを行うことができる。

【0254】

なお、導電層619および導電層639は複数の層の多層構造であってもよく、その場合は、表層（接合面）が同一の金属材料であればよい。また、絶縁層618および絶縁層631も複数の層の多層構造であってもよく、その場合は、表層（接合面）が同一の絶縁材料であればよい。

10

【0255】

当該貼り合わせによって、導電層619および導電層639の電気的な接続を得ることができる。また、絶縁層618および絶縁層631の機械的な強度を有する接続を得ることができる。

【0256】

金属層同士の接合には、表面の酸化膜および不純物の吸着層などをスパッタリング処理などで除去し、清浄化および活性化した表面同士を接触させて接合する表面活性化接合法を用いることができる。または、温度と圧力を併用して表面同士を接合する拡散接合法などを用いることができる。どちらも原子レベルでの結合が起こるため、電気的だけでなく機械的にも優れた接合を得ることができる。

20

【0257】

また、絶縁層同士の接合には、研磨などによって高い平坦性を得たのち、酸素プラズマ等で親水性処理をした表面同士を接触させて仮接合し、熱処理による脱水で本接合を行う親水性接合法などを用いることができる。親水性接合法も原子レベルでの結合が起こるため、機械的に優れた接合を得ることができる。

【0258】

層563bと層563aを貼り合わせる場合、それぞれの接合面には絶縁層と金属層が混在するため、例えば、表面活性化接合法および親水性接合法を組み合わせて行えばよい。

30

【0259】

例えば、研磨後に表面を清浄化し、金属層の表面に酸化防止処理を行ったのちに親水性処理を行って接合する方法などを用いることができる。また、金属層の表面をAuなどの難酸化性金属とし、親水性処理を行ってもよい。なお、上述した方法以外の接合方法を用いてもよい。

【0260】

上記の貼り合わせにより、層563bが有する回路と、層563aが有する画素100の要素を電気的に接続することができる。

【0261】

<積層構造1の変形例>

図14は、図12に示す積層構造の変形例であり、層561が有する光電変換デバイス101の構成、および層563aの一部構成が異なり、層561と層563aとの間にも貼り合わせ面を有する構成である。

40

【0262】

層561は、光電変換デバイス101、絶縁層661、662、664、665および導電層685、686を有する。

【0263】

光電変換デバイス101はpn接合型のフォトダイオードであり、p型領域に相当する層565bおよびn型領域に相当する層565aを有する。なお、ここでは、pn接合型の

50

フォトダイオードがシリコン基板に形成された例を示す。光電変換デバイス101は埋め込み型フォトダイオードであり、層565aの表面側（電流の取り出し側）に設けられた薄いp型の領域（層565bの一部）によって暗電流を抑えノイズを低減させることができる。

【0264】

絶縁層661、導電層685、686は、貼り合わせ層としての機能を有する。絶縁層662は、層間絶縁膜および平坦化膜としての機能を有する。絶縁層664は、素子分離層としての機能を有する。

【0265】

シリコン基板には画素を分離する溝が設けられ、絶縁層665はシリコン基板上面および当該溝に設けられる。絶縁層665が設けられることにより、光電変換デバイス101内で発生したキャリアが隣接する画素に流出することを抑えることができる。また、絶縁層665は、迷光の侵入を抑制する機能も有する。したがって、絶縁層665により、混色を抑制することができる。なお、シリコン基板の上面と絶縁層665との間に反射防止膜が設けられていてもよい。

10

【0266】

絶縁層664は、LOCOS (LOCAL Oxidation of Silicon) 法を用いて形成することができる。または、STI (Shallow Trench Isolation) 法を用いて形成してもよい。絶縁層665としては、例えば、酸化シリコン、窒化シリコンなどの無機絶縁膜、ポリイミド樹脂、アクリル樹脂などの有機絶縁膜を用いることができる。なお、絶縁層665は多層構成であってもよい。また、絶縁層665の一部に空間を設けてもよい。当該空間は空気または不活性ガスなどの気体を有していてもよい。また、当該空間は減圧状態であってもよい。

20

【0267】

光電変換デバイス101の層565a（n型領域、カソードに相当）は、導電層685と電氣的に接続される。層565b（p型領域、アノードに相当）は、導電層686と電氣的に接続される。導電層685、686は、絶縁層661に埋設された領域を有する。また、絶縁層661および導電層685、686の表面は、それぞれ高さが一致するように平坦化されている。

【0268】

層563aにおいて、絶縁層637上には、絶縁層638が形成される。また、トランジスタ102のソースまたはドレインの一方と電氣的に接続される導電層683、および導電層636と電氣的に接続される導電層684が形成される。

30

【0269】

絶縁層638、導電層683、684は、貼り合わせ層としての機能を有する。導電層683、684は、絶縁層638に埋設された領域を有する。また、絶縁層638および導電層683、684の表面は、それぞれ高さが一致するように平坦化されている。

【0270】

ここで、導電層683、684、685、686は、前述した導電層619、639と同じ貼り合わせ層である。また、絶縁層638、661は、前述した絶縁層618、631と同じ貼り合わせ層である。

40

【0271】

したがって、導電層683と導電層685を貼り合わせることで、光電変換デバイス101の層565a（n型領域、カソードに相当）とトランジスタ102のソースまたはドレインの一方を電氣的に接続することができる。また、導電層684と導電層686を貼り合わせることで、光電変換デバイス101の層565b（p型領域、アノードに相当）と配線114（図3参照）を電氣的に接続することができる。また、絶縁層638と絶縁層661を貼り合わせることで、層561と層563aの電氣的な接合および機械的な接合を行うことができる。

【0272】

50

また、図 15 は上記とは異なる変形例であり、トランジスタ 102 が層 561 に設けられる構成である。当該構成では、トランジスタ 102 のソースまたはドレインの一方は、光電変換デバイス 101 と直結され、ソースまたはドレインの他方は、ノード FD として作用する。当該構成では、光電変換デバイス 101 で蓄積した電荷の完全転送が可能であり、ノイズの少ない撮像装置とすることができる。

【0273】

ここで、層 561 が有するトランジスタ 102 のソースまたはドレインの他方は、導電層 692 と電氣的に接続される。また、層 563 が有するトランジスタ 104 のソースまたはドレインの一方は、導電層 691 と電氣的に接続される。導電層 691、692 は、前述した導電層 619、639 と同じ貼り合わせ層である。

10

【0274】

<積層構造 2>

図 16 は、層 560、561、562、563 を有し、貼り合わせ面を有さない積層体の断面図の一例である。層 563 には、Si トランジスタが設けられる。層 562 には、OS トランジスタが設けられる。なお、層 563、層 561 および層 560 の構成は、図 12 に示す構成と同一であるため、ここでは説明を省略する。

【0275】

<層 562>

層 562 は、層 563 上に形成される。層 562 は、OS トランジスタを有する。ここでは、トランジスタ 102 およびトランジスタ 104 を示している。図 16 に示す断面図では、両者の電氣的な接続は図示されていない。

20

【0276】

層 562 には、絶縁層 621、622、623、624、625、626、628 が設けられる。また、導電層 627 が設けられる。導電層 627 は、配線 114 (図 3 参照) と電氣的に接続することができる。

【0277】

絶縁層 621 は、ブロッキング層としての機能を有する。絶縁層 622、623、625、626、628 は、層間絶縁膜および平坦化膜としての機能を有する。絶縁層 624 は、保護膜としての機能を有する。

【0278】

ブロッキング層としては、水素の拡散を防止する機能を有する膜を用いることが好ましい。Si デバイスにおいて、水素はダングリングボンドを終端するために必要とされるが、OS トランジスタの近傍にある水素は、酸化物半導体層中にキャリアを生成する要因の一つとなり、信頼性を低下させる。したがって、Si デバイスが形成される層と OS トランジスタが形成される層との間には、水素のブロッキング膜が設けられることが好ましい。

30

【0279】

当該ブロッキング膜としては、例えば、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム、イットリア安定化ジルコニア (YSZ) 等を用いることができる。

40

【0280】

トランジスタ 104 のソースまたはドレインの他方は、プラグを介してトランジスタ 105 のゲートと電氣的に接続される。また、導電層 627 は、配線 114 (図 3A 参照) と電氣的に接続される。

【0281】

トランジスタ 102 のソースまたはドレインの一方は、層 561 が有する光電変換デバイス 101 のカソードと電氣的に接続される。導電層 627 は、層 561 が有する光電変換デバイス 101 のアノードと電氣的に接続される。

【0282】

図 17A に OS トランジスタの詳細を示す。図 17A に示す OS トランジスタは、酸化物

50

半導体層および導電層の積層上に絶縁層を設け、当該酸化物半導体層に達する開口部を設けることでソース電極 705 およびドレイン電極 706 を形成するセルフアライン型の構成である。

【0283】

OSトランジスタは、酸化物半導体層に形成されるチャネル形成領域 708、ソース領域 703 およびドレイン領域 704 のほか、ゲート電極 701、ゲート絶縁膜 702 を有する構成とすることができる。当該開口部には少なくともゲート絶縁膜 702 およびゲート電極 701 が設けられる。当該開口部には、さらに酸化物半導体層 707 が設けられていてもよい。

【0284】

OSトランジスタは、図 17B に示すように、ゲート電極 701 をマスクとして半導体層にソース領域 703 およびドレイン領域 704 を形成するセルフアライン型の構成としてもよい。

【0285】

または、図 17C に示すように、ソース電極 705 またはドレイン電極 706 とゲート電極 701 とが重なる領域を有するノンセルフアライン型のトップゲート型トランジスタであってもよい。

【0286】

OSトランジスタはバックゲート 735 を有する構造を示しているが、バックゲートを有さない構造であってもよい。バックゲート 735 は、図 17D に示すトランジスタのチャネル幅方向の断面図のように、対向して設けられるトランジスタのフロントゲートと電氣的に接続してもよい。なお、図 17D は図 17A のトランジスタの B1 - B2 の断面を例として示しているが、その他の構造のトランジスタも同様である。また、バックゲート 735 にフロントゲートとは異なる固定電位を供給することができる構成であってもよい。

【0287】

<積層構造 2 の変形例>

図 18 は、図 17 に示す積層構造の変形例であり、層 561 が有する光電変換デバイス 101 の構成、および層 562 の一部構成が異なり、層 561 と層 562 との間に貼り合わせ面を有する構成である。

【0288】

層 561 が有する光電変換デバイス 101 は、pn 接合型のフォトダイオードであり、図 14 に示す構成と同様である。

【0289】

層 562 において、絶縁層 628 上には、絶縁層 648 が形成される。また、トランジスタ 102 のソースまたはドレインの一方と電氣的に接続される導電層 688、および導電層 627 と電氣的に接続される導電層 689 が形成される。

【0290】

絶縁層 648、導電層 688、689 は、貼り合わせ層としての機能を有する。導電層 688、689 は、絶縁層 648 に埋設された領域を有する。また、絶縁層 648 および導電層 683、684 の表面は、それぞれ高さが一致するように平坦化されている。

【0291】

ここで、導電層 688、689 は、前述した導電層 619、639 と同じ貼り合わせ層である。また、絶縁層 648 は、前述した絶縁層 618、631 と同じ貼り合わせ層である。

【0292】

したがって、導電層 688 と導電層 685 を貼り合わせることで、光電変換デバイスの層 565a (n 型領域、カソードに相当) とトランジスタ 102 のソースまたはドレインの一方を電氣的に接続することができる。また、導電層 689 と導電層 686 を貼り合わせることで、光電変換デバイスの層 565b (p 型領域、アノードに相当) と配線 114 (図 3 参照) を電氣的に接続することができる。また、絶縁層 648 と絶縁層 661 を貼り合わせることで、層 561 と層 562a の電氣的な接合および機械的な接合を行うことが

10

20

30

40

50

できる。

【0293】

Siデバイスを複数積層する場合、研磨工程および貼り合わせ工程が複数回必要になる。そのため、工程数が多い、専用の装置が必要、低歩留まりなどの課題があり、製造コストも高い。Ostransistorsは、デバイスが形成された半導体基板上に積層して形成することができるため、貼り合わせ工程を削減することができる。

【0294】

なお、当該構成に、図15に示す層561にトランジスタ102を設ける構成を適用してもよい。

【0295】

<パッケージ、モジュール>

図20A1は、イメージセンサチップを収めたパッケージの上面側の外観斜視図である。当該パッケージは、イメージセンサチップ450（図20A3参照）を固定するパッケージ基板410、カバーガラス420および両者を接着する接着剤430等を有する。

【0296】

図20A2は、当該パッケージの下面側の外観斜視図である。パッケージの下面には、半田ボールをバンプ440としたBGA（Ball grid array）を有する。なお、BGAに限らず、LGA（Land grid array）またはPGA（Pin Grid Array）などを有していてもよい。

【0297】

図20A3は、カバーガラス420および接着剤430の一部を省いて図示したパッケージの斜視図である。パッケージ基板410上には電極パッド460が形成され、電極パッド460およびバンプ440はスルーホールを介して電氣的に接続されている。電極パッド460は、イメージセンサチップ450とワイヤ470によって電氣的に接続されている。

【0298】

また、図20B1は、イメージセンサチップをレンズ一体型のパッケージに収めたカメラモジュールの上面側の外観斜視図である。当該カメラモジュールは、イメージセンサチップ451（図20B3を固定するパッケージ基板411、レンズカバー421、およびレンズ435等を有する。また、パッケージ基板411およびイメージセンサチップ451の間には撮像装置の駆動回路および信号変換回路などの機能を有するICチップ490（図20B3も設けられており、SiP（System in package）としての構成を有している。

【0299】

図20B2は、当該カメラモジュールの下面側の外観斜視図である。パッケージ基板411の下面および側面には、実装用のランド441が設けられたQFN（Quad flat no-lead package）の構成を有する。なお、当該構成は一例であり、QFP（Quad flat package）または前述したBGAが設けられていてもよい。

【0300】

図20B3は、レンズカバー421およびレンズ435の一部を省いて図示したモジュールの斜視図である。ランド441は電極パッド461と電氣的に接続され、電極パッド461はイメージセンサチップ451またはICチップ490とワイヤ471によって電氣的に接続されている。

【0301】

イメージセンサチップを上述したような形態のパッケージに収めることでプリント基板等への実装が容易になり、イメージセンサチップを様々な半導体装置、電子機器に組み込むことができる。

【0302】

本実施の形態は、他の実施の形態の記載と適宜組み合わせることができる。

【0303】

10

20

30

40

50

(実施の形態3)

本発明の一態様に係る撮像装置を用いることができる電子機器として、表示機器、パーソナルコンピュータ、記録媒体を備えた画像記憶装置または画像再生装置、携帯電話、携帯型を含むゲーム機、携帯データ端末、電子書籍端末、ビデオカメラ、デジタルスチルカメラ等のカメラ、ゴーグル型ディスプレイ(ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置(カーオーディオ、デジタルオーディオプレイヤー等)、複写機、ファクシミリ、プリンタ、プリンタ複合機、現金自動預け入れ払い機(ATM)、自動販売機などが挙げられる。これら電子機器の具体例を図21A乃至図21Fに示す。

【0304】

図21Aは携帯型情報端末の一例であり、筐体981、表示部982、操作ボタン983、外部接続ポート984、スピーカ985、マイク986、カメラ987等を有する。当該携帯型情報端末は、表示部982にタッチセンサを備える。電話を掛ける、或いは文字を入力するなどのあらゆる操作は、指またはスタイラスなどで表示部982に触れることを行うことができる。当該携帯型情報端末に本発明の一態様の撮像装置およびその動作方法を適用することができる。

10

【0305】

カメラ987は本発明の一態様の撮像装置を有し、カメラ987で取得した画像から被写体の距離情報を取得することができる。当該距離情報に基づいて、カメラ987で取得した画像の一部を加工することができる。例えば、主の被写体の前後をぼかす画像処理などを行うことができる。

20

【0306】

図21Bは情報端末であり、筐体911、表示部912、スピーカ913、カメラ919等を有する。表示部912が有するタッチパネル機能により情報の入出力を行うことができる。また、カメラ919で取得した画像から文字等を認識し、スピーカ913で当該文字を音声出力することができる。当該携帯データ端末に本発明の一態様の撮像装置およびその動作方法を適用することができる。

【0307】

図21Cは監視カメラであり、支持台951、カメラユニット952、保護カバー953等を有する。カメラユニット952には回転機構などが設けられ、天井に設置することで全周囲の撮像が可能となる。当該カメラユニットにおける画像取得のための要素に本発明の一態様の撮像装置およびその動作方法を適用することができる。なお、監視カメラとは慣用的な名称であり、用途を限定するものではない。例えば監視カメラとしての機能を有する機器はカメラ、またはビデオカメラとも呼ばれる。

30

【0308】

図21Dはビデオカメラであり、第1筐体971、第2筐体972、表示部973、操作キー974、レンズ975、接続部976、スピーカ977、マイク978等を有する。操作キー974およびレンズ975は第1筐体971に設けられており、表示部973は第2筐体972に設けられている。当該ビデオカメラに本発明の一態様の撮像装置およびその動作方法を適用することができる。

【0309】

図21Eはデジタルカメラであり、筐体961、シャッターボタン962、マイク963、発光部967、レンズ965等を有する。当該デジタルカメラに本発明の一態様の撮像装置およびその動作方法を適用することができる。

40

【0310】

図21Fは腕時計型の情報端末であり、表示部932、筐体兼リストバンド933、カメラ939等を有する。表示部932は、情報端末の操作を行うためのタッチパネルを備える。表示部932および筐体兼リストバンド933は可撓性を有し、身体への装着性が優れている。当該情報端末に本発明の一態様の撮像装置およびその動作方法を適用することができる。

【0311】

50

図 2 2 A は、移動体の一例として自動車の外観図を図示している。自動車 8 9 0 は、複数のカメラ 8 9 1 等を有し、自動車 8 9 0 の前後左右および上方の情報を取得することができる。カメラ 8 9 1 には、本発明の一態様の撮像装置およびその動作方法を適用することができる。また、自動車 8 9 0 は、赤外線レーダー、ミリ波レーダー、レーザーレーダーなど各種センサ（図示せず）などを備える。自動車 8 9 0 は、複数の撮像方向 8 9 2 に対してカメラ 8 9 1 が取得した画像の解析を行い、ガードレールおよび歩行者の有無など、周囲の交通状況を判断し、自動運転を行うことができる。また、道路案内、危険予測などを行うシステムに用いることができる。

#### 【 0 3 1 2 】

本発明の一態様の撮像装置では、得られた画像データをニューラルネットワークなどの演算処理を行うことで、例えば、画像の高解像度化、画像ノイズの低減、顔認識（防犯目的など）、物体認識（自動運転の目的など）、画像圧縮、画像補正（広ダイナミックレンジ化）、レンズレスイメージセンサの画像復元、位置決め、文字認識、反射映り込み低減などの処理を行うことができる。

10

#### 【 0 3 1 3 】

なお、上述では、移動体の一例として自動車について説明しているが、自動車は、内燃機関を有する自動車、電気自動車、水素自動車など、いずれであってもよい。また、移動体は自動車に限定されない。例えば、移動体としては、電車、モノレール、船、飛行体（ヘリコプター、無人航空機（ドローン）、飛行機、ロケット）なども挙げることができ、これらの移動体に本発明の一態様のコンピュータを適用して、人工知能を利用したシステムを付与することができる。

20

#### 【 0 3 1 4 】

本実施の形態は、他の実施の形態の記載と適宜組み合わせることができる。

#### 【 符号の説明 】

#### 【 0 3 1 5 】

1 0 a : 回路、1 0 b : 回路、2 0 : 回路、3 0 : 回路、1 0 0 : 画素、1 0 1 : 光電変換デバイス、1 0 1 a : 光電変換デバイス、1 0 1 b : 光電変換デバイス、1 0 2 : トランジスタ、1 0 2 a : トランジスタ、1 0 2 b : トランジスタ、1 0 3 : トランジスタ、1 0 3 a : トランジスタ、1 0 3 b : トランジスタ、1 0 4 : トランジスタ、1 0 4 a : トランジスタ、1 0 4 b : トランジスタ、1 0 5 : トランジスタ、1 0 5 a : トランジスタ、1 0 5 b : トランジスタ、1 0 6 : キャパシタ、1 0 6 a : キャパシタ、1 0 6 b : キャパシタ、1 0 7 : トランジスタ、1 0 8 : トランジスタ、1 1 4 : 配線、1 1 5 : 配線、1 1 6 : 配線、1 1 7 : 配線、1 1 8 : 配線、1 2 1 : 配線、1 2 2 : 配線、1 2 3 : 配線、1 2 4 : 配線、1 2 5 : 配線、1 2 6 : 配線、1 2 7 : 配線、1 2 8 : 配線、1 3 1 : トランジスタ、1 3 1 a : トランジスタ、1 3 1 b : トランジスタ、1 3 2 : トランジスタ、1 3 3 : トランジスタ、1 3 4 : トランジスタ、1 3 5 : キャパシタ、1 4 2 : トランジスタ、1 4 3 : トランジスタ、1 4 4 : トランジスタ、1 4 5 : キャパシタ、1 5 1 : 配線、1 5 2 : 配線、1 6 1 : トランジスタ、1 6 2 : トランジスタ、1 6 3 : キャパシタ、1 7 5 : トランジスタ、1 7 5 a : トランジスタ、1 7 5 b : トランジスタ、1 7 6 : トランジスタ、1 7 6 a : トランジスタ、1 7 6 b : トランジスタ、2 0 0 : 画素ブロック、2 0 2 : キャパシタ、2 0 3 : トランジスタ、2 0 4 : トランジスタ、2 0 5 : トランジスタ、2 0 6 : トランジスタ、2 0 7 : トランジスタ、2 1 0 : 画素アレイ、2 1 2 : 配線、2 1 3 : 配線、2 1 4 : 配線、2 1 5 : 配線、2 1 6 : 配線、2 1 8 : 配線、2 1 9 : 配線、2 2 0 : 回路、2 2 2 : トランジスタ、2 2 3 : トランジスタ、2 2 4 : トランジスタ、2 2 5 : 電流供給部、2 2 6 : カレントミラー部、2 3 0 : 回路、2 4 0 : 回路、2 5 2 : トランジスタ、2 5 3 : トランジスタ、2 5 4 : トランジスタ、2 6 1 : トランジスタ、2 6 2 : トランジスタ、3 0 0 : 画素アレイ、3 0 1 : 回路、3 0 2 : 回路、3 0 3 : 回路、3 0 4 : 回路、3 0 5 : 回路、3 1 1 : 配線、3 2 0 : メモリセル、3 2 5 : 参照メモリセル、3 3 0 : 回路、3 5 0 : 回路、3 6 0 : 回路、3 7 0 : 回路、4 1 0 : パッケージ基板、4 1 1 : パッケージ基板、4 2 0 : カバーガラス、

30

40

50

4 2 1 : レンズカバー、 4 3 0 : 接着剤、 4 3 5 : レンズ、 4 4 0 : バンプ、 4 4 1 : ラ  
 ンド、 4 5 0 : イメージセンサチップ、 4 5 1 : イメージセンサチップ、 4 6 0 : 電極パ  
 ッド、 4 6 1 : 電極パッド、 4 7 0 : ワイヤ、 4 7 1 : ワイヤ、 4 9 0 : ICチップ、 5  
 4 5 : 半導体層、 5 4 6 : 絶縁層、 5 6 0 : 層、 5 6 1 : 層、 5 6 2 : 層、 5 6 2 a : 層  
 、 5 6 3 : 層、 5 6 3 a : 層、 5 6 3 b : 層、 5 6 3 c : 層、 5 6 5 a : 層、 5 6 5 b :  
 層、 5 6 6 a : 層、 5 6 6 b : 層、 5 6 6 c : 層、 5 6 6 d : 層、 5 6 7 a : 層、 5 6 7  
 b : 層、 5 6 7 c : 層、 5 6 7 d : 層、 5 6 7 e : 層、 6 1 1 : シリコン基板、 6 1 2 :  
 絶縁層、 6 1 3 : 絶縁層、 6 1 4 : 絶縁層、 6 1 6 : 絶縁層、 6 1 7 : 絶縁層、 6 1 8 :  
 絶縁層、 6 1 9 : 導電層、 6 2 1 : 絶縁層、 6 2 2 : 絶縁層、 6 2 3 : 絶縁層、 6 2 4 :  
 絶縁層、 6 2 5 : 絶縁層、 6 2 6 : 絶縁層、 6 2 7 : 導電層、 6 2 8 : 絶縁層、 6 3 1 :  
 絶縁層、 6 3 2 : シリコン基板、 6 3 3 : 絶縁層、 6 3 4 : 絶縁層、 6 3 5 : 絶縁層、 6  
 3 6 : 導電層、 6 3 7 : 絶縁層、 6 3 8 : 絶縁層、 6 3 9 : 導電層、 6 4 8 : 絶縁層、 6  
 5 1 : 絶縁層、 6 5 2 : 絶縁層、 6 5 3 : 絶縁層、 6 5 4 : 絶縁層、 6 5 5 : 導電層、 6  
 6 1 : 絶縁層、 6 6 2 : 絶縁層、 6 6 4 : 絶縁層、 6 6 5 : 絶縁層、 6 7 1 : 遮光層、 6  
 7 2 : 光学変換層、 6 7 2 B : カラーフィルタ、 6 7 2 G : カラーフィルタ、 6 7 2 I R  
 : 赤外線フィルタ、 6 7 2 R : カラーフィルタ、 6 7 2 U V : 紫外線フィルタ、 6 7 3 :  
 マイクロレンズアレイ、 6 8 3 : 導電層、 6 8 4 : 導電層、 6 8 5 : 導電層、 6 8 6 : 導  
 電層、 6 8 8 : 導電層、 6 8 9 : 導電層、 6 9 1 : 導電層、 6 9 2 : 導電層、 7 0 1 : ゲ  
 ート電極、 7 0 2 : ゲート絶縁膜、 7 0 3 : ソース領域、 7 0 4 : ドレイン領域、 7 0 5  
 : ソース電極、 7 0 6 : ドレイン電極、 7 0 7 : 酸化物半導体層、 7 0 8 : チャネル形成  
 領域、 7 3 5 : バックゲート、 8 9 0 : 自動車、 8 9 1 : カメラ、 8 9 2 : 撮像方向、 9  
 1 1 : 筐体、 9 1 2 : 表示部、 9 1 3 : スピーカ、 9 1 9 : カメラ、 9 3 2 : 表示部、 9  
 3 3 : 筐体兼リストバンド、 9 3 9 : カメラ、 9 5 1 : 支持台、 9 5 2 : カメラユニット  
 、 9 5 3 : 保護カバー、 9 6 1 : 筐体、 9 6 2 : シャッターボタン、 9 6 3 : マイク、 9  
 6 5 : レンズ、 9 6 7 : 発光部、 9 7 1 : 筐体、 9 7 2 : 筐体、 9 7 3 : 表示部、 9 7 4  
 : 操作キー、 9 7 5 : レンズ、 9 7 6 : 接続部、 9 7 7 : スピーカ、 9 7 8 : マイク、 9  
 8 1 : 筐体、 9 8 2 : 表示部、 9 8 3 : 操作ボタン、 9 8 4 : 外部接続ポート、 9 8 5 :  
 スピーカ、 9 8 6 : マイク、 9 8 7 : カメラ

10

20

30

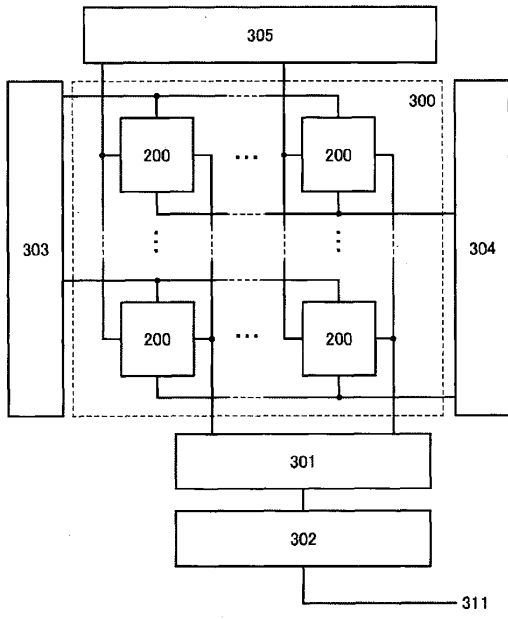
40

50

【図面】

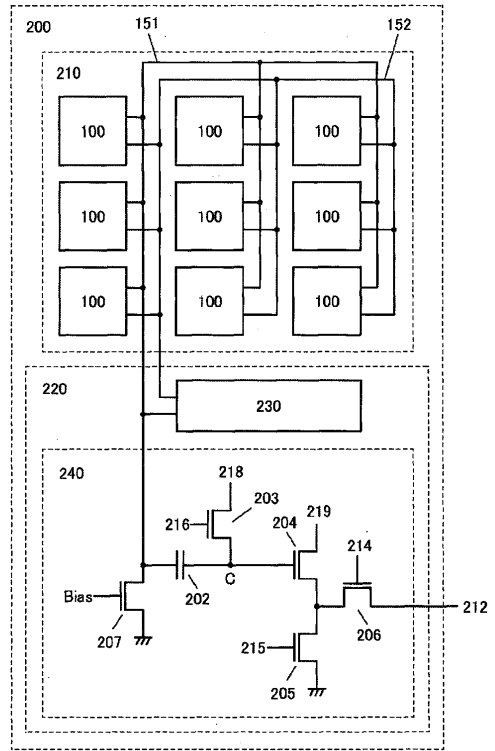
【図 1】

図1



【図 2】

図2



10

20

30

40

50

【図3】

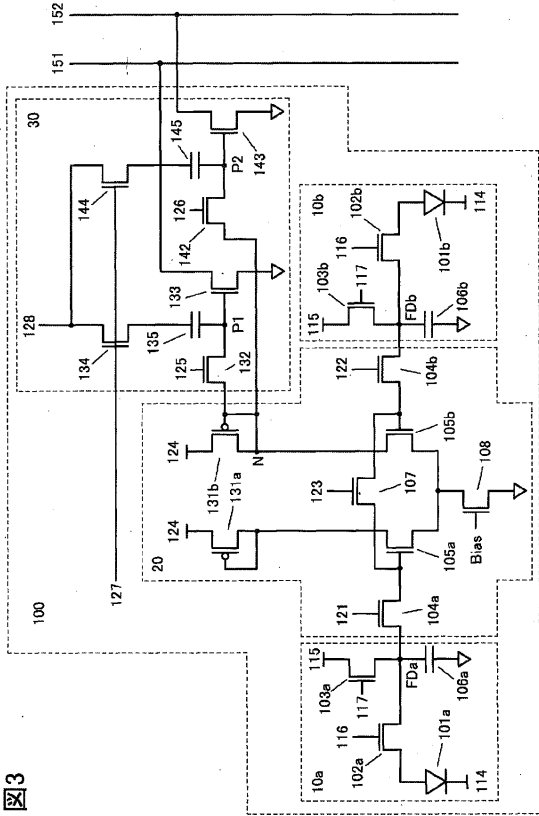
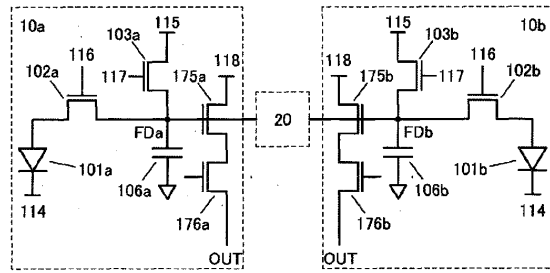


図3

【図4A】

図4A

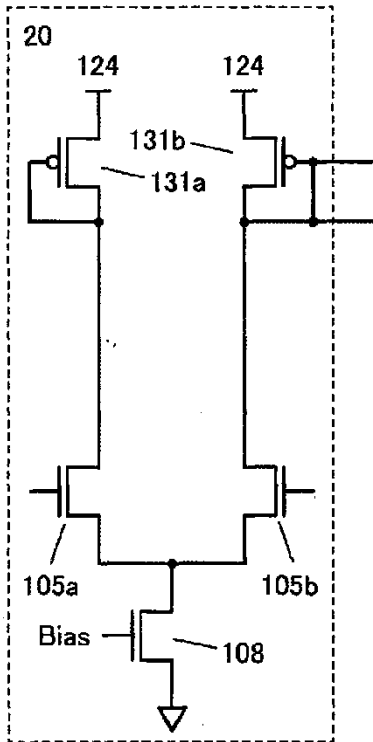


10

20

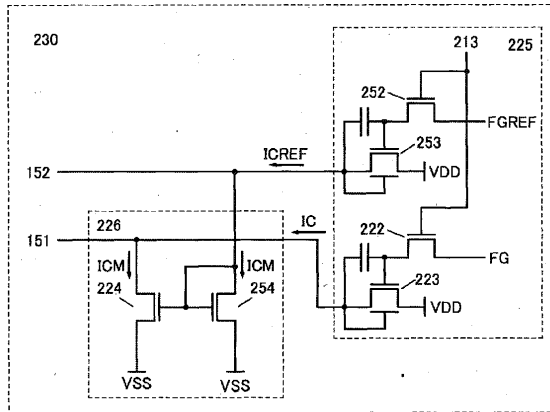
【図4B】

図4B



【図5A】

図5A



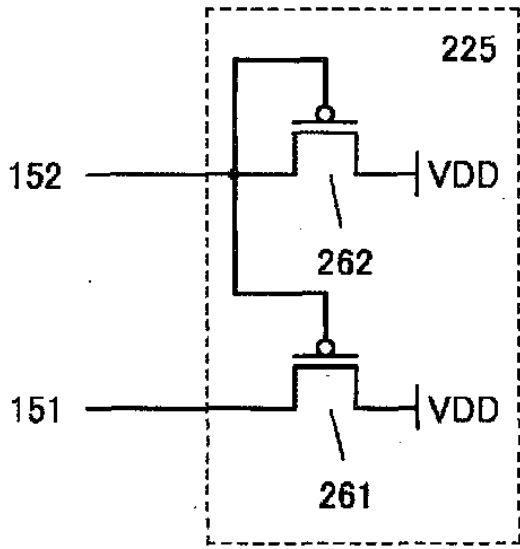
30

40

50

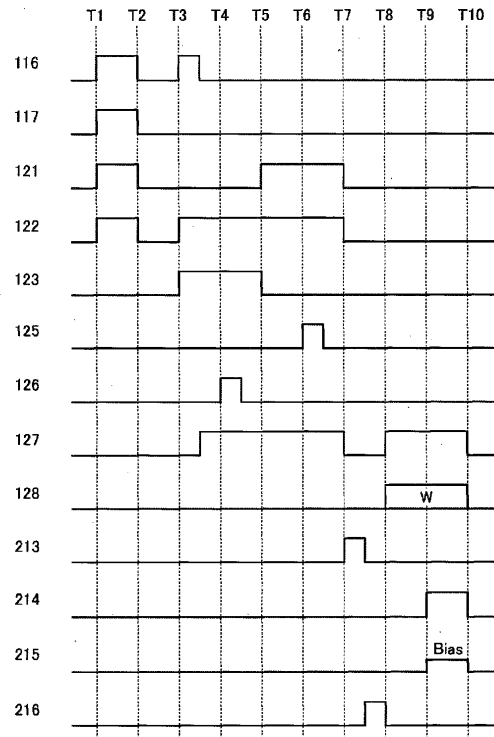
【 図 5 B 】

図5B



【 図 6 】

図6

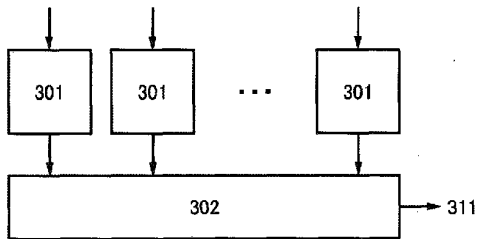


10

20

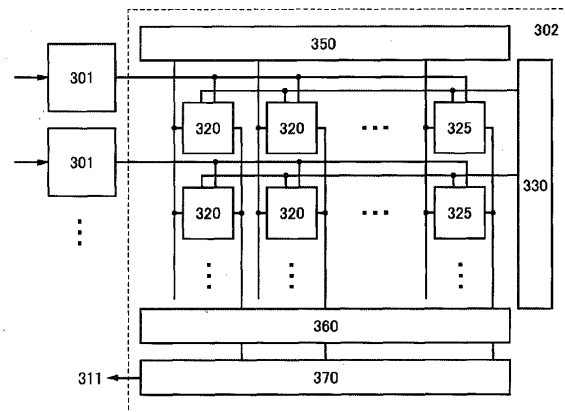
【 図 7 A 】

図7A



【 図 7 B 】

図7B

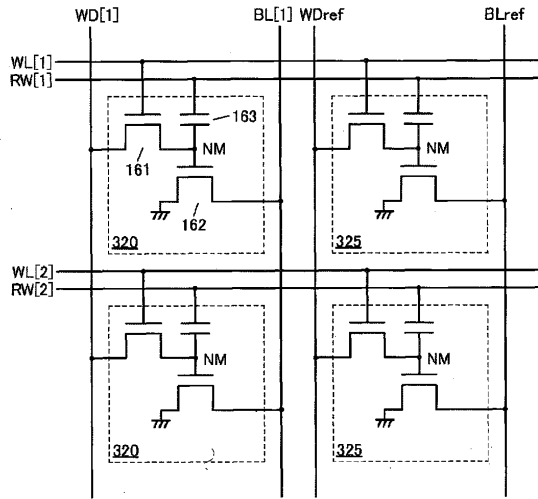


30

40

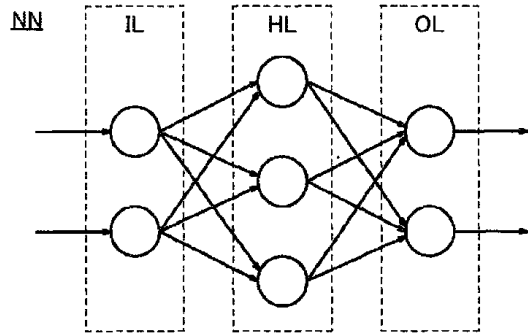
【 図 8 】

図8



【 図 9 A 】

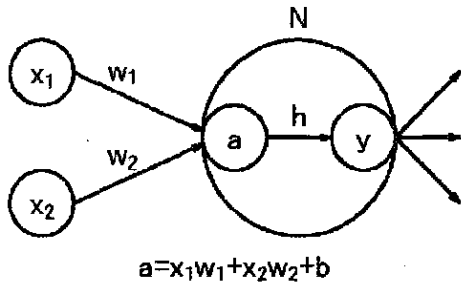
図9A



10

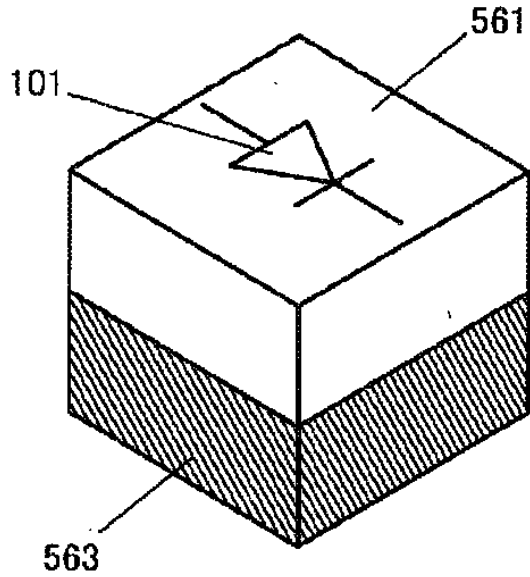
【 図 9 B 】

図9B



【 図 1 0 A 】

図10A



20

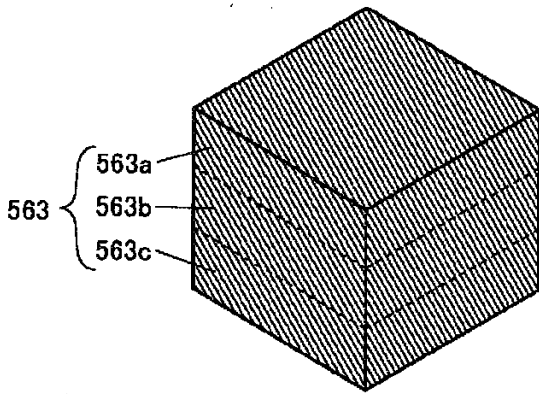
30

40

50

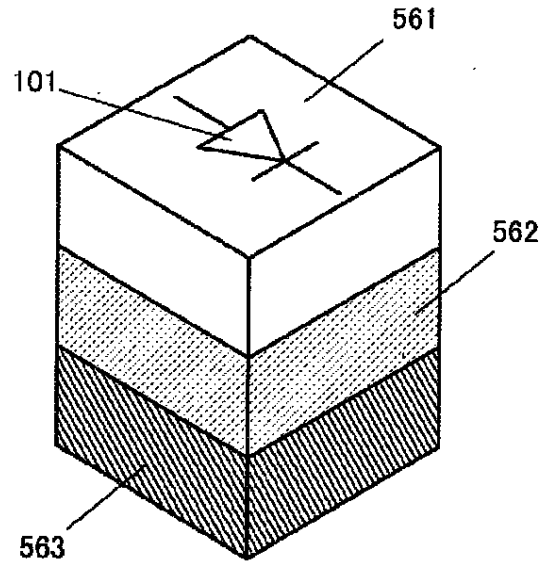
【図10B】

図10B



【図10C】

図10C

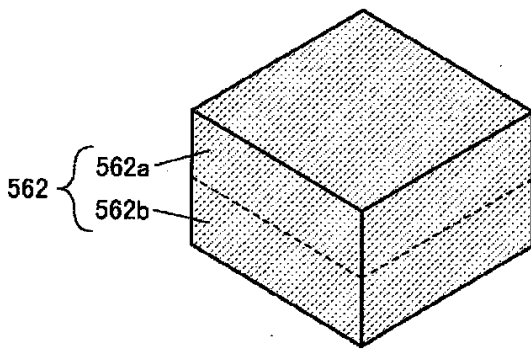


10

20

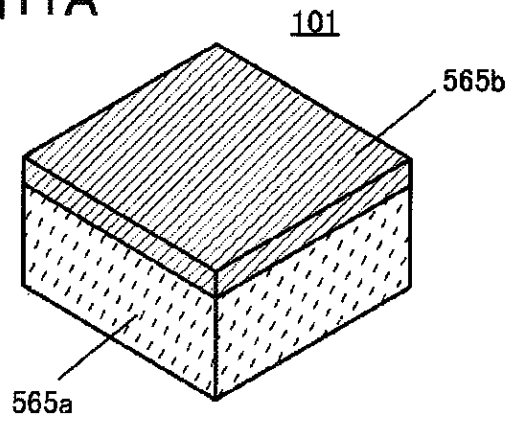
【図10D】

図10D



【図11A】

図11A



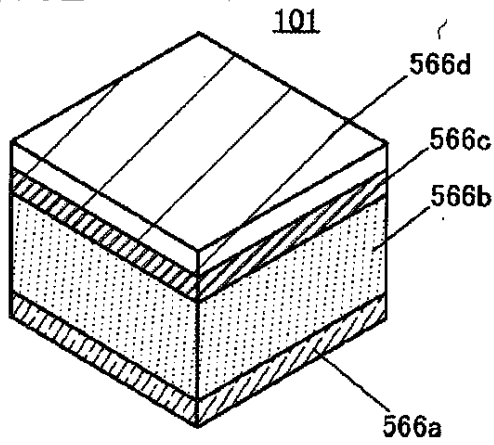
30

40

50

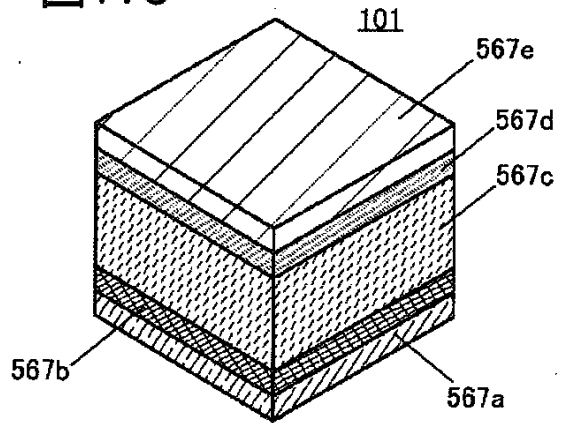
【図11B】

図11B



【図11C】

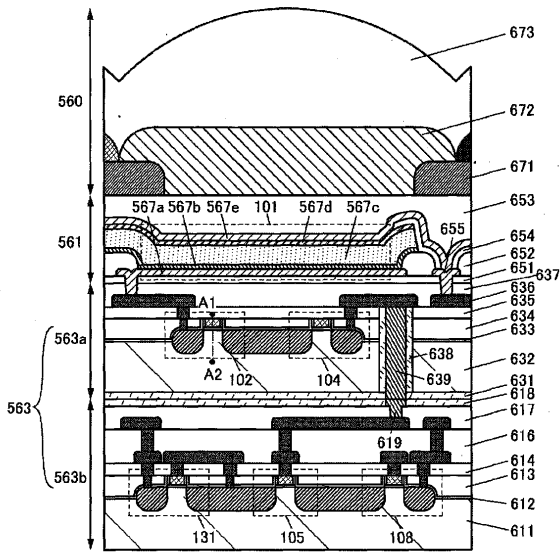
図11C



10

【図12】

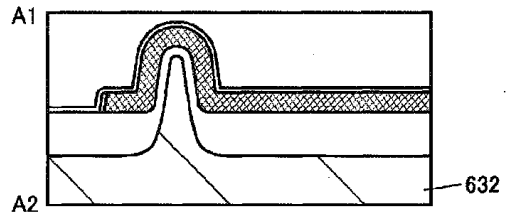
図12



30

【図13A】

図13A



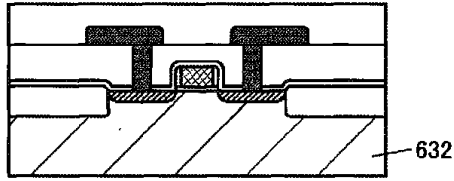
20

40

50

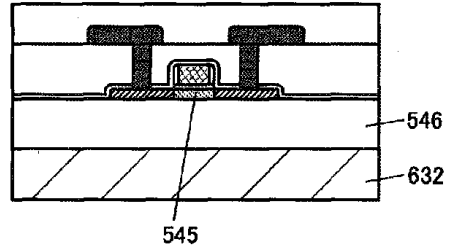
【図13B】

図13B



【図13C】

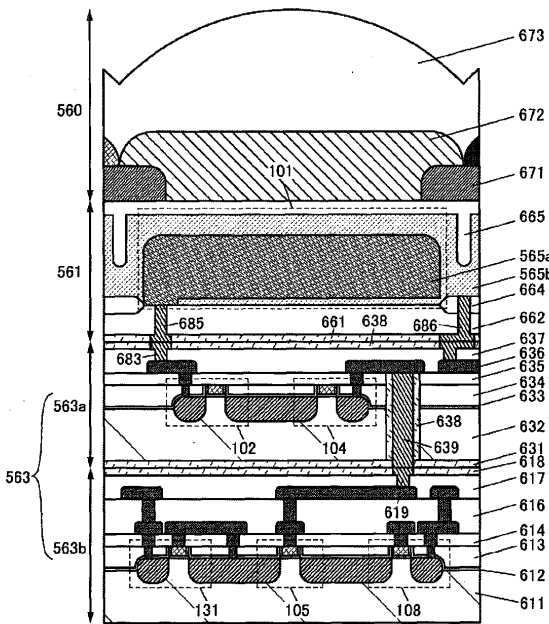
図13C



10

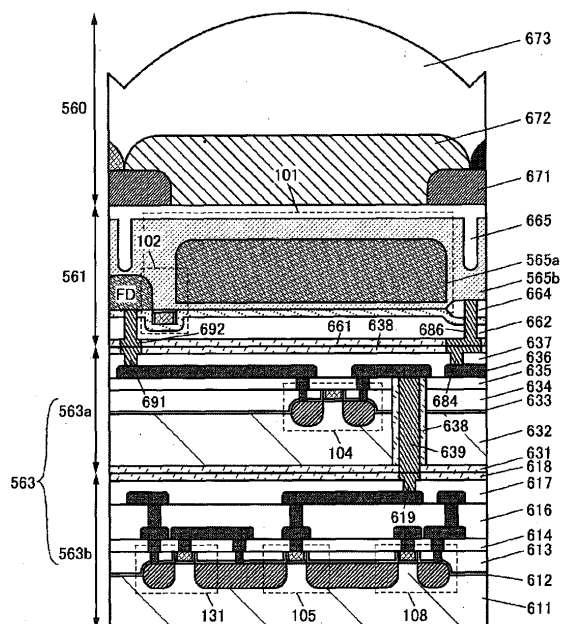
【図14】

図14



【図15】

図15



20

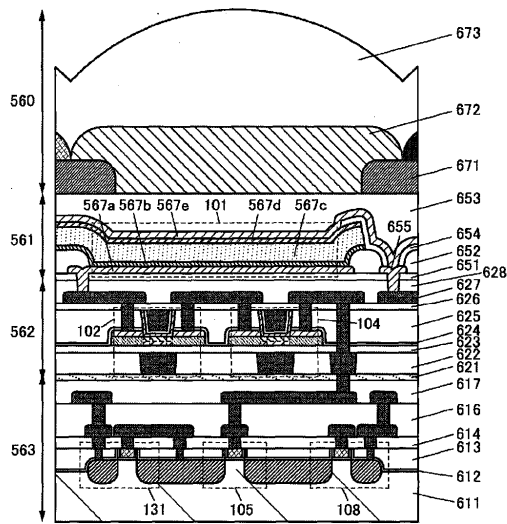
30

40

50

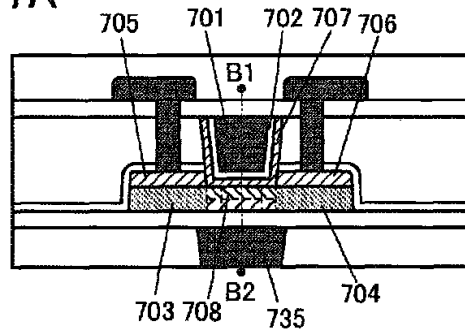
【図16】

図16



【図17A】

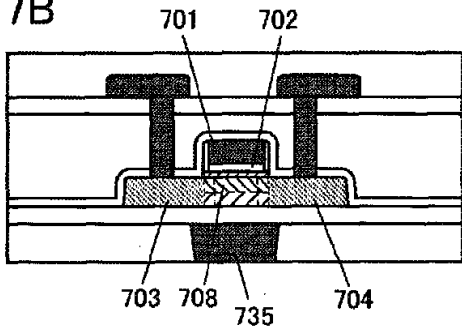
図17A



10

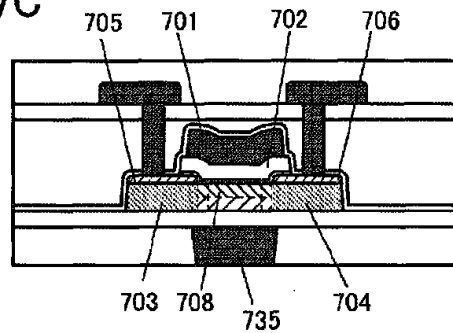
【図17B】

図17B



【図17C】

図17C



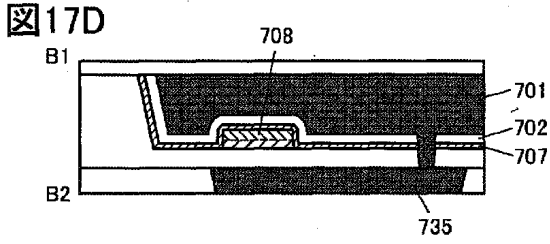
20

30

40

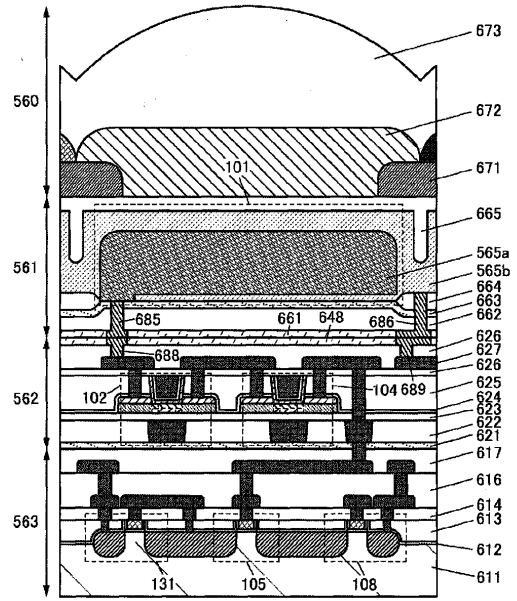
50

【 17 D 】



【 18 】

18

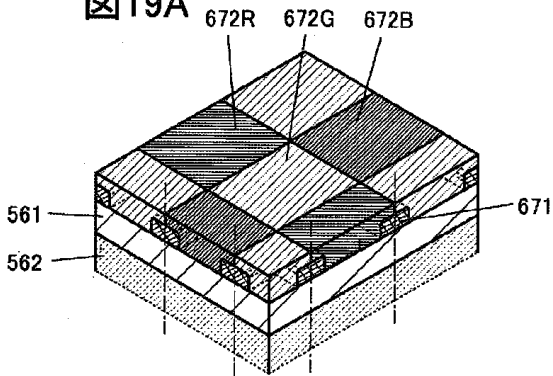


10

20

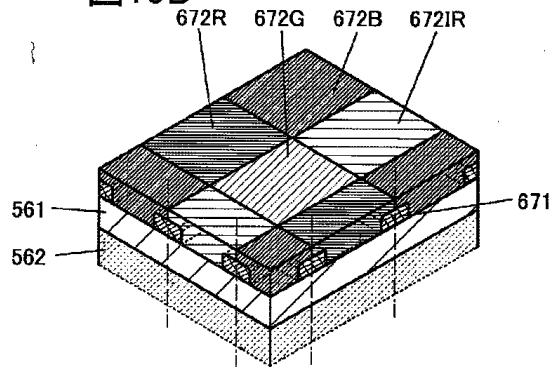
【 19 A 】

19A



【 19 B 】

19B

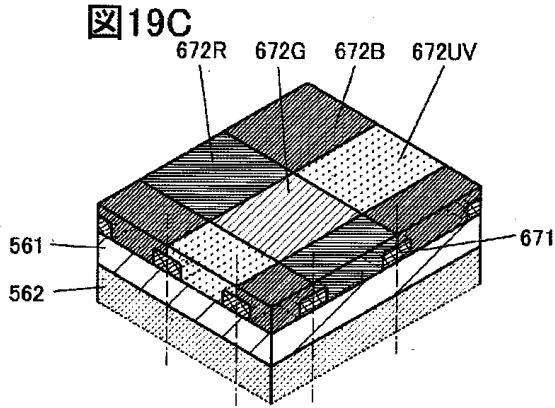


30

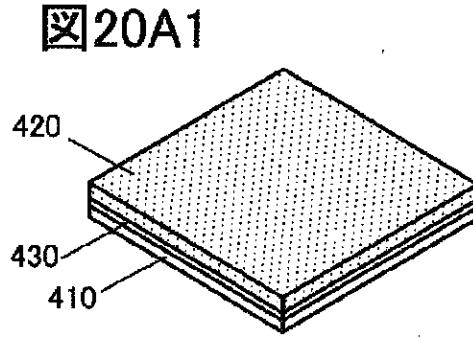
40

50

【図19C】

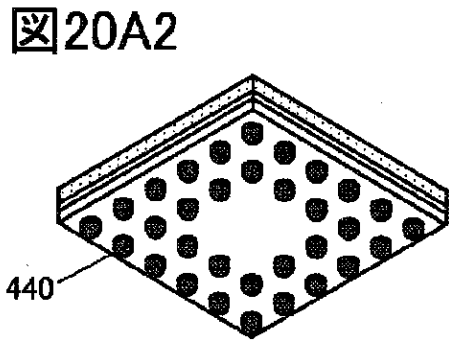


【図20A1】

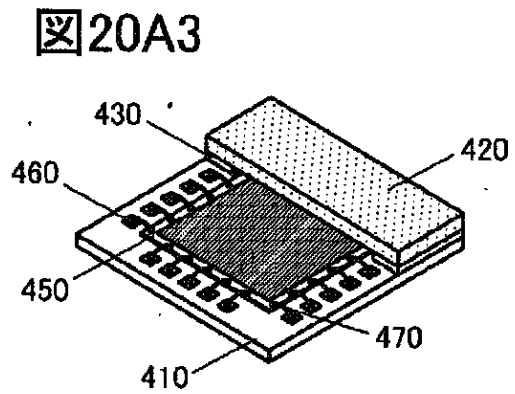


10

【図20A2】



【図20A3】



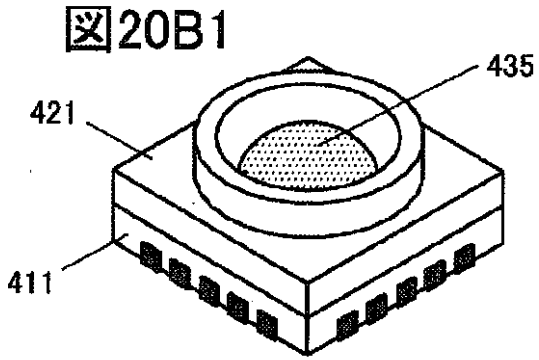
20

30

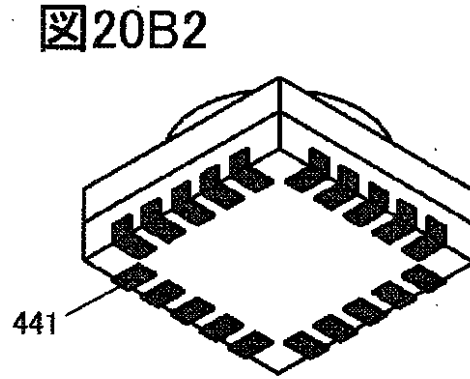
40

50

【図20B1】

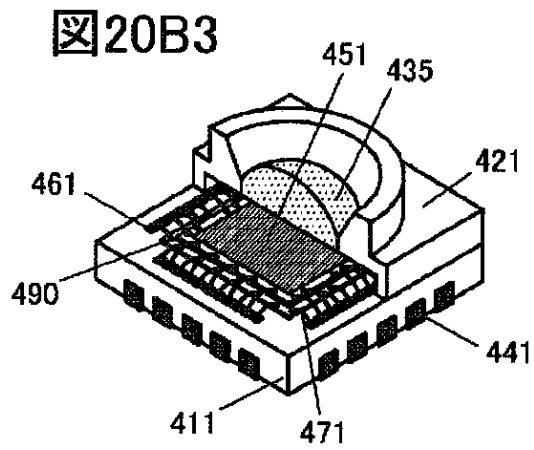


【図20B2】

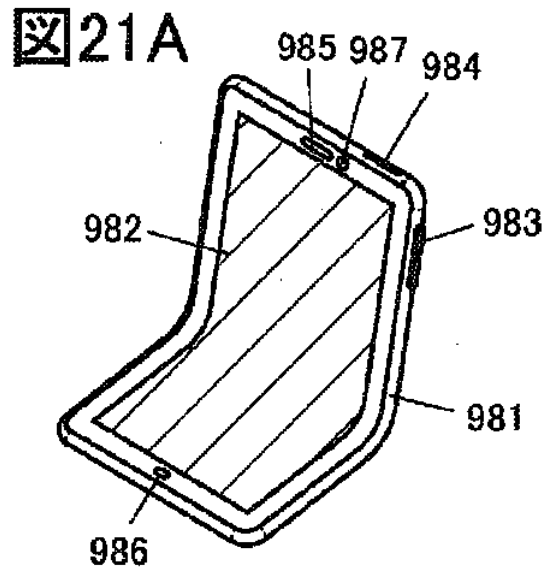


10

【図20B3】



【図21A】



20

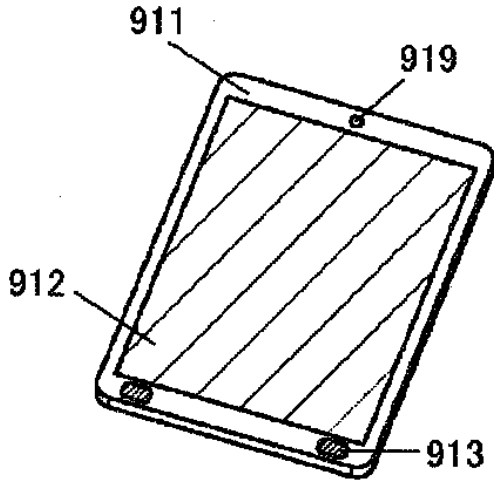
30

40

50

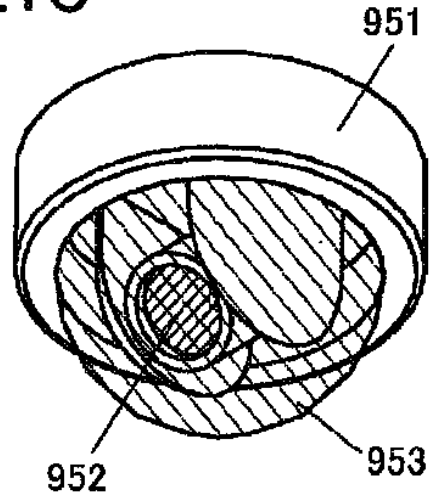
【図 2 1 B】

図21B



【図 2 1 C】

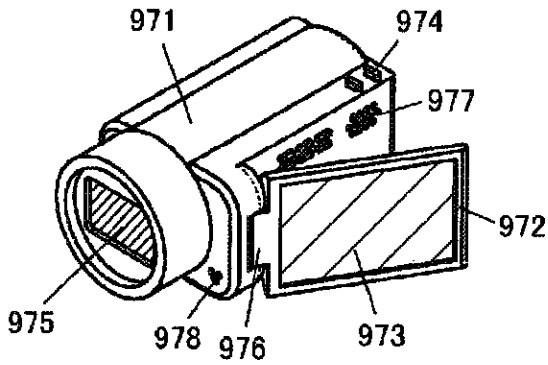
図21C



10

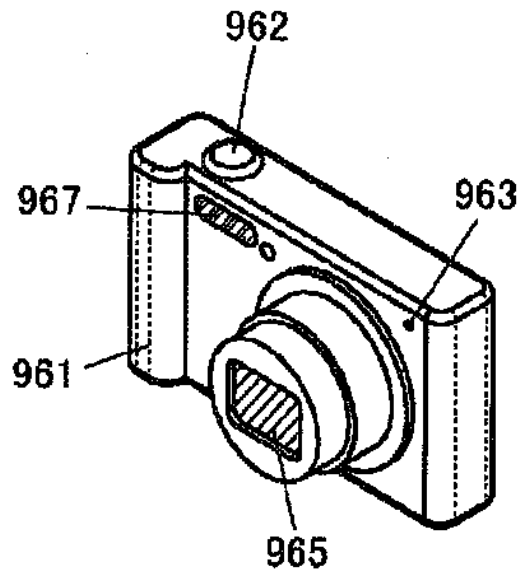
【図 2 1 D】

図21D



【図 2 1 E】

図21E



20

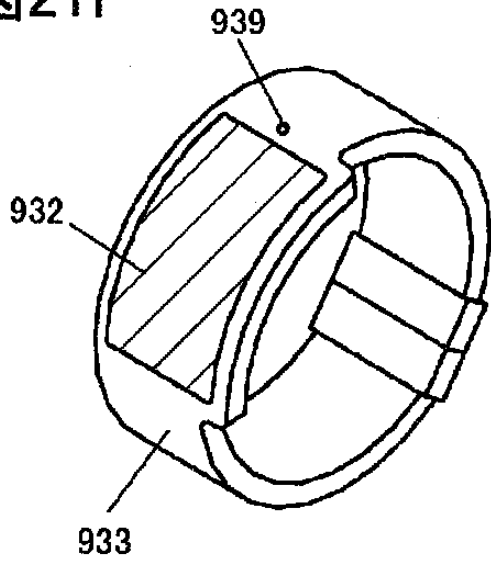
30

40

50

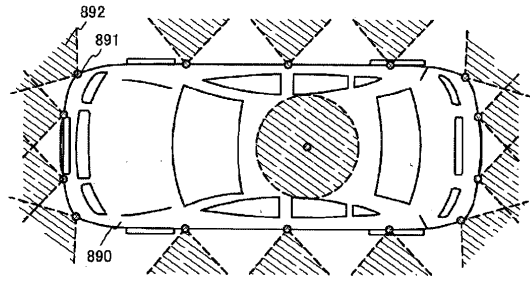
【図 21 F】

図 21F



【図 22】

図 22



10

20

30

40

50

---

フロントページの続き

(72)発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

審査官 奥田 雄介

(56)参考文献 特開2016-123087(JP, A)

国際公開第2018/215882(WO, A1)

国際公開第2019/012369(WO, A1)

(58)調査した分野 (Int.Cl., DB名)

H04N 25/70

H04N 25/77