

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年9月20日(20.09.2018)



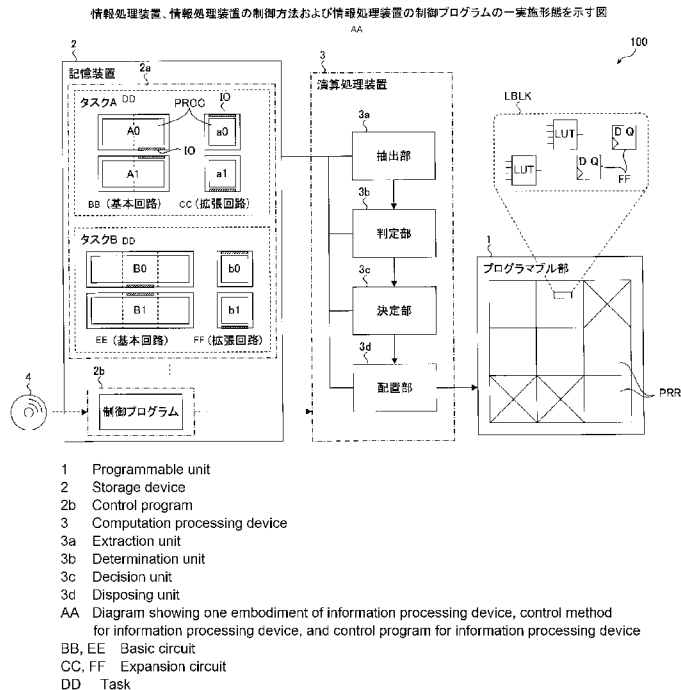
(10) 国際公開番号

WO 2018/168210 A1

- (51) 国際特許分類:
G06F 17/50 (2006.01) *H03K 19/177* (2006.01)
G06F 7/57 (2006.01)
- (21) 国際出願番号: PCT/JP2018/002090
- (22) 国際出願日: 2018年1月24日(24.01.2018)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2017-047222 2017年3月13日(13.03.2017) JP
- (71) 出願人: 富士通株式会社 (FUJITSU LIMITED)
[JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 Kanagawa (JP).
- (72) 発明者: 松村 秀敏 (MATSUMURA, Hidetoshi);
〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内 Kanagawa (JP).
- (74) 代理人: 向山 直樹 (MUKOUYAMA Naoki);
〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 Kanagawa (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,

(54) Title: INFORMATION PROCESSING DEVICE, CONTROL METHOD FOR INFORMATION PROCESSING DEVICE, AND CONTROL PROGRAM FOR INFORMATION PROCESSING DEVICE

(54) 発明の名称: 情報処理装置、情報処理装置の制御方法および情報処理装置の制御プログラム



(57) Abstract: [Problem] To reduce, in a first circuit disposed on a programmable unit, a circuit amount of a first input and output unit to which a second circuit is connected in the case where processing performance by the first circuit lacks. [Solution] A plurality of first circuits have a first processing unit for performing a first process and a first input and output unit, a position of which is different in the case where the first circuits are disposed in a reconfiguration area of a

NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

programmable unit. A plurality of second circuits respectively corresponding to the plurality of first circuits have a second processing unit for performing the first process and a second input and output unit connected to the first input and output unit. An extraction unit extracts, from a plurality of reconfiguration areas, a disposition possible area where any of the first circuits can be disposed. A determination unit determines whether the second circuits can respectively be disposed so as to be adjacent to the disposition possible area. A decision unit decides, on the basis of the determination by the determination unit, the first circuit to be disposed in the programmable unit and a position where the first circuit is disposed. A disposing unit disposes the first circuit on the position decided by the decision unit.

(57) 要約: 【課題】 プログラマブル部に配置される第1回路において、第1回路による処理能力が不足した場合に第2回路を接続する第1入出力部の回路量を削減する。【解決手段】 複数の第1回路は、第1処理を実行する第1処理部と、第1回路がプログラマブル部の再構成領域に配置された場合の位置が異なる第1入出力部を有する。複数の第1回路にそれぞれ対応する複数の第2回路は、第1処理を実行する第2処理部と、第1入出力部に接続される第2入出力部を有する。抽出部は、第1回路のいずれかを配置可能な配置可能領域を、複数の再構成領域の中から抽出する。判定部は、第2回路の各々を、配置可能領域に隣接して配置可能であるか判定する。決定部は、判定部による判定に基づいて、プログラマブル部に配置する第1回路と、第1回路を配置する位置とを決定する。配置部は、決定部が決定した位置に第1回路を配置する。

明 細 書

発明の名称：

情報処理装置、情報処理装置の制御方法および情報処理装置の制御プログラム

技術分野

[0001] 本発明は、情報処理装置、情報処理装置の制御方法および情報処理装置の制御プログラムに関する。

背景技術

[0002] 近時、論理を動的に再構成可能な F P G A (Field-Programmable Gate Array) 等のプ

ログラマブルデバイスをアクセラレータとして機能させる情報処理装置が注目されている。この種の情報処理装置では、F P G A 上に複数の回路を順次にプログラムすることで複数の処理を実行する場合、複数の回路に共通する部分と、複数の回路の個別部分において配置が重複しない部分とが、F P G A に予めプログラムされる。この後、回路の個別部分において配置が重複する部分が、複数の回路の各々の処理の実行時に F P G A にプログラムされることで、論理の再構成時間が短縮される（例えば、特許文献 1 参照）。

[0003] また、F P G A 上にプログラムされた回路により実行される処理の負荷が増大した場合、処理を実行する回路を F P G A 上に複製し、複数の回路で処理を並列に実行することで、処理効率は向上する（例えば、特許文献 2 参照）。さらに、F P G A が回路をプログラムの単位である複数の分割領域を有する場合、未使用の分割領域が、F P G A にプログラムする回路の形状に適合するかが、回路の形状を示す形状情報に基づいて判定される。そして、未使用の分割領域が形状情報に適合する場合、適合した未使用の分割領域に回路がプログラムされる（例えば、特許文献 3 参照）。

先行技術文献

特許文献

[0004] 特許文献1：特開2001-51826号公報

特許文献2：特開2000-148707号公報

特許文献3：特開2015-39155号公報

発明の概要

発明が解決しようとする課題

[0005] ところで、FPGAに配置された基本回路で実行する処理の負荷が増大した場合、基本回路に隣接する領域に拡張回路を配置し、基本回路と拡張回路とにより処理を並列に実行することで、負荷の増大に対応することが考えられる。また、FPGAに配置された基本回路に隣接して拡張回路を配置できる可能性を、FPGA内の空き領域の位置に拘わらず高くするために、拡張回路に接続する接続部を基本回路の複数の辺に搭載することが考えられる。しかしながら、基本回路に搭載される接続部の数が多くなるほど、処理を実行する処理部の規模は小さくなり、基本回路の処理性能は低下する。

[0006] 1つの側面では、本発明は、プログラマブル部に配置される第1回路において、第1回路による処理性能が不足した場合に第2回路を接続する第1入出力部の回路量を削減することを目的とする。

課題を解決するための手段

[0007] 一つの実施態様では、情報処理装置は、論理を再構成可能な複数の再構成領域を有するプログラマブル部と、第1処理を実行する第1処理部と、情報を入出力する第1入出力部とを有し、かつ、複数の再構成領域のいずれかに配置された場合に第1入出力部の位置が互いに異なる複数の第1回路のいずれかを配置可能な配置可能領域を、複数の再構成領域の中から抽出する抽出部と、第1処理を実行する第2処理部と、第1入出力部に接続される第2入出力部とを有し、かつ、複数の第1回路にそれぞれ対応する複数の第2回路の各々を、抽出部により抽出された配置可能領域に隣接する再構成領域に配置可能であるか判定する判定部と、判定部による判定に基づいて、複数の第1回路のうち、プログラマブル部に配置する第1配置回路と、配置可能領域のうち、第1配置回路を配置する第1配置領域とを決

定する決定部と、決定部が決定した第 1 配置領域に第 1 配置回路を配置する配置部とを有する。

発明の効果

[0008] 1つの側面では、本発明は、プログラマブル部に配置される第 1 回路において、第 1 回路による処理性能が不足した場合に第 2 回路を接続する第 1 入出力部の回路量を削減することができる。

図面の簡単な説明

[0009] [図1]情報処理装置、情報処理装置の制御方法および情報処理装置の制御プログラムの一実施形態を示す図である。

[図2]図 1 に示す抽出部、判定部および決定部が実行する処理の一例を示す図である。

[図3]図 1 に示す抽出部、判定部および決定部を持たない他の情報処理装置により回路を配置する例を示す図である。

[図4]図 1 に示す情報処理装置が実行する制御プログラムによる処理の一例を示す図である。

[図5]情報処理装置、情報処理装置の制御方法および情報処理装置の制御プログラムの別の実施形態を示す図である。

[図6]図 5 に示すプログラマブル部の一例を示す図である。

[図7]図 5 に示すメインメモリに格納される構成情報の一例を示す図である。

[図8]図 5 に示す情報処理装置の動作の一例を示す図である。

[図9]図 5 に示すメインメモリに格納される構成情報の別の例を示す図である。

[図10]図 5 に示すメインメモリに格納される構成情報のさらなる別の例を示す図である。

[図11]図 5 に示す情報処理装置の動作の別の例を示す図である。

[図12]図 5 に示す情報処理装置が実行する制御プログラムによる処理の一例を示す図である。

[図13]図 1 2 に示すステップ S 1 0 0 の処理の一例を示す図である。

[図14]図 1 2 に示すステップ S 2 4 0 の処理の一例を示す図である。

[図15]図 5 に示すメインメモリに格納される構成情報の別の例を示す図である。

[図16]タスク D を実行する構成情報の別の例を示す図である。

発明を実施するための形態

[0010] 以下、図面を用いて実施形態を説明する。信号が伝達される信号線には、信号名と同じ符号を使用する。

[0011] 図 1 は、情報処理装置、情報処理装置の制御方法および情報処理装置の制御プログラムの一実施形態を示す。図 1 に示す情報処理装置 1 0 0 は、例えば、サーバであり、F P G A 等のプログラマブル部 1、メモリモジュール等の記憶装置 2 および C P U (Central Processing Unit) 等の演算処理装置 3 を有する。なお、記憶装置 2 は、情報処理装置 1 0 0 の外部に配置されてもよい。情報処理装置 1 0 0 は、図 1 に示す要素以外に、H D D (Hard Disk Drive) および通信インタフェース等を有してもよい。

[0012] プログラマブル部 1 は、S R A M (Static Random Access Memory) 等を用いた複数の

ルックアップテーブル L U T と複数のフリップフロップ F F とを含む複数の論理ブロック L B L K を有する。また、図示を省略するが、プログラマブル部 1 は、論理ブロック L B L K 間を接続する配線と、スイッチマトリックスと、ワークデータ等を記憶するブロックメモリとを有する。

[0013] 各論理ブロック L B L K において、ルックアップテーブル L U T に論理を書き込み、ルックアップテーブル L U T 間を配線とスイッチマトリックスとで接続することで、組み合わせ回路が構築される。また、ルックアップテーブル L U T 間にフリップフロップ F F を挿入し、必要であれば、さらにルックアップテーブルとブロックメモリ間を配線とスイッチマトリックスとで接続することで、順序回路が構築される。

[0014] プログラマブル部 1 上には、論理を再構成可能な複数の矩形状の部分再構

成領域 P R R (Partial Reconfigurable Region) が構築される。ブロック間接続配線は、各部分再構成領域 P R R の周囲に設けられ、部分再構成領域 P R R に共通に使用される共通配線と、互いに隣接する部分再構成領域 P R R 間に設けられる専用配線とを有する。なお、部分再構成領域 P R R、共通配線および専用配線は、プログラマブル部 1 に物理的に構築されてもよい。

[0015] 図 1 では、プログラマブル部 1 は、9 個の部分再構成領域 P R R を有するが、部分再構成領域 P R R の数は、9 個に限定されず、例えば、プログラマブル部 1 が矩形になるように決められる。以下の説明では、部分再構成領域 P R R は、再構成領域 P R R と称される。図 1 において、X 印を付けた再構成領域 P R R は、例えば、基本回路が既に配置され、新たな回路を配置できない再構成領域 P R R を示す。

[0016] 記憶装置 2 は、S D R A M (Synchronous Dynamic Random Access Memory)、S R A M、またはフラッシュメモリ等の半導体メモリを含む。記憶装置 2 は、プログラマブル部 1 にプログラムする論理 (回路) の構成情報を記憶する記憶領域 2 a と、制御プログラムを記憶する記憶領域 2 b とを有する。

[0017] なお、構成情報は、情報処理装置 1 0 0 の記憶装置 2 以外の記憶領域に記憶されてもよく、情報処理装置 1 0 0 の外部の記憶領域に記憶されてもよい。また、制御プログラムは、C D - R O M (Compact Disc Read Only Memory)、D V D (Digital Versatile Disc)、U S B (Universal Serial Bus) メモリ等のコンピュータにより読み取り可能な記録媒体 4 に格納されてもよい。この場合、記録媒体 4 に格納された制御プログラムは、情報処理装置 1 0 0 に設けられる図示しない入出力インタフェースを介して記録媒体 4 から記憶領域 2 b に転送される。なお、制御プログラムは、記録媒体 4 から図示しない H D D に転送された後、H D D から記憶領域 2 b に転送されてもよい。

[0018] 図 1 に示す例では、記憶領域 2 a には、タスク A をプログラマブル部 1 で実行するための構成情報 A 0、A 1、a 0、a 1 と、タスク B をプログラマ

ブル部 1 で実行するための構成情報 B 0、B 1、b 0、b 1 とが記憶される。図 1 では、説明を分かりやすくするために、各構成情報は、プログラマブル部 1 にプログラムされる回路の形状で示される。回路の形状で示される各構成情報において、内側に示す矩形は、タスクの処理を実行する処理部 P R O C を示し、四辺のうちの一辺に斜線を付けた細長い矩形は、データ等の情報を入出力する入出力部 I O を示す。

[0019] 大文字のアルファベットで示す A 0、A 1 等の構成情報は、タスクをプログラマブル部 1 で実行する場合に最初にプログラマブル部 1 にプログラムされる。以下の説明では、大文字のアルファベットで示す構成情報は、基本回路とも称される。アルファベットが互いに同じ基本回路（例えば、A 0 と A 1）の処理部 P R O C は、互いに同じ処理を実行し、処理性能も同じであるが、基本回路が再構成領域 P R R のいずれかにプログラムされた場合の入出力部 I O の位置が互いに異なる。

[0020] 小文字のアルファベットで示す a 0、a 1 等の構成情報は、プログラマブル部 1 にプログラムされた基本回路によりタスクを実行中に、タスクの負荷が増加し、基本回路の処理性能が不足した場合に、プログラマブル部 1 にプログラムされる。以下の説明では、小文字のアルファベットで示す構成情報は、拡張回路とも称される。アルファベットが同じ拡張回路（例えば、a 0 と a 1）の処理部 P R O C は、互いに同じ処理を実行し、処理性能も同じであるが、拡張回路が再構成領域 P R R のいずれかにプログラムされた場合の入出力部 I O の位置が互いに異なる。以下では、構成情報のプログラマブル部 1 へのプログラムは、回路の配置とも称される。

[0021] 基本回路 A 0、A 1 は、第 1 回路の一例であり、拡張回路 a 0、a 1 は第 2 回路の一例である。基本回路 A 0、A 1 の処理部 P R O C は、第 1 処理部の一例であり、基本回路 A 0、A 1 の入出力部 I O は、第 1 入出力部の一例である。拡張回路 a 0、a 1 の処理部 P R O C は、第 2 処理部の一例であり、拡張回路 a 0、a 1 の入出力部 I O は、第 2 入出力部の一例である。基本回路 A 0、A 1 の処理部 P R O C が実行する処理および拡張回路 a 0、a 1

の処理部 P R O C が実行する処理は、第 1 処理の一例である。

[0022] アルファベットが互いに同じ基本回路は、同じ論理を有し、同じサイズであり、同じ数の再構成領域 P R R にプログラムされる。同様に、アルファベットが互いに同じ拡張回路は、同じ論理を有し、同じサイズであり、同じ数の再構成領域 P R R にプログラムされる。例えば、基本回路 A 0、A 1 は、横方向に隣接する 2 つの再構成領域 P R R に配置可能であり、基本回路 B 0、B 1 は、横方向に隣接する 3 つの再構成領域 P R R に配置可能である。拡張回路 a 0、a 1、b 0、b 1 は、再構成領域 P R R のいずれか 1 つに配置可能である。

[0023] アルファベットが互いに同じ基本回路は、4 辺のうちの互いに異なる辺に入出力部 I O を有しており、入出力部 I O の位置により、拡張回路の接続方向が互いに異なる。各基本回路は、アルファベットと数字が同じ拡張回路のみを接続可能である。基本回路における 4 辺のうちの 1 辺に入出力部 I O を 1 つのみ設けることにより、各基本回路は、拡張回路を接続する方向が制限される。一方、基本回路における 4 辺のうちの 1 辺に入出力部 I O を 1 つのみ設けることにより、入出力部 I O を複数の辺に設ける場合に比べて、入出力部 I O の回路量を削減することができ、相対的に、処理部 P R O C の回路量を増大することができる。したがって、入出力部 I O を複数の辺に設ける場合に比べて、基本回路の処理性能を向上することができる。この結果、拡張回路を増設する頻度を下げることが可能になり、拡張回路のプログラマブル部 1 への配置を制御する演算処理装置 3 の負荷を軽減することができる。

[0024] 例えば、基本回路 A 0 がプログラマブル部 1 に配置され、基本回路 A 0 によるタスク A の処理性能が不足した場合、基本回路 A 0 が配置された構成領域 P R R の右下に隣接する再構成領域 P R R に、拡張回路 a 0 が配置される。基本回路 A 1 がプログラマブル部 1 に配置され、基本回路 A 1 によるタスク A の処理性能が不足した場合、基本回路 A 1 が配置された再構成領域 P R R の右上に隣接する再構成領域 P R R に、拡張回路 a 1 が配置される。そして、基本回路 A 0 と拡張回路 a 0、または基本回路 A 1 と拡張回路 a 1 によ

り、タスクAが並列に実行される。例えば、拡張回路a0をプログラマブル部1に配置することで、複数の基本回路A0をプログラマブル部1に配置する場合に比べて、最小限の再構成領域PRRを使用して、タスクAを並列に実行する回路をプログラマブル部1に構築することができる。この結果、他のタスクを実行する回路を再構成領域PRRに配置できる可能性が高くなり、情報処理装置100で実行するタスクの処理性能を向上することができる。

[0025] 演算処理装置3は、抽出部3a、判定部3b、決定部3cおよび配置部3dを有する。抽出部3a、判定部3b、決定部3cおよび配置部3dの機能は、演算処理装置3の図示しないCPUコア等が記憶領域2bに格納された制御プログラムを実行することにより実現される。なお、抽出部3a、判定部3b、決定部3cおよび配置部3dの少なくともいずれかは、ハードウェア（回路）として、情報処理装置100に搭載されてもよい。この場合、抽出部3a、判定部3b、決定部3cおよび配置部3dの少なくともいずれかは、プログラマブル部1を使用して実現されてもよい。

[0026] 抽出部3aは、タスクをプログラマブル部1で実行する指示に基づいて、実行するタスクに対応する複数の基本回路毎に、基本回路を配置可能な再構成領域PRRである配置可能領域を、回路が配置されていない再構成領域PRRの中から抽出する。判定部3bは、抽出部3aにより配置可能領域が抽出された場合、各配置可能領域に配置される基本回路に接続する拡張回路を、配置可能領域に隣接する再構成領域PRRに配置可能か否かを判定する。

[0027] 決定部3cは、判定部3bによる判定に基づいて、複数の基本回路のうち、配置可能領域に実際に配置する基本回路と、基本回路を配置する再構成領域PRRの位置とを決定する。決定部3cが配置を決定した基本回路は、第1配置回路の一例であり、決定部3cが決定した基本回路を配置する再構成領域PRRは、第1配置領域の一例である。

[0028] 配置部3dは、決定部3cが決定した基本回路を、決定部3cが決定した再構成領域PRRに配置する。すなわち、配置部3dは、決定部3cが配置

を決定した基本回路の構成情報と、構成情報をプログラムする再構成領域 P R R の位置を示す位置情報とをプログラマブル部 1 に転送する。プログラマブル部 1 は、配置部 3 d から受信する情報に基づいて、基本回路を再構成領域 P R R のいずれかにプログラムする。なお、判定部 3 b が、抽出部 3 a により配置可能領域が抽出されなかったことを判定した場合、決定部 3 c および配置部 3 d は動作せず、タスクは、演算処理装置 3 の C P U コアが実行するアプリケーションプログラム等のソフトウェアにより実行される。

[0029] プログラマブル部 1 に配置された基本回路によりタスクの処理を実行中に、タスクの負荷が増大し、基本回路によるタスクの処理性能が不足する場合で、拡張回路を再構成領域 P R R に配置可能である場合、配置部 3 d は、拡張回路をプログラマブル部 1 に配置する。拡張回路を再構成領域 P R R に配置可能であるかは、判定部 3 b により判定済みである。配置部 3 d への拡張回路の配置の指示は、例えば、タスクの負荷をモニタしている演算処理装置 3 により実行される。

[0030] 図 2 は、図 1 に示す抽出部 3 a、判定部 3 b および決定部 3 c が実行する処理の一例を示す。すなわち、図 2 は、情報処理装置 1 0 0 の制御方法の一例を示す。図 2 では、演算処理装置 3 は、タスク A を実行する回路をプログラマブル部 1 に配置する配置要求の発行に基づいて、どの基本回路 A 0、A 1 を、どの再構成領域 P R R に配置するかを決定する。図 1 と同様に、X 印を付けた 3 つの再構成領域 P R R には、他の基本回路が既に配置済みである。

[0031] まず、抽出部 3 a は、基本回路 A 0、A 1 のそれぞれについて、回路が配置されていない 6 つの再構成領域 P R R の中から基本回路 A 0、A 1 を配置可能な再構成領域 P R R（配置可能領域）を抽出する。図 2 に示す例では、抽出部 3 a は、基本回路 A 0 を配置可能な 3 つの配置可能領域（1）、（2）、（3）と、基本回路 A 1 を配置可能な 3 つの配置可能領域（4）、（5）、（6）とを抽出する。配置可能領域（1）－（6）は、太枠で示される。

[0032] 次に、判定部 3 b は、配置可能領域 (1) - (3) の各々において、配置可能領域に隣接する再構成領域 P R R に拡張回路 a 0 を配置可能か否かを判定する。また、判定部 3 b は、配置可能領域 (4) - (6) の各々において、配置可能領域に隣接する再構成領域 P R R に拡張回路 a 1 を配置可能か否かを判定する。図 2 に示す例では、判定部 3 b は、配置可能領域 (1)、(3) に隣接して拡張回路 a 0 を配置可能であることを判定し、配置可能領域 (5) に隣接して拡張回路 a 1 を配置可能であることを判定する。また、判定部 3 b は、配置可能領域 (2) に隣接して拡張回路 a 0 を配置できないことを判定し、配置可能領域 (4)、(6) に隣接して拡張回路 a 1 を配置できないことを判定する。

[0033] 次に、決定部 3 c は、配置可能領域 (1) - (6) の中から、基本回路 A 0 または基本回路 A 1 を配置する再構成領域 P R R を決定する。まず、決定部 3 c は、配置可能領域 (1) - (6) のうち、配置可能領域に隣接して拡張回路 a 0 または拡張回路 a 1 を配置可能な配置可能領域 (1)、(3)、(5) を選択する。次に、決定部 3 c は、例えば、基本回路 A 0、A 1 と拡張回路 a 0、a 1 とを再構成領域 P R R に配置した後の空き領域（白抜きの矩形で示す）が、分散せずに最もまとまっている配置可能領域 (3) を選択する。すなわち、決定部 3 c は、基本回路 A 0 を配置可能領域 (3) に配置することに決定する。この後、配置部 3 d は、決定部 3 c の決定にしたがって、基本回路 A 0 の構成情報をプログラマブル部 1 に配置する。

[0034] なお、決定部 3 c は、空き領域の状態以外の条件に基づいて、基本回路 A 0、A 1 のいずれかを配置する再構成領域 P R R を決定してもよい。例えば、基本回路 A 0、A 1 のいずれかをプログラマブル部 1 に配置した後、横方向に並ぶ 2 つの再構成領域 P R R と縦方向に並ぶ 2 つの再構成領域 P R R とに、他の基本回路がそれぞれ配置されることが分かっている場合がある。この場合、配置可能領域 (2)、(4) のいずれか一方を、基本回路 A 0（または A 1）を配置する再構成領域 P R R に決定してもよい。

[0035] 図 3 は、図 1 に示す抽出部 3 a、判定部 3 b および決定部 3 c を持たない

他の情報処理装置により回路を配置する一例を示す。図2と同一または同様の要素については、詳細な説明は省略する。例1に示す基本回路Aは、右上と右下のそれぞれに入出力部I/Oを有し、例2に示す基本回路Aは、右上、左上、右下および左下のそれぞれに入出力部I/Oを有する。なお、基本回路Aによるタスクの処理性能が不足した場合、拡張回路a0または拡張回路a1のいずれか1つが基本回路Aに接続される。図3では、図1および図2と同様に、X印を付けた3つの再構成領域PRRには、他の基本回路が既に配置済みであり、回路が配置されていない6つの再構成領域PRRに、新たな回路が配置可能である。

[0036] 例1、例2のいずれにおいても、図2に示した配置可能領域(1)、(2)、(3)または配置可能領域(4)、(5)、(6)と同様に、3つの配置可能領域(1)、(2)、(3)が存在する。但し、基本回路Aは、複数の入出力部I/Oを有するため、配置可能領域(1)〜(3)のそれぞれに隣接する再構成領域PRRのいずれかに、拡張回路a0または拡張回路a1を配置可能である。

[0037] 基本回路Aが複数の入出力部I/Oを有する場合、拡張回路a0、a1を配置可能な再構成領域PRRの選択肢は増える。一方で、入出力部I/Oの数が多いほど、入出力部I/Oの回路量が増大し、基本回路Aにおいて処理を実行する処理部PROCの回路規模は、相対的に減少する。この結果、入出力部I/Oの数が多いほど、基本回路Aで実行するタスクの処理性能は低下する。

[0038] 図4は、図1に示す情報処理装置100が実行する制御プログラムによる処理の一例を

示す。すなわち、図2は、情報処理装置100の制御方法の一例を示す。図1で説明したように、制御プログラムは、演算処理装置3のCPUコアにより実行される。図4に示すフローは、タスクを実行する回路をプログラマブル部1に配置する配置要求の発行に基づいて開始される。

[0039] まず、ステップS10において、制御プログラムは、複数の基本回路のそれぞれについて、回路が配置されていない、空いている再構成領域PRRの

中から基本回路を配置可能な再構成領域 P R R（配置可能領域）を基本回路毎に抽出する。次に、ステップ S 1 2 において、制御プログラムは、ステップ S 1 0 による抽出結果に基づいて、基本回路を配置可能な再構成領域 P R R があるか否かを判定する。基本回路を配置可能な再構成領域 P R R がある場合、処理はステップ S 1 4 に移行され、基本回路を配置可能な再構成領域 P R R がない場合、処理はステップ S 2 0 に移行される。

[0040] ステップ S 1 4 において、制御プログラムは、空いている再構成領域 P R R に配置される基本回路に拡張回路を接続可能か否かを、配置可能領域毎に判定する。次に、ステップ S 1 6 において、制御プログラムは、ステップ S 1 4 による判定結果に基づいて、プログラマブル部 1 に配置する基本回路を決定するとともに、基本回路を配置する配置可能領域の位置を決定する。

[0041] 次に、ステップ S 1 8 において、制御プログラムは、プログラマブル部 1 を制御し、ステップ S 1 6 により決定した基本回路を、ステップ S 1 6 により決定した配置可能領域に配置し、処理を終了する。この後、配置可能領域に配置された基本回路により、タスクの処理が開始される。また、基本回路によるタスクの処理性能が不足する場合で、拡張回路を基本回路に接続可能な場合、拡張回路がプログラマブル部 1 に配置され、基本回路と拡張回路とによりタスクの処理が並列に実行される。

[0042] 一方、基本回路を配置可能な再構成領域 P R R がない場合、ステップ S 2 0 において、制御プログラムは、アプリケーションプログラム等のソフトウェアによりタスクを実行することを決定し、処理を終了する。基本回路を配置可能な再構成領域 P R R がない場合、ソフトウェアによりタスクを実行することで、タスクが全く実行されない不具合を抑止することができる。

[0043] 以上、図 1 から図 4 に示す実施形態では、入出力部 I O による拡張回路の配置方向が互いに異なる複数の基本回路が予め用意される。そして、空いている再構成領域 P R R と拡張回路の配置の可能性とに基づいて、プログラマブル部 1 に配置する基本回路と、配置する再構成領域 P R R の位置が決められる。これにより、複数の入出力部 I O を有し、拡張回路を複数の方向に接

続可能な基本回路に比べて、入出力部 I O の回路量を削減することができ、処理部 P R O C の回路量を相対的に増大することができる。したがって、入出力部 I O を複数の辺に設ける場合に比べて、基本回路の処理性能を向上することができる。この結果、拡張回路を増設する頻度を下げることが可能になり、拡張回路のプログラマブル部 1 への配置を制御する演算処理装置 3 の負荷を軽減することができる。

[0044] 図 5 は、情報処理装置、情報処理装置の制御方法および情報処理装置の制御プログラムの別の実施形態を示す。図 1 から図 4 に示す実施形態で説明した要素と同一または同様の要素については、同一の符号を付し、これ等については、詳細な説明は省略する。図 5 に示す情報処理装置 1 0 0 A は、例えばサーバである。情報処理装置 1 0 0 A は、F P G A 等のプログラマブル部 1 0、外部メモリ 2 0、C P U 等の演算処理装置 3 0、メインメモリ 4 0、入出力インタフェース 5 0、H D D 6 0 および通信インタフェース 7 0 を有する。

[0045] プログラマブル部 1 0 は、再構成領域 P R R の数が異なることを除き、図 1 に示すプログラマブル部 1 と同様の構成を有する。すなわち、プログラマブル部 1 0 は、図 1 で説明した複数の論理ブロック L B L K、ブロックメモリ、配線、スイッチマトリックスを有し、その上に論理をプログラム可能な 1 6 個の再構成領域 P R R と、図示しないブロック間接続回路とが構築される。プログラマブル部 1 0 の例は、図 6 に示される。プログラマブル部 1 0 および外部メモリ 2 0 は、拡張基板 B R D に搭載され、専用のバス B U S 4 で互いに接続される。外部メモリ 2 0 は、プログラマブル部 1 0 で実行される処理に使用されるデータおよび処理後のデータ等を保持する。

[0046] プログラマブル部 1 0 は、バス B U S 1 を介して演算処理装置 3 0 に接続され、メインメモリ 4 0 は、バス B U S 2 を介して演算処理装置 3 0 に接続される。入出力インタフェース 5 0、H D D 6 0 および通信インタフェース 7 0 は、バス B U S 3 を介して演算処理装置 3 0 に接続される。例えば、バス B U S 1、B U S 3 は、P C I e (Peripheral Component Interconnect e

xpress) バスであり、バスBUS 2は、メモリバスである。

[0047] 演算処理装置30は、情報処理装置100Aの全体の動作を制御するとともに、メインメモリ40に格納された制御プログラム42を実行することで、抽出部32、判定部34、決定部36および配置部38として機能する。演算処理装置30は、メインメモリ40に格納される他のプログラム44を実行することで、抽出部32、判定部34、決定部36および配置部38以外の機能を実現する。なお、抽出部32、判定部34、決定部36および配置部38は、ハードウェア（回路）として、情報処理装置100Aに搭載されてもよい。この場合、抽出部32、判定部34、決定部36および配置部38の少なくともいずれかは、プログラマブル部10を使用して実現されてもよい。

[0048] メインメモリ40は、例えば、複数のSDRAMが搭載されたメモリモジュールであり、制御プログラム42、他のプログラム44および構成情報46を記憶する領域を有する。例えば、制御プログラム42、他のプログラム44および構成情報46は、CD-ROM、DVD、USBメモリ等のコンピュータにより読み取り可能な記録媒体80またはネットワークNWを介してHDD60に格納された後、メインメモリ40に転送される。

[0049] 抽出部32は、タスクをプログラマブル部10で実行する指示に基づいて、タスクを実行する複数の基本回路毎に、基本回路を配置可能な再構成領域PRRである配置可能領域を、回路が配置されていない再構成領域PRRの中から抽出する。判定部34は、抽出部32により配置可能領域が抽出された場合、各配置可能領域に配置される基本回路に接続する拡張回路を、配置可能領域に隣接する再構成領域PRRに配置可能か否かを判定する。

[0050] 決定部36は、判定部34による判定に基づいて、複数の基本回路のうち、配置可能領域に配置する基本回路と、基本回路を配置する再構成領域PRRとを決定する。決定部36が配置を決定した基本回路は、第1配置回路の一例であり、決定部36が決定した基本回路を配置する再構成領域PRRは、第1配置領域の一例である。

- [0051] 配置部38は、決定部36が配置を決定した基本回路を、決定部36が決定した再構成領域P R Rに配置する。すなわち、配置部38は、決定部36が配置を決定した基本回路の構成情報と、構成情報をプログラムする再構成領域P R Rの位置を示す位置情報とをプログラマブル部10に転送する。プログラマブル部10は、配置部38から受信する情報に基づいて、基本回路を再構成領域P R Rのいずれかにプログラムする。なお、判定部34が、抽出部32により配置可能領域が抽出されないことを判定した場合、決定部36および配置部38は動作せず、タスクは、演算処理装置30のCPUコアが実行するアプリケーションプログラム等のソフトウェアにより実行される。
- [0052] 入出力インタフェース50の1つは、DVD等の記録媒体80が装着される光学ドライブ装置に接続され、あるいは、USBメモリ等が装着されるコネクタを有する。他の入出力インタフェース50は、図示しないマウスおよびキーボード等の入力装置と、図示しないディスプレイ等の出力装置にそれぞれ接続される。
- [0053] HDD60は、上述したように、制御プログラム42、他のプログラム44および構成情報46等を記憶する。通信インタフェース70は、インターネットまたはイントラネット等のネットワークNWに接続され、ネットワークNWとの間で情報を入出力する。
- [0054] 図6は、図5に示すプログラマブル部10の一例を示す。プログラマブル部10は、再構成領域P R Rの周囲に格子状に配置される配線ネットワークNOCを有する。配線ネットワークNOCは、16個の再構成領域P R Rに共通に使用される共通配線CWと、共通配線CWの交点に配置されるルータRTとを有する。共通配線CWは、接続インタフェースIF1および書き込み制御部WCNTを介してバスBUS1に接続される。書き込み制御部WCNTは、バスBUS1を介して転送される構成情報に基づいて、所定の再構成領域P R Rに論理（回路）をプログラムする機能を有する。ここで、構成情報は、プログラムする論理を示す情報に加えて、プログラムする再構成領

域 P R R の位置を示す情報を含むものとする。矩形状の各再構成領域 P R R の一角には、共通配線 C W に接続される接続インタフェース I F 2 が設けられる。

[0055] ルータ R T は、共通配線 C W を介して、所定の再構成領域 P R R を、他の所定の再構成領域 P R R に接続する。共通配線 C W およびルータ R T を介して、再構成領域 P R R から他の再構成領域 P R R への情報の転送は、例えば、パケットを使用して実行される。

[0056] なお、共通配線 C W を挟んで互いに隣接する一对の再構成領域 P R R は、共通配線 C W を跨いで設けられる専用配線（図示せず）を介して直接に接続可能である。専用配線のバス幅は、自在に設定できるため、共通配線 C W のバス幅に比べて広くすることができ、情報を、ルータ R T を介することなく隣接する再構成領域 P R R に直接送信できる。このため、専用配線を使用した情報の転送レートは、共通配線 C W を使用した情報の転送レートに比べて高くすることができる。なお、例えば、専用配線は、共通配線 C W が構築される配線層とは別の配線層を使用して構築される。

[0057] 図 7 は、図 5 に示すメインメモリ 40 に格納される構成情報の一例を示す。図 7 では、説明を分かりやすくするために、各構成情報は、プログラマブル部 10 にプログラムされる回路の形状で示される。斜線を付けた矩形は、図 6 に示す再構成領域 P R R 間を接続する入出力部 I O であり、図 6 で説明した専用配線を含む。斜線を付けた三角形は、図 6 に示す共通配線 C W に接続する接続インタフェース I F 2 である。なお、接続インタフェース I F 2 は、信号等の情報を入出力する再構成領域 P R R のみに設けられる。

[0058] 構成情報 C 0、C 1 は、基本回路 C のプログラマブル部 10 への配置に使用され、構成情報 c 0、c 1 は、拡張回路 c のプログラマブル部 10 への配置に使用される。そして、プログラマブル部 10 にプログラムされる構成情報 C 0、構成情報 C 1、構成情報 C 0、c 0 または構成情報 C 1、c 1 のいずれかによりタスク C が実行される。以下では、構成情報 C 0、C 1 は、基本回路 C 0、C 1 とも称され、構成情報 c 0、c 1 は、拡張回路 c 0、c 1

とも称される。

[0059] 各基本回路C 0、C 1は、横方向に並ぶ3つの再構成領域P R Rを使用して配置され、各拡張回路c 0、c 1は、1つの再構成領域P R Rを使用して配置される。各基本回路C 0、C 1は、前処理部P R E、ディスパッチャD P、複数のロジック部L、集約部G Aおよび後処理部P O S Tを有する。各拡張回路c 0、c 1は、複数のロジック部Lを有する。基本回路C 0、C 1および拡張回路c 0、c 1に搭載されるロジック部Lの機能は、互いに同じである。例えば、基本回路C 0に拡張回路c 0が接続される場合、タスクCのロジック部Lによる処理性能は、基本回路C 0の単体での処理性能の2倍になる。

[0060] 各基本回路C 0、C 1において、前処理部P R Eは、接続インタフェースI F 2を介して転送されるデータの前処理を実行してディスパッチャD Pに出力する。ディスパッチャD Pは、前処理部P R Eから転送されるデータをロジック部Lにそれぞれ割り当てる。例えば、基本回路C 0に拡張回路c 0が接続される場合、ディスパッチャD Pは、処理対象のデータを拡張回路c 0のロジック部Lにも割り当てる。各ロジック部Lは、演算処理等のデータ処理を実行し、データ処理の実行結果を集約部G Aに出力する。集約部G Aは、ロジック部Lからの実行結果を集約し、後処理部P O S Tに転送する。例えば、基本回路C 0に拡張回路c 0が接続される場合、集約部G Aは、拡張回路c 0による実行結果を含めて集約する。後処理部P O S Tは、実行結果に基づいて後処理を実行し、後処理で得た情報を接続インタフェースI F 2に出力する。

[0061] 各基本回路D 0、D 1は、縦方向に並ぶ2つ再構成領域P R Rを使用して配置され、各拡張回路d 0、d 1は、1つ再構成領域P R Rを使用して配置される。各基本回路D 0、D 1は、ディスパッチャD P、複数のロジック部Lおよび集約部G Aを有する。各拡張回路c 0、c 1は、複数のロジック部Lを有する。ディスパッチャD Pおよび集約部G Aの機能は、基本回路C 0、C 1に搭載されるディスパッチャD Pおよび集約部G Aの機能と同様であ

る。基本回路D 0、D 1および拡張回路d 0、d 1に搭載されるロジック部Lの機能は、互いに同じである。例えば、基本回路D 0に拡張回路d 0が接続される場合、タスクDのロジック部Lによる処理性能は、基本回路D 0の単体での処理性能の1.5倍になる。なお、基本回路D 0、D 1および拡張回路d 0、d 1のロジック部Lの機能は、基本回路C 0、C 1および拡張回路c 0、c 1のロジック部Lの機能と異なる。

[0062] 基本回路C 0、C 1、D 0、D 1は、第1回路の一例であり、拡張回路c 0、c 1、d 0、d 1は第2回路の一例である。各基本回路C 0、C 1、D 0、D 1に設けられる前処理部PRE、ディスパッチャDP、複数のロジック部L、集約部GAおよび後処理部POSTは、第1処理を実行する第1処理部の一例である。各拡張回路c 0、c 1、d 0、d 1に設けられる複数のロジック部Lは、第1処理を実行する第2処理部の一例である。

[0063] 各基本回路C 0、C 1、D 0、D 1において、各拡張回路c 0、c 1、d 0、d 1に接続する入出力部IOは、第1入出力部の一例である。基本回路C 0、C 1において、拡張回路c 0、c 1に接続する入出力部IOの位置は、互いに異なり、基本回路D 0、D 1において、拡張回路d 0、d 1に接続する入出力部IOの位置は、互いに異なる。各拡張回路c 0、c 1、d 0、d 1において、各基本回路C 0、C 1、D 0、D 1に接続する入出力部IOは、第2入出力部の一例である。

[0064] 図8は、図5に示す情報処理装置100Aの動作の一例を示す。すなわち、図8は、情報処理装置100Aの制御方法の一例を示す。X印を付けた再構成領域PRRには、他の基本回路が既に配置済みであり、新たに回路は、白抜きで示す8つの再構成領域PRR（空き領域）に配置可能である。図8では、基本回路と拡張回路とを互いに接続する入出力部IOは、斜線を付けた1つの矩形で示される。

[0065] 図8（1）に示す状態では、プログラマブル部10に基本回路C 0が配置済みである。符号”（c 0）”を付けた再構成領域PRRは、タスクCの負荷が増加し、基本回路C 0での処理性能が不足した場合に、基本回路C 0に

拡張回路 c 0 を接続可能であることを示す。なお、拡張回路 c 0 が配置される可能性がある再構成領域 P R R も、空き領域に含まれる。すなわち、空き領域は、基本回路が配置されていない再構成領域 P R R である。図 8 では、配置済みの基本回路 C 0 は、第 2 処理を実行する第 3 回路の一例であり、拡張回路 c 0 は、第 2 処理を実行する第 4 回路の一例である。拡張回路 c 0 が配置される可能性がある再構成領域 P R R は、予約領域の一例である。

[0066] 図 8 (1) に示す状態で、タスク D の処理を実行する回路の配置要求が発生する。図 5 に示す抽出部 3 2 は、基本回路 D 0 、 D 1 のそれぞれについて、回路が配置されていない 8 つの再構成領域 P R Rの中から基本回路 D 0 、 D 1 を配置可能な再構成領域 P R R (配置可能領域) を抽出する。なお、基本回路 D 0 、 D 1 が、拡張回路 c 0 と同様に、 1 つの再構成領域 P R R を使用して配置される場合、抽出部 3 2 は、基本回路 D 0 、 D 1 毎に、 8 つの再構成領域 P R R の全てを配置可能領域として抽出する。

[0067] 図 8 (2) は、抽出部 3 2 が抽出した配置可能領域 (網掛け部分) の配置パターンを示す。基本回路 D 0 、 D 1 は、縦方向に並ぶ 2 つの再構成領域 P R R を使用して配置されるため、抽出部 3 2 は、 (2 a) から (2 h) に示す 8 つの配置パターンを抽出する。

[0068] 図 5 に示す判定部 3 4 は、 4 つの配置パターン (2 a) 、 (2 b) 、 (2 c) 、 (2 d) のそれぞれについて、基本回路 D 0 に拡張回路 d 0 を接続可能か否かを判定する。また、判定部 3 4 は、 4 つの配置パターン (2 e) 、 (2 f) 、 (2 g) 、 (2 h) のそれぞれについて、基本回路 D 1 に拡張回路 d 1 を接続可能か否かを判定する。

[0069] 判定部 3 4 は、各配置パターン (2 a) 、 (2 b) に示す配置可能領域に基本回路 D 0 を配置した場合、基本回路 D 0 に拡張回路 d 0 を接続可能であると判定する。判定部 3 4 は、配置パターン (2 a) は、基本回路 D 0 の配置により、拡張回路 c 0 を配置できなくなると判定する。判定部 3 4 は、各配置パターン (2 c) 、 (2 d) に示す配置可能領域に基本回路 D 0 を配置

した場合、基本回路D 0に拡張回路d 0を接続できないと判定する。

[0070] また、判定部3 4は、各配置パターン（2 e）、（2 f）に示す配置可能領域に基本回路D 1を配置した場合、基本回路D 1に拡張回路d 1を接続できないと判定する。判定部3 4は、配置パターン（2 e）は、基本回路D 1の配置により、拡張回路c 0を配置できなくなると判定する。判定部3 4は、各配置パターン（2 g）、（2 h）に示す配置可能領域に基本回路D 1を配置した場合、基本回路D 1に拡張回路d 1を接続可能であると判定する。

[0071] 図5に示す決定部3 6は、まず、基本回路D 0（またはD 1）が拡張回路c 0と重複して配置される配置パターン（2 a）、（2 e）を選択対象から除外する。すなわち、決定部3 6は、基本回路D 0（またはD 1）を拡張回路c 0と重複せずに配置可能な他の配置パターンがある場合、配置パターン（2 a）、（2 e）が示す配置可能領域への基本回路D 0（またはD 1）の配置を決定しない。これにより、基本回路C 0によるタスクの処理性能が低下した場合に、拡張回路c 0をプログラマブル部1 0に配置し、基本回路C 0とともにタスクを並列に実行することができる。

[0072] 次に、決定部3 6は、拡張回路d 0（またはd 1）を配置できない配置パターン（2 c）、（2 d）、（2 f）を選択対象から除外する。すなわち、決定部3 6は、拡張回路d 0（またはd 1）を配置可能な他の配置パターンがある場合、配置パターン（2 c）、（2 d）、（2 f）が示す配置可能領域への基本回路D 0（またはD 1）の配置を決定しない。これにより、タスクDの負荷が増加し、基本回路D 0（またはD 1）での処理性能が不足した場合に、拡張回路d 0（またはd 1）を配置することができ、タスクDの処理性能を上げることができる。

[0073] 決定部3 6は、選択対象から除外していない配置パターン（2 b）、（2 g）、（2 h）のうち、最小限の再構成領域P R Rを使用して、タスクCとタスクDの処理性能を最大にできる配置パターンを選択する。配置パターン（2 b）、（2 h）は、拡張回路c 0と拡張回路d 0（またはd 1）で再構成領域P R Rを共用せずに配置することができる。しかし、配置パターン（

2 b)、(2 h)は、拡張回路c 0と拡張回路d 0（またはd 1）の両方が配置される場合、空きの再構成領域P R Rの数が、他に比べて少なくなる。

[0074] 一方、配置パターン(2 g)は、1つの再構成領域P R Rを拡張回路c 0、d 1で共用することができ、タスクC、Dの実行に使用される再構成領域P R Rの数を最小限にできる。これにより、他のタスクを実行するために確保される未使用の再構成領域P R Rの数を最大にすることができる。このため、決定部3 6は、図8(3)に示すように、基本回路D 1を配置パターン(2 g)に示す配置可能領域に配置することを決定する。そして、タスクCの処理とともに、タスクDの処理がプログラマブル部1 0を使用して実行される。なお、配置パターン(2 g)は、プログラマブル部1 0で実行されるタスクCとタスクDの少なくともいずれかにおいて、拡張回路を増設する頻度が所定の閾値より低いことが予測される場合に選択されることが望ましい。

[0075] 一方、タスクCとタスクDの両方について、拡張回路を増設する頻度が、所定の閾値より高いことが予想される場合、決定部3 6は、配置パターン(2 b)または(2 h)に示す配置可能領域に基本回路D 0または基本回路D 1を配置することを決定してもよい。換言すれば、決定部3 6は、拡張回路c 0と拡張回路d 0（またはd 1）とが配置される再構成領域P R Rが互いに重複しないように、基本回路D 0（またはD 1）を配置してもよい。

[0076] 複数の拡張回路により再構成領域P R Rが共用される配置パターンを優先的に選択するか、複数の拡張回路により再構成領域P R Rが共用されない配置パターンを優先的に選択するかは、情報処理装置1 0 0 Aに構築されるシステムの仕様に応じて決定される。また、どの配置パターンを優先的に選択するかは、プログラマブル部1 0で実行するタスクの特性に応じて、切り替えられてもよい。

[0077] この後、タスクCの負荷が増加し、基本回路C 0での処理性能が不足した場合に、図8(4)に示すように、基本回路C 0に拡張回路c 0が接続される。図8(4)に示す状態で、タスクCの負荷が減少し、基本回路C 0のみ

でタスクCの処理が可能になった場合、図8（3）に示す状態に戻る。

[0078] 一方、タスクDの負荷が増加し、基本回路D1での処理性能が不足した場合に、図8（5）に示すように、基本回路D1に拡張回路d1が接続される。図8（5）に示す状態で、タスクDの負荷が減少し、基本回路D1のみでタスクDの処理が可能になった場合、図8（3）に示す状態に戻る。また、図8（4）に示す状態から図8（5）に示す状態に遷移してもよく、あるいは、図8（5）に示す状態から図8（4）に示す状態に遷移してもよい。

[0079] 例えば、拡張回路の増設は、図5に示すネットワークNWを介してタスクの処理要求等の集中的なアクセスがあり、タスクの負荷が一時的に増加する場合に発生する。また、拡張回路の増設は、演算処理装置30に掛かる負荷が増加することで、演算処理装置30からプログラマブル部10への処理データの転送が滞った後、溜まっていた処理データの転送が再開された場合に発生する。あるいは、拡張回路の増設は、仮想マシンがプログラマブル部10で実行するタスクを管理する場合であって、仮想マシンのライブマイグレーションにより、タスクを処理するプログラマブル部10を他の情報処理装置100Aに切り替える場合に発生する。

[0080] なお、抽出部32により抽出された配置パターンが、基本回路D0（またはD1）が拡張回路c0と重複して配置される配置パターン（2a）、（2e）のみであったとする。この場合、決定部36は、基本回路D0（またはD1）を配置パターン（2a）（または（2e））に示す配置可能領域に配置することを決定する。但し、配置パターン（2a）は、拡張回路d0を配置可能であるため、配置パターン（2e）に比べて、タスクDの処理性能を向上することができる。このため、決定部36は、基本回路D0を配置パターン（2a）に示す配置可能領域に配置することを決定してもよい。

[0081] また、抽出部32が抽出した配置パターンが、拡張回路d0（またはd1）を配置できない配置パターン（2c）、（2d）、（2f）のみであったとする。この場合、決定部36は、基本回路D0（またはD1）を配置パタ

ーン（２ｃ）、（２ｄ）、（２ｆ）に示す配置可能領域のいずれかに配置することを決定する。なお、抽出部３２が抽出した配置パターンが、配置パターン（２ｅ）、（２ｆ）のみであった場合、決定部３６は、拡張回路ｃ０を配置可能な配置パターン（２ｆ）を選択することが望ましい。

[0082] 以上のように、基本回路Ｄ０（またはＤ１）を再構成領域ＰＲＲのいずれかに配置可能な場合、プログラマブル部１０を使用してタスクＤを実行することで、ソフトウェアによりタスクＤを実行する場合に比べて処理性能を向上することができる。

[0083] 図９は、図５に示すメインメモリ４０に格納される構成情報の別の例を示す。図７と同一または同様の要素については、詳細な説明は省略する。なお、図９では、再構成領域ＰＲＲを跨ぐ専用配線が接続される入出力部ＩＯ（すなわち、図６に示した共通配線ＣＷを跨ぐ配線）の記載は省略する。

[0084] 図９では、タスクＥを実行する各基本回路Ｅ（Ｅ０、Ｅ１）は、横方向に並ぶ３つの再構成領域ＰＲＲを使用して配置され、タスクＥを実行する各拡張回路ｅ（ｅ０、ｅ１）は、横方向に２つ、かつ縦方向に２つ並ぶ４つの再構成領域ＰＲＲを使用して配置される。拡張回路ｅ０は、基本回路Ｅ０に接続可能であり、拡張回路ｅ１は、基本回路Ｅ１に接続可能である。

[0085] 基本回路Ｅ０、Ｅ１のロジック部Ｌの論理は、３つの再構成領域ＰＲＲに跨って配置され、拡張回路ｅ０、ｅ１のロジック部Ｌの論理は、４つの再構成領域ＰＲＲに跨って配置される。そして、基本回路Ｅ０、基本回路Ｅ１、基本回路Ｅ０、ｅ０または基本回路Ｅ１、ｅ１のいずれかによりタスクＥが実行される。基本回路Ｅに拡張回路ｅが接続される場合、タスクＥのロジック部Ｌによる処理性能は、基本回路Ｅの単体での処理性能の４倍になる。

[0086] 図１０は、図５に示すメインメモリ４０に格納される構成情報のさらなる別の例を示す。図７と同一または同様の要素については、詳細な説明は省略する。なお、図１０においても、再構成領域ＰＲＲを跨ぐ専用配線が接続される入出力部ＩＯの記載は省略する。

[0087] 図１０では、各基本回路Ｆ（Ｆ０、Ｆ１）は、１つの再構成領域ＰＲＲを

使用して配置され、各拡張回路 f (f_0 、 f_1) は、横方向に並ぶ2つの再構成領域 PRR を使用して配置される。拡張回路 f_0 は、基本回路 F_0 に接続可能であり、拡張回路 f_1 は、基本回路 F_1 に接続可能である。基本回路 F に拡張回路 f が接続される場合、タスク F のロジック部 L による処理性能は、基本回路 F の単体での処理性能の4倍になる。

[0088] 図11は、図5に示す情報処理装置100Aの動作の別の例を示す。すなわち、図11

は、情報処理装置100Aの制御方法の一例を示す。図8と同一または同様の要素については、詳細な説明は省略する。

[0089] 図11(1)に示す状態では、X印で示す基本回路等がプログラマブル部10に配置済みであり、白抜きで示す11個の再構成領域 PRR が使用されずに空いている。図11(1)に示す状態で、タスク E の処理を実行する回路の配置要求が発生する。

[0090] 図5に示す抽出部32は、回路が配置されていない11個の再構成領域 PRR の中から図9に示した基本回路 E_0 、 E_1 のそれぞれを配置可能な再構成領域 PRR (配置可能領域) を抽出する。図11(2)は、抽出部32が抽出した配置可能領域(網掛け部分)の配置パターンを示す。なお、図11(2)では、基本回路 E_0 (または E_1) とともに拡張回路 e_0 (または e_1) を配置可能な配置パターンのみを示し、拡張回路 e_0 、 e_1 を配置できない基本回路 E_0 、 E_1 の配置パターンの記載は省略される。換言すれば、図11(2)は、図5に示す判定部34により、拡張回路 e_0 (または e_1) を基本回路 E_0 (または E_1) に接続可能と判定された配置パターンを示す。

[0091] 図11(2)に示す配置パターン(2a)、(2b)、(2c)において、基本回路 E_0 (または E_1) の配置に使用される再構成領域 PRR の数は、互いに同じである。このため、図5に示す決定部36は、例えば、配置パターン(2a)、(2b)、(2c)に示す配置可能領域のうち、基本回路 E_0 (または E_1) を配置した後に、空き領域が最もまとまって確保される

ものを選択する。すなわち、決定部36は、図11(3)に示すように、配置パターン(2a)に示す配置可能領域に基本回路E0を配置することを決定する。なお、決定部36は、配置パターン(2a)、(2b)、(2c)以外の拡張回路e0(またはe1)が配置できない配置可能領域を有する配置パターン(図示せず)を選択しない。

[0092] 図11(3)に示す状態で、タスクFの処理を実行する回路の配置要求が発生する。抽出部32は、回路が配置されていない8個の再構成領域PRRの中から基本回路F0、F1のそれぞれを配置可能な再構成領域PRR(配置可能領域)を抽出する。図11(4)は、抽出部32が抽出した配置可能領域(網掛け部分)を示す。なお、図11(4)は、判定部34により、拡張回路e0と重複しない位置に配置可能な基本回路F0(またはF1)に、拡張回路f0(またはf1)を接続可能と判定された配置可能領域のみを示す。

[0093] 決定部36は、図11(4)に示す配置パターン(4a)、(4b)に示す配置可能領域のうち、基本回路F1を配置した後に、空き領域が最もまともって確保されるものを選択する。すなわち、決定部36は、図11(5)に示すように、配置パターン(4b)に示す配置可能領域に基本回路F1を配置することを決定する。

[0094] 図12は、図5に示す情報処理装置100Aが実行する制御プログラムによる処理の一例を示す。すなわち、図12は、情報処理装置100Aの制御方法の一例を示す。図12に示すフローは、タスクを実行する回路をプログラマブル部10に配置する配置要求の発行に基づいて開始される。

[0095] まず、ステップS100において、制御プログラムは、プログラマブル部10にプログラムされた現在の回路の配置状態を抽出する処理を実行する。ステップS100の処理の例は、図13に示される。

[0096] 次に、ステップS120において、制御プログラムは、全ての再構成領域PRRが使用中であるか否かを判定する。全ての再構成領域PRRが使用中である場合、処理はステップS260に移行され、未使用の再構成領域PR

Rがある場合、処理はステップS 1 4 0
に移行される。

[0097] ステップS 1 4 0において、制御プログラムは、変数 i を” 0 ” に初期化する。例えば、図 8 で説明したように、図 7 に示すタスク D を実行する回路の配置要求を受けた場合、変数 i は、基本回路 D 0 を示す” 0 ” と、基本回路 D 1 を示す” 1 ” に順次設定される。次に、ステップS 1 6 0において、制御プログラムは、基本回路 i （例えば、D 0 または D 1 ）を配置可能な再構成領域 P R R を示す配置パターンを抽出する。次に、ステップS 1 8 0において、制御プログラムは、変数 i を” 1 ” 増加させる。

[0098] 次に、ステップS 2 0 0において、制御プログラムは、基本回路 i の構成情報がメインメモリ 4 0 に登録されているか否かを判定する。基本回路 i の構成情報がメインメモリ 4 0 に登録されている場合、新たな基本回路 i を配置可能な再構成領域 P R R を示す配置パターンを抽出するため、処理はステップS 1 6 0に戻る。基本回路 i の構成情報がメインメモリ 4 0 に登録されていない場合、基本回路 i を配置可能な再構成領域 P R R を示す配置パターンの抽出が全て完了したため、処理はステップS 2 2 0に移行する。

[0099] 例えば、図 8 （ 1 ）に示すプログラマブル部 1 0 の状態で、タスク D を実行する回路の配置要求を受けた場合、変数 i = ” 0 ” では、図 8 （ 2 ）に示す配置パターン（ 2 a ）、（ 2 b ）、（ 2 c ）、（ 2 d ）が抽出される。変数 i = ” 1 ” では、図 8 （ 2 ）に示す配置パターン（ 2 e ）、（ 2 f ）、（ 2 g ）、（ 2 h ）が抽出される。

[0100] ステップS 2 2 0において、制御プログラムは、ステップS 1 6 0による配置可能な再構成領域 P R R の抽出結果に基づいて、基本回路のいずれかを配置可能な再構成領域 P R R が存在するか否かを判定する。基本回路のいずれかを配置可能な再構成領域 P R R が存在する場合、基本回路を配置する再構成領域 P R R を決定するため、処理はステップS 2 4 0に移行する。基本回路のいずれかを配置可能な再構成領域 P R R が存在しない場合、基本回路を再構成領域 P R R に配置できないため、処理はステップS 2 6 0に移行す

る。

[0101] ステップS 2 4 0において、制御プログラムは、ステップS 1 6 0で抽出された配置パターンに基づいて、再構成領域P R Rのいずれかに配置する基本回路を決定する処理を実行し、処理を終了する。ステップS 2 4 0の処理の例は、図1 4に示される。一方、基本回路を配置可能な再構成領域P R Rがない場合、ステップS 2 6 0において、制御プログラムは、アプリケーションプログラム等のソフトウェアによりタスクを実行することを決定し、処理を終了する。

[0102] 図1 3は、図1 2に示すステップS 1 0 0の処理の一例を示す。まず、ステップS 1 0 2において、制御プログラムは、各再構成領域P R Rの状態を示す情報が格納される配列P R R__S T [n] の全ての要素を” 未使用”（例えば、” 0”）に初期化する。例えば、プログラマブル部1 0が1 6個の再構成領域P R Rを有する場合、” n” は” 0” から” 1 5” のいずれかである。

[0103] 次に、ステップS 1 0 4において、制御プログラムは、変数nを” 0” に初期化する。次に、ステップS 1 0 6において、制御プログラムは、配列P R R__S T [n] に対応するn番目の再構成領域P R Rの現在の状態を検出する。次に、ステップS 1 0 8において、制御プログラムは、n番目の再構成領域P R Rに基本回路を配置済みの場合、処理をステップS 1 1 0に移行し、n番目の再構成領域P R Rに基本回路が配置されていない場合、処理をステップS 1 1 2に移行する。

[0104] ステップS 1 1 0において、制御プログラムは、再構成領域P R Rに基本回路が配置されていることを示す” 基本”（例えば、” 2”）を、配列P R R__S T [n] に格納する

。次に、ステップS 1 1 2において、制御プログラムは、既に配置済みの基本回路に基づいて、n番目の再構成領域P R Rに拡張回路を配置する可能性がある場合、処理をステップS 1 1 4に移行する。制御プログラムは、既に配置済みの基本回路に基づいて、n番目の再構成領域P R Rに拡張回路を配

置する可能性がない場合、処理をステップS 1 1 6に移行する。

[0105] ステップS 1 1 4において、制御プログラムは、再構成領域P R Rに拡張回路が配置される可能性があることを示す”拡張”（例えば、”1”）を、配列P R R__S T [n]に格納し、処理をステップS 1 1 6に移行する。ステップS 1 1 6において、制御プログラムは、変数nを”1”増加させる。次に、ステップS 1 1 8において、制御プログラムは、配列P R R__S T [n]が存在するか否かを判定する。配列P R R__S T [n]が存在する場合、再構成領域P R Rの状態を配列P R R__S T [n]に格納するために、処理はステップS 1 0 6に戻る。配列P R R__S T [n]が存在しない場合、回路の配置状態を示す情報が、全ての配列P R R__S T [0]－P R R__S T [1 5]に格納されたため、処理は終了する。

[0106] 図1 3の右側に示す配列P R R__S T [n]は、図8（1）に示すプログラマブル部1 0の状態を示す。図1 3では、理解を容易にするために、プログラマブル部1 0の再構成領域P R Rのレイアウトに合わせた2次元の配列P R R__S T [n]が示される。なお、図1 2に示したステップS 1 6 0では、”0”または”1”が格納された配列P R R__S T [n]に対応する再構成領域P R Rの中から、基本回路を配置可能な再構成領域P R Rが抽出される。

[0107] 図1 4は、図1 2に示すステップS 2 4 0の処理の一例を示す。制御プログラムは、図1 2に示すステップS 1 6 0で抽出された配置パターン（例えば、図8に示す（2 a）－（2 h））に基づいて、プログラマブル部1 0に配置する基本回路と、配置する再構成領域P R Rの位置とを決定する。

[0108] まず、ステップS 2 4 2において、制御プログラムは、ステップS 1 6 0で抽出された配置パターンのうち、基本回路に接続される拡張回路が、他の拡張回路と再構成領域P R Rを共用する配置パターンを第1パターンP T N 1として選択する。次に、ステップS 2 4 4において、制御プログラムは、ステップS 1 6 0で抽出された配置パターンのうち、基本回路に接続される拡張回路が、他の拡張回路と再構成領域P R Rを共用しない配置パターンを

第2パターンPTN2として選択する。なお、図8に示す配置パターン(2a)では、拡張回路d0は、基本回路C0に接続される拡張回路c0と再構成領域PRRを共用しないが、基本回路D0の配置により拡張回路c0が配置できなくなるため、第2パターンPTN2として選択されない。

[0109] 次に、ステップS246において、制御プログラムは、図12に示すステップS160で抽出された配置パターンのうち、第1パターンPTN1または第2パターンPTN2のいずれにも該当しない配置パターンを第3パターンPTN3として選択する。次に、ステップS248において、制御プログラムは、第1パターンPTN1として選択した配置パターンが存在する場合、処理をステップS252に移行する。制御プログラムは、第1パターンPTN1として選択した配置パターンが存在しない場合、処理をステップS250に移行する。ステップS250において、制御プログラムは、第2パターンPTN2として選択した配置パターンが存在する場合、処理をステップS254に移行し、第2パターンPTN2として選択した配置パターンが存在しない場合、処理をステップS256に移行する。

[0110] ステップS252において、制御プログラムは、第1パターンPTN1として選択された配置パターンのいずれかに対応する再構成領域PRRに基本回路を配置し、処理を終了する。ステップS254において、制御プログラムは、第2パターンPTN2として選択された配置パターンのいずれかに対応する再構成領域PRRに基本回路を配置し、処理を終了する。ステップS256において、制御プログラムは、第3パターンPTN3として選択された配置パターンのいずれかに対応する再構成領域PRRに基本回路を配置し、処理を終了する。

[0111] なお、基本回路に接続される拡張回路が、他の拡張回路と再構成領域PRRを共用しない配置パターンを優先的に使用する場合、すなわち、パターンPTN2をパターンPTN1より優先させる場合、ステップS248、S250の判定順序が入れ換えられる。

[0112] 図15は、図5に示すメインメモリ40に格納される構成情報の別の例を示す。図7および図9と同一または同様の要素については、詳細な説明は省略する。

[0113] 図15では、タスクGを実行する各基本回路G（G0、G1）は、横方向に並ぶ2つの再構成領域PRRを使用して配置され、タスクGを実行する各拡張回路g（g0、g1）は、横方向に2つ、かつ縦方向に2つ並ぶ4つの再構成領域PRRを使用して配置される。拡張回路g0は、基本回路G0に接続可能であり、拡張回路g1は、基本回路G1に接続可能である。

[0114] 基本回路Gのロジック部Lの論理は、2つの再構成領域PRRに跨って配置され、拡張回路gのロジック部Lの論理は、4つの再構成領域PRRに跨って配置される。また、基本回路GのディスパッチャDPを拡張回路gに接続する入出力部IOと、基本回路Gの集約部GAを拡張回路gに接続する入出力部IOとは、互いに異なる再構成領域PRRに設けられる。

[0115] 基本回路Gを拡張回路gに接続する2つの入出力部IOを2つの再構成領域PRRのそれぞれに配置することで、基本回路Gにおいて、ディスパッチャDPまたは集約部GAから入出力部IOまでの配線の長さを最小限にすることができる。また、拡張回路gにおいて、入出力部IOからロジック部Lまでの配線の長さを最小限にすることができる。

[0116] これに対して、図9に示すように、基本回路Eを拡張回路eに接続する2つの入出力部IOを1つの再構成領域PRRに配置する場合、基本回路Eにおいて、ディスパッチャDPまたは集約部GAから入出力部IOまでの配線の長さは、図9に比べて長くなる。同様に、拡張回路eにおいて、入出力部IOからロジック部Lまでの配線の長さは、図9に比べて長くなる。

[0117] 図16は、タスクDを実行する構成情報の別の例を示す。図7と同一または同様の要素については、詳細な説明は省略する。図16では、図7に示すタスクDの構成情報に、拡張回路d2、d3の構成情報が追加される。

[0118] 拡張回路d2は、基本回路D0と拡張回路d0との間に配置される。拡張回路d3は、基本回路D1と拡張回路d1との間に配置される。なお、例え

ば、基本回路D 0に拡張回路d 0のみを接続する場合と、基本回路D 0に拡張回路d 2のみを接続する場合とで、タスクDの処理性能は同じである。このため、タスクDの負荷が増加した場合に基本回路D 0に拡張回路d 2を接続し、タスクDの負荷がさらに増加した場合に拡張回路d 2に拡張回路d 0を接続することで、負荷の増加に応じて、タスクDの処理性能を多段階に調整することができる。

[0119] 例えば、基本回路D 0に拡張回路d 0、d 2を接続することで、タスクDのロジック部

Lによる処理性能は、基本回路D 0の単体での処理性能の2倍になる。なお、プログラマブル部1 0の縦方向に5つ以上の再構成領域P R Rが設けられる場合、複数の拡張回路d 2（またはd 3）を基本回路D 0（またはD 1）に接続することができる。

[0120] 以上、図5から図1 6に示す実施形態においても、図1から図4に示す実施形態と同様の効果を得ることができる。例えば、入出力部I Oによる拡張回路の配置方向が互いに異なる複数の基本回路を用意することで、複数の入出力部I Oを有し、拡張回路を複数の方向に接続可能な基本回路に比べて、入出力部I Oの回路量を削減することができる。このため、ロジック部L等の処理部の回路量を相対的に増大することができる。したがって、入出力部I Oを複数の辺に設ける場合に比べて、基本回路の処理性能を向上することができる。この結果、拡張回路を増設する頻度を下げることが可能になり、拡張回路のプログラマブル部1 0への配置を制御する演算処理装置3 0の負荷を軽減することができる。

[0121] さらに、図5から図1 6に示す実施形態では、再構成領域P R Rを他の拡張回路と共用可能な拡張回路に対応する基本回路を再構成領域P R Rに配置することで、複数種のタスクの実行に使用される再構成領域P R Rの数を最小限にすることができる。これより、他のタスクを実行するために確保される未使用の再構成領域P R Rの数を最大にすることができる。

[0122] また、他の拡張回路と共用されない再構成領域P R Rに配置可能な拡張回

路に対応する基本回路を再構成領域 P R R に配置することで、各基本回路の処理性能が不足した場合に、拡張回路をそれぞれ配置することができる。さらに、基本回路を他の拡張回路と重複せずに再構成領域 P R R に配置することで、他の拡張回路と、他の基本回路の処理性能が低下した場合に、他の拡張回路を用いてタスクを実行することができる。

[0123] 以上の図 1 から図 1 6 に示す実施形態に関し、さらに以下の付記を開示する。

(付記 1)

論理を再構成可能な複数の再構成領域を有するプログラマブル部と、

第 1 処理を実行する第 1 処理部と、情報を入出力する第 1 入出力部とを有し、かつ、前記複数の再構成領域のいずれかに配置された場合に前記第 1 入出力部の位置が互いに異なる複数の第 1 回路のいずれかを配置可能な配置可能領域を、前記複数の再構成領域の中から抽出する抽出部と、

前記第 1 処理を実行する第 2 処理部と、前記第 1 入出力部に接続される第 2 入出力部とを有し、かつ、前記複数の第 1 回路にそれぞれ対応する複数の第 2 回路の各々を、前記抽出部により抽出された前記配置可能領域に隣接する再構成領域に配置可能であるか判定する判定部と、

前記判定部による判定に基づいて、前記複数の第 1 回路のうち、前記プログラマブル部に配置する第 1 配置回路と、前記配置可能領域のうち、前記第 1 配置回路を配置する第 1 配置領域とを決定する決定部と、

前記決定部が決定した前記第 1 配置領域に前記第 1 配置回路を配置する配置部と

を備えることを特徴とする情報処理装置。

(付記 2)

第 2 処理を実行する第 3 回路が配置された再構成領域に隣接して、前記第 3 回路による第 2 処理の処理性能が不足した場合に第 2 処理を実行する第 4 回路が配置される再構成領域である予約領域がある場合であって、前記判定部が、前記複数の第 2 回路のいずれかが前記予約領域に配置可能であること

を判定した場合、

前記決定部は、前記予約領域に配置可能な第2回路に対応する前記第1配置回路と前記第1配置領域とを決定することを特徴とする付記1記載の情報処理装置。

(付記3)

第2処理を実行する第3回路が配置された再構成領域に隣接して、前記第3回路による

第2処理の処理性能が不足した場合に第2処理を実行する第4回路が配置される再構成領域である予約領域がある場合であって、前記判定部が、前記複数の第2回路のいずれかが前記予約領域以外に配置可能であることを判定した場合、

前記決定部は、前記予約領域を避けて配置可能な第2回路のいずれかに対応する前記第1配置回路と前記第1配置領域とを決定することを特徴とする付記1記載の情報処理装置。

(付記4)

前記決定部は、前記抽出部が抽出した前記配置可能領域のいずれかが前記予約領域と重複しない場合、前記予約領域を避けて前記第1配置回路を配置することを決定することを特徴とする付記2または付記3記載の情報処理装置。

(付記5)

前記決定部は、前記抽出部が抽出した前記配置可能領域の全てが前記予約領域を含む場合、前記予約領域を含む再構成領域に前記第1配置回路を配置することを決定することを特徴とする付記2または付記3記載の情報処理装置。

(付記6)

前記判定部が、前記複数の第2回路のうち、前記配置可能領域に隣接する再構成領域に配置可能な第2回路がないことを判定した場合、

前記決定部は、前記複数の第1回路のいずれかを前記第1配置回路に決定

し、前記配置可能領域のいずれかを前記第 1 配置領域に決定することを特徴とする付記 1 ないし付記 3 のいずれか 1 項記載の情報処理装置。

(付記 7)

前記配置部は、前記配置可能領域のいずれかに配置された前記第 1 配置回路による前記第 1 処理の処理性能が不足した場合であって、前記複数の第 2 回路のうち、前記第 1 配置回路に対応する第 2 回路を配置可能な再構成領域がある場合、前記第 1 配置回路に対応する第 2 回路を前記プログラマブル部に配置することを特徴とする付記 1 ないし付記 6 のいずれか 1 項記載の情報処理装置。

(付記 8)

前記配置部は、前記抽出部が前記第 1 配置回路を配置する前記配置可能領域を抽出しない場合、前記複数の第 1 回路のいずれも前記プログラマブル部に配置せず、

前記第 1 処理は、前記情報処理装置に設けられる演算処理部が実行するプログラムにより実行されることを特徴とする付記 1 ないし付記 7 のいずれか 1 項記載の情報処理装置。

(付記 9)

前記複数の再構成領域は、矩形形状を有し、

前記複数の第 1 回路の前記第 1 入出力部は、前記複数の再構成領域の四辺のうちの一边に配置されることを特徴とする付記 1 ないし付記 8 のいずれか 1 項記載の情報処理装置。

(付記 10)

前記複数の第 1 回路の各々の構成情報と、前記複数の第 2 回路の各々の構成情報とを記憶する記憶部を備えることを特徴とする付記 1 ないし付記 9 のいずれか 1 項記載の情報処理装置。

(付記 11)

前記複数の第 1 回路の配置にそれぞれ使用される再構成領域の数は、互いに同じであることを特徴とする付記 1 ないし付記 10 のいずれか 1 項記載の

情報処理装置。

(付記 1 2)

論理を再構成可能な複数の再構成領域を有するプログラマブル部を備える情報処理装置の制御方法において、

前記情報処理装置が、

第 1 処理を実行する第 1 処理部と、情報を入出力する第 1 入出力部とを有し、かつ、前記複数の再構成領域のいずれかに配置された場合に前記第 1 入出力部の位置が互いに異なる複数の第 1 回路のいずれかを配置可能な配置可能領域を、前記複数の再構成領域の中から抽出し、

前記第 1 処理を実行する第 2 処理部と、前記第 1 入出力部に接続される第 2 入出力部とを有し、かつ、前記複数の第 1 回路にそれぞれ対応する複数の第 2 回路の各々を、抽出した前記配置可能領域に隣接する再構成領域に配置可能であるか判定し、

判定に基づいて、前記複数の第 1 回路のうち、前記プログラマブル部に配置する第 1 配置回路と、前記配置可能領域のうち、前記第 1 配置回路を配置する第 1 配置領域とを決定し、

決定した前記第 1 配置領域に前記第 1 配置回路を配置することを特徴とする情報処理装置の制御方法。

(付記 1 3)

論理を再構成可能な複数の再構成領域を有するプログラマブル部を備える情報処理装置の制御プログラムにおいて、

第 1 処理を実行する第 1 処理部と、情報を入出力する第 1 入出力部とを有し、かつ、前記複数の再構成領域のいずれかに配置された場合に前記第 1 入出力部の位置が互いに異なる複数の第 1 回路のいずれかを配置可能な配置可能領域を、前記複数の再構成領域の中から抽出し、

前記第 1 処理を実行する第 2 処理部と、前記第 1 入出力部に接続される第 2 入出力部とを有し、かつ、前記複数の第 1 回路にそれぞれ対応する複数の第 2 回路の各々を、抽出した前記配置可能領域に隣接する再構成領域に配置

可能であるか判定し、

判定に基づいて、前記複数の第1回路のうち、前記プログラマブル部に配置する第1配置回路と、前記配置可能領域のうち、前記第1配置回路を配置する第1配置領域とを決定し、

決定した前記第1配置領域に前記第1配置回路を配置する

処理を、前記情報処理装置に実行させるための制御プログラム。

(付記14)

論理を再構成可能な複数の再構成領域を有するプログラマブル部を備える情報処理装置の制御プログラムを記録した記録媒体において、

第1処理を実行する第1処理部と、情報を入出力する第1入出力部とを有し、かつ、前記複数の再構成領域のいずれかに配置された場合に前記第1入出力部の位置が互いに異なる複数の第1回路のいずれかを配置可能な配置可能領域を、前記複数の再構成領域の中から抽出し、

前記第1処理を実行する第2処理部と、前記第1入出力部に接続される第2入出力部とを有し、かつ、前記複数の第1回路にそれぞれ対応する複数の第2回路の各々を、抽出した前記配置可能領域に隣接する再構成領域に配置可能であるか判定し、

判定に基づいて、前記複数の第1回路のうち、前記プログラマブル部に配置する第1配置回路と、前記配置可能領域のうち、前記第1配置回路を配置する第1配置領域とを決定し、

決定した前記第1配置領域に前記第1配置回路を配置する

処理を、前記情報処理装置に実行させるための制御プログラムを記録した記録媒体。

[0124] 以上の詳細な説明により、実施形態の特徴点および利点は明らかになるであろう。これは、請求の範囲がその精神および権利範囲を逸脱しない範囲で前述のような実施形態の特徴点および利点にまで及ぶことを意図するものである。また、当該技術分野において通常の知識を有する者であれば、あらゆる改良および変更に容易に想到できるはずである。したがって、発明性を有

する実施形態の範囲を前述したものに限定する意図はなく、実施形態に開示された範囲に含まれる適当な改良物および均等物に拠ることも可能である。

符号の説明

[0125] 1…プログラマブル部；2…記憶装置；2 a、2 b…記憶領域；3…演算処理装置；3 a…抽出部；3 b…判定部；3 c…決定部；3 d…配置部；4…記録媒体；1 0…プログラマブル部；2 0…外部メモリ；3 0…演算処理装置；3 2…抽出部；3 4…判定部；3 6…決定部；3 8…配置部；4 0…メインメモリ；4 2…制御プログラム；4 4…他のプログラム；4 6…構成情報；5 0…入出力インタフェース；6 0…HDD；7 0…通信インタフェース；1 0 0、1 0 0 A…情報処理装置；BUS 1、BUS 2、BUS 3、BUS 4…バス；CW…共通配線；DP…ディスパッチャ；FF…フリップフロップ；GA…集約部；IF 1、IF 2…接続インタフェース；IO…入出力部；L…ロジック部；L B L K…論理ブロック；L U T…ルックアップテーブル；NOC…配線ネットワーク；NW…ネットワーク；POST…後処理部；PRE…前処理部；PROC…処理部；P R R…部分再構成領域；R T…ルータ；WCNT…書き込み制御部

請求の範囲

[請求項1] 論理を再構成可能な複数の再構成領域を有するプログラマブル部と

、

第1処理を実行する第1処理部と、情報を入出力する第1入出力部とを有し、かつ、前記複数の再構成領域のいずれかに配置された場合に前記第1入出力部の位置が互いに異なる複数の第1回路のいずれかを配置可能な配置可能領域を、前記複数の再構成領域の中から抽出する抽出部と、

前記第1処理を実行する第2処理部と、前記第1入出力部に接続される第2入出力部とを有し、かつ、前記複数の第1回路にそれぞれ対応する複数の第2回路の各々を、前記抽出部により抽出された前記配置可能領域に隣接する再構成領域に配置可能であるか判定する判定部と、

前記判定部による判定に基づいて、前記複数の第1回路のうち、前記プログラマブル部に配置する第1配置回路と、前記配置可能領域のうち、前記第1配置回路を配置する第1配置領域とを決定する決定部と、

前記決定部が決定した前記第1配置領域に前記第1配置回路を配置する配置部と

を備えることを特徴とする情報処理装置。

[請求項2] 第2処理を実行する第3回路が配置された再構成領域に隣接して、前記第3回路による第2処理の処理性能が不足した場合に第2処理を実行する第4回路が配置される再構成領域である予約領域がある場合であって、前記判定部が、前記複数の第2回路のいずれかが前記予約領域に配置可能であることを判定した場合、

前記決定部は、前記予約領域に配置可能な第2回路に対応する前記第1配置回路と前記第1配置領域とを決定することを特徴とする請求項1記載の情報処理装置。

- [請求項3] 第2処理を実行する第3回路が配置された再構成領域に隣接して、
前記第3回路による
第2処理の処理性能が不足した場合に第2処理を実行する第4回路が
配置される再構成領域である予約領域がある場合であって、前記判定
部が、前記複数の第2回路のいずれかが前記予約領域以外に配置可能
であることを判定した場合、
前記決定部は、前記予約領域を避けて配置可能な第2回路のいずれ
かに対応する前記第1配置回路と前記第1配置領域とを決定すること
を特徴とする請求項1記載の情報処理装置。
- [請求項4] 前記決定部は、前記抽出部が抽出した前記配置可能領域のいずれか
が前記予約領域と重複しない場合、前記予約領域を避けて前記第1配
置回路を配置することを決定することを特徴とする請求項2または請
求項3記載の情報処理装置。
- [請求項5] 前記決定部は、前記抽出部が抽出した前記配置可能領域の全てが前
記予約領域を含む場合、前記予約領域を含む再構成領域に前記第1配
置回路を配置することを決定することを特徴とする請求項2または請
求項3記載の情報処理装置。
- [請求項6] 前記判定部が、前記複数の第2回路のうち、前記配置可能領域に隣
接する再構成領域に配置可能な第2回路がないことを判定した場合、
前記決定部は、前記複数の第1回路のいずれかを前記第1配置回路
に決定し、前記配置可能領域のいずれかを前記第1配置領域に決定す
ることを特徴とする請求項1ないし請求項3のいずれか1項記載の情
報処理装置。
- [請求項7] 前記配置部は、前記配置可能領域のいずれかに配置された前記第1
配置回路による前記第1処理の処理性能が不足した場合であって、前
記複数の第2回路のうち、前記第1配置回路に対応する第2回路を配
置可能な再構成領域がある場合、前記第1配置回路に対応する第2回
路を前記プログラマブル部に配置することを特徴とする請求項1ない

し請求項 6 のいずれか 1 項記載の情報処理装置。

[請求項 8] 前記配置部は、前記抽出部が前記第 1 配置回路を配置する前記配置可能領域を抽出しない場合、前記複数の第 1 回路のいずれも前記プログラマブル部に配置せず、

前記第 1 処理は、前記情報処理装置に設けられる演算処理部が実行するプログラムにより実行されることを特徴とする請求項 1 ないし請求項 7 のいずれか 1 項記載の情報処理装置。

[請求項 9] 前記複数の再構成領域は、矩形形状を有し、

前記複数の第 1 回路の前記第 1 入出力部は、前記複数の再構成領域の四辺のうちの一边に配置されることを特徴とする請求項 1 ないし請求項 8 のいずれか 1 項記載の情報処理装置。

[請求項 10] 前記複数の第 1 回路の各々の構成情報と、前記複数の第 2 回路の各々の構成情報とを記憶する記憶部を備えることを特徴とする請求項 1 ないし請求項 9 のいずれか 1 項記載の情報処理装置。

[請求項 11] 前記複数の第 1 回路の配置にそれぞれ使用される再構成領域の数は、互いに同じであることを特徴とする請求項 1 ないし請求項 10 のいずれか 1 項記載の情報処理装置。

[請求項 12] 論理を再構成可能な複数の再構成領域を有するプログラマブル部を備える情報処理装置の制御方法において、

前記情報処理装置が、

第 1 処理を実行する第 1 処理部と、情報を入出力する第 1 入出力部とを有し、かつ、前記複数の再構成領域のいずれかに配置された場合に前記第 1 入出力部の位置が互いに異なる複数の第 1 回路のいずれかを配置可能な配置可能領域を、前記複数の再構成領域の中から抽出し、

前記第 1 処理を実行する第 2 処理部と、前記第 1 入出力部に接続される第 2 入出力部とを有し、かつ、前記複数の第 1 回路にそれぞれ対応する複数の第 2 回路の各々を、抽出した前記配置可能領域に隣接す

る再構成領域に配置可能であるか判定し、

判定に基づいて、前記複数の第1回路のうち、前記プログラマブル部に配置する第1配置回路と、前記配置可能領域のうち、前記第1配置回路を配置する第1配置領域とを決定し、

決定した前記第1配置領域に前記第1配置回路を配置することを特徴とする情報処理装置の制御方法。

[請求項13]

論理を再構成可能な複数の再構成領域を有するプログラマブル部を備える情報処理装置の制御プログラムにおいて、

第1処理を実行する第1処理部と、情報を入出力する第1入出力部とを有し、かつ、前記複数の再構成領域のいずれかに配置された場合に前記第1入出力部の位置が互いに異なる複数の第1回路のいずれかを配置可能な配置可能領域を、前記複数の再構成領域の中から抽出し、

前記第1処理を実行する第2処理部と、前記第1入出力部に接続される第2入出力部とを有し、かつ、前記複数の第1回路にそれぞれ対応する複数の第2回路の各々を、抽出した前記配置可能領域に隣接する再構成領域に配置可能であるか判定し、

判定に基づいて、前記複数の第1回路のうち、前記プログラマブル部に配置する第1配置回路と、前記配置可能領域のうち、前記第1配置回路を配置する第1配置領域とを決定し、

決定した前記第1配置領域に前記第1配置回路を配置する

処理を、前記情報処理装置に実行させるための制御プログラム。

[請求項14]

論理を再構成可能な複数の再構成領域を有するプログラマブル部を備える情報処理装置の制御プログラムを記録した記録媒体において、

第1処理を実行する第1処理部と、情報を入出力する第1入出力部とを有し、かつ、前記複数の再構成領域のいずれかに配置された場合に前記第1入出力部の位置が互いに異なる複数の第1回路のいずれかを配置可能な配置可能領域を、前記複数の再構成領域の中から抽出し

、

前記第 1 処理を実行する第 2 処理部と、前記第 1 入出力部に接続される第 2 入出力部とを有し、かつ、前記複数の第 1 回路にそれぞれ対応する複数の第 2 回路の各々を、抽出した前記配置可能領域に隣接する再構成領域に配置可能であるか判定し、

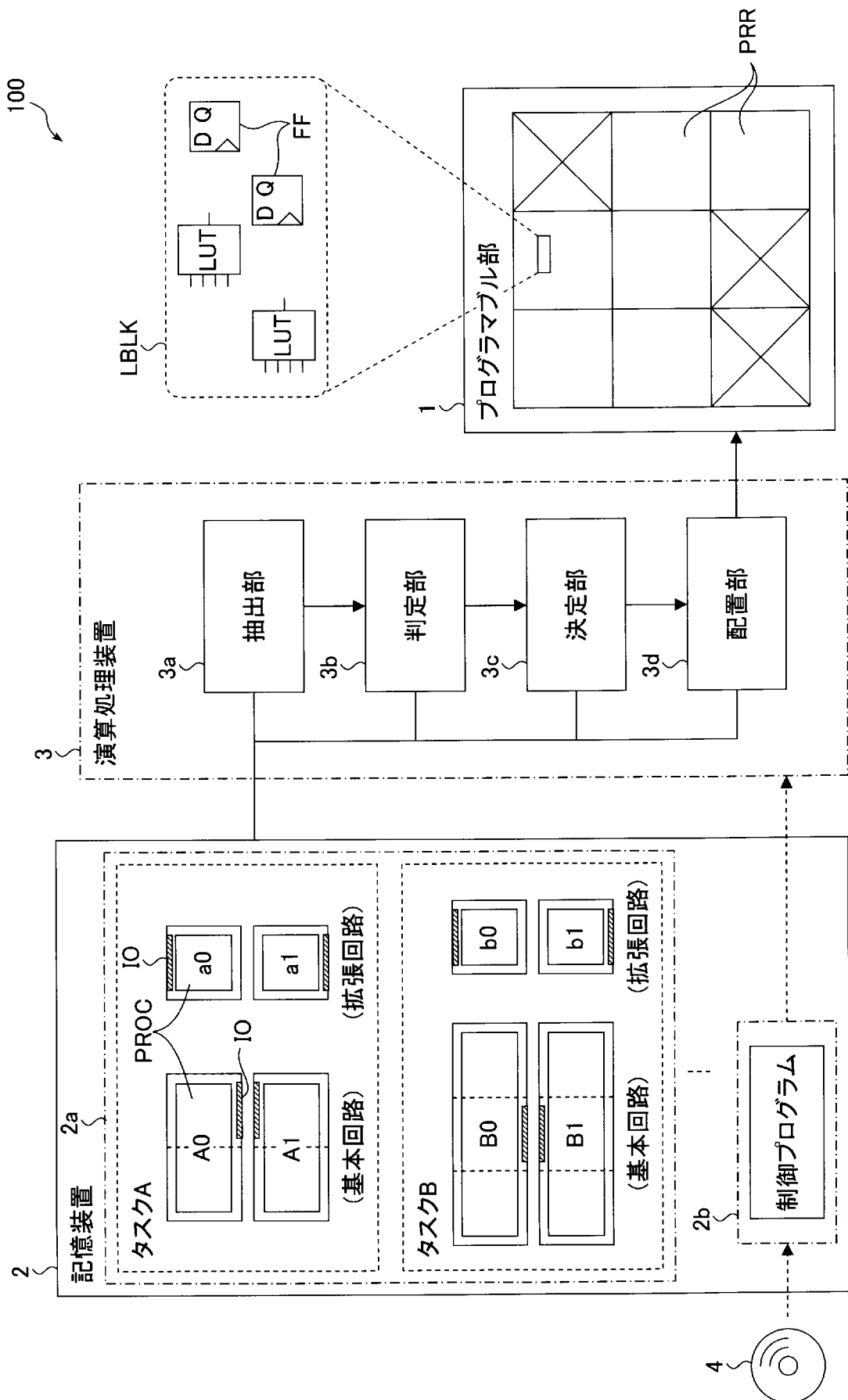
判定に基づいて、前記複数の第 1 回路のうち、前記プログラマブル部に配置する第 1 配置回路と、前記配置可能領域のうち、前記第 1 配置回路を配置する第 1 配置領域とを決定し、

決定した前記第 1 配置領域に前記第 1 配置回路を配置する

処理を、前記情報処理装置に実行させるための制御プログラムを記録した記録媒体。

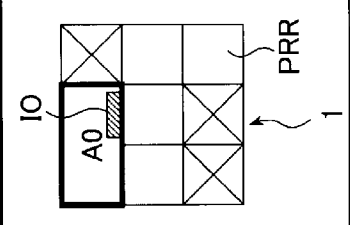
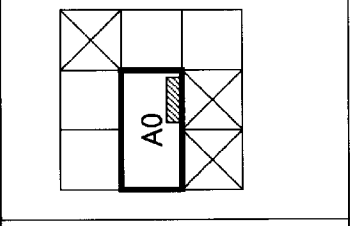
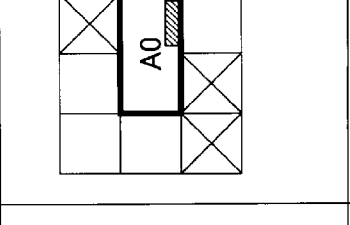
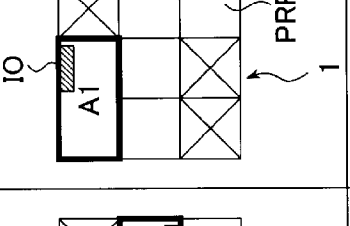
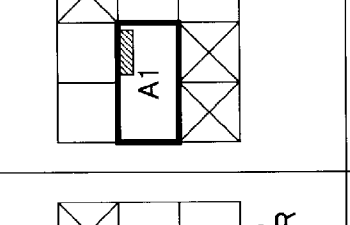
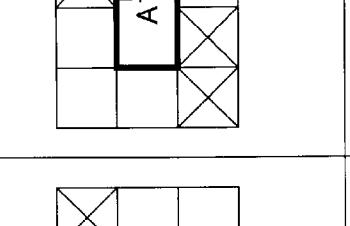
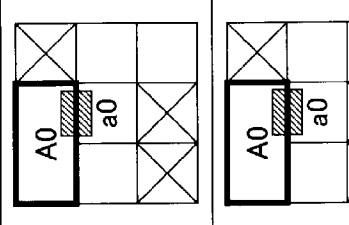
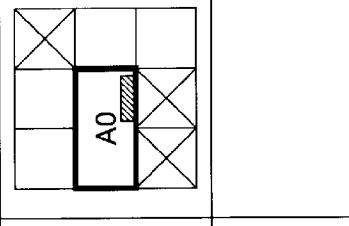
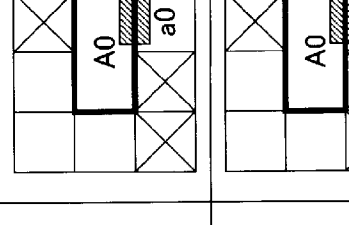
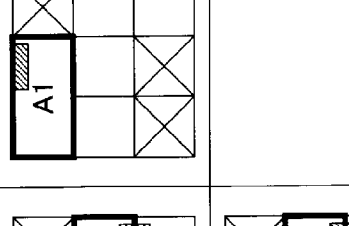
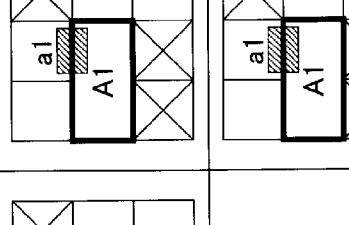
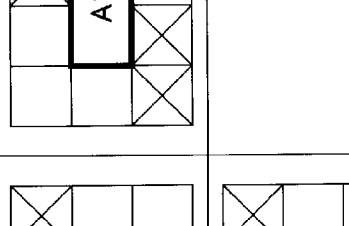
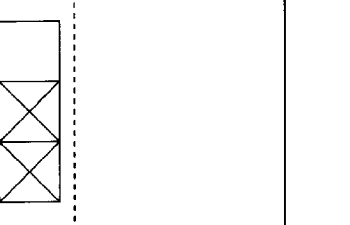
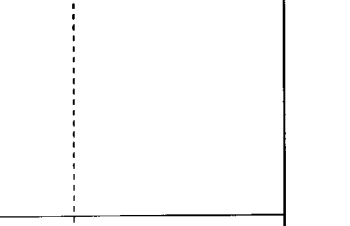
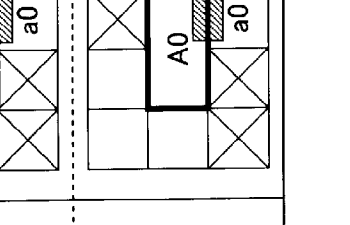
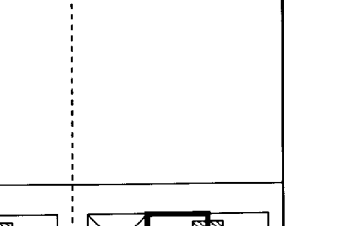
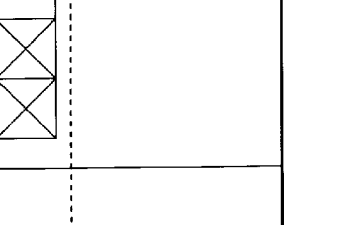
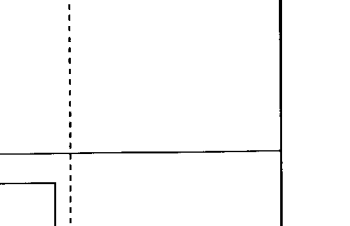
[図1]

情報処理装置、情報処理装置の制御方法および情報処理装置の制御プログラムの一実施形態を示す図



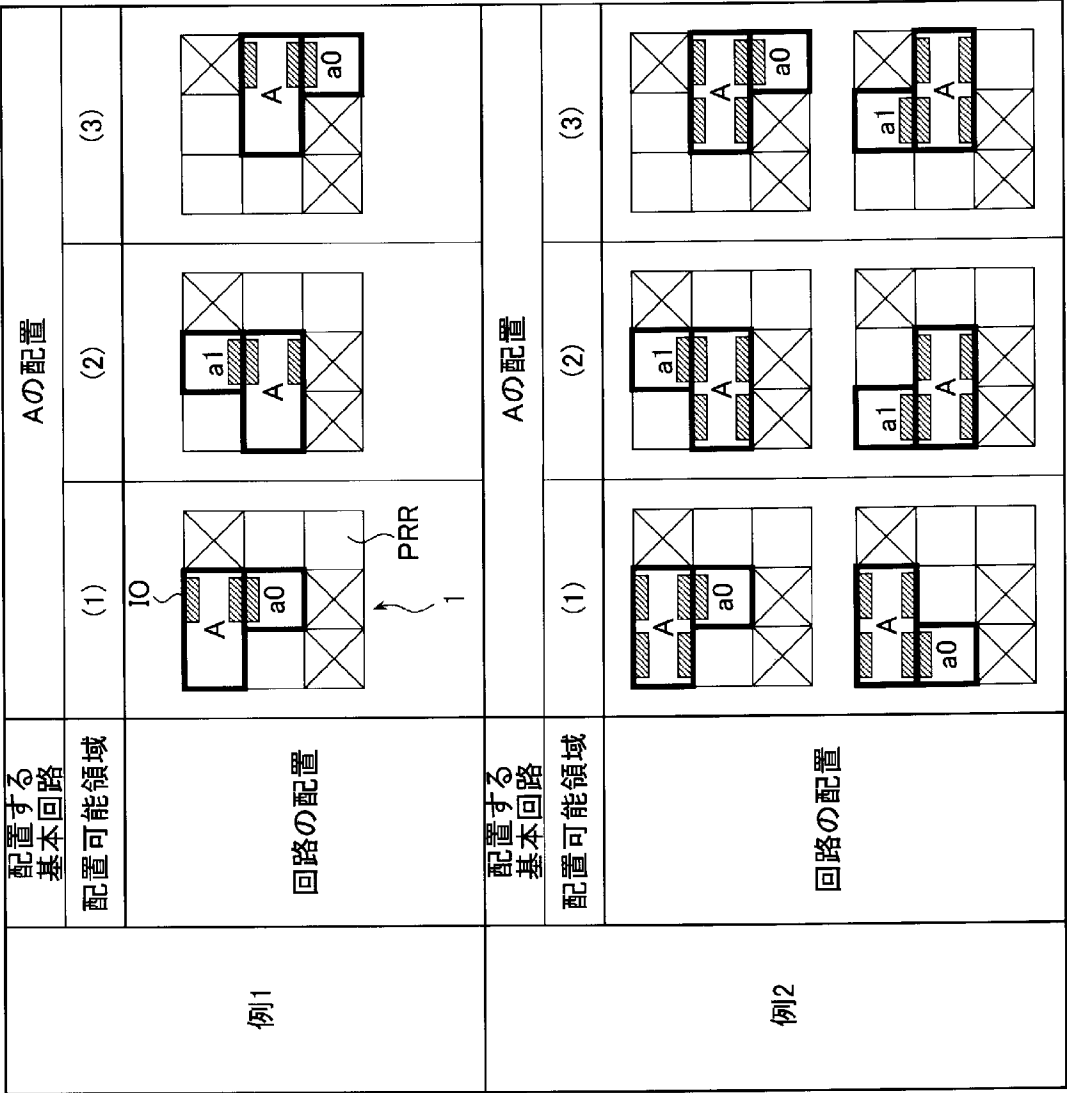
[図2]

図1に示す抽出部、判定部および決定部が実行する処理の一例を示す図

配置する 基本回路	A0			A1		
	(1)	(2)	(3)	(4)	(5)	(6)
抽出部 の処理						
判定部 の処理						
決定部 の処理						

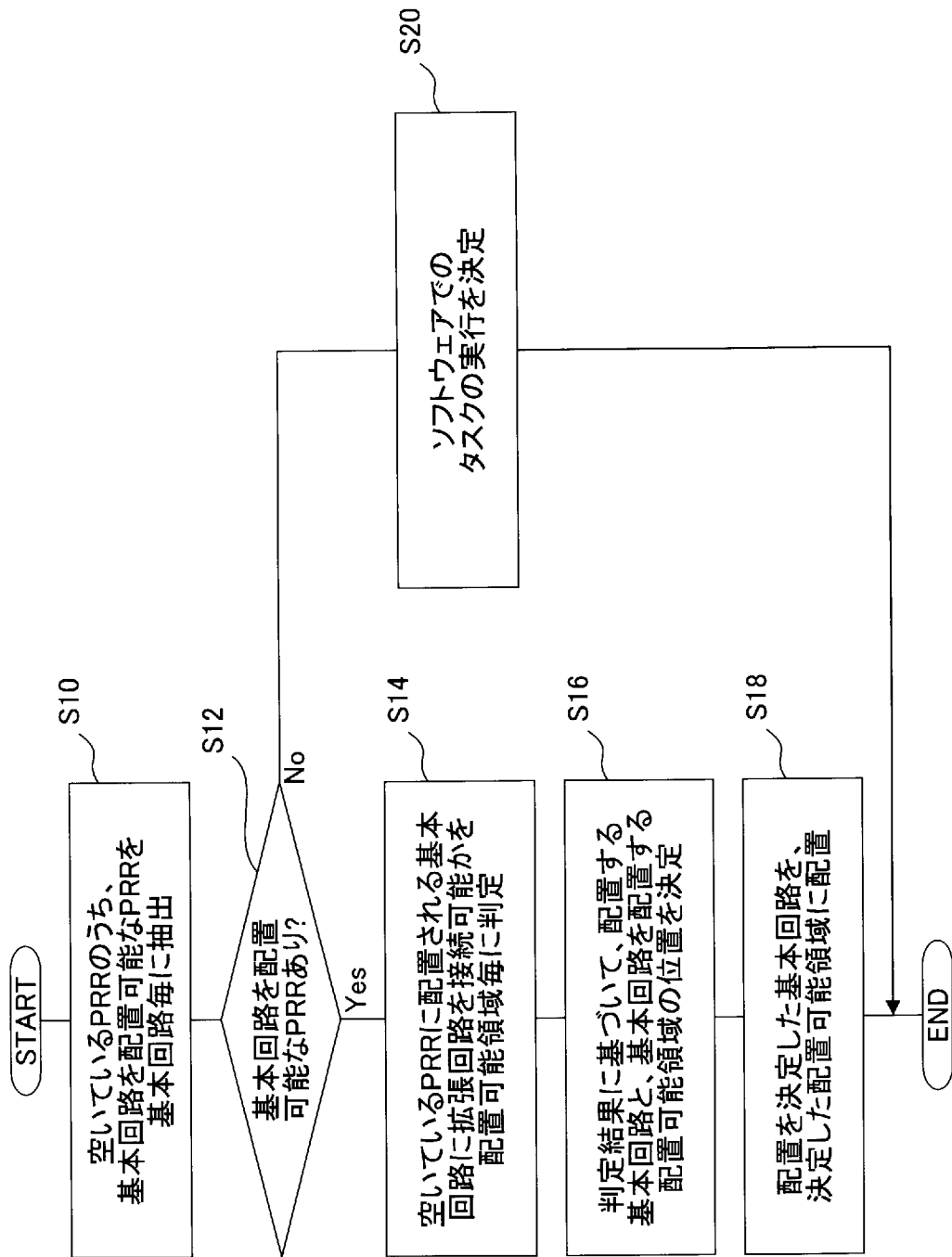
[図3]

図1に示す抽出部、判定部および決定部を持たない他の情報処理装置により回路を配置する例を示す図



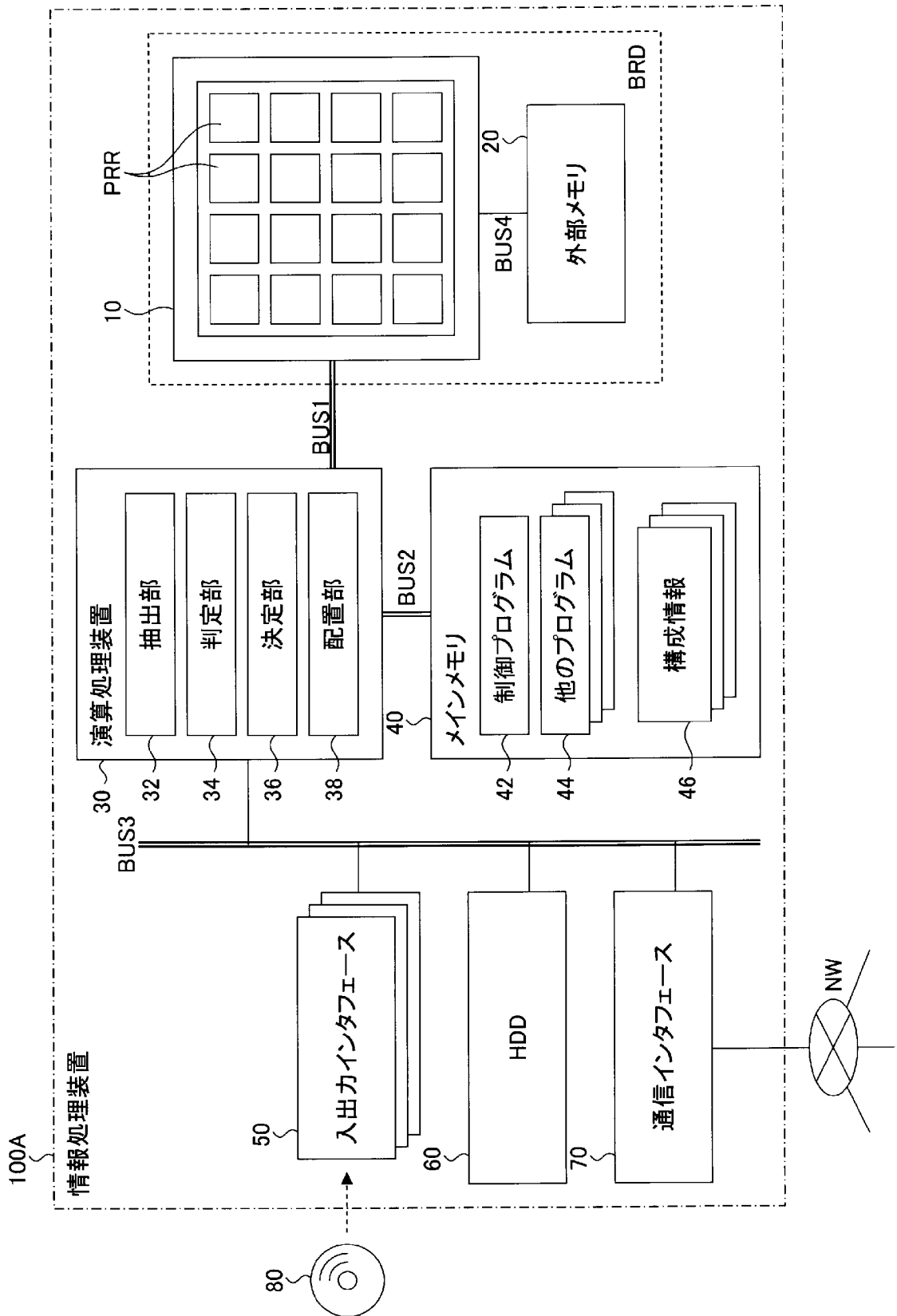
[図4]

図1に示す情報処理装置が実行する制御プログラムによる処理の一例を示す図



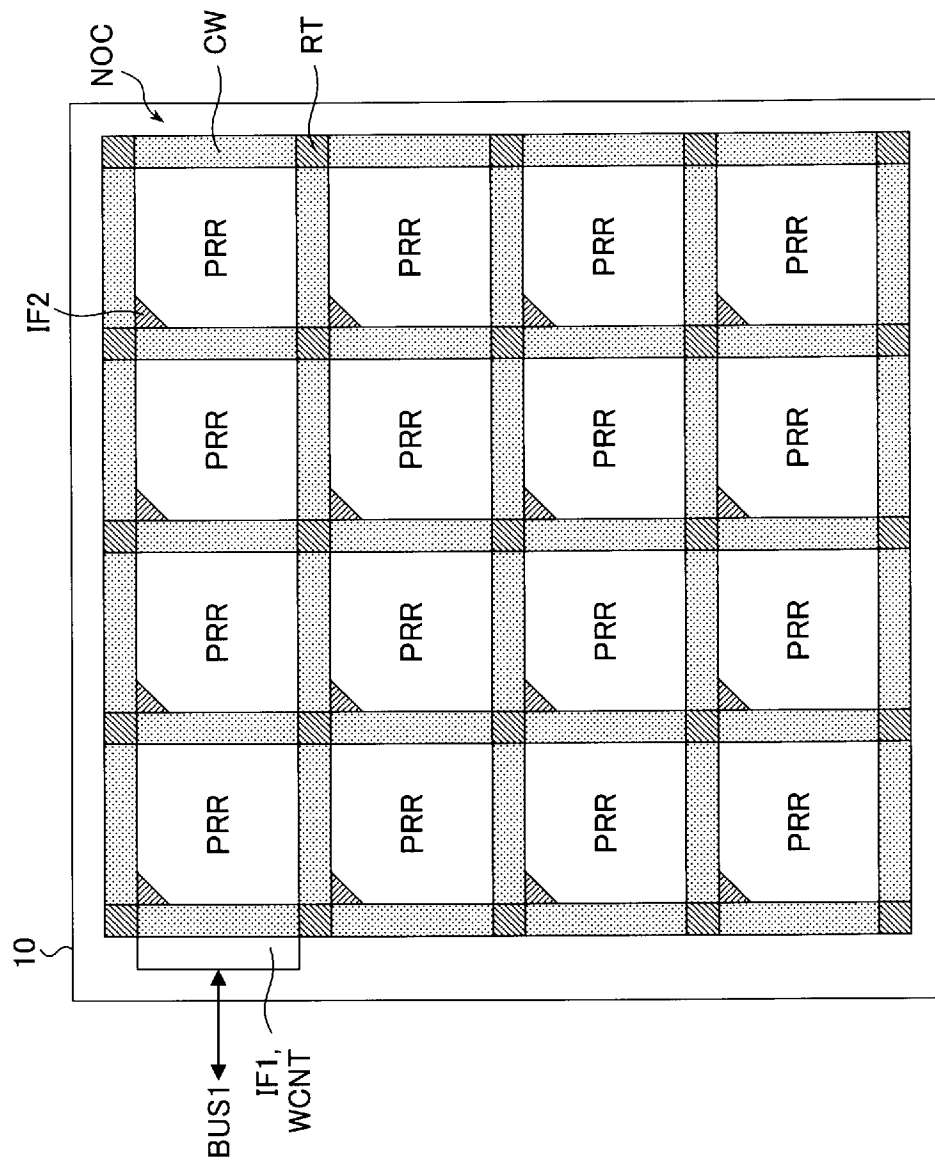
[図5]

情報処理装置、情報処理装置の制御方法および情報処理装置の制御プログラムの別の実施形態を示す図



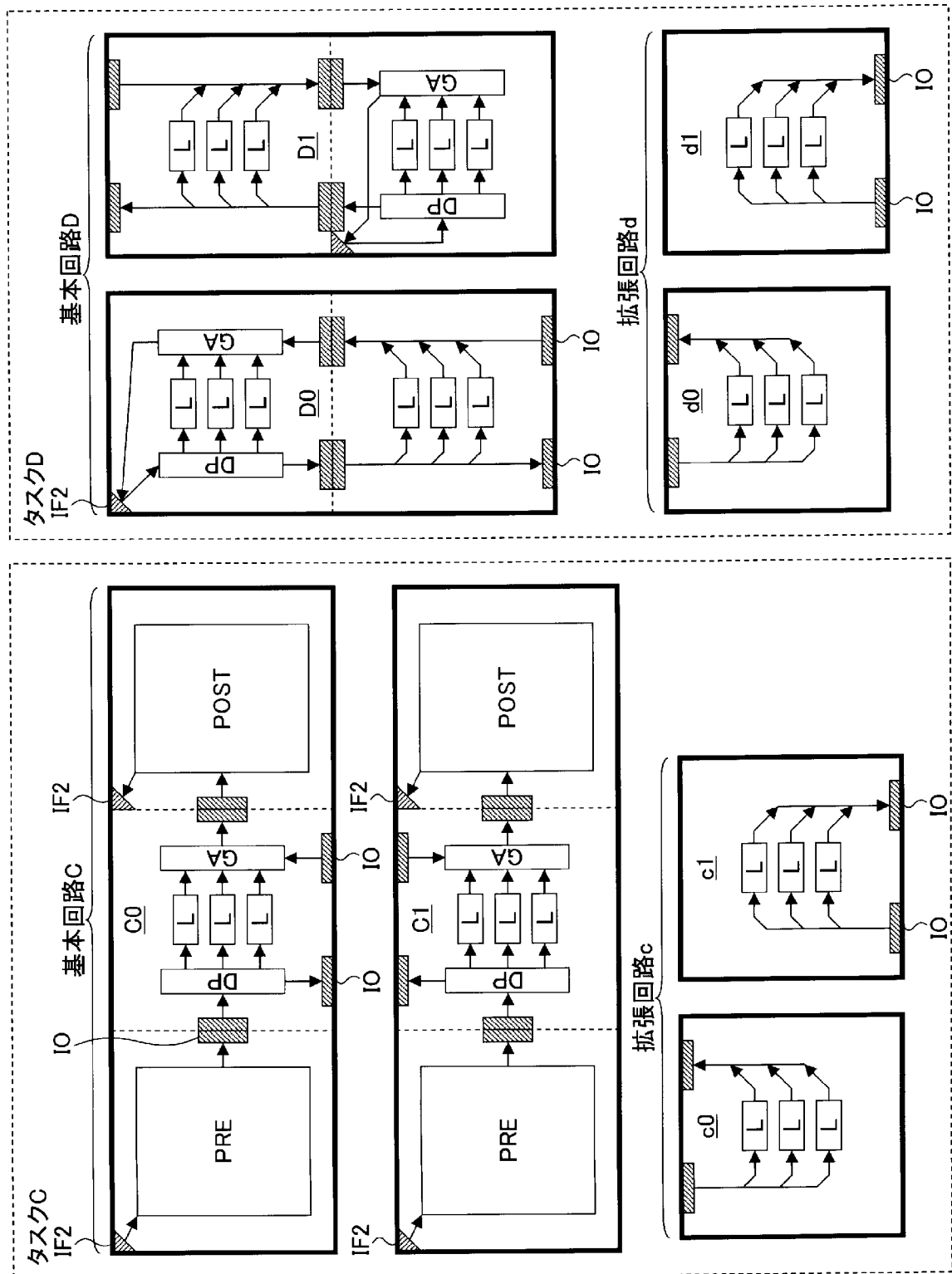
[図6]

図5に示すプログラマブル部の一例を示す図



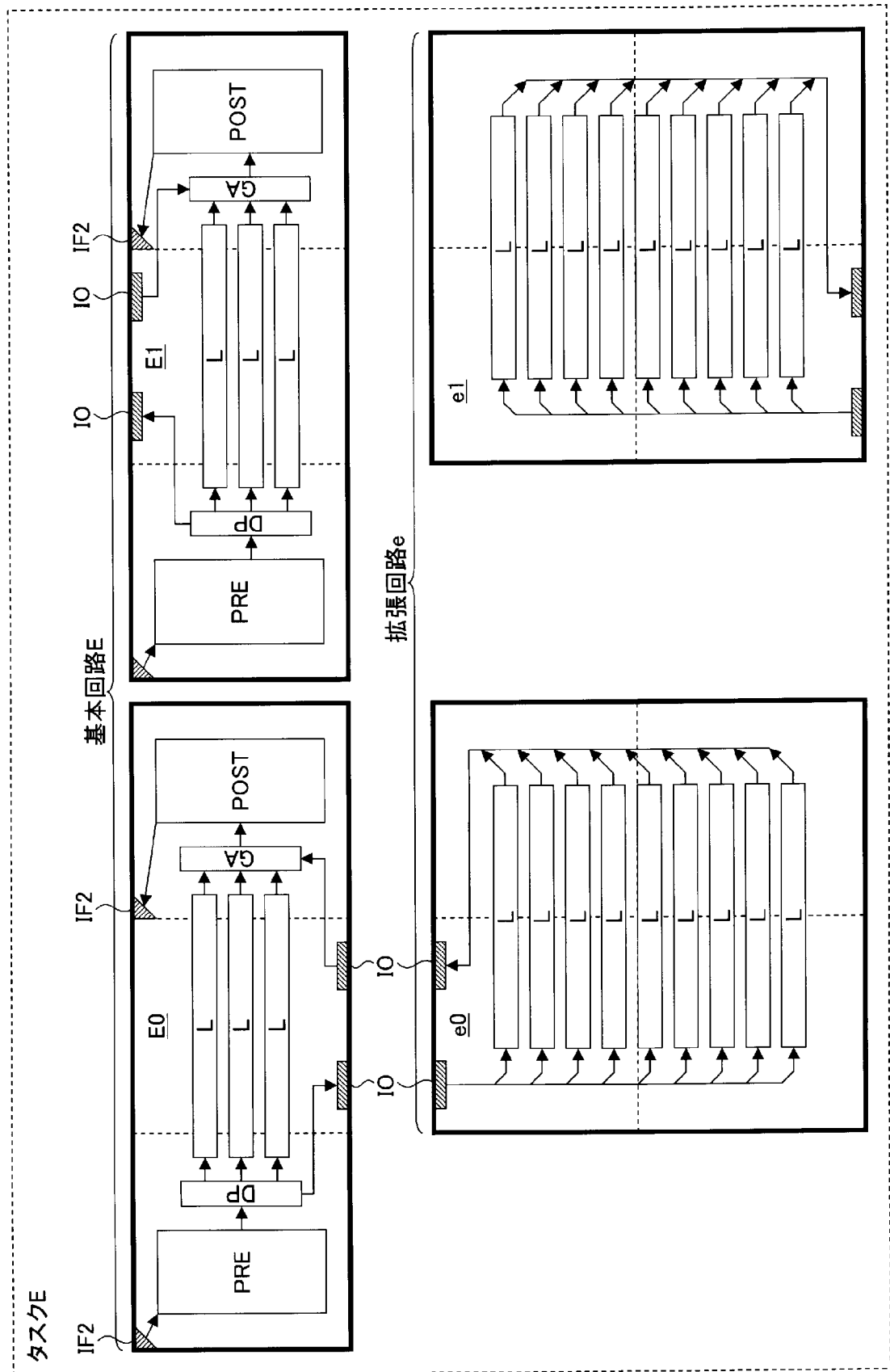
[図7]

図5に示すメインメモリに格納される構成情報の一例を示す図



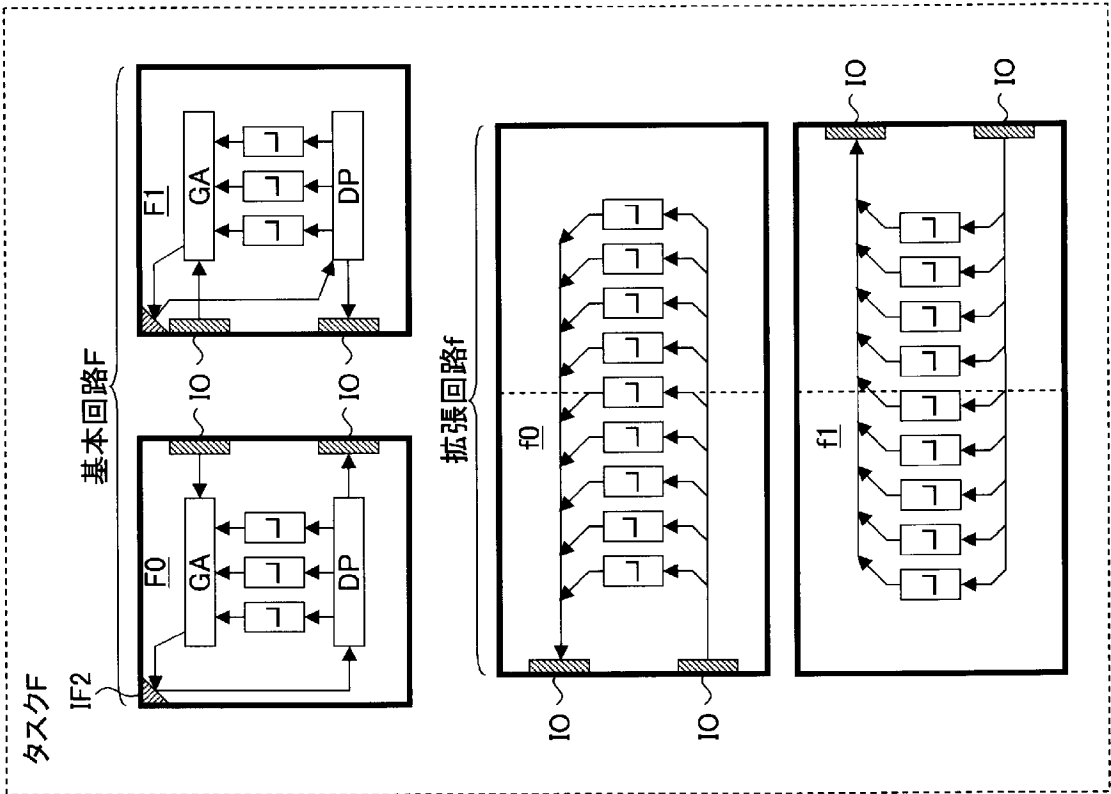
[図9]

図5に示すメインメモリ40に格納される構成情報の別の例を示す図



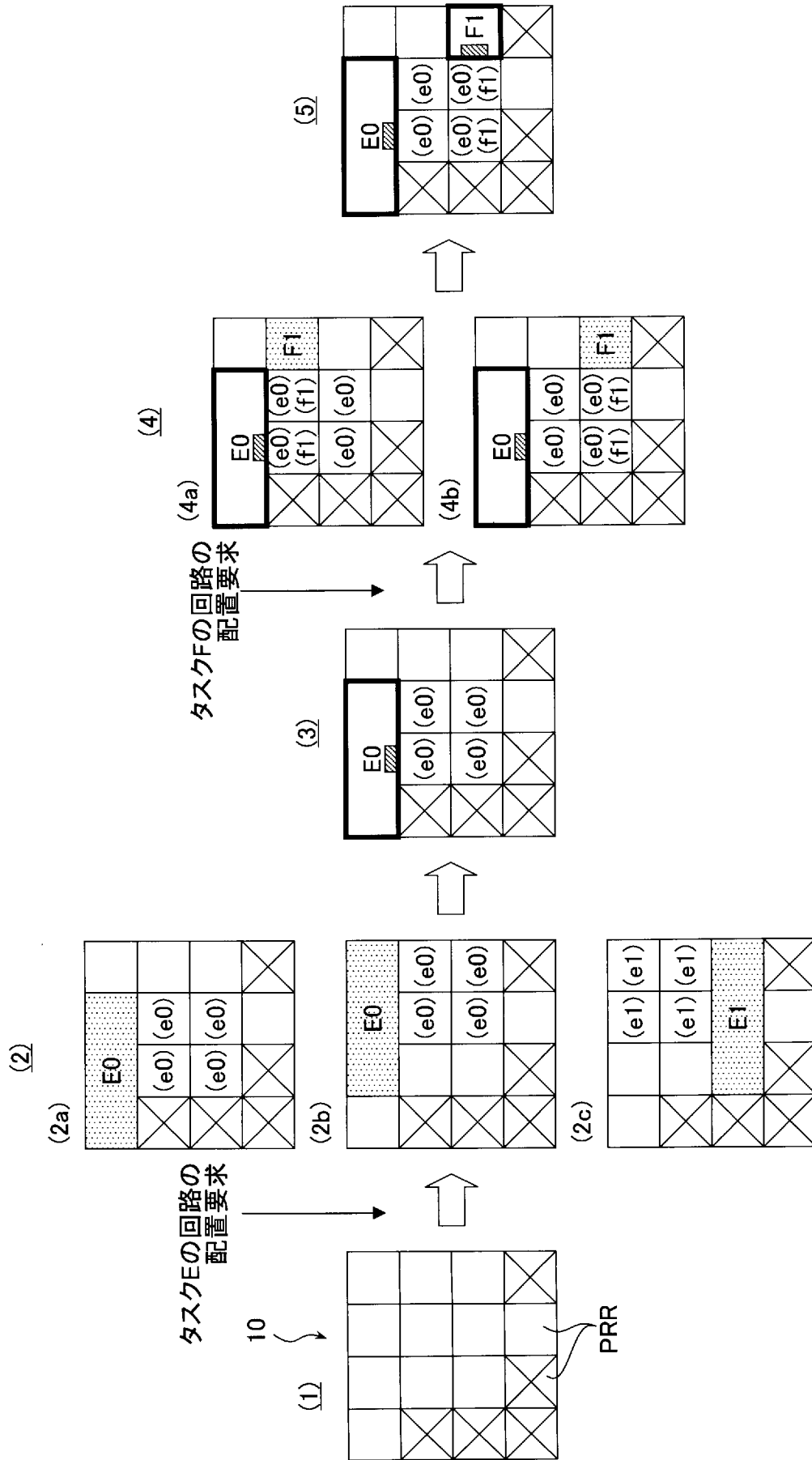
[図10]

図5に示すメインメモリ40に格納される構成情報のさらなる別の例を示す図



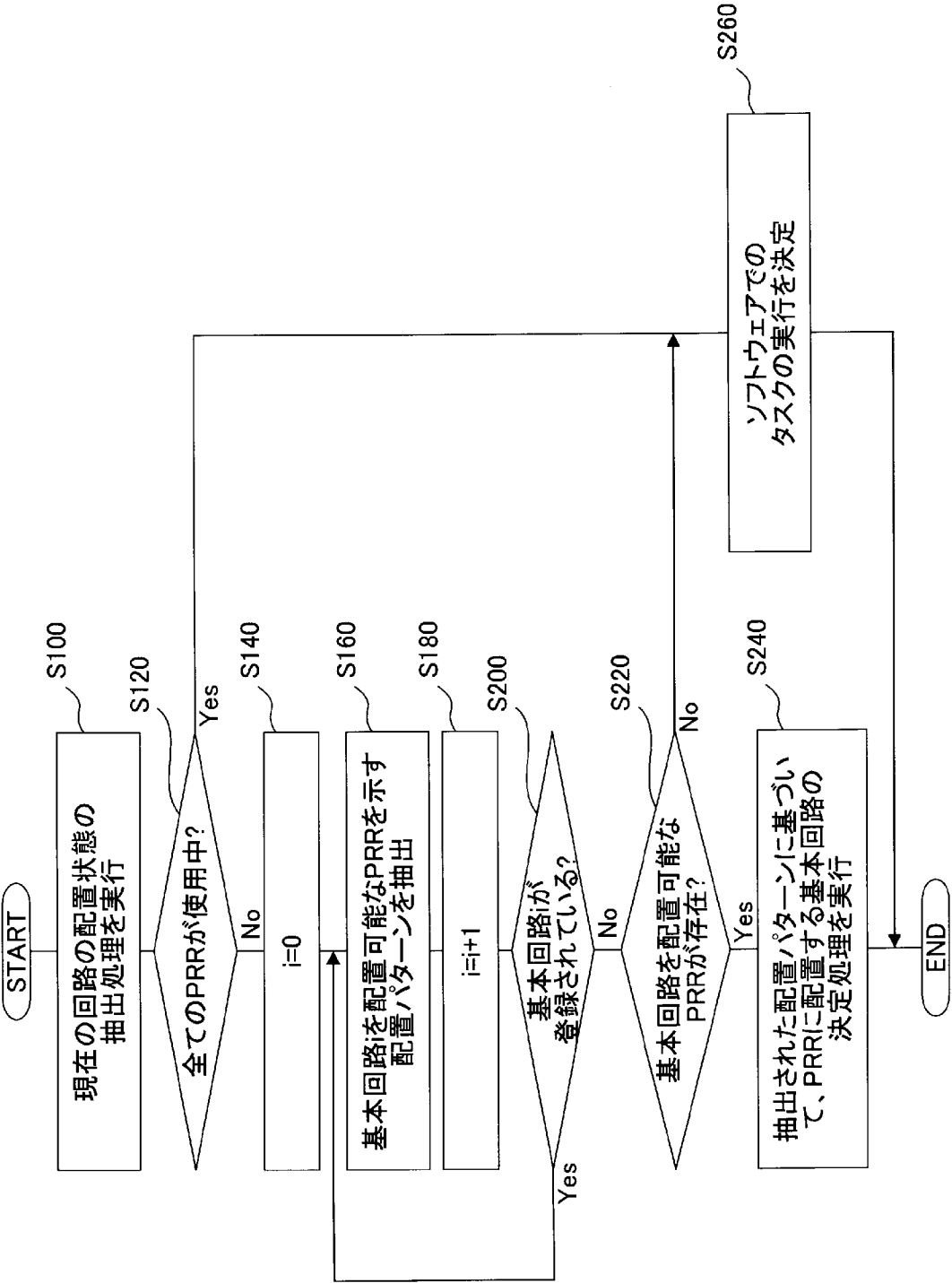
[図11]

図5に示す情報処理装置の動作の別の例を示す図



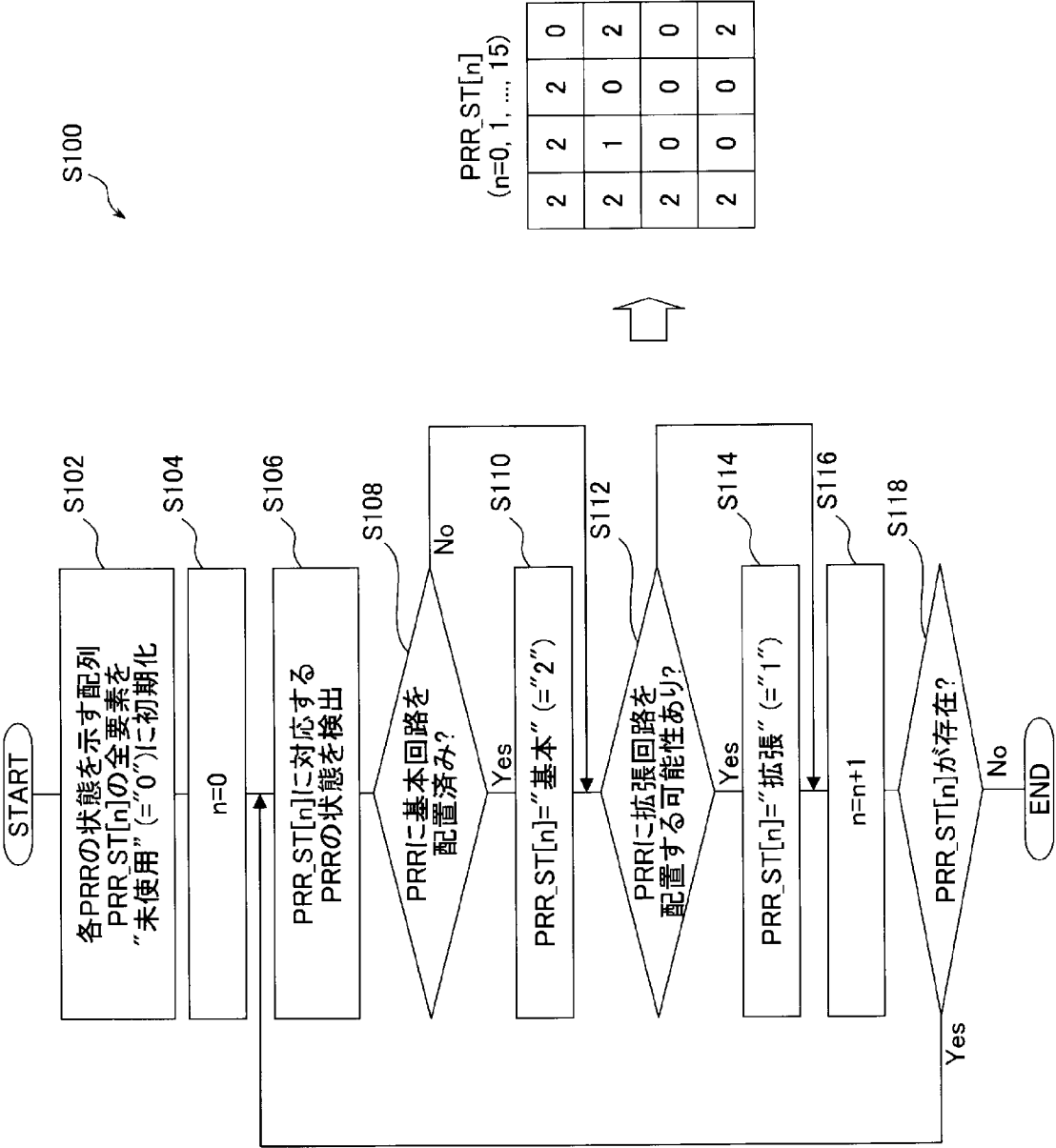
[図12]

図5に示す情報処理装置が実行する制御プログラムによる処理の一例を示す図



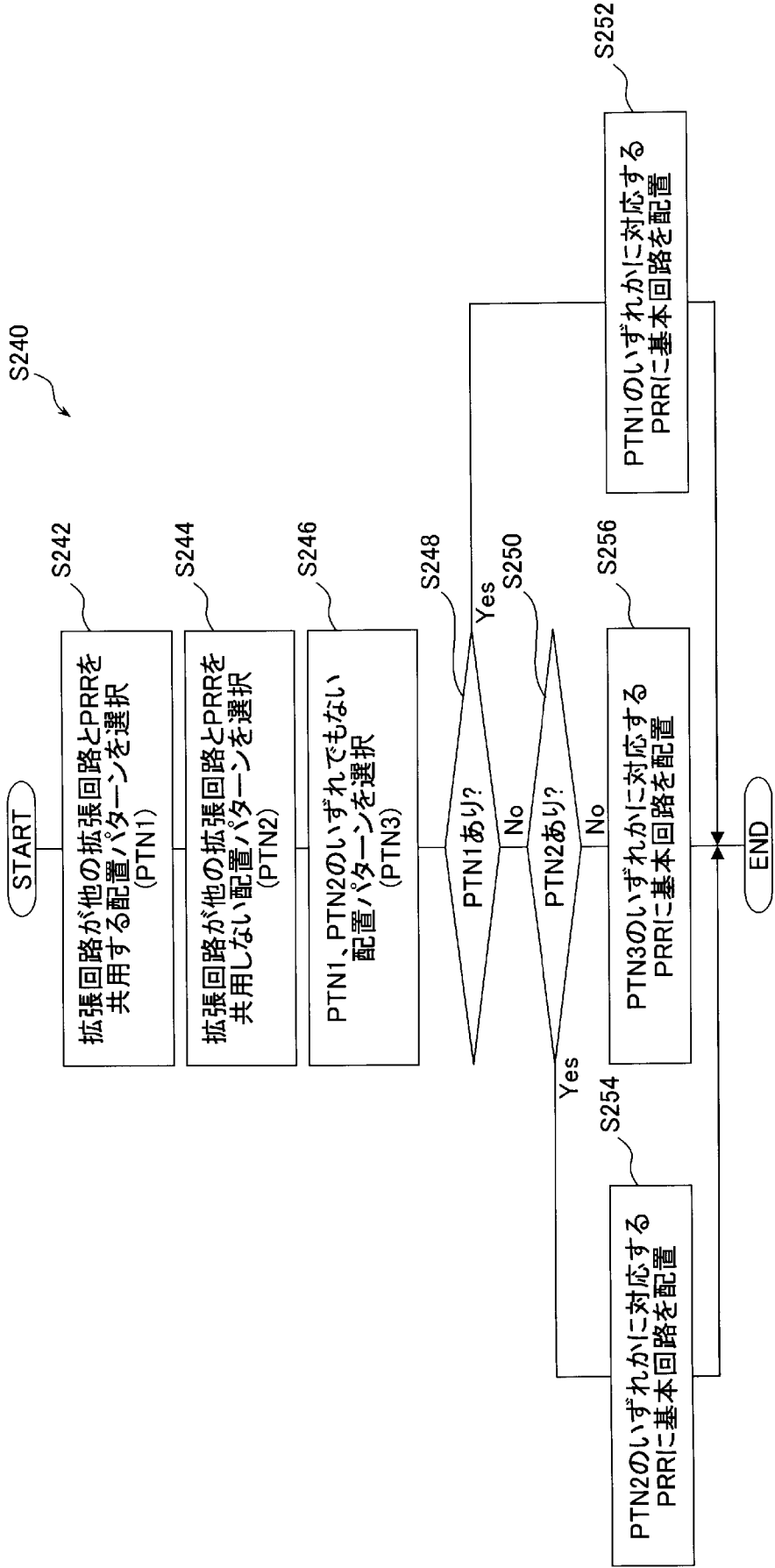
[図13]

図12に示すステップS100の処理の一例を示す図



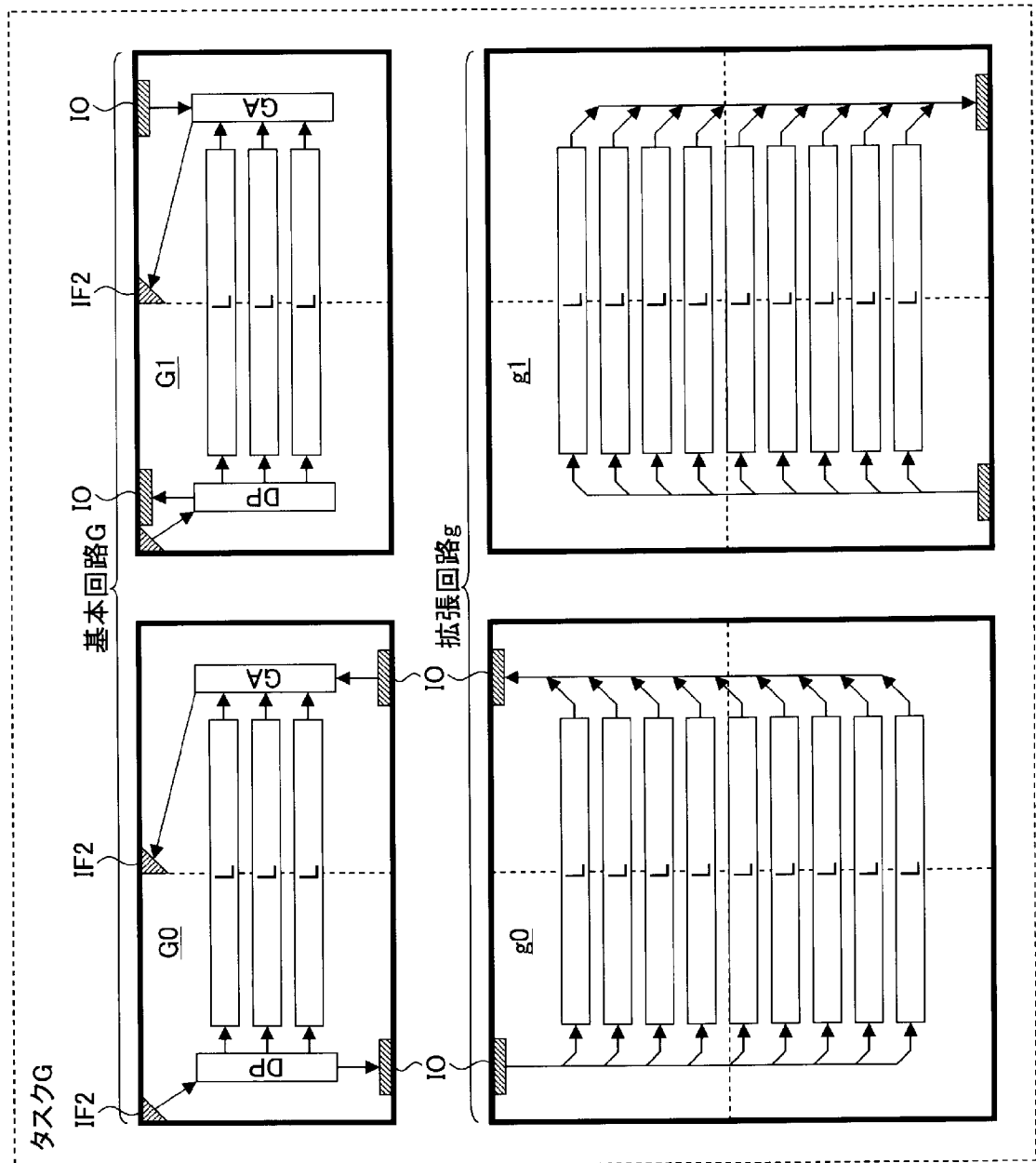
[図14]

図12に示すステップS240の処理の一例を示す図



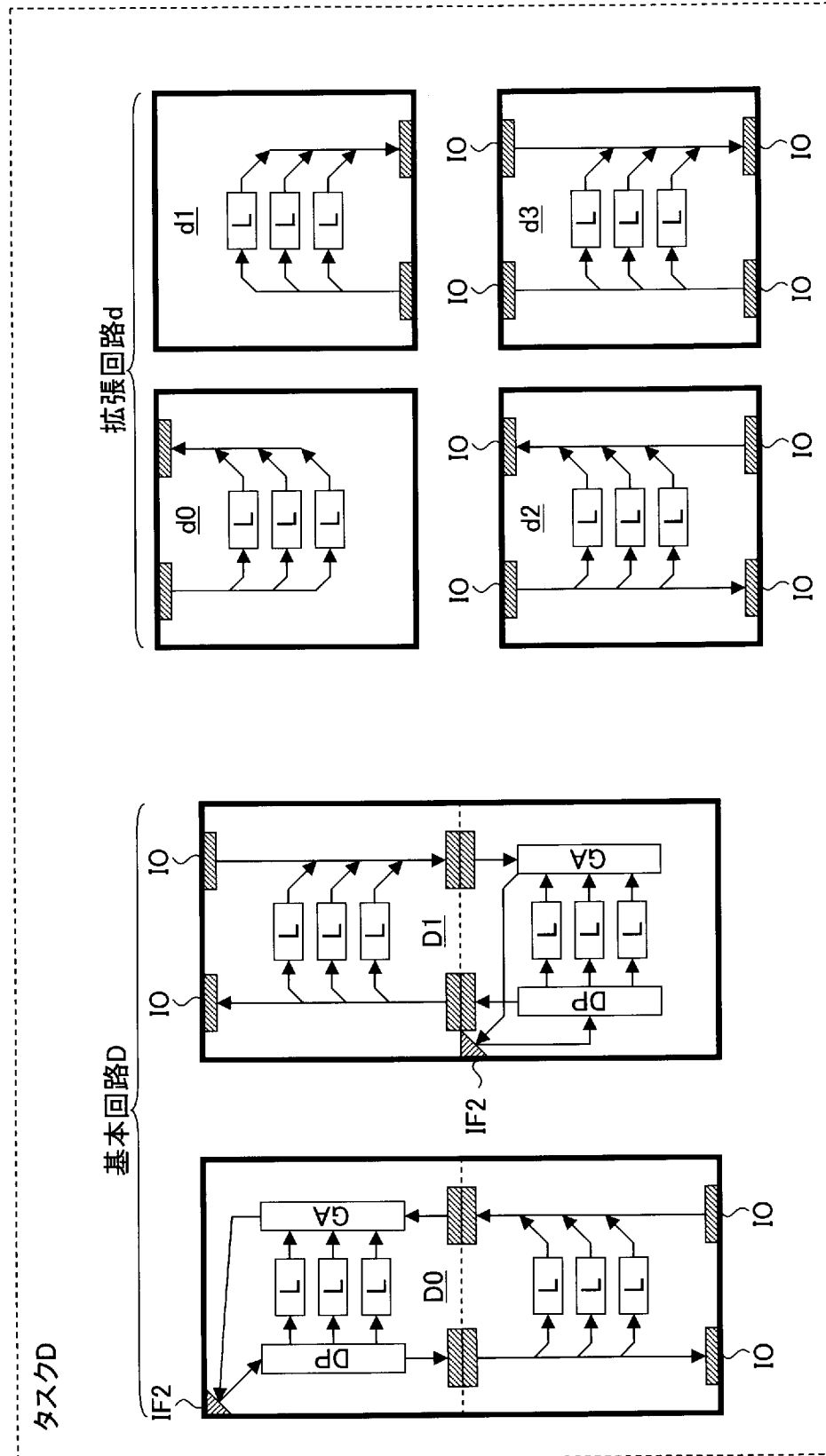
[図15]

図5に示すメインメモリ40に格納される構成情報の別の例を示す図



[図16]

タスクDを実行する構成情報の別の例を示す図



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/002090

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. G06F17/50 (2006.01) i, G06F7/57 (2006.01) i, H03K19/177 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. G06F17/50, G06F7/57, H03K19/177

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2018
Registered utility model specifications of Japan	1996-2018
Published registered utility model applications of Japan	1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2000-148707 A (NIPPON TELEGRAPH AND TELEPHONE CORP.) 30 May 2000, entire text, all drawings (Family: none)	1-14
A	JP 2-249254 A (KAWASAKI STEEL CORP.) 05 October 1990, entire text, all drawings (Family: none)	1-14
A	JP 3-34349 A (NEC CORP.) 14 February 1991, entire text, all drawings (Family: none)	1-14

☐

Further documents are listed in the continuation of Box C.

☐

See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
08 February 2018 (08.02.2018)

Date of mailing of the international search report
20 February 2018 (20.02.2018)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. G06F17/50(2006.01)i, G06F7/57(2006.01)i, H03K19/177(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. G06F17/50, G06F7/57, H03K19/177

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2000-148707 A（日本電信電話株式会社）2000.05.30, 全文、全図（ファミリーなし）	1-14
A	JP 2-249254 A（川崎製鉄株式会社）1990.10.05, 全文、全図（ファミリーなし）	1-14
A	JP 3-34349 A（日本電気株式会社）1991.02.14, 全文、全図（ファミリーなし）	1-14

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

08.02.2018

国際調査報告の発送日

20.02.2018

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

早川 学

5M

9652

電話番号 03-3581-1101 内線 3599