

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

**特許第4781673号
(P4781673)**

(45) 発行日 平成23年9月28日 (2011.9.28)

(24) 登録日 平成23年7月15日 (2011.7.15)

(51) Int.Cl.

F I

H O 1 L 27/108 (2006.01)

H O 1 L 27/10 6 2 5 Z

H O 1 L 21/8242 (2006.01)

H O 1 L 27/10 6 8 1 D

請求項の数 2 (全 13 頁)

(21) 出願番号 特願2004-379735 (P2004-379735)
 (22) 出願日 平成16年12月28日 (2004.12.28)
 (65) 公開番号 特開2006-186185 (P2006-186185A)
 (43) 公開日 平成18年7月13日 (2006.7.13)
 審査請求日 平成19年12月6日 (2007.12.6)

(73) 特許権者 302062931
 ルネサスエレクトロニクス株式会社
 神奈川県川崎市中原区下沼部 1 7 5 3 番地
 (74) 代理人 100088672
 弁理士 吉竹 英俊
 (74) 代理人 100088845
 弁理士 有田 貴弘
 (72) 発明者 佐藤 英則
 東京都千代田区丸の内二丁目4番1号 株
 式会社ルネサステクノロジ内
 (72) 発明者 能宗 弘安
 東京都千代田区丸の内二丁目4番1号 株
 式会社ルネサステクノロジ内

最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【特許請求の範囲】

【請求項 1】

半導体基板上部に形成されたトレンチにより規定される活性領域と、
 前記トレンチ内に形成された素子分離絶縁膜と、
 前記活性領域に形成されたトランジスタと、
 前記トランジスタのソースまたはドレイン領域に接続した不純物拡散層である下部電極
 、前記不純物拡散層の表面に形成された誘電体層、および前記誘電体層上に形成された上
 部電極から成るキャパシタとを備える半導体記憶装置であって、

前記素子分離絶縁膜は、前記活性領域と前記トランジスタのゲート電極の延在方向に当
 該活性領域に隣り合う他の活性領域との間の領域において、前記トレンチの内壁を露出す
 るリセスを有し、

前記不純物拡散層および前記誘電体層は、前記活性領域の上面から前記リセス内に露出
 した前記トレンチの内壁にかけて延在し、

前記上部電極は、前記リセス内に埋め込まれた埋設部を有すると共に、前記リセス内に
 埋め込まれていない部分を有し、

前記埋設部の外側エッジは、前記活性領域と前記トランジスタのゲート電極の延在方向
 に当該活性領域に隣り合う他の活性領域との間の領域において、前記リセス内に埋め込ま
 れていない部分の外側エッジよりも内側に位置している半導体記憶装置。

【請求項 2】

前記トランジスタのソースまたはドレイン領域上部に、シリサイド層が形成されている

10

20

請求項 1 記載の半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、例えば D R A M (Dynamic Random Access Memory) など、キャパシタを有する半導体記憶装置に関するものである。

【背景技術】

【0002】

従来の半導体記憶装置として、M O S (Metal-Oxide Semiconductor) トランジスタと、当該 M O S トランジスタのソース/ドレイン領域に接続した不純物拡散層を下部電極とするキャパシタとにより構成される D R A M セルが知られている (例えば、特許文献 1, 2)。特許文献 1 の D R A M セルは、半導体基板の上面に配置され上部にリセス (キャビティ) が形成された分離絶縁膜 (フィールド絶縁膜) を有しており、該リセスには半導体基板の側壁部分が露出される。D R A M セルのキャパシタがリセス内に露出した上記側壁部分にまで延在することで、該キャパシタの有効面積を増やして容量の増大を図っている。

10

【0003】

特許文献 1 の D R A M セルでは、M O S トランジスタのゲート電極側面のサイドウォールおよびキャパシタ上部電極側面のサイドウォールが厚く、M O S トランジスタのキャパシタに繋がるソース/ドレイン領域の上部が、それらのサイドウォールに完全に覆われていた。そのため、当該ソース/ドレイン領域上面をシリサイド化して M O S トランジスタとキャパシタ間を低抵抗化することができない。そのことは、半導体記憶装置の高速動作化の妨げとなる。

20

【0004】

一方、特許文献 2 には、M O S トランジスタのゲート電極側面のサイドウォールとキャパシタ上部電極側面のサイドウォールとが互いに離れた D R A M セル構造が示されており、M O S トランジスタのソース/ドレイン領域の上部にシリサイド層を形成して低抵抗化することが開示されている。

【0005】

【特許文献 1】特表 2 0 0 4 - 5 2 7 9 0 1 号公報

30

【特許文献 2】特開 2 0 0 4 - 3 1 1 8 5 3 号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかし、特許文献 2 の D R A M セルでは、分離絶縁膜に形成するリセスの幅や、キャパシタ上部電極およびそのサイドウォールの幅によっては、該キャパシタ上部電極を構成するポリシリコンが隣接する D R A M セルの間に露出する可能性がある (詳細は後述する (図 1 4、図 1 5))。その場合、M O S トランジスタのソース/ドレイン領域の上部をシリサイド化する工程において、その露出したポリシリコンとソース/ドレイン領域上部とが一体的なシリサイド層を形成してしまう恐れがある。その場合、該シリサイド層を通して D R A M セル間のショートが発生し、半導体記憶装置の動作信頼性が低下してしまう。

40

【0007】

本発明は以上のような課題を解決するためになされたものであり、メモリセル間のショートを抑制して動作信頼性を向上でき、且つ、高速動作化に寄与できる半導体記憶装置を提供することを目的とする。

【課題を解決するための手段】

【0008】

本発明に係る半導体記憶装置は、半導体基板上部に形成されたトレンチにより規定される活性領域と、前記トレンチ内に形成された素子分離絶縁膜と、前記活性領域に形成されたトランジスタと、前記トランジスタのソースまたはドレイン領域に接続した不純物拡散

50

層である下部電極、前記不純物拡散層の表面に形成された誘電体層、および前記誘電体層上に形成された上部電極から成るキャパシタとを備える半導体記憶装置であって、前記素子分離絶縁膜は、前記活性領域と前記トランジスタのゲート電極の延在方向に当該活性領域に隣り合う他の活性領域との間の領域において、前記トレンチの内壁を露出するリセスを有し、前記不純物拡散層および前記誘電体層は、前記活性領域の上面から前記リセス内に露出した前記トレンチの内壁にかけて延在し、前記上部電極は、前記リセス内に埋め込まれた埋設部を有すると共に、前記リセス内に埋め込まれていない部分を有し、前記埋設部の外側エッジは、前記活性領域と前記トランジスタのゲート電極の延在方向に当該活性領域に隣り合う他の活性領域との間の領域において、前記リセス内に埋め込まれていない部分の外側エッジよりも内側に位置しているものである。

10

【発明の効果】

【0009】

本発明によれば、活性領域とトランジスタのゲート電極の延在方向に当該活性領域に隣り合う他の活性領域との間の領域において、上部電極の埋設部は、該上部電極のリセスに埋設されていない部分に完全に覆われる。よって、埋設部の上面が、DRAMセルの間に露出することはない。従って、高速動作化を図るためにトランジスタおよびキャパシタの各電極をシリサイド化しても、それに伴いセル間をショートさせるシリサイド層は形成されず、動作信頼性の低下は伴わない。

【発明を実施するための最良の形態】

20

【0010】

図1は一般的なDRAMセルの回路図である。DRAMセル100は、データの書き込み、リフレッシュ、読み出し等を行うアクセストランジスタであるPMOSTランジスタ101と、データに応じた電荷を蓄積するキャパシタ102とにより構成される。PMOSTランジスタ101において、ゲート端子はワード線WLに接続し、ソース/ドレイン端子の一方はビット線BLに接続し他方はキャパシタ102の片方の端子に接続する。キャパシタ102のもう片方の端子は所定の電源に接続される。

【0011】

図2(a)は、本実施の形態に係る半導体記憶装置が備えるDRAMセルの断面図である。同図では、DRAMセルアレイのうち、ビット線BLの延在方向に隣接する2つのセルを示している。即ち、図2(a)中の左側にはPMOSTランジスタT1とキャパシタC1とから成るDRAMセルが示されており、右側にはPMOSTランジスタT2とキャパシタC2とから成るDRAMセルが示されている。

30

【0012】

本実施の形態では、DRAMセルはP型のシリコン基板1に形成される。そしてDRAMを構成するPMOSTランジスタT1、T2およびキャパシタC1、C2が形成される領域にはNウェル2が形成されている。図2(a)に示す2つのセル間には、分離トレンチ40が形成されており、その中にSTI(shallow trench isolation)である分離絶縁膜4が形成される。分離絶縁膜4は高密度プラズマ酸化膜であり、当該分離絶縁膜4とシリコン基板1との間には、薄い熱酸化膜である酸化膜5が介在している。さらに、Nウェル2内における分離絶縁膜4底部の深さ近傍の一帯には、チャンネルカット層3が形成される。

40

【0013】

PMOSTランジスタT1、T2の各々は、ゲート酸化膜11、その上に形成されたポリシリコンのゲート電極12、該ゲート電極12の側面に形成されたサイドウォール13、シリコン基板1の表面部におけるゲート電極12両側に形成されたソース/ドレイン領域14および15により構成される。ゲート電極12、ソース/ドレイン領域14、15の上部には、それぞれシリサイド層121、141、151が形成される。ソース/ドレイン領域14は、シリサイド層141を介して、ビット線BLへ接続するコンタクト16に接続する。

50

【 0 0 1 4 】

図 2 (a) の如く、キャパシタ C 1 , C 2 は、上部電極 2 2 を共有しており、下部電極として機能する P 型の不純物拡散層 2 4 (以下「下部拡散層 2 4 」) 、上部電極 2 2 と下部拡散層 2 4 の間の誘電体層として機能する絶縁膜 2 1 (以下「誘電体層 2 1 」) をそれぞれ備えている。上部電極 2 2 の上部にはシリサイド層 2 2 1 が形成される。また、P 型の下部拡散層 2 4 は、同じく P 型のソース / ドレイン領域 1 5 に接続している。つまり、下部拡散層 2 4 はソース / ドレイン領域 1 5 に電氣的に接続しており、図 1 に示したキャパシタ 1 0 2 における P M O S トランジスタ 1 0 1 のソース / ドレイン端子に接続する側の電極として機能している。

【 0 0 1 5 】

通常、分離絶縁膜は、分離トレンチ 4 0 を完全に埋めるように形成されるが、本実施の形態の分離絶縁膜 4 には、上部電極 2 2 の下方に、分離トレンチ 4 0 の側壁を露出するリセス 4 1 が形成される。そのため図 2 (a) の断面では、分離絶縁膜 4 は分離トレンチ 4 0 の底部のみに形成される。それに対応するように、下部拡散層 2 4 および誘電体層 2 1 は分離トレンチ 4 0 の内壁 (リセス 4 1 の内壁) にも形成され、上部電極 2 2 の一部はリセス 4 1 内に埋め込まれる。この構成により、シリコン基板 1 の上面だけでなく分離トレンチ 4 0 の側壁も、キャパシタ C 1 , C 2 の有効面積として寄与することができ、キャパシタ C 1 , C 2 の容量は増加する。

【 0 0 1 6 】

D R A M セルアレイにおける各セルは、ワード線 W L の延在方向にも並べて配設される。本実施の形態では、ゲート電極 1 2 はワード線 W L として機能しており、ビット線 B L に対して直角方向に延在する。図 3 に、本実施の形態に係る D R A M セルアレイの上面図を示す。同図において、図 2 (a) に示したものと同様の要素には、同一符号を付している。上記の図 2 (a) は、図 3 の A - A 線に沿った断面に対応したものである。図 3 の如く、シリコン基板 1 において、D R A M セルが形成される活性領域 7 は、分離絶縁膜 4 (即ち分離トレンチ 4 0) により規定されている。

【 0 0 1 7 】

図 2 (b) は、図 3 の B - B 線に沿った断面図であり、本実施の形態に係る D R A M セルアレイにおける、ワード線 W L (ゲート電極 1 2) の延在方向に隣接する D R A M セルの間の素子分離領域の断面を示している。同図においても、図 2 (a) に示したものと同様の要素には、同一符号を付している。

【 0 0 1 8 】

図 2 (b) のように、ゲート電極 1 2 の延在方向に隣接する D R A M セルの間でも、分離絶縁膜 4 には、上部電極 2 2 の下方に、分離トレンチ 4 0 の側壁 (図 2 (b) では不図示、図 3 において符号 7 1 で示す) を露出するリセス 4 1 が形成される。それに対応するように、下部拡散層 2 4 および誘電体層 2 1 はその分離トレンチ 4 0 の内壁にも形成され、上部電極 2 2 の一部がリセス 4 1 内に埋め込まれる。それにより、分離トレンチ 4 0 の内壁 (図 3 の符号 7 1) もキャパシタ C 1 , C 2 の有効面積に寄与することができ、キャパシタ C 1 , C 2 の容量をさらに増加させている。

【 0 0 1 9 】

また上記のように、本実施の形態ではソース / ドレイン領域 1 5 の上部にシリサイド層 1 5 1 が形成される。それにより、アクセストランジスタ (P M O S トランジスタ T 1 , T 2) とキャパシタ (キャパシタ C 1 , C 2) との間の接続抵抗を低く抑えることができ、D R A M セルの高速動作化に寄与できる。

【 0 0 2 0 】

図 4 (a) は、本実施の形態に係る D R A M セルの構成を示す斜視図である。同図は、図 3 の領域 C の部分の断面拡大図である。また図 4 (b) は、図 3 および図 4 (a) の B - B 線に沿った断面斜視図を示している。これら図においても図 2 (a) , (b) および図 3 に示したものと同様の要素には、同一符号を付している。図 4 (a) , (b) においては、簡単のため、ソース / ドレイン領域 1 4 , 1 5 、下部拡散層 2 4 および酸化膜 5 の

10

20

30

40

50

図示は省略している。

【 0 0 2 1 】

図 4 (a) , (b) のように、D R A Mセルが形成される活性領域 7 は、分離絶縁膜 4 が埋め込まれた分離トレンチ 4 0 により規定され、分離絶縁膜 4 の上部には分離トレンチ 4 0 の内壁を露出するリセス 4 1 が形成される。キャパシタ C 1 , C 2 の上部電極 2 2 は、分離絶縁膜 4 に形成されたリセス 4 1 内に埋め込まれた部分 (埋設部) を有している。また、サイドウォール 2 3 は、上部電極 2 2 の当該リセス 4 1 内に埋め込まれていない部分の側面に形成される。上部電極 2 2 の上部にはシリサイド層 1 2 1 が形成され、ゲート電極 1 2 と上部電極 2 2 の間のソース / ドレイン領域 1 5 (図 4 (a) , (b) では不図示) の上部にはシリサイド層 1 5 1 が形成される。

10

【 0 0 2 2 】

先に述べたように、上記の構成の D R A Mセルでは、分離絶縁膜 4 に形成するリセス 4 1 の幅や、上部電極 2 2 およびそのサイドウォール 2 3 の幅によっては、リセス 4 1 内に埋め込まれた上部電極 2 2 の一部であるポリシリコンが、隣接する D R A Mセルの間に露出する可能性がある。また、D R A Mセルの製造過程において、リセス 4 1 の形成工程や上部電極 2 2 の形成工程における位置合わせずれや寸法変動によっても、同じ現象が生じる。その場合、P M O Sトランジスタ T 1 , T 2 のソース / ドレイン領域 1 5 をシリサイド化する工程で、セル間に露出したポリシリコンがシリサイド層 1 5 1 と一体的なシリサイド層を形成し、セル間のショートを生じさせる恐れがある。

20

【 0 0 2 3 】

そのことを図 1 4 (a) , (b) および図 1 5 (a) , (b) を用いて説明する。これらの図は、それぞれ上記の図 2 (a) , (b) および図 4 (a) , (b) に対応している (図 1 4 (a) , (b) では、層間絶縁膜 6 , コンタクト 1 6 , ビット線 B L を省略している) 。

【 0 0 2 4 】

例えば、リセス 4 1 の形成工程でのマスクパターンの位置が左にずれ、且つ、ゲート電極 1 2 および上部電極 2 2 の形成工程でのマスクパターンの位置が右にずれると、それらの図に示すような構成になる。即ち、図 1 4 (b) 、図 1 5 (b) のように上部電極 2 2 の位置とリセス 4 1 の位置とが大きくずれ、該リセス 4 1 に埋め込まれた上部電極 2 2 の埋設部の上面が、サイドウォール 2 3 とサイドウォール 1 3 との間に露出する。その場合、図 1 5 (b) に示すように、上部電極 2 2 における埋設部のエッジ E₁ が、当該上部電極 2 2 のサイドウォール 2 3 の外側エッジ E₂ よりも外側に位置するようになる。

30

【 0 0 2 5 】

当該露出部は、シリサイド層 1 5 1 の形成工程によりシリサイド化され、シリサイド層 1 5 2 を形成する。このときシリサイド層 1 5 2 は、図 1 5 (a) に示すようにシリサイド層 1 5 1 と一体的に形成されてしまう。その結果、当該シリサイド層 1 5 2 を通して D R A Mセル間のショートが生じてしまうのである。

【 0 0 2 6 】

そこで、本実施の形態では、上部電極 2 2 を構成するポリシリコンが、ゲート電極 1 2 の延在方向に隣接する D R A Mセルの間の分離絶縁膜 4 上面に露出することが防止されるようにレイアウトを行う。即ち、本実施の形態においては、図 4 (a) 、図 4 (b) の如く、上部電極 2 2 において、埋設部のエッジ E₁ が、サイドウォール 2 3 の外側エッジ E₂ よりも内側に位置するようにする。言い換えれば、分離絶縁膜 4 のリセス 4 1 のエッジが、上部電極 2 2 およびサイドウォール 2 3 の少なくとも片方に覆われるようにする。

40

【 0 0 2 7 】

そのように構成すれば、上部電極 2 2 の埋設部のポリシリコンが、隣接する D R A Mセルの間の上面に露出しないので、上記の問題を回避できる。よって、D R A Mセル間のショートを抑制して動作信頼性を向上しつつ、ソース / ドレイン領域 1 5 の上部にシリサイド層 1 5 1 を形成することが可能になり、半導体記憶装置の高速動作化に寄与できる。

【 0 0 2 8 】

50

より好ましくは、上部電極 2 2 のみによりリセス 4 1 全体が覆われるのがよい。そのような構成すると、キャパシタ C 1 , C 2 の有効面積の減少が最小限に抑えられると共に、リセス 4 1 にサイドウォール 2 3 の一部が入り込んでしまうことに起因する平坦性の悪化が防止される。

【 0 0 2 9 】

次に、本実施の形態に係る半導記憶体装置の製造方法について説明する。図 5 ~ 図 1 3 は、当該製造方法を説明するための工程図である。各図 (a) は図 3 の A - A 線に沿った断面を示しており、各図 (b) は図 3 の B - B 線に沿った断面を示している。また、各図 (c) は、当該半導体記憶装置のロジック部などである周辺回路 (図 3 では不図示) の断面を示している。

10

【 0 0 3 0 】

まず図 5 (a) ~ (c) に示すように、シリコン基板 1 の D R A M セル領域および周辺回路領域に分離トレンチ 4 0 を形成し、その中に酸化膜 5 および分離絶縁膜 4 を形成する。より具体的には次の手順で行われる。即ち、シリコン基板 1 の上面を熱酸化して酸化膜 5 1 を形成し、その上にシリコン窒化膜を形成する。そして当該シリコン窒化膜を分離トレンチ 4 0 のパターンに開口し、その開口されたシリコン窒化膜をマスクにして、酸化膜 5 1 およびシリコン基板 1 の上部をエッチングすることにより、分離トレンチ 4 0 を形成する。その後、熱酸化により分離トレンチ 4 0 の内壁に酸化膜 5 を形成し、高密度プラズマ酸化膜により分離トレンチ 4 0 内を埋める。そして C M P によりシリコン基板 1 上面上の余剰な高密度プラズマ酸化膜を除去することで分離トレンチ 4 0 内に分離絶縁膜 4 を形成し、さらにシリコン窒化膜を除去すると図 5 の構成が得られる。

20

【 0 0 3 1 】

続いて、図 6 (a) ~ (c) のように、リセス 4 1 のパターンに開口が形成されたレジストマスク 5 2 を形成する。当該レジストマスク 5 2 をマスクにするドライエッチングにより、分離絶縁膜 4 および酸化膜 5 の上部を除去してリセス 4 1 を形成する (図 7 (a) ~ (c)) 。なお、図 7 (a) の断面においては、レジストマスク 5 2 の開口の幅が分離トレンチ 4 0 の幅よりも広いが、シリコン基板 1 と分離絶縁膜 4 および酸化膜 5 とのエッチング選択性を確保できるエッチングを行うことにより、分離絶縁膜 4 および酸化膜 5 の上部のみを除去する。このときのリセス 4 1 の深さは、分離トレンチ 4 0 の深さの半分程度が望ましい。リセス 4 1 を深くするほどキャパシタ C 1 , C 2 のそれぞれの有効面積を大きくできるが、深すぎるとキャパシタ C 1 と C 2 とにより寄生 M O S トランジスタが構成されてしまい、隣接セル間での電荷リークが生じてしまう。ここで、図 7 (b) のようにリセス 4 1 の幅を W_a とする。

30

【 0 0 3 2 】

続いて、レジストマスク 5 2 をマスクにして、P 型イオンをシリコン基板 1 に注入する (図 8 (a) ~ (c)) 。図 8 (a) の断面においてはレジストマスク 5 2 の開口の幅が分離トレンチ 4 0 の幅よりも広いので、P 型イオンはリセス 4 1 に露出した分離トレンチ 4 0 の内壁部分に注入される。このようにして、分離トレンチ 4 0 の内壁に高濃度 ($10^{20} / \text{cm}^3$ 程度) の下部拡散層 2 4 を形成する。

40

【 0 0 3 3 】

レジストマスク 5 2 および酸化膜 5 1 を除去し、シリコン基板 1 表面に犠牲酸化膜 (不図示) を形成した後、イオン注入によって、N ウェル 2 およびチャネルカット層 3 の形成や、P M O S トランジスタ T 1 , T 2 および周辺回路のトランジスタ (以下「周辺トランジスタ」) のしきい値を調整するためのチャネルドープを行う。そして犠牲酸化膜を除去した後、図 9 (a) ~ (c) のように、シリコン基板 1 の表面に酸化膜 5 3 およびポリシリコン膜 5 4 を形成する。なお、上記イオン注入はポリシリコン膜 5 4 の成膜後に行ってもよい。

【 0 0 3 4 】

その後、ポリシリコン膜 5 4 上に所定パターンのレジストマスクを形成し、それをマスクにするエッチングによりポリシリコン膜 5 4 をパターニングして、ゲート電極 1 2 およ

50

び上部電極 2 2、並びに周辺トランジスタのゲート電極 3 1 を形成する（図 1 0（a）～（c））。ここで、図 1 0（a）、（b）のように、上部電極 2 2 の幅を W_b 、ゲート電極 1 2 と上部電極 2 2 との間隔を W_c とする。

【 0 0 3 5 】

そして、ゲート電極 1 2、上部電極 2 2、周辺トランジスタのゲート電極 3 1 をマスクとするイオン注入により、PMOS トランジスタ T 1、T 2 および周辺トランジスタの LDD 層を形成する。その後、全面にシリコン窒化膜を堆積してエッチバックすることで、ゲート電極 1 2、上部電極 2 2、周辺トランジスタのゲート電極 3 1 の側面にそれぞれサイドウォール 1 3、2 3、3 4 を形成する。それと共に、酸化膜 5 3 もパターニングされ、PMOS トランジスタ T 1、T 2 のゲート酸化膜 1 1、キャパシタ C 1、C 2 の誘電体層 2 1、周辺トランジスタのゲート酸化膜 3 3 が形成される。さらに、イオン注入を行って、PMOS トランジスタ T 1、T 2 のソース/ドレイン領域 1 4、1 5、並びに周辺トランジスタのソース/ドレイン領域 3 2 を形成する（図 1 1（a）～（c））。ここで、各サイドウォール 1 3、2 3 の幅を W_d とする。

10

【 0 0 3 6 】

その後、シリサイドを形成する領域の全面に、例えばコバルトなどの金属膜を形成して熱処理を施し、未反応の金属膜を除去することにより、DRAM セル領域および周辺回路領域に、自己整合的にシリサイド層 1 2 1、1 4 1、1 5 1、2 2 1、3 1 1、3 2 1 が形成される（図 1 2（a）～（c））。

【 0 0 3 7 】

20

そして層間絶縁膜 6 を堆積してその中にコンタクト 1 6、3 5 を形成し、当該層間絶縁膜 6 の上にビット線 B L および周辺回路の配線 3 7 を形成する（図 1 3（a）～（c））。

【 0 0 3 8 】

以上の工程により、周辺回路を含む本実施の形態に係る半導体記憶装置が形成される。また、上の説明で定義した各寸法、即ちリセス 4 1 の幅 W_a 、上部電極 2 2 の幅 W_b 、ゲート電極 1 2 と上部電極 2 2 との間隔 W_c 、サイドウォール 1 3 および 2 3 の幅 W_d は、図 3 にも示されている。

【 0 0 3 9 】

本実施の形態では、上部電極 2 2 の埋設部のエッジ E_1 が、サイドウォール 2 3 の外側エッジ E_2 よりも内側に位置するようにレイアウトする。そのためには、リセス 4 1、ゲート電極 1 2、上部電極 2 2 の形成工程における位置合わせずれや寸法変動が無視できる仮定すると、図 3 から分かるように、リセス 4 1 の幅 W_a 、上部電極 2 2 の幅 W_b 、ゲート電極 1 2 と上部電極 2 2 との間隔 W_c 、サイドウォール 1 3 および 2 3 の幅 W_d が、

30

【 0 0 4 0 】

【 数 1 】

$$\frac{W_b}{2} + W_d - \frac{W_a}{2} > 0 \quad \dots \text{式 (1)}$$

40

【 0 0 4 1 】

の関係を満たせばよい。

【 0 0 4 2 】

ここで、リセス 4 1 形成工程（図 6、図 7）でのマスクパターンの位置合わせずれ量を、そのばらつきを含めて σ_1 とし、当該リセス 4 1 の幅 W_a の寸法ばらつきを σ_a とする。また、ゲート電極 1 2 および上部電極 2 2 の形成工程（図 1 0）でのマスクパターンの位置合わせずれ量をそのばらつきを含めて σ_2 とし、上部電極 2 2 の幅 W_b の寸法ばらつきを σ_b 、ゲート電極 1 2 と上部電極 2 2 との間隔 W_c の寸法ばらつきを σ_c 、サイドウォール 1 3 の幅 W_d の寸法ばらつきを σ_d とする。

【 0 0 4 3 】

50

その場合、形成されたＤＲＡＭセルにおいて、上記の寸法 W_a 、 W_b 、 W_d が上記の式（１）を満たすようにするためには、寸法 W_a 、 W_b 、 W_d それぞれの設計値（例えば、マスクパターンにおける寸法） W_{a0} 、 W_{b0} 、 W_{d0} を、それらが

【００４４】

【数２】

$$\frac{W_{b0}}{2} + W_{d0} - \frac{W_{a0}}{2} > \sqrt{\sigma_1^2 + \sigma_2^2 + \sigma_a^2 + \sigma_b^2 + \sigma_d^2} \quad \cdots \text{式}(2)$$

【００４５】

10

の関係を満たすように決定することが望ましい。

【００４６】

また、本実施の形態では、ソース／ドレイン領域１５の上部にシリサイド層１５１を形成するので、シリサイド層１５１の形成工程（図１３）において、当該ソース／ドレイン領域１５が露出する必要がある。つまり、ゲート電極１２側面のサイドウォール１３と上部電極２２側面のサイドウォール２３とが互いに離れている必要がある。従って、ゲート電極１２と上部電極２２との間隔 W_c とサイドウォール１３および２３の幅 W_d が、

【００４７】

【数３】

20

$$W_c - 2W_d > 0 \quad \cdots \text{式}(3)$$

【００４８】

の関係を満たす必要がある。その場合、上記の寸法 W_c 、 W_d がそれぞれに対応する設計値（例えば、マスクパターンにおける寸法） W_{c0} 、 W_{d0} を、それらが

【００４９】

【数４】

$$W_{c0} - 2W_{d0} > \sigma_c + 2\sigma_d \quad \cdots \text{式}(4)$$

30

【００５０】

の関係を満たすように決定することが望ましい。

【００５１】

上記の寸法 W_a 、 W_b 、 W_c 、 W_d それぞれの設計値 W_{a0} 、 W_{b0} 、 W_{c0} 、 W_{d0} を、それらが式（２）および式（４）を満たすように決定することにより、形成されたＤＲＡＭセルにおいて式（１）および式（３）が確実に満たされるようになる。

【００５２】

即ち、上部電極２２において、埋設部のエッジ E_1 がサイドウォール２３の外側エッジ E_2 よりも内側に位置し、且つ、ソース／ドレイン領域１５の上部にシリサイド層１５１を形成可能であるＤＲＡＭセルを確実に形成することができる。従って、セル間のショートを抑制して半導体記憶装置の動作信頼性を向上できると共に、各ＤＲＡＭセルにおいてアクセストラジスタとキャパシタとの間の接続抵抗が小さくなり、半導体記憶装置の高速動作化に寄与できる。

40

【図面の簡単な説明】

【００５３】

【図１】一般的なＤＲＡＭセルの回路図である。

【図２】実施の形態に係る半導体記憶装置が備えるＤＲＡＭセルの断面図である。

【図３】実施の形態に係るＤＲＡＭセルアレイの上面図である。

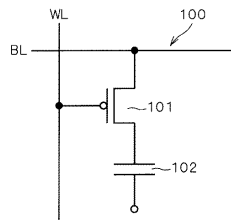
50

- 【図 4】実施の形態に係る D R A Mセルの構成を示す斜視図である。
 【図 5】実施の形態に係る D R A Mセルの製造方法を示す工程図である。
 【図 6】実施の形態に係る D R A Mセルの製造方法を示す工程図である。
 【図 7】実施の形態に係る D R A Mセルの製造方法を示す工程図である。
 【図 8】実施の形態に係る D R A Mセルの製造方法を示す工程図である。
 【図 9】実施の形態に係る D R A Mセルの製造方法を示す工程図である。
 【図 10】実施の形態に係る D R A Mセルの製造方法を示す工程図である。
 【図 11】実施の形態に係る D R A Mセルの製造方法を示す工程図である。
 【図 12】実施の形態に係る D R A Mセルの製造方法を示す工程図である。
 【図 13】製造方法を説明するための工程図である。
 【図 14】従来の D R A Mセルにおける問題を説明するための図である。
 【図 15】従来の D R A Mセルにおける問題を説明するための図である。
 【符号の説明】

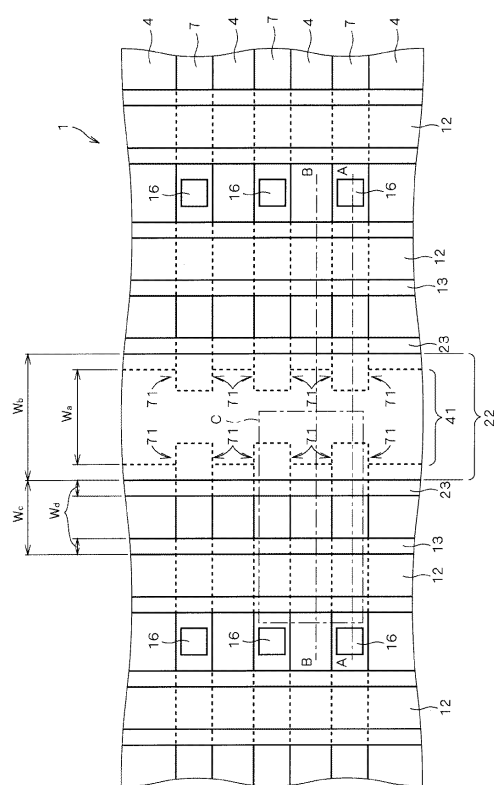
【 0 0 5 4 】

1 シリコン基板、2 Nウェル、3 チャンネルカット層、4 分離絶縁膜、5 酸化膜、6 層間絶縁膜、7 活性領域、11 ゲート酸化膜、12 ゲート電極、13, 23 サイドウォール、14 ソース/ドレイン領域、15 ソース/ドレイン領域、16 コンタクト、21 誘電体層、22 上部電極、24 下部拡散層、40 分離トレンチ、41 リセス、121, 141, 151, 221 シリサイド層、T1, T2 P M O S トランジスタ、C1, C2 キャパシタ。

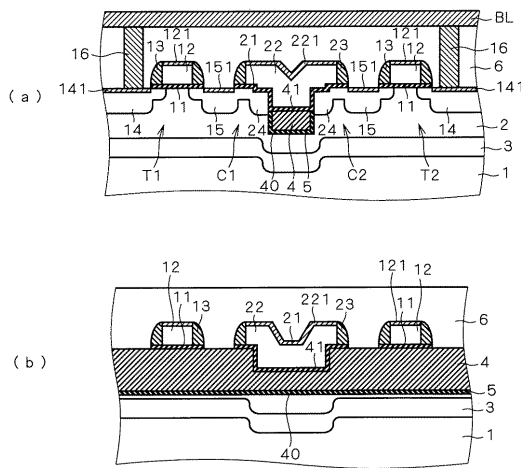
【図 1】



【図 3】



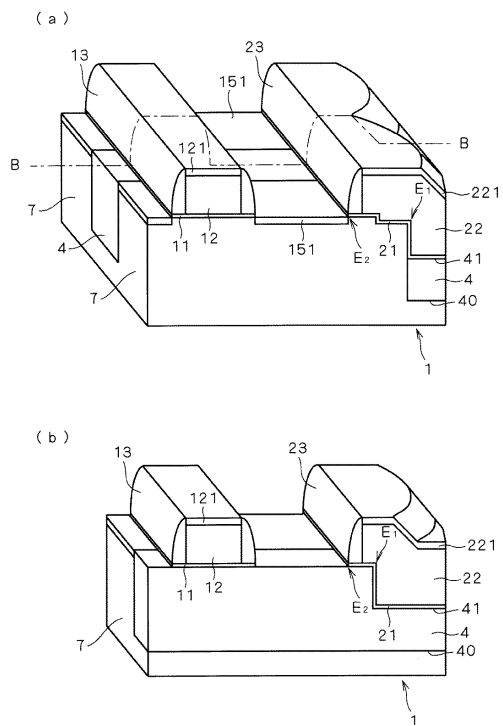
【図 2】



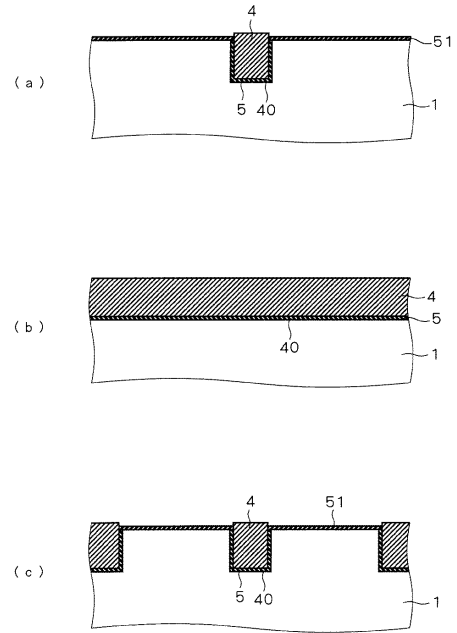
10

20

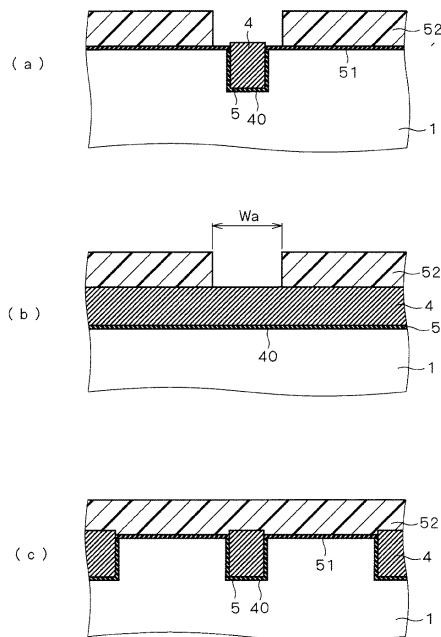
【図 4】



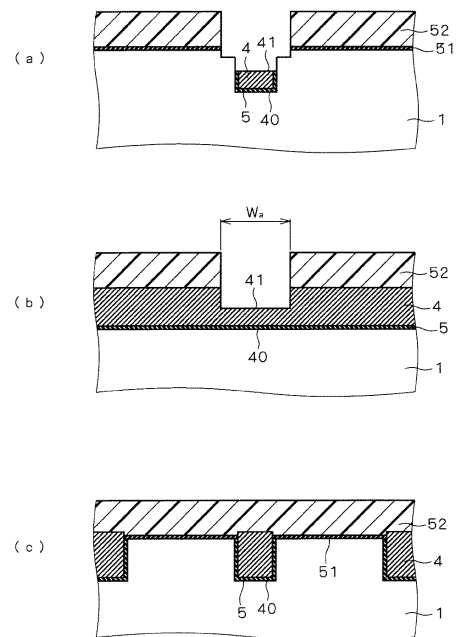
【図 5】



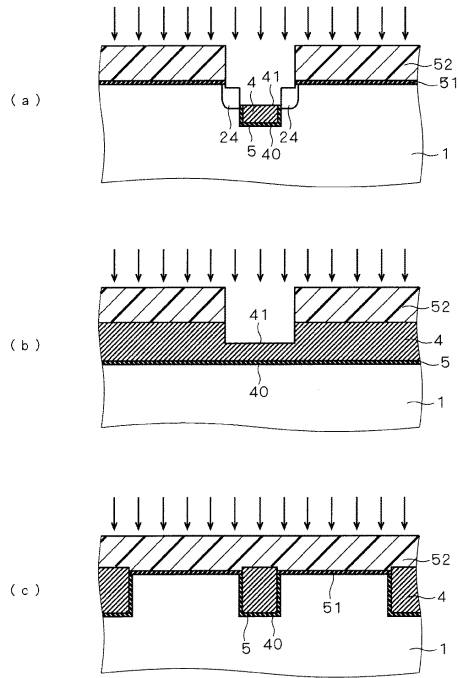
【図 6】



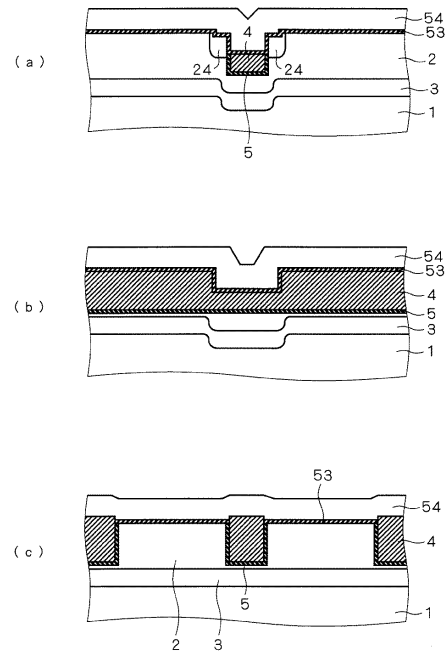
【図 7】



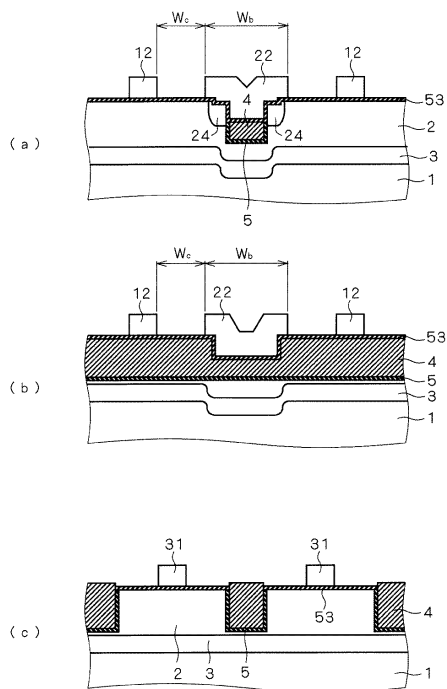
【図 8】



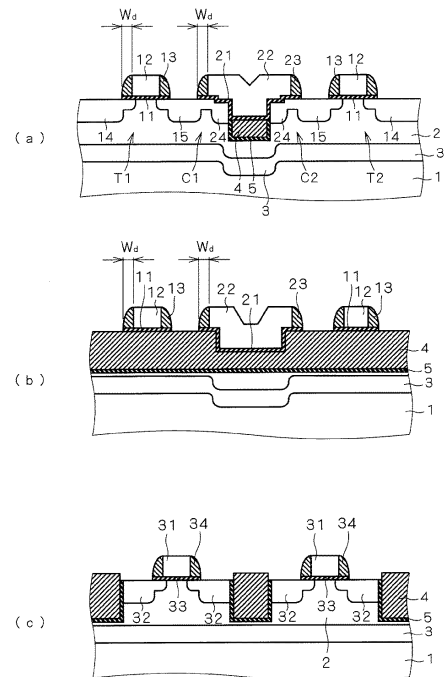
【図 9】



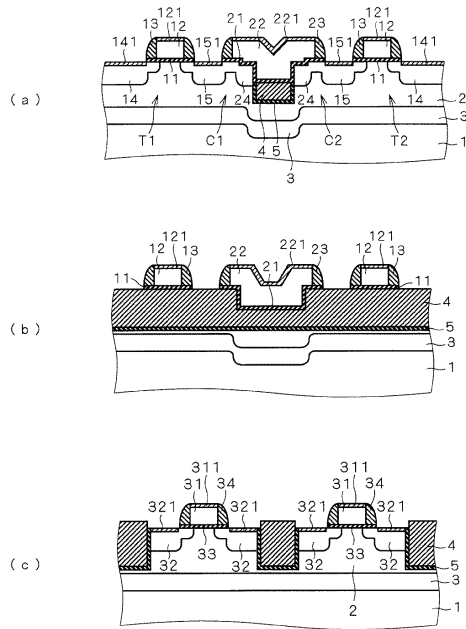
【図 10】



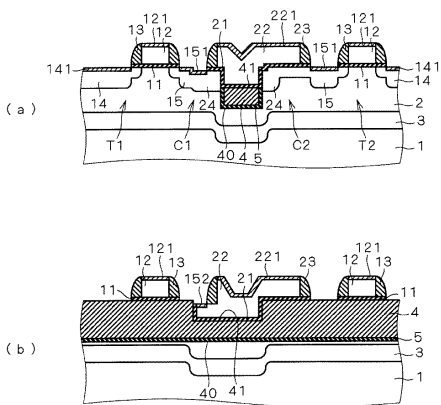
【図 11】



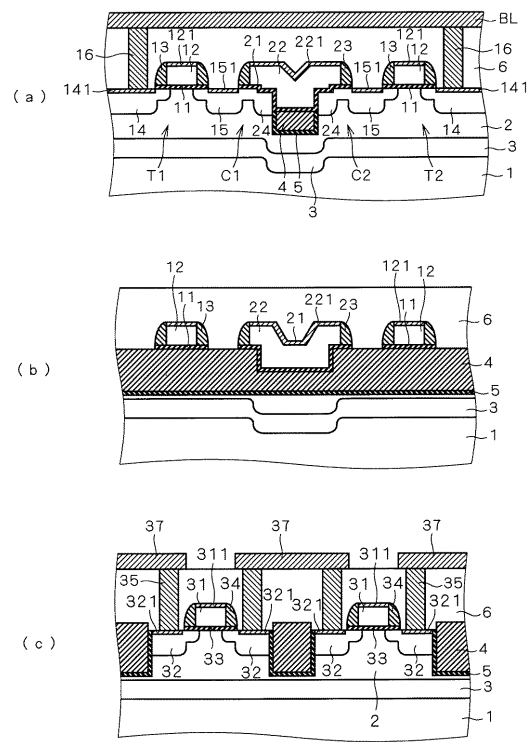
【 図 1 2 】



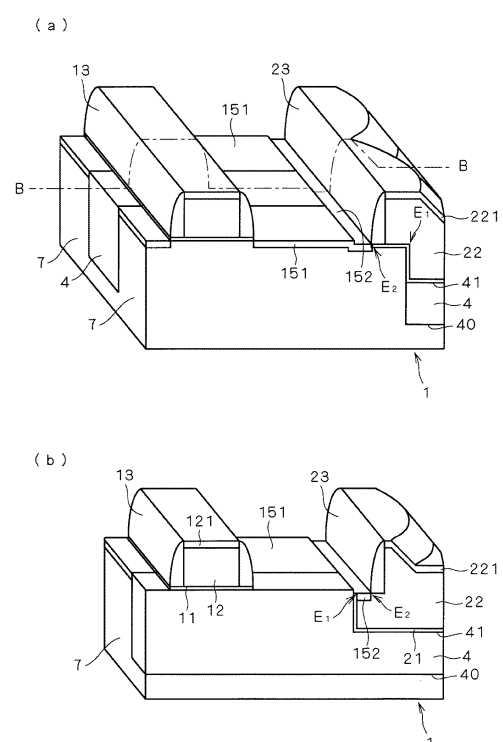
【 図 1 4 】



【 図 1 3 】



【 図 1 5 】



フロントページの続き

- (72)発明者 藤石 義隆
東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内
(72)発明者 関川 宏昭
東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内

審査官 正山 旭

- (56)参考文献 特開2004-311853(JP,A)
特開2004-172643(JP,A)
特開2006-046413(JP,A)

- (58)調査した分野(Int.Cl., DB名)
H01L 21/8242
H01L 27/108