



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H01L 21/66 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년07월06일 10-0736680 2007년07월02일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2006-0075650 2006년08월10일 2006년08월10일	(65) 공개번호 (43) 공개일자
----------------------------------	---	------------------------

(73) 특허권자	주식회사 유니테스트 경기도 용인시 기흥구 고매동 352-9
(72) 발명자	강종구 경기 용인시 기흥구 지곡동 써니밸리아파트 114-1405
(74) 대리인	특허법인지명
(56) 선행기술조사문헌	US20060010358 A1

심사관 : 김동국

전체 청구항 수 : 총 13 항

(54) 반도체 소자 테스트 장치의 캘리브레이션 방법

(57) 요약

본 발명은 채널간의 타이밍 차이가 없도록 딜레이 소자를 통해 교정하고 프로그램 가능한 딜레이 소자의 선형성을 보정함으로써 사용자가 용이하게 타이밍을 조절할 수 있는 반도체 소자 테스트 장치의 캘리브레이션 방법에 관한 것이다. 본 발명에 따른 디스큐 캘리브레이션 방법은 복수개의 DUT를 동시에 테스트하기 위한 복수개의 드라이브 채널과, 복수개의 입력 채널 및 복수개의 출력 채널로 구성되는 복수개의 IO(Input/Output) 채널을 포함하는 반도체 소자 테스트 장치의 스큐를 제거하는 디스큐 캘리브레이션 방법에 있어서, (a) 상기 복수개의 드라이브 채널 중 선택된 어느 하나의 드라이브 채널과 상기 복수개의 출력 채널을 연결하는 제1 캘리브레이션 보드를 이용하여 상기 선택된 드라이브 채널의 드라이브 신호(DR)를 기준으로 상기 복수개의 출력 채널의 출력 신호(IO_CP)를 정렬하는 단계; (b) 상기 복수개의 드라이브 채널과 상기 복수개의 출력 채널을 1:1로 연결하는 제2 캘리브레이션 보드를 이용하여 상기 정렬된 복수개의 출력 신호(IO_CP)를 기준으로 상기 복수개의 드라이브 채널의 드라이브 신호(DR)를 정렬하는 단계; 및 (c) 상기 복수개의 입력 채널과 상기 복수개의 출력 채널을 1:1로 연결하는 DUT 인터페이스 보드를 이용하여 상기 정렬된 복수개의 출력 신호(IO_CP)를 기준으로 복수개의 입력 신호(IO_DR)를 정렬하는 단계를 포함하는 것을 특징으로 한다.

대표도

도 4

특허청구의 범위

청구항 1.

복수개의 DUT를 동시에 테스트하기 위한 복수개의 드라이브 채널과, 복수개의 입력 채널 및 복수개의 출력 채널로 구성되는 복수개의 IO(Input/Output) 채널을 포함하는 반도체 소자 테스트 장치의 스큐를 제거하는 디스큐 캘리브레이션 방법에 있어서,

- (a) 상기 복수개의 드라이브 채널 중 선택된 어느 하나의 드라이브 채널과 상기 복수개의 출력 채널을 연결하는 제1 캘리브레이션 보드를 이용하여 상기 선택된 드라이브 채널의 드라이브 신호(DR)를 기준으로 상기 복수개의 출력 채널의 출력 신호(IO_CP)를 정렬하는 단계;
- (b) 상기 복수개의 드라이브 채널과 상기 복수개의 출력 채널을 1:1로 연결하는 제2 캘리브레이션 보드를 이용하여 상기 정렬된 복수개의 출력 신호(IO_CP)를 기준으로 상기 복수개의 드라이브 채널의 드라이브 신호(DR)를 정렬하는 단계; 및
- (c) 상기 복수개의 입력 채널과 상기 복수개의 출력 채널을 1:1로 연결하는 DUT 인터페이스 보드를 이용하여 상기 정렬된 복수개의 출력 신호(IO_CP)를 기준으로 복수개의 입력 신호(IO_DR)를 정렬하는 단계

를 포함하는 것을 특징으로 하는 디스큐 캘리브레이션 방법.

청구항 2.

제1항에 있어서,

상기 (a) 단계는

상기 선택된 드라이브 채널에 펄스 신호를 인가하여 상기 복수개의 출력 채널의 출력 신호(IO_CP)를 정렬하는 단계; 및

상기 선택된 드라이브 채널에 PRBS(Pseudo-Random Bit Sequence) 신호를 인가하여 상기 복수개의 출력 채널의 출력 신호(IO_CP)를 정렬하는 단계

를 포함하는 것을 특징으로 하는 디스큐 캘리브레이션 방법.

청구항 3.

제1항에 있어서,

상기 (b) 단계는

상기 복수개의 드라이브 채널에 펄스 신호를 인가하여 상기 복수개의 드라이브 채널의 드라이브 신호(DR)를 정렬하는 단계; 및

상기 복수개의 드라이브 채널에 PRBS(Pseudo-Random Bit Sequence) 신호를 인가하여 상기 복수개의 드라이브 채널의 드라이브 신호(DR)를 정렬하는 단계

를 포함하는 것을 특징으로 하는 디스큐 캘리브레이션 방법.

청구항 4.

제1항에 있어서,

상기 (c) 단계는

상기 복수개의 입력 채널에 펄스 신호를 인가하여 상기 복수개의 입력 신호(IO_DR)를 정렬하는 단계; 및

상기 복수개의 입력 채널에 PRBS(Pseudo-Random Bit Sequence) 신호를 인가하여 상기 복수개의 입력 신호(IO_DR)를 정렬하는 단계

를 포함하는 것을 특징으로 하는 디스큐 캘리브레이션 방법.

청구항 5.

복수개의 DUT를 동시에 테스트하기 위한 복수개의 드라이브 채널과, 복수개의 입력 채널 및 복수개의 출력 채널로 구성되는 복수개의 IO(Input/Output) 채널을 포함하는 반도체 소자 테스트 장치를 캘리브레이션하는 버니어 캘리브레이션 방법에 있어서,

(a) 상기 복수개의 드라이브 채널과 상기 복수개의 입력 채널을 1:1로 연결하는 제2 캘리브레이션 보드를 장착하는 단계;

(b) 상기 출력 채널의 디스큐의 딜레이 값을 고정하고 상기 드라이브 채널의 디스큐의 딜레이 코드값을 변경하여 상기 드라이브 채널에 관한 룩업 테이블을 생성하는 단계;

(c) 상기 드라이브 채널의 디스큐의 딜레이 값을 고정하고 상기 출력 채널의 디스큐의 딜레이 코드값을 변경하여 상기 출력 채널에 관한 룩업 테이블을 생성하는 단계;

(d) 상기 복수개의 입력 채널과 상기 복수개의 출력 채널을 1:1로 연결하는 DUT 인터페이스 보드를 장착하는 단계; 및

(e) 상기 출력 채널의 디스큐의 딜레이 값을 고정하고 상기 입력 채널의 디스큐의 딜레이 코드값을 변경하여 상기 입력 채널에 관한 룩업 테이블을 생성하는 단계

를 포함하는 것을 특징으로 하는 버니어 캘리브레이션 방법.

청구항 6.

제5항에 있어서,

상기 (b) 단계는

(b-1) 상기 드라이브 채널의 디스큐의 딜레이 코드값을 변경하면서 각 딜레이 코드값에 따른 실측 딜레이를 구하는 단계;

(b-2) 상기 드라이브 채널의 디스큐에 프로그램하고자 하는 딜레이에 가장 근사한 실측 딜레이를 선택하는 단계; 및

(b-3) 상기 (b-2) 단계에서 선택된 가장 근사한 실측 딜레이와 해당 딜레이 코드값으로 상기 드라이브 채널에 관한 룩업 테이블을 생성하는 단계

를 포함하는 것을 특징으로 하는 버니어 캘리브레이션 방법.

청구항 7.

제5항에 있어서,

상기 (c) 단계는

(c-1) 상기 출력 채널의 디스큐의 딜레이 코드값을 변경하면서 각 딜레이 코드값에 따른 실측 딜레이를 구하는 단계;

(c-2) 상기 출력 채널의 디스큐에 프로그램하고자 하는 딜레이에 가장 근사한 실측 딜레이를 선택하는 단계; 및

(c-3) 상기 (c-2) 단계에서 선택된 가장 근사한 실측 딜레이와 해당 딜레이 코드값으로 상기 출력 채널에 관한 록업 테이블을 생성하는 단계

를 포함하는 것을 특징으로 하는 버니어 캘리브레이션 방법.

청구항 8.

제5항에 있어서,

상기 (e) 단계는

(e-1) 상기 입력 채널의 디스큐의 딜레이 코드값을 변경하면서 각 딜레이 코드값에 따른 실측 딜레이를 구하는 단계;

(e-2) 상기 입력 채널의 디스큐에 프로그램하고자 하는 딜레이에 가장 근사한 실측 딜레이를 선택하는 단계; 및

(e-1) 상기 (e-2) 단계에서 선택된 가장 근사한 실측 딜레이와 해당 딜레이 코드값으로 상기 입력 채널에 관한 록업 테이블을 생성하는 단계

를 포함하는 것을 특징으로 하는 버니어 캘리브레이션 방법.

청구항 9.

제6항 내지 제8항 중 어느 한 항에 있어서,

상기 딜레이 코드값을 상기 선택된 가장 근사한 실측 딜레이에 따라 정렬하는 단계를 포함하는 것을 특징으로 하는 버니어 캘리브레이션 방법.

청구항 10.

제6항에 있어서,

상기 (b-1) 단계는

(b-11) 상기 제2 캘리브레이션 보드에 제1 논리값과 상기 제1 신호의 반전값

인 제2 논리값을 교대로 인가하는 단계;

(b-21) 상기 IO(Input/Output) 채널을 거쳐 돌아온 제1 논리값 및 제2 논리

값으로 이루어진 리턴 신호의 주파수를 측정하는 단계; 및

(b-31) 상기 주파수로부터 실측 딜레이를 구하는 단계

를 포함하는 것을 특징으로 하는 버니어 캘리브레이션 방법.

청구항 11.

제7항에 있어서,

상기 (c-1) 단계는

(c-11) 상기 제2 캘리브레이션 보드에 제1 논리값과 상기 제1 신호의 반전값인 제2 논리값을 교대로 인가하는 단계;

(c-21) 상기 IO(Input/Output) 채널을 거쳐 돌아온 제1 논리값 및 제2 논리값으로 이루어진 리턴 신호의 주파수를 측정하는 단계; 및

(c-31) 상기 주파수로부터 실측 딜레이를 구하는 단계

를 포함하는 것을 특징으로 하는 버니어 캘리브레이션 방법.

청구항 12.

제8항에 있어서,

상기 (e-1) 단계는

(e-11) 상기 DUT 인터페이스 보드에 제1 논리값과 상기 제1 신호의 반전값인 제2 논리값을 교대로 인가하는 단계;

(e-21) 상기 IO(Input/Output) 채널을 거쳐 돌아온 제1 논리값 및 제2 논리값으로 이루어진 리턴 신호의 주파수를 측정하는 단계; 및

(e-31) 상기 주파수로부터 실측 딜레이를 구하는 단계

를 포함하는 것을 특징으로 하는 버니어 캘리브레이션 방법.

청구항 13.

복수개의 DUT를 동시에 테스트하기 위한 복수개의 드라이브 채널과, 복수개의 입력 채널 및 복수개의 출력 채널로 구성되는 복수개의 IO(Input/Output) 채널을 포함하는 반도체 소자 테스트 장치의 캘리브레이션 방법에 있어서,

(a) 상기 복수개의 드라이브 채널 중 선택된 어느 하나의 드라이브 채널과 상기 복수개의 출력 채널을 연결하는 제1 캘리브레이션 보드를 이용하여 상기 선택된 드라이브 채널의 드라이브 신호(DR)를 기준으로 상기 복수개의 출력 채널의 출력 신호(IO_CP)를 정렬하는 단계;

(b) 상기 복수개의 드라이브 채널과 상기 복수개의 출력 채널을 1:1로 연결하는 제2 캘리브레이션 보드를 이용하여 상기 정렬된 복수개의 출력 신호(IO_CP)를 기준으로 상기 복수개의 드라이브 채널의 드라이브 신호(DR)를 정렬하는 단계;

(c) 상기 복수개의 입력 채널과 상기 복수개의 출력 채널을 1:1로 연결하는 DUT 인터페이스 보드를 이용하여 상기 정렬된 복수개의 출력 신호(IO_CP)를 기준으로 복수개의 입력 신호(IO_DR)를 정렬하는 단계;

(d) 상기 제2 캘리브레이션 보드를 장착한 후 상기 출력 채널의 디스큐의 딜레이 값을 고정하고 상기 드라이브 채널의 디스큐의 딜레이 코드값을 변경하여 상기 드라이브 채널에 관한 룩업 테이블을 생성하는 단계;

(e) 상기 드라이브 채널의 디스큐의 딜레이 값을 고정하고 상기 출력 채널의 디스큐의 딜레이 코드값을 변경하여 상기 출력 채널에 관한 록업 테이블을 생성하는 단계;

(f) 상기 DUT 인터페이스 보드를 장착한 후 상기 출력 채널의 디스큐의 딜레이 값을 고정하고 상기 입력 채널의 디스큐의 딜레이 코드값을 변경하여 상기 입력 채널에 관한 록업 테이블을 생성하는 단계

를 포함하는 것을 특징으로 하는 캘리브레이션 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자 테스트 장치의 캘리브레이션(calibration) 방법에 관한 것으로, 특히 채널간의 타이밍 차이가 없도록 딜레이 소자를 통해 교정하고 프로그램 가능한 딜레이 소자의 선형성을 보정함으로써 사용자가 용이하게 타이밍을 조절할 수 있는 반도체 소자 테스트 장치의 캘리브레이션 방법에 관한 것이다.

반도체 시험 장치의 핀 일렉트로닉스에는, 피측정 디바이스(DUT)에 신호를 인가하는 드라이버나, 이 신호에 대응해서서 피측정 디바이스로부터 출력되는 신호의 논리를 판정하는 비교기가 포함되어 있다. 드라이버는, 입력되는 클럭 신호에 동기된 신호의 출력 동작을 한다. 또한, 비교기는 입력되는 스트로브 신호에 동기 한 판정 동작을 한다.

그런데, 반도체 시험 장치의 초기 상태에서는, 피측정 디바이스의 각 입출력 핀 마다 신호 경로의 시간 길이에 격차가 있기 때문에, 드라이버로부터 신호를 출력하는 타이밍이나 콤퍼레이터에 의한 판정 타이밍이 기대하는 타이밍으로부터 어긋나게 된다. 따라서, 피측정 디바이스에 대해서 각종의 시험을 실시하기 전에, 타이밍 캘리브레이션을 필요로 한다.

도 1은 반도체 시험 장치의 타이밍 캘리브레이션을 실시하는 종래 구성을 도시한 도면이다. 도 1을 참조하면, 반도체 시험 장치 본체(90)는, 퍼포먼스 보드(92)에 갖춰진 전용의 케이블(93)을 통해서 소켓 보드(94)에 접속되고 있다. 예를 들면, BGA(Ball Grid Array) 타입의 패키지를 가지는 피측정 디바이스에 대해서 각종의 시험을 실시하는 경우에는, 표면에 다수의 포고핀이 설치된 소켓 보드(94)가 이용된다. 테스트 보드(96)는 소켓 보드(94)의 표면에 설치된 이러한 포고핀에 기준 드라이버/비교기(DR/CP)부(98)로부터 나타난 프로브(99)를 접촉시키는 작업을 용이하게 하기 위해서 이용되며, 표면과 이면에 각각 설치된 패드가 내부에서 전기적으로 접속된 구조를 가지고 있다.

도 2는 도 1에 도시된 종래 구성의 전기적인 배치도이다. 반도체 시험 장치 본체(90)는 복수조의 드라이버와 비교기를 구비하고 있으며, 각 조의 드라이버와 비교기가 퍼포먼스 보드(PB)(92) 및 소켓 보드(SB)(94)를 통해서 공통의 디바이스 소켓단에 접속되고 있다.

도 3은 종래의 타이밍 캘리브레이션의 개요를 도시한 도면이다. 도 3에 도시된 바와 같이, 반도체 시험 장치의 초기 상태에 대해서는, 복수개의 드라이버 DR1~DRn와 복수개의 콤퍼레이터 CP1~CPn에 각각 입력되는 클럭 신호 CLK1~CLKn와 스트로브 신호 STB1~STBn의 위상(skew)이 일치하지 않는다. 따라서, 이러한 위상의 불일치를 제거할 필요성이 있다.

또한, 실제 반도체 테스트 장치에서는 인가된 신호가 전달 경로를 거쳐 돌아오는데 필요한 시간인 왕복 지연 시간이 존재하는데, 이러한 왕복 지연 시간을 프로그램 작성시 반영할 수 있도록 하여야 한다.

발명이 이루고자 하는 기술적 과제

본 발명은 반도체 소자 테스트 장치에서 발생하는 스큐(skew)를 제거하고 실제 왕복 지연을 프로그램 작성시 반영할 수 있는 반도체 소자 테스트 장치의 캘리브레이션 방법을 제공하는 것을 그 목적으로 한다.

발명의 구성

본 발명에 따른 디스큐 캘리브레이션 방법은 복수개의 DUT를 동시에 테스트하기 위한 복수개의 드라이브 채널과, 복수개의 입력 채널 및 복수개의 출력 채널로 구성되는 복수개의 IO(Input/Output) 채널을 포함하는 반도체 소자 테스트 장치의 스큐를 제거하는 디스큐 캘리브레이션 방법에 있어서, (a) 상기 복수개의 드라이브 채널 중 선택된 어느 하나의 드라이브 채널과 상기 복수개의 출력 채널을 연결하는 제1 캘리브레이션 보드를 이용하여 상기 선택된 드라이브 채널의 드라이브 신호(DR)를 기준으로 상기 복수개의 출력 채널의 출력 신호(IO_CP)를 정렬하는 단계; (b) 상기 복수개의 드라이브 채널과 상기 복수개의 출력 채널을 1:1로 연결하는 제2 캘리브레이션 보드를 이용하여 상기 정렬된 복수개의 출력 신호(IO_CP)를 기준으로 상기 복수개의 드라이브 채널의 드라이브 신호(DR)를 정렬하는 단계; 및 (c) 상기 복수개의 입력 채널과 상기 복수개의 출력 채널을 1:1로 연결하는 DUT 인터페이스 보드를 이용하여 상기 정렬된 복수개의 출력 신호(IO_CP)를 기준으로 복수개의 입력 신호(IO_DR)를 정렬하는 단계를 포함하는 것을 특징으로 한다.

본 발명에 따른 버니어 캘리브레이션 방법은 복수개의 DUT를 동시에 테스트하기 위한 복수개의 드라이브 채널과, 복수개의 입력 채널 및 복수개의 출력 채널로 구성되는 복수개의 IO(Input/Output) 채널을 포함하는 반도체 소자 테스트 장치를 캘리브레이션하는 버니어 캘리브레이션 방법에 있어서, (a) 상기 복수개의 드라이브 채널과 상기 복수개의 입력 채널을 1:1로 연결하는 제2 캘리브레이션 보드를 장착하는 단계; (b) 상기 출력 채널의 디스큐의 딜레이 값을 고정하고 상기 드라이브 채널의 디스큐의 딜레이 코드값을 변경하여 상기 드라이브 채널에 관한 록업 테이블을 생성하는 단계; (c) 상기 드라이브 채널의 디스큐의 딜레이 값을 고정하고 상기 출력 채널의 디스큐의 딜레이 코드값을 변경하여 상기 출력 채널에 관한 록업 테이블을 생성하는 단계; (d) 상기 복수개의 입력 채널과 상기 복수개의 출력 채널을 1:1로 연결하는 DUT 인터페이스 보드를 장착하는 단계; 및 (e) 상기 출력 채널의 디스큐의 딜레이 값을 고정하고 상기 입력 채널의 디스큐의 딜레이 코드값을 변경하여 상기 입력 채널에 관한 록업 테이블을 생성하는 단계를 포함하는 것을 특징으로 한다.

본 발명에 따른 반도체 소자 테스트 장치의 캘리브레이션 방법은 복수개의 DUT를 동시에 테스트하기 위한 복수개의 드라이브 채널과, 복수개의 입력 채널 및 복수개의 출력 채널로 구성되는 복수개의 IO(Input/Output) 채널을 포함하는 반도체 소자 테스트 장치의 캘리브레이션 방법에 있어서, (a) 상기 복수개의 드라이브 채널 중 선택된 어느 하나의 드라이브 채널과 상기 복수개의 출력 채널을 연결하는 제1 캘리브레이션 보드를 이용하여 상기 선택된 드라이브 채널의 드라이브 신호(DR)를 기준으로 상기 복수개의 출력 채널의 출력 신호(IO_CP)를 정렬하는 단계; (b) 상기 복수개의 드라이브 채널과 상기 복수개의 출력 채널을 1:1로 연결하는 제2 캘리브레이션 보드를 이용하여 상기 정렬된 복수개의 출력 신호(IO_CP)를 기준으로 상기 복수개의 드라이브 채널의 드라이브 신호(DR)를 정렬하는 단계; (c) 상기 복수개의 입력 채널과 상기 복수개의 출력 채널을 1:1로 연결하는 DUT 인터페이스 보드를 이용하여 상기 정렬된 복수개의 출력 신호(IO_CP)를 기준으로 복수개의 입력 신호(IO_DR)를 정렬하는 단계; (d) 상기 제2 캘리브레이션 보드를 장착한 후 상기 출력 채널의 디스큐의 딜레이 값을 고정하고 상기 드라이브 채널의 디스큐의 딜레이 코드값을 변경하여 상기 드라이브 채널에 관한 록업 테이블을 생성하는 단계; (e) 상기 드라이브 채널의 디스큐의 딜레이 값을 고정하고 상기 출력 채널의 디스큐의 딜레이 코드값을 변경하여 상기 출력 채널에 관한 록업 테이블을 생성하는 단계; (f) 상기 DUT 인터페이스 보드를 장착한 후 상기 출력 채널의 디스큐의 딜레이 값을 고정하고 상기 입력 채널의 디스큐의 딜레이 코드값을 변경하여 상기 입력 채널에 관한 록업 테이블을 생성하는 단계를 포함하는 것을 특징으로 한다.

이하에서는, 본 발명에 따른 바람직한 실시예를 첨부된 도면을 참조하여 상세히 설명한다.

반도체 소자 테스트 장치의 캘리브레이션은 크게 세가지로 분류할 수 있다. 먼저, 드라이버 채널 및 IO(Input/Output) 채널에서 발생하는 스큐를 제거하기 위한 디스큐 캘리브레이션이 있으며, 신호 경로의 왕복 지연 시간을 측정하여 측정된 왕복 지연 시간에 따라 프로그램 딜레이를 결정하는 버니어 캘리브레이션(vernier calibration)이 있다. 또한, DUT(Device Under Test) 인터페이스 보드를 모델링하고 이에 따라 캘리브레이션을 수행하는 DUT 의존 캘리브레이션(DUT dependent calibration)이 있다.

본 발명에 따른 캘리브레이션 방법은 상기 세가지 캘리브레이션 방법에 관한 것으로, 이하에서는, 본 발명에 따른 각 캘리브레이션에 대하여 상세히 설명한다.

1. 디스큐 캘리브레이션(deskew calibration)

반도체 소자 테스트 장치는 복수개의 DUT를 동시에 테스트하기 위하여 테스트 패턴 신호를 생성하는 패턴 생성 보드(PGB: Pattern Generation Board)와 N개의 DUT가 장착되는 DUT 인터페이스 보드를 포함한다.

패턴 생성 보드와 DUT 인터페이스 보드 사이에는 복수개의 DUT를 제어하기 위한 드라이브 신호(DR)를 복수개의 DUT에 전달하는 복수개의 드라이브 채널과 테스트 신호를 전달하고 DUT에 저장된 데이터를 판독하기 위한 복수개의 IO(Input/Output) 채널이 형성된다.

드라이브 채널은 IO(Input/Output) 채널과 달리 페루프형 신호 경로가 형성되지 않으며, DUT단까지만 드라이브 신호가 전달되고 터미네이션된다. 반면, DUT에 다양한 데이터를 기입한 후 이를 다시 판독하여 예상 데이터(expected data)와 일치하는지 확인하기 위한 상기 IO(Input/Output) 채널은 DUT에 데이터를 기입하기 위한 입력 채널과 DUT에 저장된 데이터를 판독하여 데이터 비교기에 전달하는 출력 채널을 포함한다. 즉, 반도체 소자 테스트 장치는 입력 채널을 통하여 DUT에 입력 신호(IO_DR)를 기록하고, 출력 채널을 통하여 출력 신호(IO_CP)를 데이터 비교기에 전달한다.

상술한 복잡한 경로를 거쳐 DUT의 테스트가 진행되므로 DUT에 전달되는 신호 간에는 위상차가 발생하며, 이러한 위상차를 제거하기 위하여 디스큐 캘리브레이션을 수행한다.

도 4 및 도 5는 본 발명에 따른 반도체 소자 테스트 장치의 캘리브레이션 방법에 사용되는 캘리브레이션 보드를 도시한 도면이며, 도 6은 본 발명에 따른 반도체 소자 테스트 장치의 캘리브레이션 방법에 사용되는 DUT 인터페이스 보드를 도시한 도면이다.

본 발명에 따른 디스큐 캘리브레이션 방법은 도 4 및 도 5에 도시된 제1 및 제2 캘리브레이션 보드와 DUT를 장착하기 위한 DUT 인터페이스 보드를 사용하여 캘리브레이션이 수행된다. 캘리브레이션 보드는 DUT 인터페이스 보드를 대신하여 DUT 인터페이스 보드가 장착되는 위치에 장착되어 사용자가 지정한 경로를 형성하는 기능을 수행한다.

먼저, 복수개의 DUT를 동시에 테스트하기 위한 복수개의 드라이브 채널과 복수개의 IO(Input/Output) 채널이 패턴 생성 보드와 캘리브레이션 보드 또는 DUT 인터페이스 보드 간에 형성된다고 가정한다. 각 IO(Input/Output) 채널은 패턴 생성 보드와 캘리브레이션 보드 또는 DUT 인터페이스 보드 사이에 형성되는 복수개의 입력 채널과 캘리브레이션 보드 또는 DUT 인터페이스 보드와 데이터 비교기 사이에 형성되는 복수개의 출력 채널을 포함한다.

본 발명에 따른 반도체 소자 테스트 장치의 캘리브레이션 방법은 도 7의 회로를 사용하여 수행된다. 도 7에 도시된 회로는 통상적으로 사용되는 반도체 소자 테스트 장치에 본 발명에 따른 캘리브레이션 보드를 장착하여 캘리브레이션에 필요한 데이터 경로를 형성한 경우를 도시하고 있다. 도 7은 별도의 반도체 소자 테스트 장치가 아니고 반도체 소자 테스트 장치에 캘리브레이션 보드를 장착하여 캘리브레이션에 필요한 데이터 경로를 형성한 것이다.

도 7에 도시된 반도체 소자 테스트 장치는 패턴 생성 보드(100)와 캘리브레이션 보드 또는 DUT 인터페이스(200)를 포함한다. 패턴 생성 보드(100)는 소정의 패턴을 생성하는 펄스 신호 발생부(110a) 및 PRBS 신호 발생부(110b)를 포함하는 ALPG(110) 및 MUX(110c)을 포함한다. 통상적으로, ALPG(110)는 프로그래밍에 의하여 소정의 테스트 신호, 드라이브 신호 등을 생성하는데, 본 발명에 따른 반도체 소자 테스트 장치의 캘리브레이션 방법의 수행을 위하여 펄스 신호와 PRBS(Pseudo-Random Bit Sequence) 신호를 발생시키도록 프로그래밍된다. 또한, 패턴 생성 보드(100)는 디스큐를 제거하는 제1 디스큐(120), H 또는 L 로직 신호를 출력하는 드라이버(130), DUT에서 출력되는 신호의 H 또는 L을 판정하여 H 또는 L 로직 신호를 출력하는 비교기(140), 디스큐를 제거하는 제2 디스큐(150), 및 예상 데이터와 DUT의 출력 데이터를 비교하는 데이터 비교기(160)를 포함한다.

먼저, 도 7에 도시된 반도체 소자의 테스트 장치에 도 4에 도시된 제1 캘리브레이션 보드를 장착한다.

도 4에 도시된 바와 같이, 제1 캘리브레이션 보드는 상기 복수개의 드라이브 채널 중 선택된 어느 하나의 드라이브 채널과 상기 복수개의 출력 채널을 1:N으로 연결하도록 결선되어 있다. 따라서, 선택된 드라이브 채널의 드라이브 신호(DR)와 상기 복수개의 출력 채널의 출력 신호(IO_CP)가 1:1로 연결된다.

제1 캘리브레이션 보드가 장착되어 선택된 드라이브 채널의 드라이브 신호(DR)와 상기 복수개의 출력 채널의 출력 신호(IO_CP)가 1:N으로 연결되면, 선택된 드라이브 채널의 드라이브 신호(DR)가 N개로 분배되어 복수개의 출력 채널로 입력된다. 한 개의 신호를 N개로 분배하게 되므로, 출력 채널에는 모두 동일한 위상을 가지는 신호가 인가된다. 따라서 복수개의 출력 채널을 거쳐 데이터 비교기(160)로 전송되는 신호는 이론상으로는 모두 동일한 위상을 가져야 하지만, 실제로는 출력 채널을 거치면서 위상차가 발생된다. 따라서, 선택된 드라이브 채널의 드라이브 신호(DR)를 기준으로 출력 신호(IO_CP)를 정렬한다. 즉, 출력 신호(IO_CP)가 데이터 비교기(160)에 입력되기 직전에 모두 동일한 위상을 가지도록 제2 디스큐(150)에서 각 출력 채널의 위상차를 조절하여 스큐를 제거한다.

제1 캘리브레이션 보드에 인가되는 신호는 펄스 신호 또는 PRBS(Pseudo-Random Bit Sequence) 신호일 수 있다. 도 8에 도시된 바와 같이, 펄스 신호를 인가한 후 이를 모두 정렬하여 캘리브레이션을 수행할 수 있다. 또한, 도 9에 도시된 바와 같이, 반도체 소자 테스트시 인가되는 테스트 신호와 유사한 PRBS(Pseudo-Random Bit Sequence) 신호를 인가하여 캘리브레이션을 수행할 수 있다. 상기 펄스 신호와 PRBS 신호는 ALPG(110)을 적절히 프로그램하여 생성할 수 있다.

출력 신호(IO_CP)의 정렬이 완료되면, 제1 캘리브레이션 보드를 제거하고 도 5에 도시된 제2 캘리브레이션 보드를 장착한다.

도 5에 도시된 바와 같이, 제2 캘리브레이션 보드는 상기 복수개의 드라이브 채널과 상기 복수개의 출력 채널을 1:1로 연결하도록 결선되어 있다. 따라서, 드라이브 채널의 드라이브 신호(DR)와 상기 복수개의 출력 채널의 출력 신호(IO_CP)가 1:1로 연결된다.

상기 복수개의 출력 채널은 정렬이 완료된 상태이므로 상기 정렬된 복수개의 출력 신호(IO_CP)를 기준으로 상기 복수개의 드라이브 채널을 정렬한다. 상기 복수개의 드라이브 채널에 신호를 인가하고 출력 채널에서 발생하는 위상차를 측정하면 상기 복수개의 드라이브 채널에서 발생하는 위상차를 알 수 있다. 따라서, 제1 디스큐(120)를 조절하여 상기 발생한 위상차를 제거하면 상기 복수개의 드라이브 채널의 드라이브 신호(DR)의 스큐를 제거할 수 있다.

상기 복수개의 드라이브 채널의 드라이브 신호(DR)를 제거하기 위하여 인가하는 신호는 제1 캘리브레이션 보드를 사용하는 경우와 마찬가지로 펄스 신호 또는 PRBS 신호일 수 있다.

드라이브 신호(DR)의 정렬이 완료되면, 제2 캘리브레이션 보드를 제거하고 도 6에 도시된 DUT 인터페이스 보드를 장착한다. DUT 인터페이스 보드는 복수개의 DUT가 장착되어 실제 테스트에 사용되는 보드이나, 캘리브레이션에 사용하는 경우에는 DUT를 장착하지 않고 사용된다. DUT 인터페이스 보드는 상기 복수개의 입력 채널과 상기 복수개의 출력 채널을 1:1로 연결하도록 결선되어 있다. 따라서, 상기 복수개의 입력 채널의 입력 신호(IO_DR)와 상기 복수개의 출력 채널의 출력 신호(IO_CP)가 1:1로 연결된다.

상기 복수개의 출력 채널은 정렬이 완료된 상태이므로 상기 정렬된 복수개의 출력 신호(IO_CP)를 기준으로 상기 복수개의 입력 채널을 정렬한다. 상기 복수개의 입력 채널에 신호를 인가하고 출력 채널에서 발생하는 위상차를 측정하면 상기 복수개의 입력 채널에서 발생하는 위상차를 알 수 있다. 따라서, 제1 디스큐(120)를 조절하여 상기 발생한 위상차를 제거하면 상기 복수개의 입력 채널의 입력 신호(IO_DR)의 스큐를 제거할 수 있다.

상기 복수개의 입력 채널의 입력 신호(IO_DR)의 스큐를 제거하기 위하여 인가하는 신호는 제1 캘리브레이션 보드를 사용하는 경우와 마찬가지로 펄스 신호 또는 PRBS 신호일 수 있다.

상기의 과정을 통하여 반도체 소자 테스트 장치의 디스큐 캘리브레이션이 완료된다.

2. 버니어 캘리브레이션(vernier calibration)

디스큐 캘리브레이션이 완료되면, 반도체 소자 테스트 장치에서 발생하는 위상차는 모두 제거된 상태이다. 실제 반도체 테스트에서는, 소정의 테스트 신호를 인가하여 테스트를 수행하는데, 생성된 테스트 신호에 사용자가 원하는 딜레이(delay)를 부여하도록 각종 테스트 신호를 생성하는 프로그램을 작성할 수 있다. 이상적인 반도체 소자 테스트 장치인 경우에는 프로그램에서 설정한 딜레이와 실제 딜레이가 일치하지만, 실제 반도체 소자 테스트 장치에서는 사용자가 프로그램한 딜레이와 실제 발생하는 딜레이가 일치하지 않는다. 이러한 차이를 제거하는 것을 버니어 캘리브레이션이라고 한다.

이하에서는, 본 발명에 따른 버니어 캘리브레이션 방법을 상세히 설명한다.

도 10은 본 발명에 따른 반도체 소자 테스트 장치의 버니어 캘리브레이션 방법에 사용되는 데이터 경로를 도시한 회로도이다.

도 10을 참조하면, 도 7과 달리 신호가 데이터 비교기(160)를 바이패스(bypass)하여 ALPG(110)로 입력된다. ALPG(110)는 패턴 생성부(110a), 초기 신호를 생성하는 시작 신호 생성부(110c), 리턴 신호를 반전시키는 인버터(110d), 리턴 신호와 초기 신호에 대한 AND 연산을 수행하여 출력하는 AND 게이트(110f), 주파수를 카운트하는 주파수 카운터(110e) 및 AND 게이트(110f)와 패턴 생성부(110a)에서 생성한 신호 중 어느 하나를 출력하는 MUX(110b)를 포함한다. ALPG

(110)는 프로그래밍에 의해 소정의 신호를 생성할 수 있는 FPGA(Filed Programmable Gate Array) 등의 프로그램 가능한 로직 소자를 포함하므로 적절한 프로그래밍에 의해 도 10에 도시된 ALPG(110)를 형성할 수 있다. 다른 구성 요소들은 도 7과 동일하므로 자세한 설명은 생략한다.

본 발명에 따른 반도체 소자 테스트 장치의 버니어 캘리브레이션 방법은 도 5에 도시된 제2 캘리브레이션 보드와 도 6에 도시된 DUT 인터페이스 보드를 장착하여 수행한다. 도 5에 도시된 바와 같이, 제2 캘리브레이션 보드는 상기 복수개의 드라이브 채널과 상기 복수개의 출력 채널을 1:1로 연결하도록 결선되어 있다. 따라서, 드라이브 채널의 드라이브 신호(DR)와 상기 복수개의 출력 채널의 출력 신호(IO_CP)가 1:1로 연결된다.

먼저, 제2 캘리브레이션 보드를 장착하고 도 11에 도시된 제1 논리값과 제1 신호의 반전값인 제2 논리값을 가지는 제1 신호 및 제2 신호를 ALPG(110)로부터 제2 캘리브레이션 보드(200)에 교대로 인가한다. 예를 들어, 시작 신호 생성부(110c)가 'H'의 논리값을 가지는 제1 신호를 생성하여 출력하면, 제1 신호는 제1 디스큐(120), 드라이버(130), 제2 캘리브레이션 보드(200), 비교기(140) 및 제2 디스큐(150)를 경유한 후 데이터 비교기(160)를 바이패스하여 ALPG(110)로 귀환한다.

이론상으로는, 제1 신호에 딜레이를 전혀 부여하지 않고 인가한 경우 ALPG(110)로 귀환한 제1 귀환 신호도 딜레이를 포함하지 않아야 한다. 그러나, 실제 반도체 소자 테스트 장치에서는, 제1 디스큐(120), 드라이버(130), 비교기(140), 제2 디스큐(150) 등 각종 구성 요소를 거치면서 제1 귀환 신호는 왕복 지연을 포함하게 된다.

ALPG(110)로 귀환한 제1 귀환 신호는 인버터(110d)에 의해 'L' 논리값을 가지는 신호로 반전된다. 반전된 신호는 AND 게이트(110f)를 거쳐 출력되는데, 상기 출력되는 신호는 'L' 논리값을 가지는 제2 신호이다.

제2 신호는 도 10의 데이터 경로를 거쳐 다시 ALPG(110)로 귀환한다. 귀환한 제2 귀환 신호는 제1 귀환 신호와 동일한 과정을 거쳐 'H' 논리값을 가지는 신호로 변환되어 출력된다.

상기 과정이 반복되면, 도 10의 신호에 왕복 지연만큼 파장이 증가한 신호가 귀환 신호로서 출력된다. 주파수 카운터(110e)를 이용하여 상기 귀환 신호의 주파수를 측정하면, 귀환 신호의 파장을 알 수 있으며, 상기 파장으로부터 왕복 지연(RTD: round trip delay)을 구할 수 있다.

제1 신호에 부가하는 프로그램 딜레이를 변경하면서 실측 딜레이를 측정하면, 즉, 테스트 프로그램 상의 딜레이를 변경하여 발생하는 왕복 지연을 측정하면 일련의 실측 딜레이를 얻을 수 있다.

실제로, 신호의 딜레이를 변경하기 위해서는 테스트 프로그램을 수정해야 하는데, 프로그램의 수정은 딜레이에 할당된 딜레이 코드값을 변경시킴으로써 수행된다. 예를 들어, 코드값 0 = 0ps 딜레이, 코드값 1 = 10ps 딜레이, 코드값 2 = 20ps 딜레이 등으로 정해진 경우에는 프로그램 작성시 딜레이 코드값을 변경시키면 이에 따른 프로그램 딜레이가 변경된다.

표 1은 각 딜레이 코드값에 따른 일련의 실측 딜레이를 도시하고 있다.

[표 1]

코드	주파수	주기	딜레이	DNL
0	100.00	10000	0	0
1	99.91	10009	9	9
2	99.81	10019	19	10
3	99.73	10027	27	8
4	99.62	10038	38	11
5	99.47	10053	53	15
6	99.34	10066	66	13
7	99.29	10072	72	6
8	99.58	10042	42	-30
9	99.49	10051	51	9
10	99.39	10061	61	10
11	99.31	10069	69	8
12	99.21	10080	80	11

13	99.06	10095	95	15
14	98.93	10108	108	13
15	98.87	10114	114	6
16	99.12	10089	89	-25
17	99.03	10098	98	9
18	98.93	10108	108	10
19	98.85	10116	116	8

표 1을 참조하면, 실측 딜레이는 오프셋 값(즉, 코드가 0일때의 왕복 지연을)을 뺀 값이다. DNL(differential non-linearity)은 현재 코드값과 이전 코드값의 차이를 나타내는 값이며, 주파수와 주기는 주파수 카운터(110e)에서 측정한 주파수 및 주기를 나타낸다.

다음에는, 표 2에 도시된 바와 같이 표 1의 일련의 실측 딜레이에서 프로그램하고자 하는 딜레이에 가장 근사한 실제 딜레이를 선택한다.

[표 2]

프로그램 딜레이	최근사 딜레이	코드값
0	0	0
10	9	1
20	19	2
30	27	3
40	38	4
50	53	5
60	66	6
70	72	7
80	80	12
90	89	16
100	98	17
110	108	18
120	116	19

표 2를 참조하면, 선택된 가장 근사한 실측 딜레이에 따라 코드값을 정렬하면 바이너리 서치에 의해 최근사 딜레이를 신속하게 검색할 수 있다.

이하에서는, 상술한 방법을 각 채널마다 적용하는 방법에 대하여 상세히 설명한다.

먼저, 반도체 소자 테스트 장치에 제2 캘리브레이션 보드를 장착한다. 제2 캘리브레이션 보드는 복수개의 드라이브 채널과 복수개의 입력 채널을 1:1로 연결한다. 드라이브 채널과 입력 채널이 전기적으로 연결되면, 출력 채널의 디스큐의 딜레이 값을 고정하고 드라이브 채널의 디스큐의 딜레이 코드값을 변경하여 드라이브 채널에 관한 룩업 테이블(look-up table)을 생성한다. 즉, 출력 채널의 디스큐의 딜레이 값을 고정하고 상술한 방법에 따라 일련의 실측 딜레이를 구하여 룩업 테이블을 작성하면 드라이브 채널의 딜레이를 프로그램하는데 필요한 룩업 테이블을 얻을 수 있다.

다음에는, 드라이브 채널의 디스큐의 딜레이 값을 고정하고 출력 채널의 디스큐의 딜레이 코드값을 변경하여 상기 출력 채널에 관한 룩업 테이블을 생성한다. 즉, 드라이브 채널의 디스큐의 딜레이 값을 고정하고 상술한 방법에 따라 일련의 실측 딜레이를 구하여 룩업 테이블을 작성하면 출력 채널의 딜레이를 프로그램하는데 필요한 룩업 테이블을 얻을 수 있다.

다음에는, 제2 캘리브레이션 보드 대신에 DUT 인터페이스 보드를 장착한다. DUT 인터페이스 보드는 복수개의 입력 채널과 복수개의 출력 채널을 1:1로 연결한다. 입력 채널과 출력 채널이 전기적으로 연결되면, 출력 채널의 디스큐의 딜레이 값을 고정하고 입력 채널의 디스큐의 딜레이 코드값을 변경하여 상기 입력 채널에 관한 록업 테이블을 생성한다. 즉, 출력 채널의 디스큐의 딜레이 값을 고정하고 상술한 방법에 따라 일련의 실측 딜레이를 구하여 록업 테이블을 작성하면 입력 채널의 딜레이를 프로그램하는데 필요한 록업 테이블을 얻을 수 있다.

3. DUT 의존 캘리브레이션(DUT dependent calibration)

실제 반도체 소자 테스트 시에는 캘리브레이션 보드를 사용하지 않고 DUT 인터페이스 보드를 사용하므로, DUT 인터페이스 보드를 사용하는 경우와 각종 파라미터 등이 다를 수 있다. 이러한 차이점을 보완하기 위한 것이 DUT 의존 캘리브레이션이다.

도 12는 DUT 보드에 장착되는 소켓, 각종 신호 라인 등의 등가 회로를 컴퓨터로 시뮬레이션하는 경우를 도시한 도면이다. 각종 신호 라인(예를 들면, T-line)은 PCB 트레이스와 비아 등을 포함하는데, 이에 대한 등가 회로를 컴퓨터에 입력한다. 마찬가지로, 소켓이나 DUT 등에 대한 등가 회로를 컴퓨터에 입력한다. 컴퓨터는 소정의 프로그램을 통하여 상기 등가 회로에 대한 시뮬레이션을 수행하고 사용자는 상기 시뮬레이션 결과에 따라 DUT 인터페이스 보드를 위한 캘리브레이션을 수행한다.

상기 시뮬레이션을 통한 캘리브레이션이 완료되면 반도체 소자 테스트 장치 전체에 대한 캘리브레이션이 완료된다.

3. 입출력 신호의 스윙에 따른 캘리브레이션

도 13은 입출력 신호의 스윙 범위 및 쓰레시홀드에 따른 타이밍을 도시한 도면이다.

도 13에 도시된 바와 같이, 입력 신호 또는 출력 신호의 스윙 범위에 따라 기준 전압 또는 스레쉬홀드 전압이 달라지며, 이에 따라 타이밍이 변하는 것을 알 수 있다. 따라서, 입력 신호 또는 출력 신호의 스윙 범위에 따른 캘리브레이션이 필요하다.

발명의 효과

본 발명에 따른 반도체 소자 테스트 장치의 캘리브레이션 방법은 실제 발생하는 왕복 지연을 데이터베이스화하고 이를 테스트 패턴 발생 프로그램 작성에 용이하게 반영할 수 있도록 하여 딜레이에 대한 선형성을 보장하며, 프로브를 통한 복잡한 캘리브레이션 대신에 캘리브레이션 보드를 이용하여 용이하게 위상차를 제거할 수 있다는 장점이 있다.

도면의 간단한 설명

도 1은 반도체 시험 장치의 타이밍 캘리브레이션(timing calibration)을 실시하는 종래 구성을 도시한 도면.

도 2는 도 1에 도시된 종래 구성의 전기적인 배치도.

도 3은 종래의 타이밍 캘리브레이션의 개요를 도시한 도면.

도 4 내지 6은 본 발명에 따른 반도체 소자 테스트 장치의 캘리브레이션 방법에 사용되는 캘리브레이션 보드 및 DUT 인터페이스 보드를 도시한 도면들.

도 7은 본 발명에 따른 반도체 소자 테스트 장치의 디스큐 캘리브레이션 방법에 사용되는 데이터 경로를 도시한 회로도.

도 8 및 도 9는 본 발명에 따른 반도체 소자 테스트 장치의 디스큐 캘리브레이션 전후의 파형을 도시한 파형도.

도 10은 본 발명에 따른 반도체 소자 테스트 장치의 버니어 캘리브레이션(vernier calibration) 방법에 사용되는 데이터 경로를 도시한 회로도.

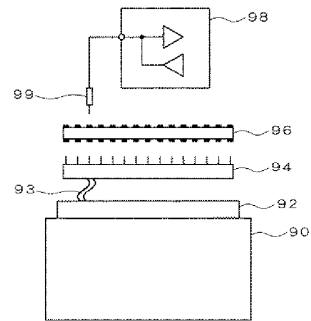
도 11은 본 발명에 따른 버니어 캘리브레이션에 사용되는 신호를 도시한 파형도.

도 12는 본 발명에 따른 DUT 의존 캘리브레이션 방법을 도시한 도면.

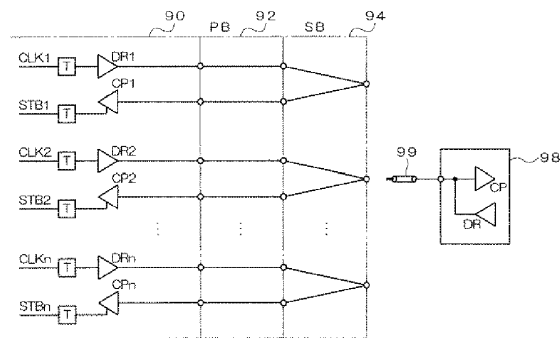
도 13은 입출력 신호의 스윙 범위 및 쓰레시홀드에 따른 타이밍을 도시한 도면.

도면

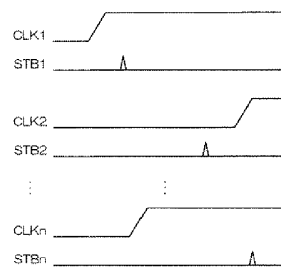
도면1



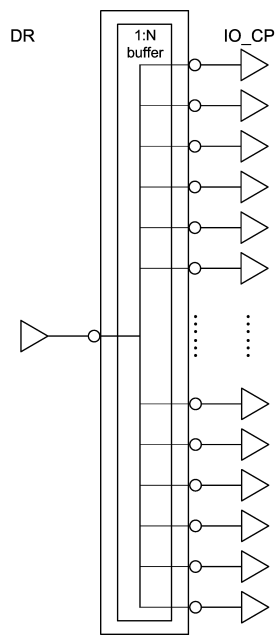
도면2



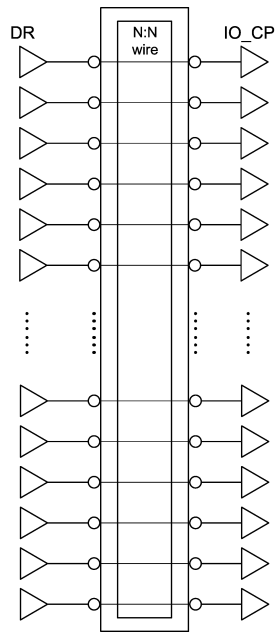
도면3



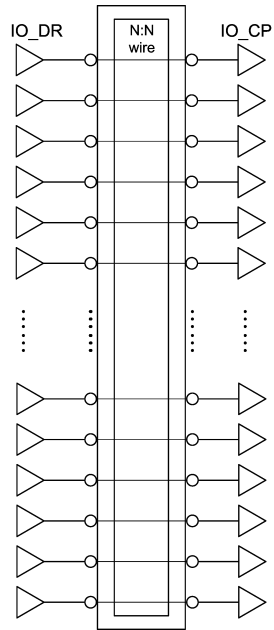
도면4



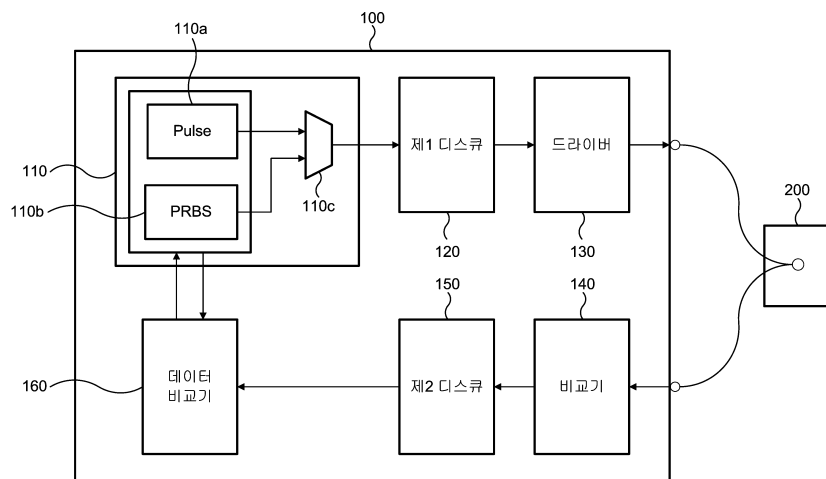
도면5



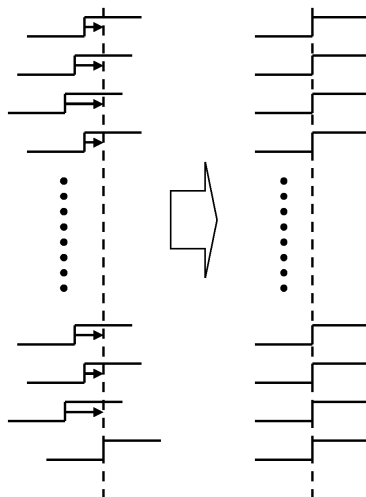
도면6



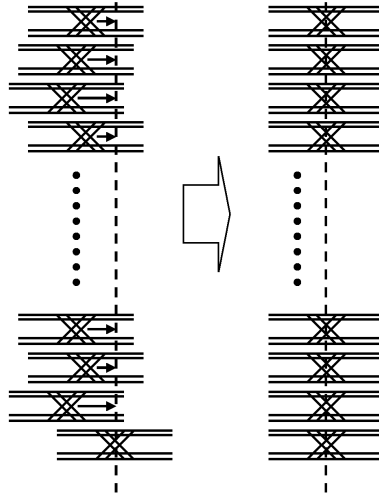
도면7



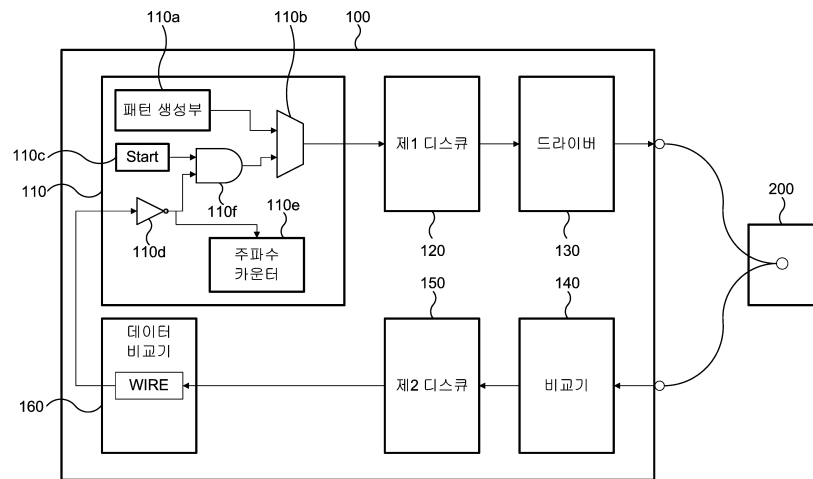
도면8



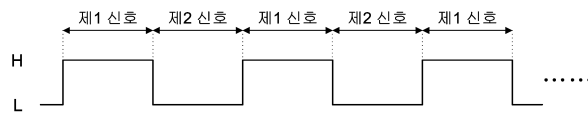
도면9



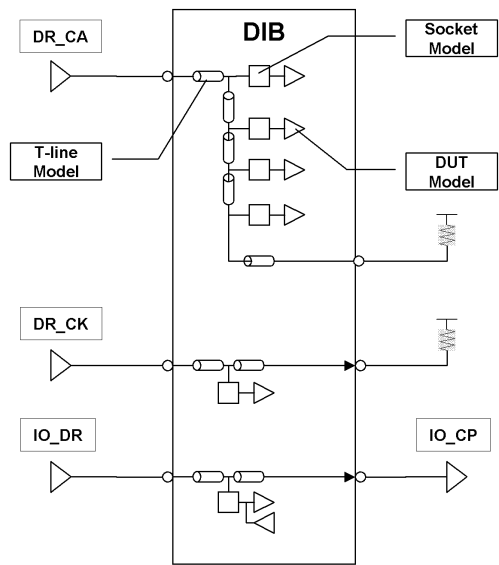
도면10



도면11



도면12



도면13

