(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[7]
H04N 3/23

(45) 공고일자 2000년12월15일
(11) 등록번호 10-0276490
(24) 등록일자 2000년09월29일

(21) 출원번호	10-1997-0034370	(65) 공개번호	특1998-0013250
(22) 출원일자	1997년07월23일	(43) 공개일자	1998년04월30일
(30) 우선권주장	96-197749 1996년07월26일 일본(JP)		

(73) 특허권자 가부시끼가이샤 도시바 니시무로 타이죠
일본국 가나가와껭 가와사끼시 사이와이꾸 호리가와쪼 72반지
(72) 발명자 가지와라 미키오
일본 사이타마켄 후카야시 하타라쵸 1-9-2,가부시기가이샤 도시바후카야 공장내
오치아이 마사시
일본 사이타마켄 후카야시 하타라쵸 1-9-2,가부시기가이샤 도시바후카야 공장내
(74) 대리인 나영환, 이상섭

심사관 : 변형철

(54) 왜곡보정회로

요약

A/D 변환된 휘도 신호(103)와 색 신호(109)를 라인 메모리 회로(128)에 메모리하고, 메모리한 신호를 독출할 때에는 독출 주파수를 수평 주기와 수직 주기의 파라볼라 형태로 변조한 독출 클록(124)을 이용하여 독출하며 독출한 디지털 신호를 D/A 변환하여 아날로그의 휘도 신호(132)와 색차 신호(135, 136)로 다시 변환한다. 이로써, 인너 핀쿠션 왜곡(inner pincushion distortion) 혹은 인너 배럴(inner barrel) 왜곡을 보정한다. 디지털 처리에 의해서 영상 신호 그 자체를 변조하여 왜곡을 보정하기 때문에, 종래와 같은 아날로그 보정에 의해 발생하는 회로 드리프트(drift)가 없고 더구나 번잡한 부품수의 설정등의 아날로그 회로를 설계할 필요가 없다.

대표도

도1

명세서

도면의 간단한 설명

도 1은 본 발명의 일 실시예에 따른 왜곡 보정 회로를 나타내는 블록도.

도 2는 도 1의 왜곡 보정 회로가 이용되는 디스플레이 장치의 구성을 나타내는 블록도.

도 3의 (a)는 도 1의 라인 메모리 회로에 있어서 인너 핀쿠션 왜곡을 제거하기 위한 1V에서의 독출 속도의 변조 파형을 도시한 도면.

도 3의 (b)는 도 1의 라인 메모리 회로에 있어서 인너 핀쿠션 왜곡을 제거하기 위한 1H에서의 독출 속도의 변조 파형을 도시한 도면.

도 4의 (a)~(c)는 도 1의 회로에서 인너 핀쿠션 왜곡을 보정하는 동작을 순차적으로 설명하는 도면.

도 5의 (a)는 도 1의 라인 메모리 회로에 있어서 인너 배럴 왜곡을 제거하기 위한 1V에서의 독출 속도의 변조 파형을 도시한 도면.

도 5의 (b)는 도 1의 라인 메모리 회로에 있어서 인너 배럴 왜곡을 제거하기 위한 1H에서의 독출 속도의 변조 파형을 도시한 도면.

도 6의 (a)~(c)는 도 1의 회로에서 인너 배럴 왜곡을 보정하는 동작을 순차적으로 설명하는 도면.

도 7은 종래예에 따른 네가티브 형태의 다이오드 모듈레이터 방식의 왜곡 보정 회로를 나타내는 회로도.

도 8은 도 7의 회로에 있어서 보정 전압 파형을 나타내는 파형도.

도 9의 (a) 및 (b)는 도 7의 회로에 있어서 인너 핀쿠션 왜곡의 보정 동작을 순차적으로 설명하는 도면.

도 10은 다른 종래예에 따른 포지티브 형태의 다이오드 모듈레이터 방식의 왜곡 보정 회로를 나타내는 회로도.

<도면의 주요 부분에 대한 부호의 설명>

100 : 왜곡 보정 회로

102, 108 : AD 변환기

111 : 클록 발생 회로

115 : 디지털 제어 발진기

117 : 수평 파라볼라 발생 회로

118 : 수직 파라볼라 발생 회로

121, 131, 133, 134 : DA 변환기

125 : 타이밍 발생 회로

128 : 라인 메모리 회로

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 텔레비젼 수상기등에 탑재되어 화면의 왜곡을 보정하는 왜곡 보정 회로에 관한 것이다.

종래, 컬러 수상관의 편향에서 형광면의 곡율 반경은 편향 중심에서부터 형광면까지의 관축상의 거리에 비해서 크기 때문에(형광면은 거의 평탄), 형광면상의 래스터는 스풀형으로 왜곡된다. 이 스풀 왜곡을 "핀쿠션 왜곡" 이라 불리고 있다. 이 핀쿠션 왜곡에 대하여, 화면 전체에 균일하게 핀쿠션 왜곡의 보정을 걸어도 화면 주변부와 중앙부의 왜곡이 다르고, 화면 주변부에 대하여 중앙부에 핀쿠션 왜곡이 발생(이하, 이를 "인너 핀쿠션 왜곡" 이라 한다)한다. 이 인너 핀쿠션 왜곡은 화면 상하부와 화면 중앙부에서 수평 직선성이 다르기 때문에 화면 중앙부가 오그라드는 왜곡이다.

도 7은 다이오드 모듈레이터 회로라고 불리는 전압 변조형의 왜곡 보정 회로를 나타내고 있다. 여기서, 네가티브 방식의 다이오드 모듈레이터 회로에 관하여 설명한다. 네가티브 방식의 다이오드 모듈레이터 회로에서는 C 점이 부(-)의 전위인 것을 이용하여 왜곡을 보정하고 있다.

도 7에 있어서, 입력 단자(1)에는 수평 주기의 펄스가 공급되어 수평 출력 트랜지스터(Q1)의 베이스에 입력된다. 수평 출력 트랜지스터(Q1)의 콜렉터 및 에미터 사이에 댐퍼 다이오드(D1)의 캐소드가 콜렉터측에 오도록하여 병렬로 접속되고, 병렬로 공진 콘덴서(C2)가 접속되며, 또한 병렬로 수평 편향 코일(Ly), 직선성 코일(L1)과 감쇠 저항(R1)의 병렬 회로 및 S자 보정 콘덴서(C4, C5)의 직렬 회로가 접속되어 있다.

또, 수평 출력 트랜지스터(Q1)의 콜렉터는 플라이백 트랜스(FBT)의 1차 코일(T1)을 통해 전원 단자(2)에 접속되어 전원 전압(V_B)이 공급되도록 되고 있다. 수평 출력 트랜지스터(Q1)의 콜렉터와 기준 전위점 사이에는 공진 콘덴서(C1)가 접속되어 있다.

그리고, 수평 출력 트랜지스터(Q1)의 에미터는 변조용의 다이오드(D2)와 공진 콘덴서(C3)로 이루어지는 병렬 회로를 통해 기준 전위점에 접속되는 동시에 변조용 코일(L3) 및 변조용 콘덴서(C6)를 통해 기준 전위점에 접속되어 있다. 또한, 상기 S자 보정 콘덴서(C4)와 상기 S자 보정 콘덴서(C5)의 접속점 A는 코일(L2)을 통해 기준 전위점에 접속되어 있다.

변조용 코일(L3) 및 변조용 콘덴서(C6)의 접속점 B는 저항(R2) 및 트랜지스터(Q2)의 콜렉터 및 에미터를 통해 기준 전위점에 접속되어 있다. 트랜지스터(Q2)의 베이스에 접속된 단자(3)에는 수직 주기의 파라볼라파 전압을 발생하는 도시하지 않은 파라볼라파 발생 회로가 접속되어 있다.

상기 회로는 수평 출력 트랜지스터(Q1)에 댐퍼 다이오드(D1) 및 공진 콘덴서(C2)를 병렬로 접속한 수평 출력 회로이며, 또한 왜곡을 보정하기 위한 왜곡 보정 회로를 S자 보정 콘덴서(C4, C5)의 주변 부분에 접속한 구성으로 되어 있다. S자 보정 콘덴서는 C4, C5로 분할되어 있으며, 그 접속점 A와 기준 전위점 사이에 코일(L2)이 삽입되어 있고, S자 보정 콘덴서(C5)의 일단(Q1의 에미터)과 기준 전위점 사이에 왜곡 보정 회로로서의 코일(L3), 콘덴서(C6)의 직렬 회로 및 공진 콘덴서(C3)가 병렬로 접속하여 왜곡을 보정하고 있다. 또한, 다이오드(D2)는 트랜지스터(Q1)의 에미터에 부 전압이 발생하기 때문에, 이 전위를 확보하여 수평 출력 트랜지스터(Q1)의 동작을 확보하기 위해 설치되어 있다.

수평 주사 기간에 있어서, 수평 출력 트랜지스터(Q1) 또는 댐퍼 다이오드(D1)를 통해 수평 편향 전류가 흐른다. S자 보정 콘덴서(C5)에서부터 코일(L2)을 통해 전류(I1)가 흘러 S자 보정 콘덴서(C4, C5)에 축적된 전하가 수평 편향 전류(Iy)로서 코일(L1)을 통해 수평 편향 코일(Ly)에 흐른다. 수평 편향 코일측의 S자 보정 콘덴서(C4)에는 수평 편향 전류(Iy)만이 흐르고, S자 보정 콘덴서(C5)에는 I1와 Iy 양쪽의 전류가 흐른다. 트랜지스터(Q2)의 베이스에 접속된 단자(3)에는 파라볼라파 발생 회로에서부터 수직 주기의 파라볼라파 전압이 공급되어 콘덴서(C6)의 단자 전압(Vm)을 파라볼라형으로 변조한다. 콘덴서(C6)에 발생하는 전압(Vm)을 수직 주기의 파라볼라 형태로 변조하면 수평 편향 전류(Iy)의 전원이 되는 S자 보정 콘덴서 전압(Vc5+Vd)은 $Vc5 + Vc4 = V_B + Vm$ 와 같이 변조된다. 여기서, Vc5는 S자 보정 콘덴서(C5)의 양단 전압, Vd는 S자 보정 콘덴서(C4)의 양단 전압이다. 이 때, S자 보정 콘덴서의 용량에 대해서는 C5 << C4 의 조건으로 설정되어 있기 때문에, Vc4는 무시할 수 있으므로 Vm을 변조함으로써 Vc5가 수직 주기의 파라볼라형태로 변조된다. 이에 따라, S자 보정 콘덴서(C5)의 양단에는 도 8에 나타내는 것과 같은 수직 주기의 파라볼라 형태로 변조된 수평 주기의 전압 Vc5가 발생한다.

이 수직 주기의 파라볼라 형태로 변조된 전압 파형에 의해 화면 상하부와 화면 중앙부에서 수평 직선성이 다르며, 화면 중앙부에서 오그라드는 인너 핀쿠션 왜곡에 대해서 화면 상에서는 도 9의 (a)와 같이 점선에서부터 실선과 같이 균일한 핀쿠션 왜곡으로 보정된다. 그리고, DPC 회로(Dynamic Pincushion Correction)에 의해서 파라볼라파의 조정을 행하여 도 9의 (b)와 같이 왜곡 보정된다.

도 10은 포지티브 방식의 다이오드 모듈레이터 회로의 회로도를 나타내고 있다. 도 7에 있어서의 네가티브 방식의 다이오드 모듈레이터 회로의 접속과 비교하여, 수평 출력 트랜지스터(Q1)의 에미터가 기준 전위점에 접속되고 다이오드(D2)가 댐퍼 다이오드(D1)와 같은 방향으로 직렬로 접속되어 있는 점에서 다르다. 또한, 수평 출력 트랜지스터(Q1)의 콜렉터와 기준 전위점과의 사이에 공진 콘덴서(C1)를 설치하고 있지 않은 점에서 다르다. 도 7의 회로에 있어서 C 점이 부(-)의 전위인 것을 이용하여 왜곡을 보정한 데 대하여, 도 10에서는 C 점이 정(+)의 전압인 것을 이용하여 왜곡을 보정하고 있다.

그러나, 도 7 또는 도 10의 회로에서는 코일이나 콘덴서 등의 커다란 부품을 사용하고 있기 때문에, 기판 면적이나 비용적으로도 불리하고, 더구나 기종의 변경 등에 의해 편향 요크의 인덕턴스나 수상관의 곡율이 변경될 때마다 부품수를 설계할 필요가 있어서 작업이 번잡하였다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 번잡한 부품수의 설계를 요하지 않고 화면의 왜곡을 보정할 수 있는 왜곡 보정 회로를 제공하는 것이다.

발명의 구성 및 작용

청구항 1에 기재한 발명에 의한 왜곡 보정 회로는,

아날로그 방식의 휘도 신호 및 색차 신호를 입력하여 각각 디지털 신호로 변환하는 A/D 변환 수단(102, 108)과,

상기 A/D 변환 수단에 의해 A/D 변환된 신호를 기억하는 메모리 수단(128)과,

상기 메모리 수단으로 신호의 기록을 제어하는 것과 동시에 상기 메모리 수단에 기록한 데이터의 독출 속도를 수평 주기와 수직 주기로 변조하여 독출할 수 있는 기록 및 독출 제어 수단(140)과,

상기 메모리 수단으로부터 독출된 신호를 아날로그의 휘도 신호 및 색차 신호로 변환하는 D/A 변환 수단(131, 133, 134)을 구비하는 왜곡 보정 회로에 있어서,

상기 기록 및 독출 제어 수단(140)은 수평 주기 및 수직 주기로 변화하는 파라볼라파 발생 수단(117, 118)을 포함하고, 상기 파라볼라파 발생 수단으로부터의 출력에 응답하여 상기 독출 속도를 변조하는데,

상기 메모리 수단의 수직 주기의 독출 속도를 화면 수직 방향 중앙부에서 빠르게 하는 것과 동시에 화면의 상하부에서는 느리게 하고,

수평 주기의 독출 속도를 화면의 수평 방향 중앙부에서 느리게 하는 것과 동시에 화면의 좌우부에서는 빠르게 하며,

화면의 수직 방향 중앙부에서는 화면의 좌우부에서의 독출 속도를 보다 빠르게하도록 제어하여 인너 핀쿠션 왜곡을 보정하는 것을 특징으로 한다.

청구항 1에 기재한 발명에 의하면, A/D 변환된 휘도 신호와 색차 신호를 일단 메모리 수단에 기억하여 그 신호를 독출할 때 그 독출 속도를 수평 주기와 수직 주기의 파라볼라 형태로 변조하고 이 변조된 디지털 신호를 D/A 변환하여 아날로그의 휘도 신호와 색차 신호로 다시 변환함으로써 인너 핀쿠션 왜곡 혹은 인너 배럴 왜곡을 보정한다. 디지털 처리에 의해서 영상 신호 자체에 변조를 행함으로써 왜곡을 보정할 수 있고, 종래와 같은 아날로그 보정에 의해 발생하는 회로 드리프트가 없어 번잡한 아날로그 회로를 설계할 필요가 없어진다. 또, 기록 및 독출 제어 수단에 의해 인너 핀쿠션 왜곡이 보정된다.

청구항 2에 기재한 발명에 의한 왜곡 보정 회로는,

아날로그 방식의 휘도 신호 및 색차 신호를 입력하여 각각 디지털 신호로 변환하는 A/D 변환 수단(102, 108)과,

상기 A/D 변환 수단에 의해 A/D 변환된 신호를 기억하는 메모리 수단(128)과,

상기 메모리 수단으로 신호의 기록을 제어하는 것과 동시에 상기 메모리 수단에 기록한 데이터의 독출 속도를 수평 주기와 수직 주기로 변조하여 독출할 수 있는 기록 및 독출 제어 수단(140)과,

상기 메모리 수단으로부터 독출된 신호를 아날로그의 휘도 신호 및 색차 신호로 변환하는 D/A 변환 수단(131, 133, 134)을 구비하는 왜곡 보정 회로에 있어서,

상기 기록 및 독출 제어 수단(140)은 수평 주기 및 수직 주기로 변화하는 파라볼라파 발생 수단(117, 118)을 포함하고, 상기 파라볼라파 발생 수단으로부터의 출력에 응답하여 상기 독출 속도를 변조하는데,

상기 메모리 수단의 수직 주기의 독출 속도를 화면 수직 방향 중앙부에서 느리게 하는 것과 동시에 화면의 상하부에서는 빠르게 하고,

수평 주기의 독출 속도를 화면의 수평 방향 중앙부에서 느리게 하는 것과 동시에 화면의 좌우부에서는 빠르게 하며,

화면의 수직 방향 상하부에서는 화면의 좌우부에서의 독출 속도를 보다 빠르게하도록 제어하여 인너 배럴 왜곡을 보정하는 것을 특징으로 한다.

청구항 2에 기재한 발명에 의하면, 인너 배럴 왜곡을 보정할 수 있다.

청구항 3에 기재한 발명은 청구항 1과 청구항 2에 기재한 왜곡 보정 회로에 있어서의 상기 기록 및 독출 제어 수단이,

수평 주기 신호에 기초하여, 제1 타이밍 신호, 수평 주사 주파수의 소정 배수의 주파수 기록용의 제1 클록 및 수평 주사 주파수의 상기와 다른 소정 배수의 주파수의 제2 클록을 발생하는 클록 발생 회로와;

제2 클록에 기초하여 클록을 발진하며 이 발진 주파수가 수평 주기와 수직 주기의 파라볼라 형태로 변조되는 디지털 제어 발진기와;

상기 수평 동기 신호에 기초로 수평 주기의 파라볼라파 신호를 발생하여 상기 디지털 제어 발진기에 공급하는 수평 파라볼라 발생 회로와;

수직 동기 신호에 기초로 수직 동기의 파라볼라파 신호를 발생하여 상기 디지털 제어 발진기에 공급하는 수직 파라볼라 발생 회로와;

상기 디지털 제어 발진기의 출력을 아날로그 신호로 변환하여 독출 클록으로 상기 메모리 수단에 출력하는 D/A 변환기와;

상기 제1 타이밍 신호 및 상기 제1 클록에 기초하여 기록 타이밍 신호를 발생하는 한편 상기 제1 타이밍 신호 및 상기 D/A 변환기로부터의 독출 클록에 기초하여 독출 타이밍 신호를 발생하는 타이밍 발생 회로를 구비한 것이다.

청구항 3에 기재한 발명에 의하면, 독출 클록의 발생을 디지털 제어 발진기에 의해 디지털적으로 행하고 또한 독출 클록의 주파수를 수평 주기와 수직 주기로부터 파라볼라형으로 정확하게 변조할 수가 있다.

이하, 본 발명의 실시예에 관해서 도면을 참조하여 설명한다.

도 1은 본 발명의 일실시예의 왜곡 보정 회로를 나타내는 블록도이고, 도 2는 도 1의 왜곡 보정 회로가 이용되는 텔레비젼 수상기 등의 디스플레이 장치를 나타내는 블록도이다. 먼저, 도 2의 디스플레이 장치부터 설명한다.

도 2에 있어서, 디스플레이 장치는 왜곡 보정 회로(100), 비디오 출력 회로(200), 편향 회로(300) 및 음극선관(CRT)(400)을 구비하여 구성되어 있다.

왜곡 보정 회로(100)는 아날로그 방식의 휘도 신호(Y) 및 색차 신호(R-Y, B-Y)를 입력하여, 각각 디지털 신호로 변환하고, 메모리 수단에 기록하며, 그 후 메모리 수단으로부터 독출할 때에 수평 동기 신호(HD) 및 수직 동기 신호(VD)에 기초한 신호로 Y, R-Y, B-Y의 각 신호의 독출 속도를 수평 주기(이하, "1H" 라 한다)와 수직 주기(이하, "1V" 라 한다)의 파라볼라형으로 변조하여 독출하고, 다시 아날로그의 휘도 신호(Y) 및 색차 신호(R-Y, B-Y)로 변환하여 출력한다.

비디오 출력 회로(200)는 왜곡 보정 회로(100)로부터 출력된 휘도 신호(Y) 및 색차 신호(R-Y, B-Y)를 입력하여 R(적), G(녹), B(청)의 3원색 신호를 CRT(400)에 출력한다.

편향 회로(300)는 상기 수평 동기 신호(HD) 및 수직 동기 신호(VD)를 입력하여 음극선관(CRT)(400)의 편향 요크에 수평 편향 전류 및 수직 편향 전류를 공급하는 것이며, DPC회로를 포함하고 있다.

도 1에 있어서, 입력 단자(101)에는 아날로그의 휘도 신호(Y)가 입력되고 A/D 변환기(102)에 의해 디지털 휘도 신호(103)로 변환되어 메모리 수단인 라인 메모리 회로(128)에 공급된다. 또, 입력 단자(104, 105)에는 각각 아날로그의 색차 신호(R-Y, B-Y)가 입력되고, A/D 변환기(108)에 공급되어, 여기서 2개의 색차 신호가 다중되며, 또 디지털 색 신호(109)로 변환되어 라인 메모리 회로(128)에 공급된다.

라인 메모리 회로(128)에서 디지털 신호의 기록은 타이밍 발생 회로(125)의 기록 타이밍 신호(126) 및 클록 발생 회로(111)의 기록 클록(113)을 이용하여 행해진다.

입력 단자(110)에는 수평 동기 신호(HD)가 입력되어 클록 발생 회로(111)에 공급되고 있다. 클록 발생 회로(111)는 기록 및 독출 타이밍을 부여하기 위한 타이밍 신호(112) 이외에, 수평 주사 주파수(fH)의 910 배의 주파수인 910 · fH 클록(113) 및 수평 주사 주파수(fH)의 2730 배의 주파수인 2730 · fH 클록(114)을 발생한다.

타이밍 신호(112)는 타이밍 발생 회로(125)에 공급되고 있다. 910 · fH 클록(113)은 상기 라인 메모리 회로(128)에 기록 클록으로서 공급되는 한편 타이밍 발생 회로(125)에 공급되고 있다. 타이밍 발생 회로(125)는 상기 타이밍 신호(112)와 상기 910 · fH 클록(113)을 이용하고, 910 · fH클록(113)에 동기한 기록 타이밍 신호(126)를 발생하여 라인 메모리 회로(128)에 공급한다.

2730 · fH 클록(114)은 디지털 제어 발진기(115)에 공급되고 있다. 디지털 제어 발진기(115)는 2730 · fH 클록(114)에 기초하여 독출용 클록을 디지털적으로 발생하는 것으로, 그 독출 클록 주파수, 즉 독출 속도를 수평 파라볼라 발생 회로(117)로부터의 수평 파라볼라파 신호(141)와 수직 파라볼라 발생 회로(118)로부터의 수직 파라볼라파 신호(142)를 이용하여 1H와 1V로 변조하는 기능을 갖고 있다.

수평 파라볼라 발생 회로(117)는 입력 단자(110)에 공급되는 수평 동기 신호(HD)에 기초하여 1H의 파라볼라파 신호(141)를 발생하고 제어 신호로서 디지털 제어 발진기(115)에 공급한다. 또, 수직 파라볼라 발생 회로(118)는 입력 단자(116)에 공급되는 수직 동기 신호(VD)에 기초하여 1V의 파라볼라파 신호(142)를 발생하고 제어 신호로서 디지털 제어 발진기(115)에 공급한다. 디지털 제어 발진기(115)로부터 출력되는 1H와 1V의 파라볼라 형태로 속도 변조된 디지털의 클록 신호(120)는 D/A 변환기(121)에 의해 아날로그 클록 신호(122)로 변환되어 파형 성형 회로(123)에서 파형 성형된 후, 독출 클록(124)으로서 라인 메모리 회로(128)에 공급되는 한편 상기 타이밍 발생 회로(125)에도 공급된다. 타이밍 발생 회로(125)는 타이밍 신호(112)와 독출 클록(124)을 이용하여, 독출 클록(124)에 동기한 독출 타이밍 신호(127)를 발생하고 라인 메모리 회로(128)에 공급한다. 점선 테두리(140)로 나타내는 회로 부분은 기록 및 독출 제어 수단을 구성

하고 있다.

라인 메모리 회로(128)에 기억되어 있는 디지털 휘도 신호(Y) 및 디지털 색 신호(R-Y, B-Y)는 그 독출 속도가 변조되어 신호(129, 130)로서 독출되고, 디지털 휘도 신호(129)는 D/A 변환기(131)에 공급되며 디지털 색 신호(130)는 D/A 변환기(133, 134)에 공급된다.

D/A 변환기(131)에서는 디지털 휘도 신호를 아날로그의 휘도 신호(Y)로 변환하여 출력 단자(132)로부터 출력한다. D/A 변환기(133)에서는 다중되어 있는 디지털 색 신호(130)로부터 R-Y의 디지털 색차 신호를 분리하여 아날로그의 색차 신호(R-Y)로 변환하고 출력 단자(135)로부터 출력한다. D/A 변환기(134)에서는 다중되어 있는 디지털 색 신호(130)로부터 B-Y의 디지털 색차 신호를 분리하여 아날로그의 색차 신호(B-Y)로 변환하고 출력 단자(136)로부터 출력한다.

이어서, 도 1의 동작을 도 4의 (a)에 나타내는 것과 같은 인너 핀쿠션 왜곡을 보정하는 경우에 대해서, 도 3의 (a), (b) 및 도 4의 (a)~(c)를 참조하여 설명한다.

입력 단자(101, 104, 105)에 아날로그 방식의 휘도 신호(Y) 및 색차 신호(R-Y, B-Y)를 입력하고, 입력 단자(110, 116)에 수평 동기 신호(HD) 및 수직 동기 신호(VD)를 입력한다. 아날로그의 휘도 신호(Y) 및 색차 신호(R-Y, B-Y)를 각각 A/D 변환기(102, 108)에 의해 디지털 신호로 변환하여 라인 메모리 회로(128)에 기록한다. 이 때의 기록은 타이밍 발생 회로(125)로부터의 기록 타이밍 신호(126)와 클록 발생 회로(111)로부터의 기록 클록(113)에 의해서 행해진다. 기록 클록(113)은 910 · fH의 일정 주파수의 클록이다.

그리고, 독출할 때는 2730 · fH의 클록(114)에 기초하여 디지털 제어 발진기(115)가 디지털의 독출 클록(120)을 발진하지만, 이 때 수평 파라볼라 발생 회로(117)와 수직 파라볼라 발생 회로(118)로부터의 1H의 파라볼라파 신호(141)와 1V의 파라볼라파 신호(142)를 제어 신호로서 이용하여 발진 신호의 주파수(즉, 독출 주파수)를 1H 및 1V에서 변조한다. 그 변조된 디지털의 클록 신호(120)는 D/A 변환기(121)에 의해 아날로그 신호(122)로 변환되고, 파형 성형 회로(123)에 의해 파형 성형된 후 독출 클록(124)으로서 라인 메모리 회로(128)에 공급된다. 라인 메모리 회로(128)에 기억된 디지털 휘도 신호 및 디지털 색 신호는 독출 클록(124)에 의해 독출 속도가 1H와 1V의 파라볼라 형태로 변조하여 독출된다.

도 3의 (a)는 1V의 독출 속도의 변조 파형을 나타내고, 도 3의 (b)는 1H의 독출 속도의 변조 파형을 나타낸다. 인너 핀쿠션 왜곡을 보정하기 위해서는, 도 3의 (a)에 도시한 바와 같이, 1V의 화면 중앙부에서 수평 방향의 변조 속도를 빠르게 하고 화면 상하부에서 느리게 한다. 또, 도 3의 (b)에 도시한 바와 같이, 1H의 화면 중앙부에서 변조 속도를 느리게 하고 화면 좌우부에서 빠르게 한다. 또, 도 3의 (b)에 도시한 바와 같이, 1V의 화면 중앙부와 상하부에서도 1H의 기간에 있어서 변조 속도를 바꾼다. 즉, 도 3의 (b)에 도시한 바와 같이, 화면 중앙부의 주사 라인에서는 화면 상하부의 주사 라인에 비하여 화면 좌우부에서 변조 속도를 빠르게 하고, 화면 상하부의 주사 라인에서는 화면 중앙부의 주사 라인에 비하여 화면 좌우부에서 변조 속도를 느리게 하도록 한다.

라인 메모리 회로(128)로부터 독출된 디지털 휘도 신호 및 디지털 색 신호는 D/A 변환기(131, 133, 134)에서 다시 아날로그의 휘도 신호(Y) 및 색차 신호(R-Y, B-Y)로 변환되어 도시하지 않은 비디오 출력 회로(도 2의 200)에 공급되며 CRT 상에 표시된다.

이상 설명한 라인 메모리 회로(128)에 의한 1V 및 1H의 독출 속도 변조 수단을 이용함으로써, CRT 상에 표시되는 화상은 도 4의 (c)에 도시한 바와 같이 왜곡이 보정된다. 즉, 상기한 왜곡이 보정되지 않은 상태에서는 표시되는 화상은 도 4의 (a)에 나타내는 것과 같은 인너 핀쿠션 왜곡을 따른 것이지만, 본 실시예의 왜곡 보정 회로(100)를 사용함으로써, 도 4의 (b)에 나타내는 것과 같은 균일한 핀쿠션 왜곡으로 보정된다. 더욱 확실하게 하기 위해서, 편향 회로(300) 내의 DPC 회로에 의해서 핀쿠션 왜곡의 보정을 행함으로써 도 4의 (c)에 도시한 바와 같이 핀쿠션 왜곡이 제거된 화상이 표시된다.

이어서, 도 6의 (a)에 나타내는 것과 같은 인너 배럴 왜곡을 보정하는 경우에 관해서 도 5의 (a), (b) 및 도 6의 (a)~(c)를 참조하여 설명한다.

왜곡을 보정하지 않은 상태에서 인너 배럴 왜곡이 생기는 경우에는 도 5의 (a)와 같이 독출 속도의 변조 파형을 도 3의 (a)의 경우의 극성을 반전함으로써 왜곡을 보정할 수가 있다.

도 5의 (a)에 1V의 독출 속도의 변조 파형을 나타내고, 도 5의 (b)에 1H의 독출 속도의 변조 파형을 나타낸다. 인너 배럴 왜곡을 보정하기 위해서는 도 5의 (a)에 도시한 바와 같이, 1V의 화면 중앙부에서 수평 방향의 변조 속도를 느리게 하고 화면 상하부에서 빠르게 한다. 또한, 도 5의 (b)에 도시한 바와 같이 1H의 화면 중앙부에서 변조 속도를 느리게 하고 화면 좌우부에서 빠르게 한다. 또, 도 5의 (b)에 도시한 바와 같이, 1V의 화면 중앙부와 상하부에서도 1H의 기간에 있어서 변조 속도를 바꾼다. 즉, 도 5의 (b)에 도시한 바와 같이, 화면의 중앙부의 주사 라인에서는 화면 상하부의 주사 라인에 비하여 화면 좌우부에 있어서 변조 속도를 느리게 하고, 화면 상하부의 주사 라인에서는 화면 중앙부의 주사 라인에 비하여 화면 좌우부에 있어서 변조 속도를 빠르게 하도록 한다.

이상 설명한 라인 메모리 회로(128)에 의한 1V 및 1H의 독출 속도 변조의 수단을 이용함으로써, CRT 상에 표시되는 화상은 도 6의 (c)에 도시한 바와 같이 왜곡이 보정된다. 즉, 상기한 왜곡이 보정되지 않은 상태에서 표시되는 화상은 도 6의 (a)에 나타내는 것과 같은 인너 배럴 왜곡을 따른 것이지만, 본 실시예의 왜곡 보정 회로(100)를 이용함으로써 도 6의 (b)에 나타내는 것과 같은 균일한 배럴 왜곡으로 보정된다. 더욱 확실하게 하기 위해서, 편향 회로(300) 내의 DPC 회로에 의해서 배럴 왜곡을 보정함으로써 도 6의 (c)에 도시한 바와 같이 배럴 왜곡이 제거된 화상이 표시된다.

발명의 효과

이상 설명한 것과 같이 본 발명에 의하면, 종래는 편향 회로에서 아날로그 보정에 의해 행하고 있는 인너 핀쿠션 왜곡의 보정 혹은 인너 배럴 왜곡의 보정을 디지털 처리에 의해서 영상 신호 그 자체를 변조하여 보정할 수 있기 때문에, 종래와 같이 아날로그 보정에 의해 발생하는 회로 드리프트가 없고 번잡한 아날

로그 회로를 설계할 필요가 없어지는 효과가 있다.

또한, 본 발명은 이상 설명한 실시예에만 한정되는 것은 아니며, 발명의 요지를 벗어나지 않는 범위에서 여러 가지 변형 실시가 가능하다.

(57) 청구의 범위

청구항 1

아날로그 방식의 휘도 신호 및 색차 신호를 입력하여 각각 디지털 신호로 변환하는 A/D 변환 수단(102, 108)과,

상기 A/D 변환 수단에 의해 A/D 변환된 신호를 기억하는 메모리 수단(128)과,

상기 메모리 수단으로 신호의 기록을 제어하는 것과 동시에 상기 메모리 수단에 기록한 데이터의 독출 속도를 수평 주기와 수직 주기로 변조하여 독출할 수 있는 기록 및 독출 제어 수단(140)과,

상기 메모리 수단으로부터 독출된 신호를 아날로그의 휘도 신호 및 색차 신호로 변환하는 D/A 변환 수단(131, 133, 134)을 구비하는 왜곡 보정 회로에 있어서,

상기 기록 및 독출 제어 수단(140)은 수평 주기 및 수직 주기로 변화하는 파라볼라파 발생 수단(117, 118)을 포함하고, 상기 파라볼라파 발생 수단으로부터의 출력에 응답하여 상기 독출 속도를 변조하는데,

상기 메모리 수단의 수직 주기의 독출 속도를 화면 수직 방향 중앙부에서 빠르게 하는 것과 동시에 화면의 상하부에서는 느리게 하고,

수평 주기의 독출 속도를 화면의 수평 방향 중앙부에서 느리게 하는 것과 동시에 화면의 좌우부에서는 빠르게 하며,

화면의 수직 방향 중앙부에서는 화면의 좌우부에서의 독출 속도를 보다 빠르게하도록 제어하여 인너 핀쿠션 왜곡을 보정하는 것을 특징으로 하는 왜곡 보정 회로.

청구항 2

아날로그 방식의 휘도 신호 및 색차 신호를 입력하여 각각 디지털 신호로 변환하는 A/D 변환 수단(102, 108)과,

상기 A/D 변환 수단에 의해 A/D 변환된 신호를 기억하는 메모리 수단(128)과,

상기 메모리 수단으로 신호의 기록을 제어하는 것과 동시에 상기 메모리 수단에 기록한 데이터의 독출 속도를 수평 주기와 수직 주기로 변조하여 독출할 수 있는 기록 및 독출 제어 수단(140)과,

상기 메모리 수단으로부터 독출된 신호를 아날로그의 휘도 신호 및 색차 신호로 변환하는 D/A 변환 수단(131, 133, 134)을 구비하는 왜곡 보정 회로에 있어서,

상기 기록 및 독출 제어 수단(140)은 수평 주기 및 수직 주기로 변화하는 파라볼라파 발생 수단(117, 118)을 포함하고, 상기 파라볼라파 발생 수단으로부터의 출력에 응답하여 상기 독출 속도를 변조하는데,

상기 메모리 수단의 수직 주기의 독출 속도를 화면 수직 방향 중앙부에서 느리게 하는 것과 동시에 화면의 상하부에서는 빠르게 하고,

수평 주기의 독출 속도를 화면의 수평 방향 중앙부에서 느리게 하는 것과 동시에 화면의 좌우부에서는 빠르게 하며,

화면의 수직 방향 상하부에서는 화면의 좌우부에서의 독출 속도를 보다 빠르게하도록 제어하여 인너 배럴 왜곡을 보정하는 것을 특징으로 하는 왜곡 보정 회로.

청구항 3

제1항 또는 제2항에 있어서, 상기 기록 및 독출 제어 수단은,

수평 주기 신호에 기초하여, 제1 타이밍 신호, 수평 주사 주파수의 소정 배수의 주파수 기록용의 제1 클록 및 수평 주사 주파수의 상기와 다른 소정 배수의 주파수의 제2 클록을 발생하는 클록 발생 회로와;

제2 클록에 기초하여 클록을 발진하며 이 발진 주파수가 수평 주기와 수직 주기의 파라볼라 형태로 변조되는 디지털 제어 발진기와;

상기 수평 동기 신호에 기초로 수평 주기의 파라볼라파 신호를 발생하여 상기 디지털 제어 발진기에 공급하는 수평 파라볼라 발생 회로와;

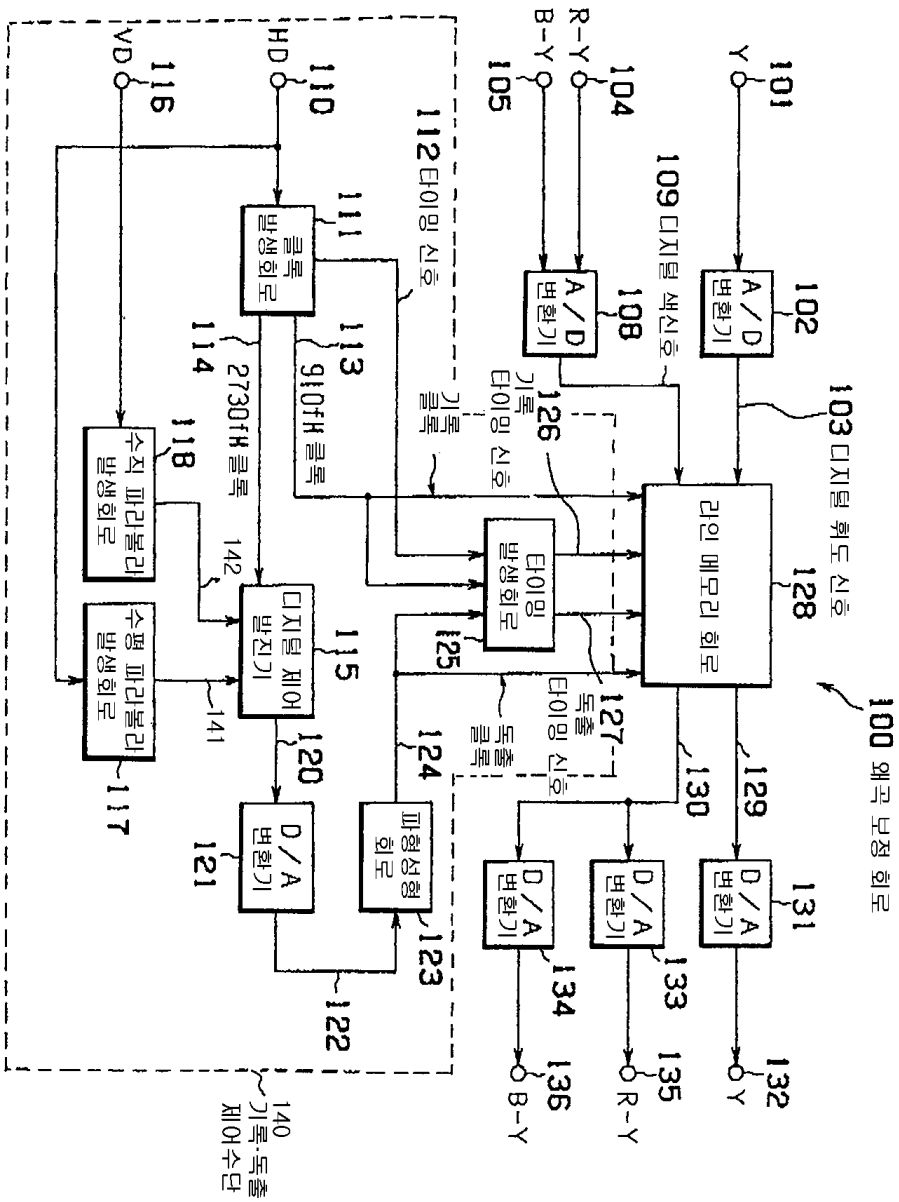
수직 동기 신호에 기초로 수직 동기의 파라볼라파 신호를 발생하여 상기 디지털 제어 발진기에 공급하는 수직 파라볼라 발생 회로와;

상기 디지털 제어 발진기의 출력을 아날로그 신호로 변환하여 독출 클록으로 상기 메모리 수단에 출력하는 D/A 변환기와;

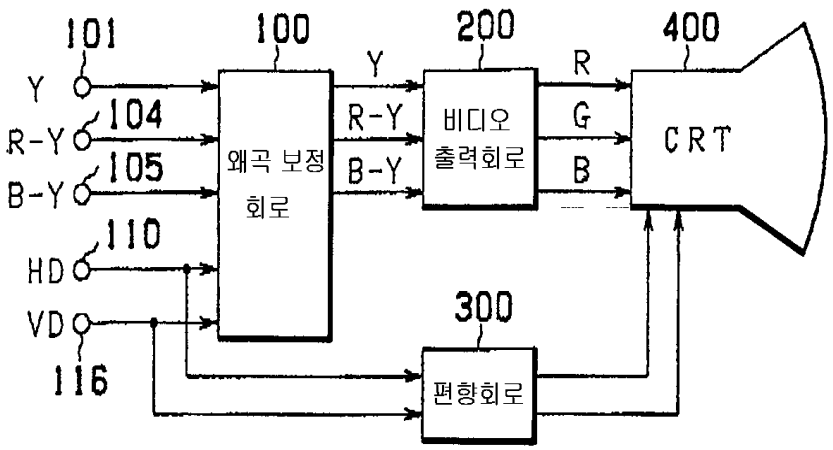
상기 제1 타이밍 신호 및 상기 제1 클록에 기초하여 기록 타이밍 신호를 발생하고 상기 제1 타이밍 신호 및 상기 D/A 변환기로부터의 독출 클록에 기초하여 독출 타이밍 신호를 발생하는 타이밍 발생 회로를 구비한 것인 왜곡 보정 회로.

도면

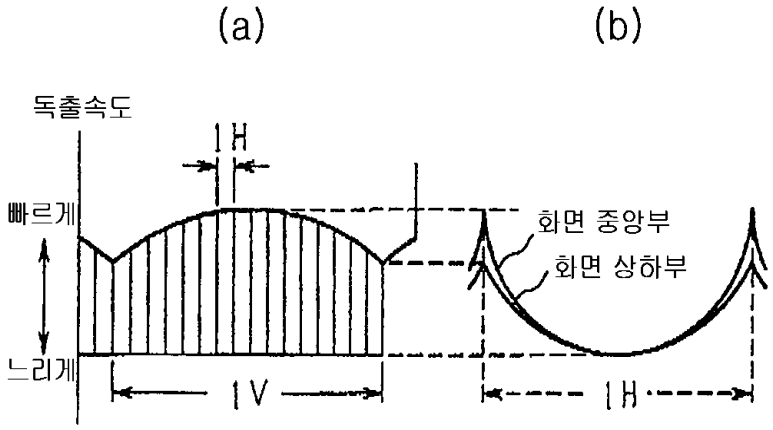
도면1


Y
R-Y
B-Y
HD
VD
A/D 변환기
디지털 색신호
디지털 휘도 신호
라인 메모리 회로
왜곡 보정 회로
타이밍 발생회로
기록 타이밍 신호
기록 클록
독출 타이밍 신호
독출 클록
클록 발생회로
타이밍 신호
910fH 클록
2730fH 클록
수직 파라볼라 발생회로
수평 파라볼라 발생회로
디지털 제어 발진기
D/A 변환기
파형성형 회로
기록·독출 제어수단

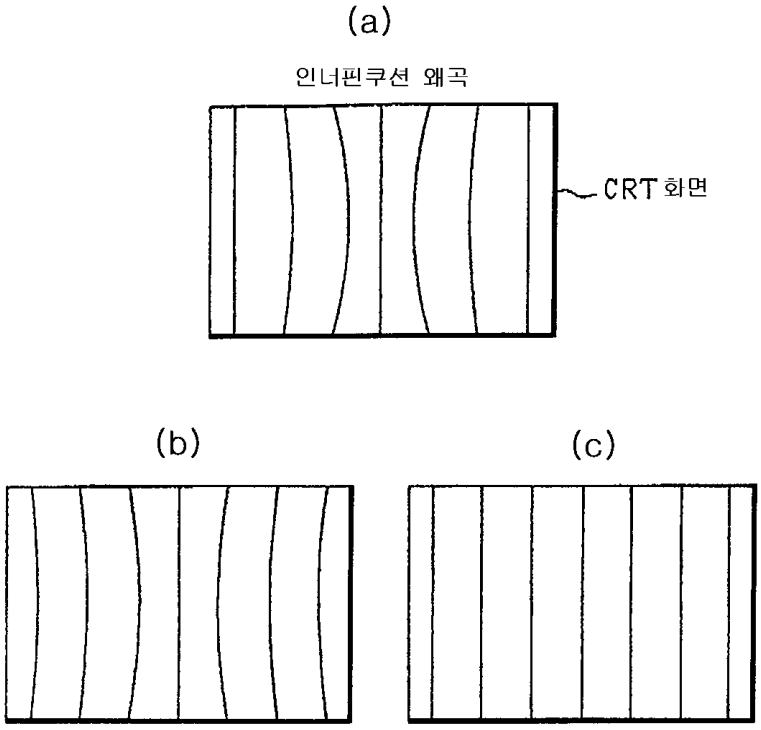
도면2


Y
R-Y
B-Y
HD
VD
왜곡 보정 회로
비디오 출력회로
R
G
B
CRT
편향회로

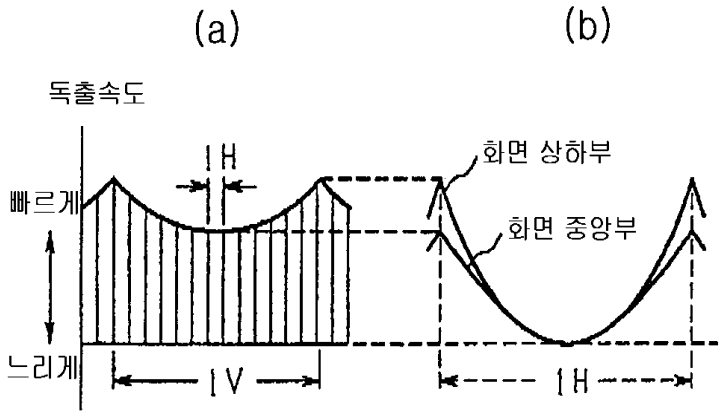
도면3


(a)
(b)
독출속도
H
빠르게
느리게
V
화면 중앙부
화면 상하부
H

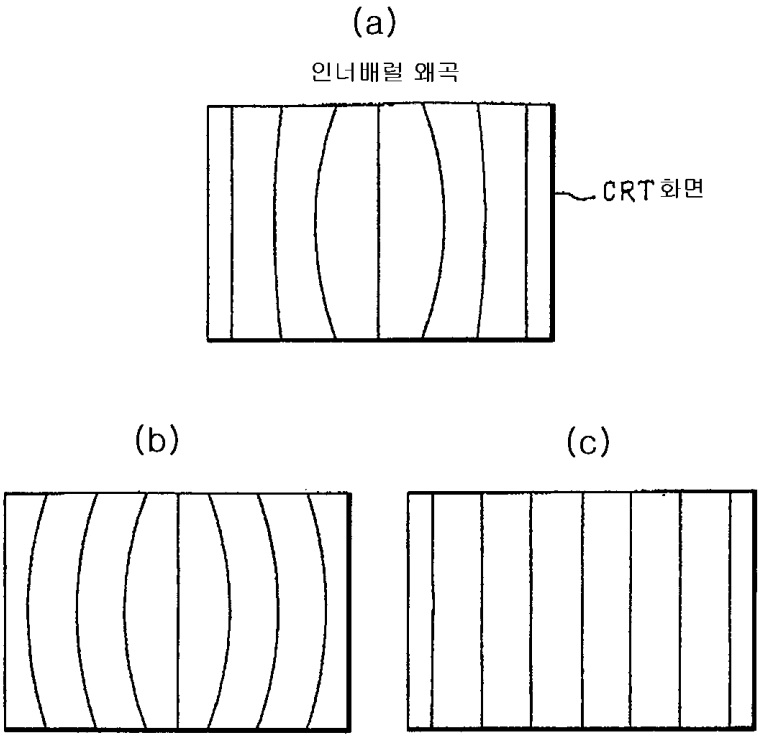
도면4


(a)
인너핀쿠션 왜곡
CRT 화면
(b)
(c)

도면5

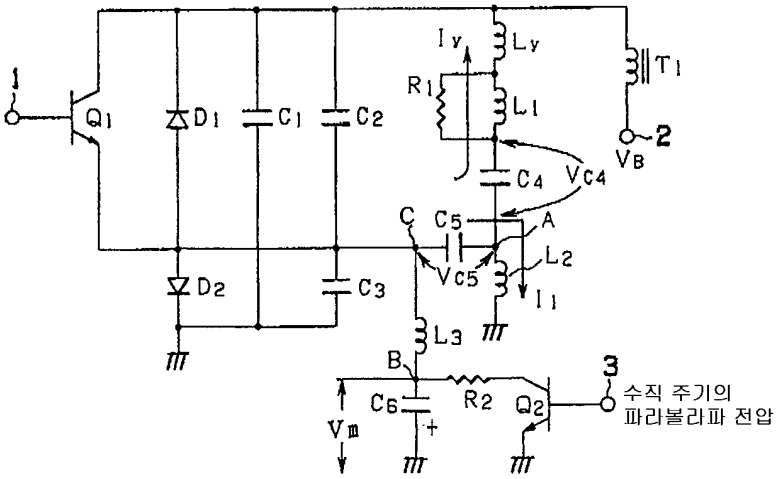

(a)
(b)
독출속도
H
빠르게
느리게
V
화면 상하부
화면 중앙부
H

도면6


(a)
인너배럴 왜곡
CRT화면
(b)
(c)

도면7

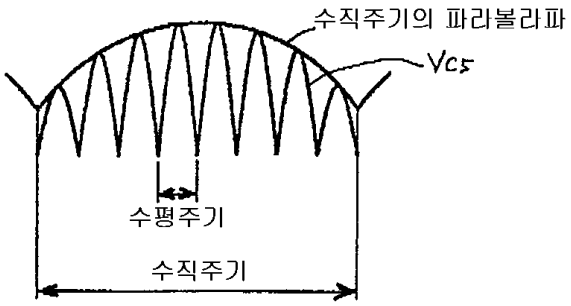
(종래 기술)


1
Q1
D1
C1
C2
Iy
Ly
R1
L1
T1
2
VB
C4
Vc4
C
C5
A
L2
Vc5
I1
D2
C3
L3
B
3
수직 주기의
파라볼라파 전압
C6
R2
Q2
Vm

도면8

(종래 기술)

보정전압파형(C5양단전압파형)

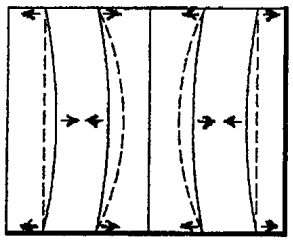


도면9

(종래 기술)

인너핀쿠션 왜곡 보정

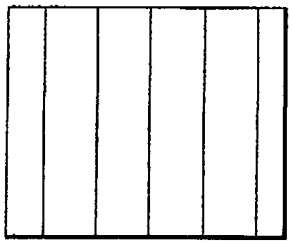
(a)



점선 인너핀쿠션 왜곡 보정전

실선 인너핀쿠션 왜곡 보정후

(b)



도면10

(종래 기술)

