

(43) 国際公開日
2007 年 12 月 27 日 (27.12.2007)

PCT

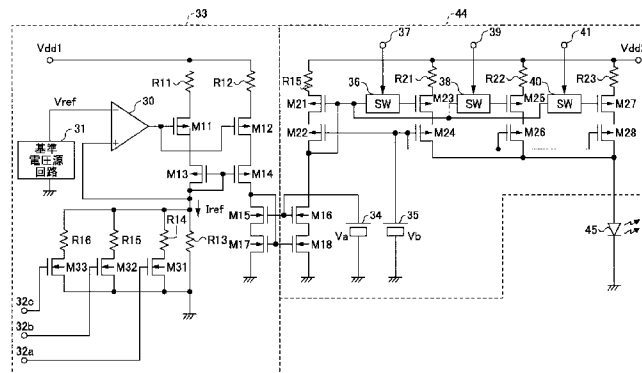
(10) 国際公開番号
WO 2007/148581 A1

- (51) 国際特許分類:
H01L 33/00 (2006.01) H05B 37/02 (2006.01)
- (21) 国際出願番号: PCT/JP2007/061922
- (22) 国際出願日: 2007 年 6 月 13 日 (13.06.2007)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2006-171848 2006 年 6 月 21 日 (21.06.2006) JP
- (71) 出願人 (米国を除く全ての指定国について): ミツミ電機株式会社 (MITSUMI ELECTRIC CO., LTD.) [JP/JP]; 〒2068567 東京都多摩市鶴牧 2 丁目 1 1 番地 2 Tokyo (JP).
- (72) 発明者; および
(75) 発明者/出願人 (米国についてののみ): 山口 公一 (YAMAGUCHI, Koichi) [JP/JP]; 〒2438533 神奈川県厚木市酒井 1 6 0 1 番地 ミツミ電機株式会社 厚木事業所内 Kanagawa (JP). 鈴木 大介 (SUZUKI, Daisuke) [JP/JP]; 〒2438533 神奈川県厚木市酒井 1 6 0 1 番地 ミツミ電機株式会社 厚木事業所内 Kanagawa (JP).
- (74) 代理人: 伊東 忠彦 (ITO, Tadahiko); 〒1506032 東京都渋谷区恵比寿 4 丁目 2 0 番 3 号 恵比寿ガーデンプレイスタワー 3 2 階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, MG,

[続葉有]

(54) Title: LIGHT EMITTING DIODE DRIVING CIRCUIT

(54) 発明の名称: 発光ダイオード駆動回路



31 REFERENCE VOLTAGE SOURCE CIRCUIT

(57) Abstract: Provided is a light emitting diode driving circuit which can highly accurately adjust emission luminance of a light emitting diode and suppress increase of a circuit size. The light emitting diode driving circuit is composed of a reference current section for generating a reference current, and a current outputting section for generating a driving current based on the reference current by using a current mirror circuit and supplying the light emitting diode with the driving current. The reference current section is provided with an operation amplifier which controls the reference current to have a voltage generated by reference current flow in a resistance circuit equal to a fixed reference voltage. The reference current section is also provided with a reference current switching circuit, which is a resistance circuit wherein a plurality of circuits, which connect resistors and transistors in series, with the reference resistors in parallel, voltages generated by the reference current flow is switched by turning on or off the transistor in the series connection circuit, and the reference current is switched.

(57) 要約: 本発明は、発光ダイオードの発光輝度を高精度に調整することができ、かつ、回路規模の増大を抑えることができる発光ダイオード駆動回路を提供することを目的とする。基準電流を生成する基準電流部と、カレントミラー回路を用いて基準電流に基づく駆動電流を生成して発光ダイオードに供給する電流出力部からなる発光ダイオード駆動回路であって、基準電流部は、基準電流が抵抗回路を流れることで発生する電圧が一定の基準電圧と同一となるよう基準電流を制御する演算増幅器と、抵抗とトランジスタの直列接続回路を基準抵

[続葉有]



MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM,
PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL,
SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VC, VN, ZA, ZM, ZW.

IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK,
TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW,
ML, MR, NE, SN, TD, TG).

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

発光ダイオード駆動回路

技術分野

[0001] 本発明は発光ダイオード駆動回路に関し、配列された複数の発光ダイオードそれぞれを駆動する発光ダイオード駆動回路に関する。

背景技術

[0002] プリンタ等において感光体を感光させる手段として、発光ダイオード(以下、「LED」という)をリニアに配列したLEDアレイを用いたものがある。このようなLEDアレイの各LEDを駆動する駆動回路としては、例えば特許文献1, 2等に記載されているものがある。

[0003] 図3は、従来の発光ダイオード駆動回路の一例の回路構成図を示す。この駆動回路は半導体集積回路化されている。

[0004] 同図中、演算増幅器10の反転入力端子には基準電圧源11より基準電圧 V_{ref} が印加されている。演算増幅器10の出力端子はpチャネルMOS電界効果トランジスタ(以下、単に「MOSTランジスタ」という)M0のゲートに接続されると共に、pチャネルMOSTランジスタM1のゲートに接続され、また、アナログスイッチ等のスイッチ12, 13を介してpチャネルMOSTランジスタM2, M3のゲートに接続されている。MOSTランジスタM0, M1, M2, M3のソースは電源 V_{dd1} に接続されている。MOSTランジスタM0, M1はカレントミラー回路を構成し、スイッチ12, 13のオン時にMOSTランジスタM0はMOSTランジスタM1～M3と共にカレントミラー回路を構成する。

[0005] MOSTランジスタM0のドレインは演算増幅器10の非反転入力端子に接続されると共に、抵抗R1を介して接地されている。MOSTランジスタM1, M2, M3のドレインはnチャネルMOSTランジスタM4のドレインに共通接続されている。スイッチ12, 13は端子14a, 14bそれぞれから供給される輝度制御用のスイッチ制御信号に応じてオン／オフを切り換える。

[0006] MOSTランジスタM4のドレインはnチャネルMOSTランジスタM4, M5のゲートに共通接続され、MOSTランジスタM4, M5のソースは接地されており、MOSTランジ

スタM4, M5はカレントミラー回路を構成している。

[0007] MOSTランジスタM5のドレインはpチャネルMOSTランジスタM6のゲートとドレインに接続されている。MOSTランジスタM6のゲートはアナログスイッチ等のスイッチ15, 16それぞれを介してpチャネルMOSTランジスタM7, M8のゲートに接続されている。MOSTランジスタM6, M7, M8のソースは電源Vdd2に接続され、MOSTランジスタM7, M8のドレインはLED(発光ダイオード)18のアノードに接続され、LED18のカソードは接地されている。

[0008] スイッチ15, 16は、端子17a, 17bそれぞれから供給される階調制御用のスイッチ制御信号に応じてオン／オフを切り換える。MOSTランジスタM7, M8はスイッチ15, 16がオンのときにMOSTランジスタM6とカレントミラー回路を構成する。スイッチ15はLED18を発光させるタイミングでオンとなり、スイッチ16はLED18の発光輝度を増大させて階調表現を行う場合にオンとなる。

[0009] 演算増幅器10は基準電圧Vrefと抵抗R1により、(1)式で表わされる第1基準電流Iref1をMOSTランジスタM0のドレインに流し、MOSTランジスタM0, M1のゲート面積比が1:Aであれば、MOSTランジスタM4のドレインに電流 $A \times I_{ref1}$ が流れる(スイッチ13がオフの状態)。

[0010] $I_{ref1} = V_{ref} / R1$ …(1)

MOSTランジスタM1とMOSTランジスタM2, M3のゲート面積比が10:1である場合、スイッチ12をオンとしてMOSTランジスタM2をオンすると、MOSTランジスタM1のドレイン電流にMOSTランジスタM2のドレイン電流が加算されてMOSTランジスタM4のドレイン電流($1.1 \times A \times I_{ref1}$)となる。また、スイッチ12, 13をオンとしてMOSTランジスタM2, M3をオンすると、MOSTランジスタM1のドレイン電流にMOSTランジスタM2, M3のドレイン電流が加算されてMOSTランジスタM4のドレイン電流($1.2 \times A \times I_{ref1}$)となる。このMOSTランジスタM4のドレイン電流が第2基準電流となってMOSTランジスタM5, M6のドレイン電流を決定するため、階調表現にかかわらず、LED18に流れる電流はスイッチ12のオンにより1.1倍となってLED18の発光輝度を約1.1倍とし、スイッチ12, 13のオンにより1.2倍となってLED18の発光輝度を約1.2倍とする。

特許文献1:特許第3296882号公報

特許文献2:特許第2516236号公報

発明の開示

発明が解決しようとする課題

[0011] 従来の発光ダイオード駆動回路では、MOSTランジスタM1と並列に、スイッチ12, 13及びMOSTランジスタM2, M3を設け、スイッチ12, 13のオン／オフ制御を行うことで、LED18の発光輝度を調整していた。

[0012] この場合、LED18の発光輝度をより細かに調整しようとする、MOSTランジスタM1と並列に設けるスイッチ及びMOSTランジスタの段数を10数段から数10段と増加させなければならず、回路規模が大きくなるという問題があった。

[0013] 本発明は、上記の点に鑑みなされたものであり、発光ダイオードの発光輝度を高精度に調整することができ、かつ、回路規模の増大を抑えることができる発光ダイオード駆動回路を提供することを目的とする。

課題を解決するための手段

[0014] 本発明の発光ダイオード駆動回路は、基準電流を生成する基準電流部と、カレントミラー回路を用いて前記基準電流に基づく駆動電流を生成して発光ダイオードに供給する電流出力部からなる発光ダイオード駆動回路であって、

前記基準電流部は、前記基準電流が抵抗回路を流れることで発生する電圧が一定の基準電圧と同一となるよう前記基準電流を制御する演算増幅器と、

抵抗とトランジスタの直列接続回路を基準抵抗と並列に複数接続した抵抗回路であり、前記直列接続回路のトランジスタを制御信号に応じてオンまたはオフさせて前記基準電流が流れることで発生する電圧を切り替え、前記基準電流を切り替える基準電流切り替え回路を有することにより、発光ダイオードの発光輝度を高精度に調整することができ、かつ、回路規模の増大を抑えることができる。

[0015] 前記発光ダイオード駆動回路において、

前記複数の直列接続回路の抵抗は、前記基準抵抗と抵抗値が異なることができる。

発明の効果

- [0016] 本発明によれば、発光ダイオードの発光輝度を高精度に調整することができ、かつ、回路規模の増大を抑えることができる。

図面の簡単な説明

- [0017] [図1]本発明の発光ダイオード駆動回路を用いたLEDアレイ装置の一実施形態のブロック構成図である。
- [図2]本発明の発光ダイオード駆動回路の一実施形態の回路構成図である。
- [図3]従来の発光ダイオード駆動回路の一例の回路構成図である。

符号の説明

- [0018] 30 演算増幅器
- 31 基準電圧源回路
- 33 基準電流部
- 34, 35 電圧源
- 36, 38, 40 スイッチ
- 44 電流出力部
- 45 LED
- M11～M33 MOSTランジスタ
- R11～R23 抵抗
- Vdd1, Vdd2 電源

発明を実施するための最良の形態

- [0019] [実施例]

以下、図面に基づいて本発明の実施形態について説明する。

- [0020] 〈LEDアレイ駆動回路の構成〉

図1は、本発明の発光ダイオード駆動回路を用いたLEDアレイ装置の一実施形態のブロック構成図を示す。このLEDアレイ装置は例えば48チャンネル構成である。

- [0021] 同図中、シフトレジスタ20には1チャンネルについて例えば6ビットの発光時間データが48チャンネル分時系列で供給され、シフトレジスタ20で順次シフトされてラッチされ

たのち、パルス幅変調回路22に供給される。パルス幅変調回路22は、チャンネル毎に発光時間データで指示されるパルス幅の発光パルスを生成し、48チャンネル分の発光パルスをLEDアレイ駆動回路26に供給する。

[0022] シフトレジスタ24には1チャンネルについて例えば6ビットの発光輝度データが48チャンネル分時系列で供給され、シフトレジスタ24で順次シフトされてラッチされたのち、LEDアレイ駆動回路26に供給される。LEDアレイ駆動回路26は、チャンネル毎に発光輝度データをデコードしてn系統のスイッチ制御信号を生成し、チャンネル毎に発光パルスでオンさせるMOSTランジスタを上記n系統のスイッチ制御信号によって決定する。LEDアレイ駆動回路26はLEDアレイ28を構成する48チャンネルのLEDをチャンネル単位に駆動する。

[0023] <発光ダイオード駆動回路の構成>

図2は、本発明の発光ダイオード駆動回路の一実施形態の回路構成図を示す。この駆動回路は半導体集積回路化されている。

[0024] 同図中、演算増幅器30の反転入力端子には基準電圧源回路31より基準電圧 V_{ref} が印加されている。演算増幅器30の出力端子はpチャンネルMOSTランジスタM11, M12それぞれのゲートに接続されている。MOSTランジスタM11, M12それぞれのソースは抵抗R11, R12それぞれを介して電源 V_{dd1} に接続されてカレントミラー回路を構成している。MOSTランジスタM11, M12それぞれのドレインはpチャンネルMOSTランジスタM13, M14それぞれのソースに接続されている。

[0025] MOSTランジスタM13, M14のゲートはMOSTランジスタM13のドレインに共通接続されてカレントミラー回路を構成しており、MOSTランジスタM13のドレインは演算増幅器30の非反転入力端子に接続されると共に、抵抗R13, R14, R15, R16それぞれの一端に接続されている。抵抗R13の他端は接地されている。

[0026] MOSTランジスタM11～M14はカレントミラー回路がカスケード接続された構成とすることにより、MOSTランジスタM11, M12のドレイン電位が略同一となり、ゲート面積が同一の場合MOSTランジスタM13, M14のドレイン電流は略同一となる。

[0027] 抵抗R14, R15, R16それぞれの他端にはnチャンネルMOSTランジスタM31, M32, M33のドレインが接続され、MOSTランジスタM31, M32, M33のソースは接地

されている。MOSTランジスタM31, M32, M33のゲートには端子32a, 32b, 32cから輝度制御用のスイッチ制御信号が供給される。

[0028] MOSTランジスタM14のドレインはnチャネルMOSTランジスタM15のドレインに接続されている。MOSTランジスタM15のゲートはnチャネルMOSTランジスタM16のゲートと接続されてカレントミラー回路を構成している。

[0029] MOSTランジスタM15, M16それぞれのソースはnチャネルMOSTランジスタM17, M18それぞれのドレインに接続されている。MOSTランジスタM17, M18のゲートはMOSTランジスタM15のドレインに共通接続されてカレントミラー回路を構成し、MOSTランジスタM17, M18のソースは接地されている。

[0030] MOSTランジスタM15～M18はカレントミラー回路がカスケード接続された構成となることにより、MOSTランジスタM15, M16のソース電位が略同一となり、ゲート面積が同一の場合MOSTランジスタM15, M16のドレイン電流は略同一となる。なお、MOSTランジスタM15, M16のゲートには電圧源34より定電圧 V_a が印加されることでMOSTランジスタM17, M18のドレイン電位は $V_a - V_{gs1}$ (V_{gs1} はnチャネルMOSTランジスタのゲート・ドレイン間電圧)となる。

[0031] 上記の演算増幅器30, 基準電圧源回路31, MOSTランジスタM11～M15及びM17は基準電流部33を構成している。演算増幅器30は、MOSTランジスタM13のドレイン電流が抵抗R13, R14, R15, R16を流れることにより生じるMOSTランジスタM13のドレイン電圧と基準電圧源回路31からの基準電圧 V_{ref} と差動増幅して、両者が同一となるようにMOSTランジスタM11のドレイン電流を制御してMOSTランジスタM13のドレインに一定の基準電流 I_{ref} を流す。また、カレントミラー回路によってMOSTランジスタM16のドレインに基準電流 I_{ref} に比例した電流が流れる。

[0032] MOSTランジスタM16のドレインはpチャネルMOSTランジスタM22のドレインに接続されている。MOSTランジスタM22のソースはpチャネルMOSTランジスタM21のドレインに接続されている。MOSTランジスタM21のソースは抵抗R15を介して電源 V_{dd2} に接続されている。

[0033] MOSTランジスタM21のゲートはMOSTランジスタM22のドレインに接続されると共に、アナログスイッチ等のスイッチ36, 38, 40それぞれを介してpチャネルMOST

ランジスタM23, M25, M27のゲートに接続されている。スイッチ36, 38, 40がオンするとMOSTランジスタM23, M25, M27のゲート電位をMOSTランジスタM21のゲート電圧と同一にしてMOSTランジスタM23, M25, M27をオンし、スイッチ36, 38, 40がオフするとMOSTランジスタM23, M25, M27のゲート電位を電源電圧V_{dd2}としてMOSTランジスタM23, M25, M27をオフする。

[0034] MOSTランジスタM23, M25, M27それぞれのソースは抵抗R21, R22, R23それぞれを介して電源V_{dd2}に接続されており、MOSTランジスタM23, M25, M27はスイッチ36, 38, 40がオンのときにMOSTランジスタM21とカレントミラー回路を構成する。

[0035] MOSTランジスタM22のゲートはpチャネルMOSTランジスタM24, M26, M28のゲートに接続されている。MOSTランジスタM23, M25, M27それぞれのドレインはMOSTランジスタM24, M26, M28のソースに接続されており、MOSTランジスタM22, M24, M26, M28はカレントミラー回路を構成している。

[0036] MOSTランジスタM21～M28はカレントミラー回路がカスケード接続された構成となることにより、MOSTランジスタM21, M23, M25, M27のドレイン電位が略同一となり、ゲート面積が同一の場合MOSTランジスタM22, M24, M26, M28のドレイン電流は略同一となる。ここでは、階調表現を行うために、例えばMOSTランジスタM21, M22のゲート面積に対して、MOSTランジスタM23, M24のゲート面積は6倍、MOSTランジスタM25, M26のゲート面積は3倍、MOSTランジスタM27, M28のゲート面積は2倍というように、ゲート面積をそれぞれ異ならせている。

[0037] なお、MOSTランジスタM22, M24, M26, M28のゲートには電圧源35より定電圧V_bが印加されて、MOSTランジスタM22, M24, M26, M28のソース電位はV_b + V_{gs2} (V_{gs2}はpチャネルMOSTランジスタのゲート・ドレイン間電圧)とされている。

[0038] スwitch 36, 38, 40それぞれは端子37, 39, 41それぞれから供給されるn(ここではn=3)系統のスイッチ制御信号に応じてオン／オフを切り換える。なお、nは3に限らない。MOSTランジスタM24, M26, M28のドレインはLED45のアノードに接続され、LED45のカソードは接地されている。

[0039] ここで、スイッチ36, 38, 40がオフのときMOSTランジスタM23, M25, M27はオフしLED45に電流は流れない。スイッチ36がオンするとMOSTランジスタM23のドレイン電流がLED45に流れ、スイッチ36, 38がオンするとMOSTランジスタM23, M25のドレイン電流の和がLED45に流れ、スイッチ36, 38, 40がオンするとMOSTランジスタM23, M25, M27のドレイン電流の和がLED45に流れ、LED45は流れる電流が大きくなるほど発光輝度が大きくなる。

[0040] 上記のスイッチ36, 38, 40, MOSTランジスタM16, M18～M28が1チャンネル分の電流出力部44を構成しており、48チャンネル分の同一構成の電流出力部44が基準電流部33に接続されている。各チャンネルの電流出力部44はそれぞれに接続されているLED45(LEDアレイ28の一部)を駆動する。

[0041] <発光ダイオードの輝度調整>

ここで、抵抗R13, R14, R15, R16それぞれの抵抗値の比は、例えば1:2:4:8とされている。端子32a～32cからのスイッチ制御信号が総てローレベルのときMOSTランジスタM31～M33はオフしてMOSTランジスタM13のドレインは抵抗R13を介して接地される。

[0042] 端子32aからのスイッチ制御信号がハイレベルのときMOSTランジスタM31がオンしてMOSTランジスタM13のドレインは抵抗R13と抵抗R14の並列接続を介して接地される。同様に、端子32bからのスイッチ制御信号がハイレベルのときMOSTランジスタM32がオンしてMOSTランジスタM13のドレインは抵抗R13と抵抗R15の並列接続を介して接地され、端子32cからのスイッチ制御信号がハイレベルのときMOSTランジスタM33がオンしてMOSTランジスタM13のドレインは抵抗R13と抵抗R15の並列接続を介して接地される。

[0043] また、端子32a, 32bからのスイッチ制御信号がハイレベルのときMOSTランジスタM31, M32がオンしてMOSTランジスタM13のドレインは抵抗R13と抵抗R14とR15の並列接続を介して接地され、端子32b, 32cからのスイッチ制御信号がハイレベルのときMOSTランジスタM32, M33がオンしてMOSTランジスタM13のドレインは抵抗R13と抵抗R15と抵抗R16の並列接続を介して接地され、端子32a, 32cからのスイッチ制御信号がハイレベルのときMOSTランジスタM31, M33がオンしてMO

ストランジスタM13のドレインは抵抗R13と抵抗R14と抵抗R16の並列接続を介して接地され、端子32a, 32b, 32cからのスイッチ制御信号がハイレベルのときMOSTランジスタM31, M32, M33がオンしてMOSTランジスタM13のドレインは抵抗R13と抵抗R14と抵抗R15と抵抗R16の並列接続を介して接地される。

[0044] つまり、MOSTランジスタM13のドレイン抵抗を最大で抵抗R13とし、最小で $(R13 // R14 // R15 // R16)$ とすることができる。なお、 $R13 // R14 // R15 // R16$ は抵抗R13, R14, R15, R16の並列接続の合成抵抗を表す。

[0045] これによって、MOSTランジスタM13のドレインを流れる第1基準電流Irefの最小値Iref(min)が(2)式で表わされ、最大値Iref(max)が(3)式で表される。

[0046] $I_{ref}(\min) = V_{ref} / R13 \quad \dots (2)$

$I_{ref}(\max) = V_{ref} / (R13 // R14 // R15 // R16) \dots (3)$

本発明では、LED45の発光輝度が所望の値となるように、端子32a～32cからのスイッチ制御信号によりMOSTランジスタM13のドレインに流れる第1基準電流Irefを調整する。

[0047] 従来は、LED18の発光輝度をより細かに調整しようとする、MOSTランジスタM1と並列に設けるスイッチ及びMOSTランジスタの段数を10数段から数10段と増加させなければならなかったが、本発明ではMOSTランジスタM31, M32, M33と抵抗R14, R15, R16の簡単な構成で、スイッチ制御信号のビット数をNとすると 2^N 通りの輝度調整を行うことができる。

[0048] なお、抵抗R13が請求項記載の基準抵抗に相当し、抵抗R13～R16, MOSTランジスタM31～M33が抵抗回路と基準電流切り替え回路に相当する。

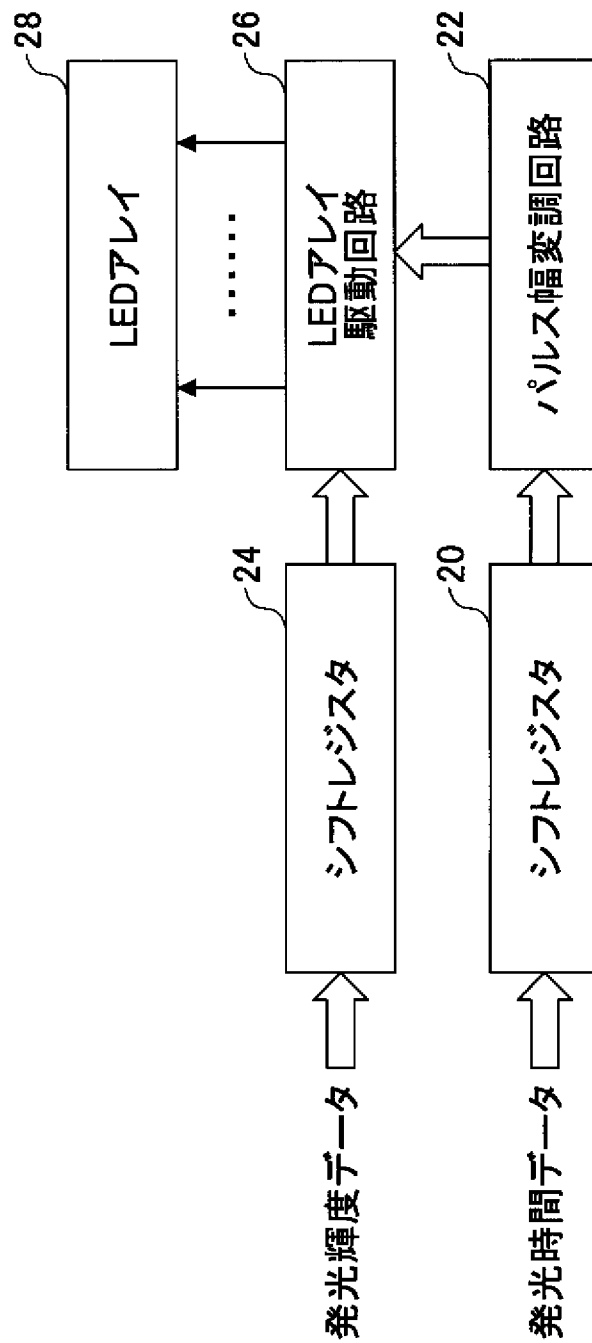
[0049] 以上本発明の好ましい実施例について詳述したが、本発明はかかる特定の実施形態に限定されるものではなく、特許請求の範囲に記載された本発明の趣旨の範囲内において、種々の変形・変更が可能である。

[0050] 本願は、2006年6月21日に出願した日本国特許出願2006-171848号に基づく優先権を主張するものであり、同日本国出願の全内容を本願に参照により援用する。

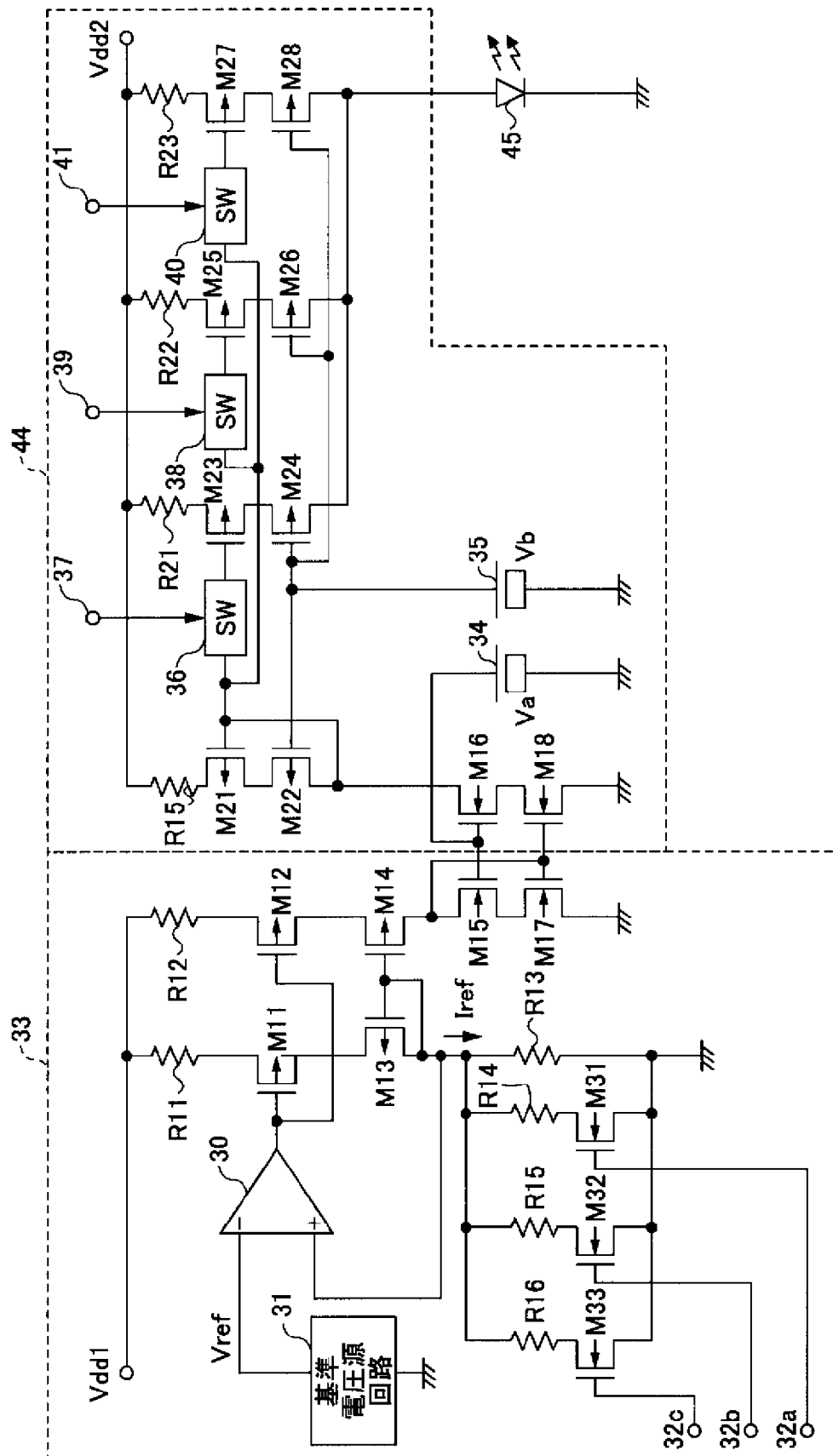
請求の範囲

- [1] 基準電流を生成する基準電流部と、カレントミラー回路を用いて前記基準電流に基づく駆動電流を生成して発光ダイオードに供給する電流出力部からなる発光ダイオード駆動回路であって、
- 前記基準電流部は、前記基準電流が抵抗回路を流れることで発生する電圧が一定の基準電圧と同一となるよう前記基準電流を制御する演算増幅器と、
- 抵抗とトランジスタの直列接続回路を基準抵抗と並列に複数接続した抵抗回路であり、前記直列接続回路のトランジスタを制御信号に応じてオンまたはオフさせて前記基準電流が流れることで発生する電圧を切り替え、前記基準電流を切り替える基準電流切り替え回路を
- 有することを特徴とする発光ダイオード駆動回路。
- [2] 請求項1記載の発光ダイオード駆動回路において、
- 前記複数の直列接続回路の抵抗は、前記基準抵抗と抵抗値が異なることを特徴とする発光ダイオード駆動回路。

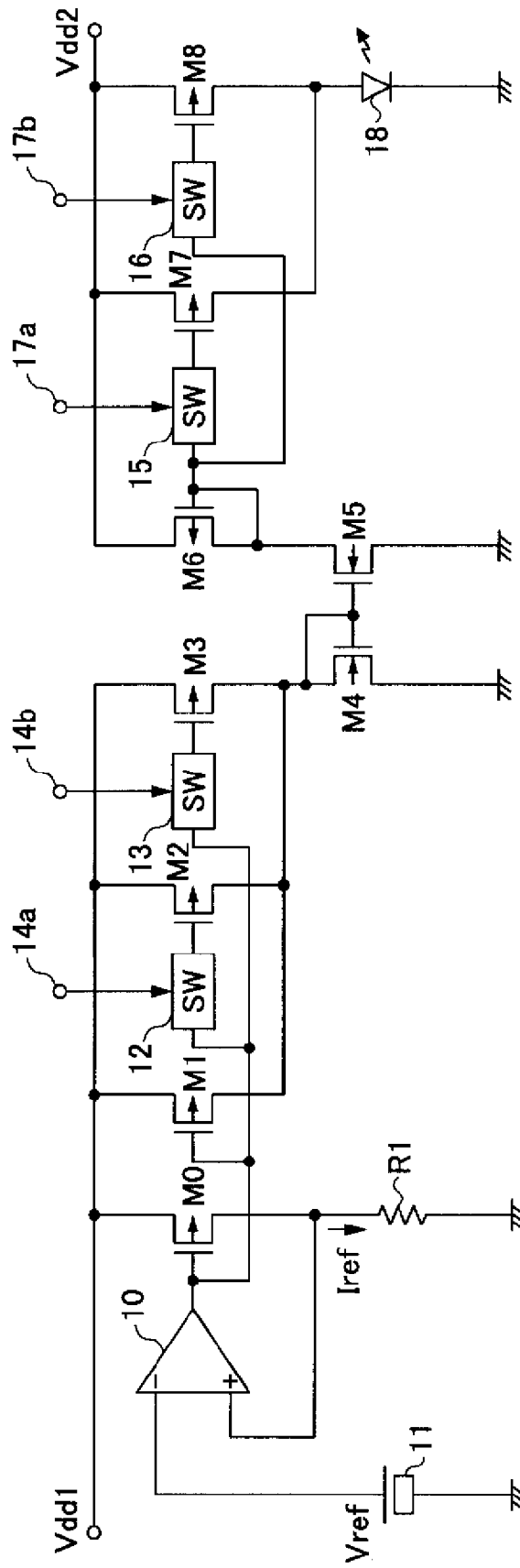
[図1]



[図2]



[図3]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/061922

A. CLASSIFICATION OF SUBJECT MATTER

H01L33/00(2006.01) i, H05B37/02(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L33/00, H05B37/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2007
Kokai Jitsuyo Shinan Koho	1971-2007	Toroku Jitsuyo Shinan Koho	1994-2007

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-237489 A (Yamaha Corp.), 31 August, 2001 (31.08.01), Full text; all drawings & US 2003/0189961 A1	1, 2
E, A	JP 2006-222842 A (Texas Instruments Japan Ltd.), 24 August, 2006 (24.08.06), Full text; all drawings & US 2006/0181259 A1	1, 2

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
03 July, 2007 (03.07.07)

Date of mailing of the international search report
17 July, 2007 (17.07.07)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L33/00(2006.01)i, H05B37/02(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L33/00, H05B37/02

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 7 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 7 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 7 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2 0 0 1 - 2 3 7 4 8 9 A (ヤマハ株式会社) 2 0 0 1.0 8. 3 1, 全文、全図 & US 2 0 0 3 / 0 1 8 9 9 6 1 A1	1, 2
E, A	JP 2 0 0 6 - 2 2 2 8 4 2 A (日本テキサス・インスツルメンツ株 式会社) 2 0 0 6.0 8. 2 4, 全文、全図 & US 2 0 0 6 / 0 1 8 1 2 5 9 A1	1, 2

C 欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 3 . 0 7 . 2 0 0 7

国際調査報告の発送日

1 7 . 0 7 . 2 0 0 7

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

樫本 英吾

2 K

9 6 0 9

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 5 5