



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I451725 B

(45)公告日：中華民國 103 (2014) 年 09 月 01 日

(21)申請案號：099126205

(22)申請日：中華民國 99 (2010) 年 08 月 05 日

(51)Int. Cl. : H04L12/70 (2013.01)

H03M13/03 (2006.01)

(30)優先權：2009/09/02 印度

2125/CHE/2009

(71)申請人：艾基爾系統公司(美國) AGERE SYSTEMS INC. (US)

美國

(72)發明人：黑達歐 艾托 契桑羅 HEDAOO, ATUL KISANRAO (IN)；瑞卡爾 羅雅許 卡辛內什 RAIKAR, RAYESH KASHINATH (IN)

(74)代理人：陳長文

(56)參考文獻：

TW 200718074A

US 6243846B1

US 2003/0226089A1

US 2006/0259849A1

US 2009/0119566A1

審查人員：林立中

申請專利範圍項數：9 項 圖式數：9 共 0 頁

(54)名稱

用於錯誤防止之封包式訊框之接收器

RECEIVER FOR ERROR-PROTECTED PACKET-BASED FRAME

(57)摘要

在一實施例中，揭示一種用於媒體封包之一訊框之使用即時傳輸協定(RTP)及前向錯誤校正(FEC)之接收器。該接收器包括一封包緩衝器及一 FEC 解碼器。在一封包由該封包緩衝器所接收之後，在不等待整個訊框(或者，確實地，該訊框之任何隨後的封包)被接收之情況下，該 FEC 解碼器讀取該封包，且(作為 FEC 處理之一部分)對該封包執行一 XOR 運算。累計該等 XOR 運算結果直至足夠的封包經接收以重建在該訊框中的一遺漏封包為止。因為該等 XOR 運算係在接收一封包之後立即執行，而無來自等待隨後的封包之任何延遲之情況下，該接收器具有一非常低的延時，且該封包緩衝器可係相對較小。

In one embodiment, a receiver for a frame of media packets employing the real-time transmission protocol (RTP) and forward error correction (FEC) is disclosed. The receiver comprises a packet buffer and an FEC decoder. After a packet is received by the packet buffer, the FEC decoder reads the packet and, as part of FEC processing, performs an XOR operation on the packet, without waiting for the entire frame (or, indeed, for any subsequent packet of the frame) to be received. The XOR operation results are accumulated until sufficient packets are received to reconstruct a missing packet in the frame. Because the XOR operations are performed immediately after a packet is received, without any delay from waiting for subsequent packets, the receiver has a very low latency, and the packet buffer may be relatively small.

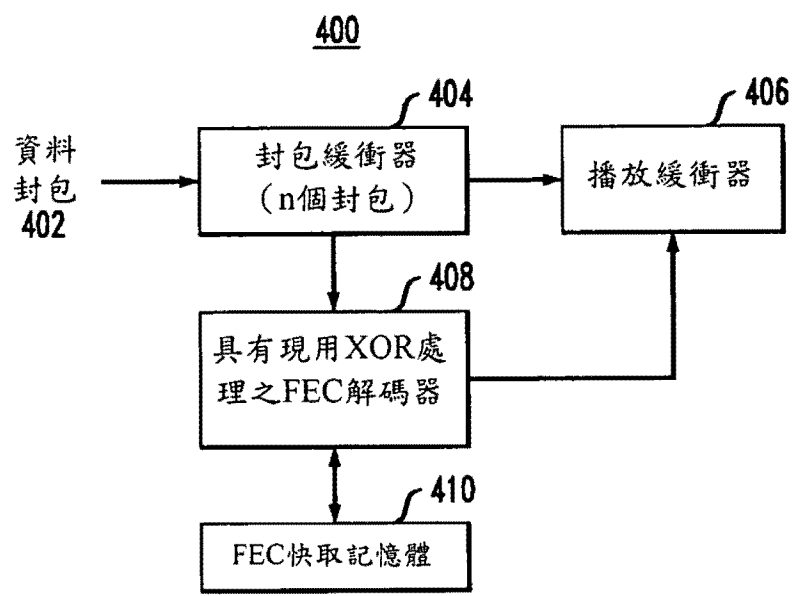


圖 4

- 400 . . . 接收器
- 402 . . . 資料封包
- 404 . . . 封包緩衝器
- 406 . . . 播放緩衝器
- 408 . . . FEC 解碼器
- 410 . . . FEC 快取記憶體

公告本**發明專利說明書**

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號： 99126205

※申請日： 99.8.5

※IPC 分類：H04L 12/70 (2013.01)

一、發明名稱：(中文/英文)

H03M 13/03 (2006.01)

用於錯誤防止之封包式訊框之接收器

RECEIVER FOR ERROR-PROTECTED PACKET-BASED FRAME

二、中文發明摘要：

在一實施例中，揭示一種用於媒體封包之一訊框之使用即時傳輸協定(RTP)及前向錯誤校正(FEC)之接收器。該接收器包括一封包緩衝器及一FEC解碼器。在一封包由該封包緩衝器所接收之後，在不等待整個訊框(或者，確實地，該訊框之任何隨後的封包)被接收之情況下，該FEC解碼器讀取該封包，且(作為FEC處理之一部分)對該封包執行一XOR運算。累計該等XOR運算結果直至足夠的封包經接收以重建在該訊框中的一遺漏封包為止。因為該等XOR運算係在接收一封包之後立即執行，而無來自等待隨後的封包之任何延遲之情況下，該接收器具有一非常低的延時，且該封包緩衝器可係相對較小。

三、英文發明摘要：

In one embodiment, a receiver for a frame of media packets employing the real-time transmission protocol (RTP) and forward error correction (FEC) is disclosed. The receiver comprises a packet buffer and an FEC decoder. After a packet is received by the packet buffer, the FEC decoder reads the packet and, as part of FEC processing, performs an XOR operation on the packet, without waiting for the entire frame (or, indeed, for any subsequent packet of the frame) to be received. The XOR operation results are accumulated until sufficient packets are received to reconstruct a missing packet in the frame. Because the XOR operations are performed immediately after a packet is received, without any delay from waiting for subsequent packets, the receiver has a very low latency, and the packet buffer may be relatively small.

四、指定代表圖：

(一)本案指定代表圖為：第(4)圖。

(二)本代表圖之元件符號簡單說明：

400	接收器
402	資料封包
404	封包緩衝器
406	播放緩衝器
408	FEC解碼器
410	FEC快取記憶體

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

六、發明說明：

【發明所屬之技術領域】

本發明係關於在一種具有一錯誤校正解碼器之接收器中的緩衝記憶體管理，且特定而言一種前向錯誤校正(FEC)解碼器。

【先前技術】

FEC技術普遍使用於諸如網際網路之封包式網路以補償封包損失。適合與使用即時傳輸協定(RTP)之即時媒體封包一起使用的一FEC技術係在由網際網路協會在1999年12月所公佈的、由J. Rosenberg等人之標題為「An RTP Payload Format for Generic Forward Error Correction」之美國專利案第6,141,788號及網際網路標準追蹤協定第RFC-2733號中描述，該兩案之各者之全文係以引用的方式併入本文中。根據此技術，在傳輸之前，將稱為一核對和或FEC封包之一額外的封包添加至一媒體訊框或資料封包區塊。在一接收器處，在訊框中的一損失資料封包可藉由組合該核對和封包與成功接收的該等資料封包而恢復及重建。更具體而言，該損失資料封包係藉由對該核對和封包及該等成功接收的資料封包執行一數學運算(例如，一互斥或(XOR)邏輯運算)而恢復。該損失資料封包可接著自數學運算之結果而重建。

圖1描繪使用根據網際網路標準追蹤協定第RFC-2733號之FEC解碼之一習知接收器100。接收器100包含連接至一FEC解碼器108及一播放緩衝器106之一封包緩衝器104。

FEC解碼器108亦係連接至播放緩衝器106。

圖2描繪習知接收器100之操作。操作開始於區塊202。在區塊204，一經接收的封包102係儲存於封包緩衝器104中。在區塊206，將封包102之一複本傳送至播放緩衝器106；然而，將封包102保留在封包緩衝器104中用於藉由FEC解碼器108之隨後處理。在區塊208，FEC解碼器108判定封包102所屬之媒體訊框F是否準備好進行FEC解碼(例如，當對於一給定媒體訊框F，已接收一FEC封包及除一資料封包之外的所有資料封包)。若不是，則操作返回區塊204，其中接收及儲存一隨後的封包。然而，若訊框F準備好進行FEC解碼，則在區塊210，FEC解碼器108對於媒體訊框F從封包緩衝器104讀取經接收的封包(即，除一資料封包之外的所有該等資料封包及該FEC封包)且對經接收的封包執行數學運算(例如，XOR邏輯運算)。在區塊212，FEC解碼器108根據熟知技術、基於數學運算之結果而重建遺漏封包。在區塊214，FEC解碼器108將經恢復的封包傳送至播放緩衝器106。

然而，習知接收器100之一劣勢係封包緩衝器104之相對大的大小。例如，一MPEG媒體訊框可能具有多達24個資料封包加一FEC封包，共有25個封包。如此，在需用於儲存一MPEG媒體訊框之封包緩衝器104中的緩衝記憶體之數量*MemPerFrame*可定義如下：

$$MemPerFrame = \sum_{j=1}^{25} SizeOf(Packet(j))$$

此外，各封包可具有使用者資料報協定(UDP)最大封包大小之一最大大小(例如，1.5 KB，習知以太網路最大傳輸單位(MTU)大小)。因此，具有25個大小為1.5 KB的封包之一MPEG媒體訊框將需37.5 KB的記憶體。

為了儲存 m 個此訊框，所需的總緩衝記憶體係 $(m \times \text{MemPerFrame})$ 。必須儲存於封包緩衝器104中的數量 m 的訊框係許多變數之一函數，其包含：(i) FEC解碼器108之延時(即，接收一訊框之一第一封包與開始該訊框之FEC解碼之間的時間週期)，(ii) FEC解碼延遲(即，從開始FEC解碼至完成該訊框之FEC解碼之時間週期，包含(例如)對該訊框執行24組XOR邏輯運算)，及(iii)傳入封包之封包抖動。在習知接收器100中，待儲存於封包緩衝器104中的訊框之數目 m 通常係在12與30之間。因此，若習知接收器100係經設計以接收MPEG媒體封包，則封包緩衝器104習慣上將需在450 KB與1.125 MB之間的記憶體。

為圖解說明起見，圖3圖示描繪封包緩衝器104之一例示性實施，其中可儲存12個媒體訊框302₁至302₁₂(各者具有25個封包)。

【發明內容】

本發明之一例示性實施例提供一種用於FEC解碼之接收器及方法，其中明顯減少FEC解碼之延時及封包緩衝器之大小。

因此，在一第一實施例中，本發明係一種用於在一接收器中執行錯誤校正(EC)處理之方法。連續接收包括三個或

更多個資料封包及一EC封包之一第一訊框之訊框之一子組。EC處理係對該第一訊框之封包之該子組執行以重建該第一訊框之至少一封包。該EC處理係在接收封包之整個子組之前起始。

在另一實施例中，本發明係一接收器。該接收器包括經調適以連續接收包括三個或更多個資料封包及一錯誤校正(EC)封包之一第一訊框之封包之一子組之一封包緩衝器。該接收器進一步包括經調適以對該第一訊框之封包之該子組執行EC處理以重建該第一訊框之至少一封包之一EC解碼器，其中該EC處理係在接收封包之整個子組之前起始。

【實施方式】

自以下詳細描述、附加申請專利範圍及隨附圖式，本發明之其他態樣、特徵及優勢將變得更完全地顯而易見，其中相同參考數字識別類似的或同一的元件。

本文中參考「一實施例」或「一個實施例」表示結合該實施例所描述的一特定特性、結構或特徵可包含於本發明之至少一實施例中。在說明書的各種地方中的片語「在一實施例中」之出現無需皆指相同的實施例或與其他實施例必需相互排除之獨立的或替代的實施例。同理適用於術語「實施方案」。

圖4描繪根據本發明之一接收器400之一實施例。如圖4中所示，接收器400包括封包緩衝器404、播放緩衝器406、FEC解碼器408及FEC快取記憶體410。在接收器400中，例如，在各封包到達且儲存於封包緩衝器404中之後

不久，FEC解碼器408實質上即時處理各經接收的封包。即使該封包所屬之訊框係不完整，但仍針對各封包起始FEC處理。為此，FEC解碼器408產生及維護儲存於FEC快取記憶體410中的中間的FEC處理結果。在各傳入封包經接收及經FEC處理之後，FEC解碼器408更新儲存於FEC快取記憶體410中的該等中間結果。如此，FEC解碼器408與圖1之先前技術FEC解碼器108不同，其在著手FEC處理之前等待直至已接收在一媒體訊框中的除一資料封包之外的所有資料封包為止。

因為FEC解碼器408實質上即時處理經接收的封包(在不等待在一訊框中的進一步的封包被接收之情況下)，封包緩衝器404可明顯小於圖1之先前技術封包緩衝器104。僅對於只要需(i)將一經接收的封包傳送至播放緩衝器406及(ii)將該經接收的封包傳送至FEC解碼器408，封包緩衝器404儲存該經接收的封包。在完成該等傳送之後，由該經接收的封包所消耗的封包緩衝器404中的記憶體可被清除且可用於另一傳入封包。如此，不再需要封包緩衝器404儲存一訊框之所有封包直至認為該訊框準備好進行FEC處理為止。因此，播放緩衝器406可(例如，以從大約2至大約10之範圍的一倍數)明顯小於播放緩衝器106。

例如，在一實施例中，播放緩衝器406可經調整大小以允許儲存大約12個至大約24個之間之封包(該等封包可屬於12個不同的連續地傳輸的訊框)，且FEC解碼器408經調適以FEC處理該等12個連續地傳輸的訊框之封包。然而，

應瞭解經設計以處置之封包緩衝器 404 之封包之數量及 FEC 解碼器 408 之訊框之數量可基於在封包式網路中的封包抖動、FEC 解碼器 408 之延時及 FEC 解碼器 408 之處理延遲而改變。

為簡單起見，以下將假設，在一實施例中，接收器 400 經設計用於在具有足夠小的一封包抖動之一通信系統中使用以准許 FEC 解碼器 408 一次對屬於三個連續地傳輸的媒體訊框之封包操作。在此一實施例中，FEC 快取記憶體 410 尤其包括用於儲存三個連續地傳輸的媒體訊框(以下稱為前一訊框 F_1 、當前訊框 F_2 及下一訊框 F_3)之中間的數學結果(例如，XOR 邏輯運算結果)之三種記憶體位置 fec_str_1 、 fec_str_2 及 fec_str_3 (圖 4 中未顯示)及用於儲存當前接收的封包之一記憶體位置 $current_packet$ 。以下進一步假設由一 FEC 訊框所保護的封包之數量係根據一般技術者所知的技術而預定或在該接收器 400 與一傳輸器(未顯示)之間協商。

圖 5 描繪接收器 400 之操作。操作開始於區塊 502。在區塊 504，清除記憶體位置 fec_str_1 、 fec_str_2 及 fec_str_3 (例如，設定為零)。在區塊 506，一經接收的封包 402 係儲存於封包緩衝器 404 中。在區塊 508，將經接收的封包 402 從封包緩衝器 404 傳送至在 FEC 快取記憶體 410 中的記憶體位置 $current_packet$ 及傳送至播放緩衝器 406，且在由經接收的封包 402 所占用的封包緩衝器 404 中的記憶體位置係釋放給其他封包。在區塊 510，FEC 解碼器 408 讀取封包 402 之標頭資訊且判定封包 402 屬於哪個媒體訊框(例如，前一訊

框 F_1)。

在區塊512，FEC解碼器408判定封包402是否係接收器400已對於封包402所屬之該媒體訊框(例如，前一訊框 F_1)接收的第一封包。若如此，在區塊514，FEC解碼器將封包402儲存於對應封包402所屬之該媒體訊框之記憶體位置(fec_str_1 、 fec_str_2 、或 fec_str_3)，且操作返回區塊506以處理另一經接收的封包。若封包402不是接收器400已對於封包402所屬之該媒體訊框(例如，前一訊框 F_1)而接收的第一封包，則在區塊516，FEC解碼器408在封包402之一資料部分與對應封包所屬之媒體訊框之記憶體位置(例如， fec_str_1)之內容之間執行一數學運算(例如，一XOR邏輯運算)。該數學運算之結果接著係儲存於該相同的記憶體位置(例如， fec_str_1)，藉此取代該記憶體位置之前一內容。

在區塊518，FEC解碼器判定封包402所屬之該媒體訊框是否準備好進行FEC解碼(例如，當對於該媒體訊框已接收一FEC封包及除一資料封包之外的所有資料封包)。(訊框判定區塊518係於以下參考圖8而更詳細地解釋。)若封包402所屬之訊框未準備好進行FEC解碼，則操作返回區塊506以處理另一經接收的封包。

若該媒體訊框準備好進行FEC解碼，則在區塊520，FEC解碼器408根據諸如在美國專利案第6,141,788號及網際網路標準追蹤協定第RFC-2733號中描述的該等之熟知技術而使用儲存於對應封包402所屬之該媒體訊框(例如，前一訊框 F_1)之記憶體位置(例如， fec_str_1)之數學運算結果以重建

遺漏封包。最後，在區塊522，FEC解碼器408將經恢復的封包儲存於播放緩衝器406中，且清除該記憶體位置(例如，fec_str₁)以用於下一傳入訊框。

圖6係FEC快取記憶體410之一圖示圖解說明。在一實施例中，FEC快取記憶體410包括三種資料結構(或經定義的記憶體部分)602₁、602₂及602₃(分別識別為FEC_RX_DATA1、FEC_RX_DATA2及FEC_RX_DATA3)及用於儲存當前接收的封包之一當前封包之記憶體位置604。在資料結構(或經定義的記憶體部分)602₁、602₂及602₃中，FEC解碼器408分別儲存對FEC解碼媒體訊框F₁、F₂及F₃有用的資訊。

在一實施例中，如下定義資料結構602₁、602₂及602₃：

```
typedef struct FEC_RX_DATA
{
    uint16_t snmin;
    uint16_t snmax;
    uint8_t  fec_str [MAX_RTP_PACKET_SIZE];
    uint16_t fstrlen;
    uint8_t  fec_rec [MAX_RTP_PACKET_SIZE];
    uint16_t freclen;
    struct FEC_RX_DATA * prev;
    struct FEC_RX_DATA * next;
} FEC_RX_DATA_t;
```

其中如下定義資料欄位：

Snmin	在當前訊框F ₂ 內的RTP媒體封包之最小序列號碼
Snmax	在當前訊框F ₂ 內的RTP媒體封包之最大序列號碼
fec_str	關於屬於當前訊框F ₂ 之經接收的RTP媒體封包之XOR邏輯運算之當前結果
Fstrlen	屬於當前訊框F ₂ 之RTP媒體封包之酬載長度 在一實施例中，經接收的封包之酬載長度可以一XOR格式儲存(例如，若封包1具有9位元組之一酬載長度，及封包2具有8位元組之一酬載長度，則fstrlen=8 XOR 9=1)。
fec_rec	屬於當前訊框F ₂ 之經接收的FEC封包
Freclen	FEC封包長度
Prev	前一訊框F ₁ 之資料結構之指標
Next	下一訊框F ₃ 之資料結構之指標

為圖解說明起見，圖7圖示描繪資料結構602₁。

圖8係更詳細地圖解說明圖5之訊框判定區塊510之一流程圖，其中FEC解碼器408判定經接收的封包402屬於哪個媒體訊框(例如，前一訊框F₁)。

在區塊802，FEC解碼器408讀取儲存於如圖4中所示之封包緩衝器404中的經接收的封包402之一酬載類型的描述符PT及一序列號碼SNRcvd。在區塊804，FEC解碼器408核對經接收的封包402是否係一FEC封包(即，該酬載類型的描述符PT等於一預定值FEC_TYPE)。若經接收的封包402不是一FEC封包，則在區塊806操作繼續。在區塊806，FEC解碼器408核對序列號碼SNRcvd是否大於或等於在當前訊框F₂內的媒體封包之最小序列號碼snmin。若不是，則在區塊808，FEC解碼器408識別經接收的封包402為屬於前一訊框F₁，且將一指標設定為資料結構602₁。

(FEC_RX_DATA1)，即用於儲存與前一訊框 F_1 相關的FEC解碼資訊之經定義的記憶體位置。在區塊820操作繼續，其中操作返回在圖5中的區塊512。在區塊516，FEC解碼器408使用該指標以識別具有待用於對封包402之資料部分執行數學運算之記憶體位置(例如，fec_str₁)之資料結構(例如，FEC_RX_DATA1)。

然而，若在區塊806，FEC解碼器408判定該序列號碼SNRcvd大於或等於在當前訊框 F_2 內的媒體封包之最小序列號碼snmin，則操作前進至區塊810。FEC解碼器408核對該經接收的封包序列號碼SNRcvd與在當前訊框 F_2 內的RTP媒體封包之最小序列號碼snmin之一差是否係大於或等於可由一FEC封包所保護的封包之一預定最大號碼MAX_FEC_PKT_PER_FEC。例如，對於MPEG RTP媒體訊框，可由一FEC封包所保護的封包之該預定最大號碼MAX_FEC_PKT_PER_FEC係24。

若該經接收的封包序列號碼SNRcvd與在當前訊框 F_2 內的RTP媒體封包之該最小序列號碼snmin之該差係不大於或等於(即，係小於)該預定最大號碼MAX_FEC_PKT_PER_FEC，則在區塊814，FEC解碼器408識別經接收的封包402為屬於當前訊框 F_2 。特定而言，將一指標設定為資料結構602₂(FEC_RX_DATA2)，用於儲存與當前訊框 F_2 相關的FEC解碼資訊之經定義的記憶體位置。在區塊820操作繼續，其中操作返回在圖5中的區塊512。在區塊516，FEC解碼器408使用該指標以識別具有待用於對資料封包402之

資料部分執行數學運算之該記憶體位置(例如，fec_str₂)之資料結構(例如，FEC_RX_DATA2)。

返回區塊810，若FEC解碼器408判定該經接收的封包序列號碼SNRcvd與在當前訊框F₂內的RTP媒體封包之最小序列號碼snmin之該差係大於或等於(即，係不小於)該預定最大號碼MAX_FEC_PKT_PER_FEC，則在區塊812操作繼續。FEC解碼器408識別經接收的封包402為屬於下一訊框F₃。特定而言，將一指標設定為資料結構602₃(FEC_RX_DATA3)，用於儲存與下一訊框F₃相關的FEC解碼資訊之經定義的記憶體位置。在區塊820操作繼續，其中操作返回在圖5中的區塊512。在區塊516，FEC解碼器408使用該指標以識別具有待用於對封包402之資料部分執行數學運算之記憶體位置(例如，fec_str₃)之資料結構(例如，FEC_RX_DATA3)。

在區塊804，若FEC解碼器408判定經接收的封包402係一FEC封包(即，該酬載類型的描述符PT等於一預定值FEC_TYPE)，則在區塊816操作繼續。在區塊816，封包402之遮罩欄位及snbase欄位係用以判定封包402屬於哪個訊框(例如，前一訊框F₁，當前訊框F₂或下一訊框F₃)。在區塊818，封包402接著係儲存於在FEC快取記憶體410中之適當的資料結構(FEC_RX_DATA1、FEC_RX_DATA2或FEC_RX_DATA3)中的fec_rec記憶體位置，且在區塊820，操作返回在圖5中的區塊518。

圖9係圖4中所示的接收器400之一更詳細的方塊圖。將

FEC解碼器408較佳地實施為諸如基於可購自位於英國劍橋之ARM Holdings plc之一核心設計之一ARM1176J-S處理器之一精簡指令集計算(RISC)處理器。該RISC處理器較佳地以至少250 MHz之一速度操作。

封包緩衝器404及FEC快取記憶體410較佳地係在該RISC處理器內的一64 KB資料緊密耦合記憶體(D-TCM)910中實施。該RISC處理器亦可包含一8 KB資料快取記憶體(D-cache)、一8 KB指令快取記憶體(I-cache)及一64 KB指令緊密耦合記憶體(I-TCM)。

如圖9中所示，播放緩衝器406及FEC解碼器408係經由一64位元高階可擴展介面(AXI)式匯流排矩陣914而連接。播放緩衝器406較佳地係(i)具有每秒533百萬資料傳送之一資料傳送率，(ii)遵循標題為「DDR2 SDRAM Specification」之JEDEC標準第JESD79-2E號，及(iii)在一「x16」組態(即，一DDR2-533 x16記憶體)中實施的一外部雙倍資料速率(DDR)同步動態隨機存取記憶體(SDRAM)。播放緩衝器406係通過一DDR2外部記憶體介面(EMI)938而連接至匯流排矩陣914。

接收器400亦包含由FEC解碼器408使用之一256 KB通用SRAM記憶體(「PPBMEM」)912。

接收器400亦包含用於提供以太網路支援之媒體存取控制器(MAC)924、930。MAC 924、930係通過封包分類引擎(PCE)共處理器920、928及傳輸MAC DMA(TXD)共處理器而連接至匯流排矩陣914。PCE共處理器920、928在

MAC 924、930與封包緩衝器404之間提供L2/L3/L4 IP及UDP封包分類及直接記憶體存取(DMA)支援用於接收封包。TXD共處理器922、926在MAC 924、930與傳輸記憶體(未顯示)之間提供DMA支援用於傳輸封包。亦提供一48 KB通用SRAM記憶體902用於PCE共處理器920、928(例如)儲存用對於網際網路協定版本6(IPv6)支援之表格。

接收器400亦包含對於播放緩衝器406提供DMA支援(通過外部記憶體介面938)之一DMA控制器932。

FEC解碼器408亦較佳地(i)通過經由一AXI至APB橋接器916所連接的一高階周邊匯流排(APB)918而與MAC 924、930及PCE共處理器920、928進行通信且(ii)通過經由一AXI至AHB橋接器934所連接的一高階高效能匯流排(AHB)936而與DMA控制器932及DDR2外部記憶體介面938進行通信。

一或多個數位訊號處理器(DPS)(未顯示)亦可連接至匯流排矩陣914以解碼儲存於播放緩衝器406中的媒體封包。

因此已描述一種用於接收具有複數個資料封包及一錯誤校正封包之一媒體訊框之新穎的及創新的系統及方法。應注意，在圖4中所示之上述接收器400中，FEC解碼器408在不延遲之情況下而對各經接收的封包立即執行一數學運算(例如，一XOR邏輯運算)直至已接收在對應媒體訊框中的所有或大多數剩餘封包為止。相反，在圖1中所示之習知接收器100中，FEC解碼器108延遲執行任何數學運算直至判定一經緩衝的訊框準備好進行FEC解碼為止(例如，直

至已接收該訊框之一FEC封包及除一資料封包之外的所有資料封包)。如此，相比習知FEC解碼器108，FEC解碼器408具有一明顯地更小的延時。此外，因為FEC解碼器408對各經接收的封包立即執行數學運算，所以封包緩衝器404無需能夠儲存各訊框之幾乎所有的封包。因此，封包緩衝器404在大小上可比圖1之封包緩衝器104小得多。

可將本發明實施為一全數位、全類比或類比及數位電路式處理兩者之一混合，其包含可能實施為一單一積體電路(諸如一ASIC或一FPGA)、一多晶片模組、一單一卡或一多卡電路包。如熟習此項技術者將顯而易見，亦可將電路元件之各種功能實施為在一軟體程式中的處理區塊。此軟體可在(例如)一數位訊號處理器、微控制器或通用電腦中使用。

將進一步瞭解在不悖離如在以下申請專利範圍中表達的本發明之範疇之情況下，為了解釋此發明之特性，熟習此項技術者可對已描述及圖解說明的部件之細節、材料及配置上做出各種變化。

因此，雖然以上已使用該XOR邏輯運算關於錯誤校正而描述本發明，但本發明並不如此受限，且可使用其他邏輯運算(例如，非互斥或(NXOR)邏輯運算)。此外，本發明可使用基於除邏輯運算之外的數學運算之其他錯誤校正(EC)演算法而實踐，例如，在於起始EC處理之前不要求在一訊框中的所有或實質上所有封包存在之情況下，假設此EC演算法允許對於各經接收的封包發生FEC處理而無延遲。

此外，雖然以上已描述關於特定長度及數量之本發明，但本發明並不如此受限，且可使用其他長度及數量。例如，設計FEC解碼器408及封包緩衝器404而處置之訊框數量以及在FEC快取記憶體410中的記憶體位置之數量可基於在封包式網路中的封包抖動及/或FEC解碼器408之延時而增加或減少。例如，在本發明之一實施例中，可使用一個雙訊框封包緩衝器，而非如上所描述的一個三訊框封包緩衝器。在此一實施例中，在FEC快取記憶體410中將僅需兩種資料結構602₁、602₂，而非如上所描述的三種。

在另一實施例中，若該網路封包抖動非常小，則可使用單訊框封包緩衝器，且FEC快取記憶體410可包括一單一資料結構602₁或由一單一資料結構602₁組成。另一方面，若該封包抖動係大的，則該FEC解碼器408及封包緩衝器404可經設計以處置四個(或更多個)訊框，且在FEC快取記憶體410中將需一對應數量的資料結構。例如，期望若該封包抖動係大如在上述的接收器100之情況般(其中封包緩衝器104經設計以能夠儲存12個訊框)，則FEC解碼器408及封包緩衝器404亦可經設計以處置在FEC快取記憶體410中具有12種資料結構之12個訊框。

亦應瞭解本文所陳述的例示性方法之步驟無需以所描述的次序執行，且應將此等方法之該等步驟之次序僅理解為例示性的。同樣地，額外步驟可包含於此等方法中，且可將一些步驟省略或組合在符合本發明之各種實施例之方法中。

【圖式簡單說明】

圖 1 係利用 FEC 解碼之一習知接收器之一簡化方塊圖；

圖 2 係圖解說明圖 1 之該習知接收器之操作之一流程圖；

圖 3 係圖解說明圖 1 之該習知接收器中的一封包緩衝器之一圖；

圖 4 係根據本發明之利用 FEC 解碼之一接收器之一實施例之一簡化方塊圖；

圖 5 係圖解說明圖 4 中所示的該接收器之該操作之一流程圖；

圖 6 係圖解說明圖 4 中所示的該接收器中的一封包緩衝器之一圖；

圖 7 係圖解說明包含圖 4 中所示的該接收器中的一 FEC 資料結構之一快取記憶體之一部分之一圖；

圖 8 係圖 5 中所示的訊框判定方塊之一更詳細的流程圖；及

圖 9 係圖 4 中所示的該接收器之一更詳細的方塊圖。

【主要元件符號說明】

100	習知接收器
104	封包緩衝器
106	播放緩衝器
108	FEC 解碼器
400	接收器
402	資料封包
404	封包緩衝器
406	播放緩衝器

408	FEC解碼器
410	FEC快取記憶體
910	64 KB資料緊密耦合記憶體(D-TCM)
912	SRAM記憶體
914	64位元高階可擴展介面(AXI)式匯流排矩陣
918	高階周邊匯流排(APB)
920	封包分類引擎(PCE)共處理器
922	TXD共處理器
924	媒體存取控制器(MAC)
926	TXD共處理器
928	封包分類引擎(PCE)共處理器
930	媒體存取控制器(MAC)
932	DMA控制器
934	AXI至AHB橋接器
936	高階高效能匯流排(AHB)
938	DDR2外部記憶體介面(EMI)

七、申請專利範圍：

1. 一種用於在一接收器中執行錯誤校正(EC)處理之方法，該方法包括：

(a) 該接收器連續地接收一第一訊框之封包之一子組，該第一訊框之封包之該子組包括三個或更多個資料封包及一EC封包；

(b) 該接收器對該第一訊框之封包之該子組執行EC處理以重建該第一訊框之至少一封包，其中該EC處理係在封包之整個子組被接收之前起始；

(c) 連續地接收一第二訊框之封包之一子組，該第二訊框之封包之該子組包括三個或更多個資料封包及一EC封包；及

(d) 對該第二訊框之封包之該子組執行EC處理以重建該第二訊框之至少一封包，其中該第二訊框之該EC處理係在完成該第一訊框之該EC處理之前起始。

2. 如請求項1之方法，其中該EC處理包括在接收該子組之每一封包後即處理該接收之封包，而不需等到接收該子組之一隨後封包。

3. 如請求項2之方法，其中對於在該子組中的至少一經接收的封包，該EC處理包括：

(b1) 對該已接收的封包與儲存於一記憶體中之一值執行一數學運算；及

(b2) 儲存該數學運算之一結果作為儲存於該記憶體中之該值，以用於一隨後的數學運算。

4. 如請求項3之方法，其中對於在該子組中的最後的已接收的封包，該EC處理包括：

(b3) 對該最後接收的封包與儲存於該記憶體中之該值執行一最後的數學運算；及

(b4) 基於該最後的數學運算之一結果而重建該第一訊框之一遺漏資料封包。

5. 如請求項1之方法，其中該第一訊框之該EC處理係在起始該第二訊框之該EC處理之前起始。

6. 如請求項1之方法，其進一步包括：

(a1) 將在該第一訊框之封包之該子組中的各封包儲存於一封包緩衝器中；

(a2) 在對每一封包執行EC處理之前從該封包緩衝器讀取該封包；及

(c) 在完成對在該第一訊框之封包之該子組中的各封包之EC處理之後，將一經重建的封包儲存於該封包緩衝器中。

7. 一種用於執行錯誤校正(EC)處理之接收器，其包括：

一封包緩衝器，其經調適以連續地接收一第一訊框之封包之一子組，該第一訊框之封包之該子組包括三個或更多個資料封包及一錯誤校正(EC)封包；及

一EC解碼器，其經調適以對該第一訊框之封包之該子組執行EC處理以重建該第一訊框之至少一封包，其中該EC處理係在封包之整個子組被接收之前起始，其中：

該封包緩衝器經調適以連續地接收一第二訊框之封包

之一子組，該第二訊框之封包之該子組包括三個或更多個資料封包及一EC封包；且

該EC解碼器經調適以：

對該第二訊框之封包之該子組執行EC處理以重建該第二訊框之至少一封包；及

在完成該第一訊框之該EC處理之前起始該第二訊框之該EC處理。

8. 如請求項7之接收器，其中該EC解碼器經調適以在起始該第二訊框之該EC處理之前起始該第一訊框之該EC處理。

9. 一種用於在一接收器中執行錯誤校正(EC)處理之裝置，該裝置包括：

(a) 用於連續地接收一第一訊框之封包之一子組之構件，該第一訊框之封包之該子組包括三個或更多個資料封包及一EC封包；

(b) 用於對該第一訊框之封包之該子組執行EC處理以重建該第一訊框之至少一封包之構件，其中該EC處理係在封包之整個子組被接收之前起始；

(c) 用於連續地接收一第二訊框之封包之一子組之構件，該第二訊框之封包之該子組包括三個或更多個資料封包及一EC封包；及

(d) 用於對該第二訊框之封包之該子組執行EC處理以重建該第二訊框之至少一封包之構件，其中該第二訊框之該EC處理係在完成該第一訊框之該EC處理之前起始。

八、圖式：

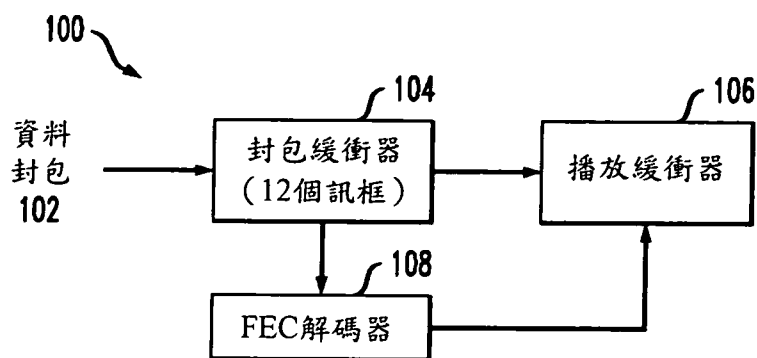


圖 1

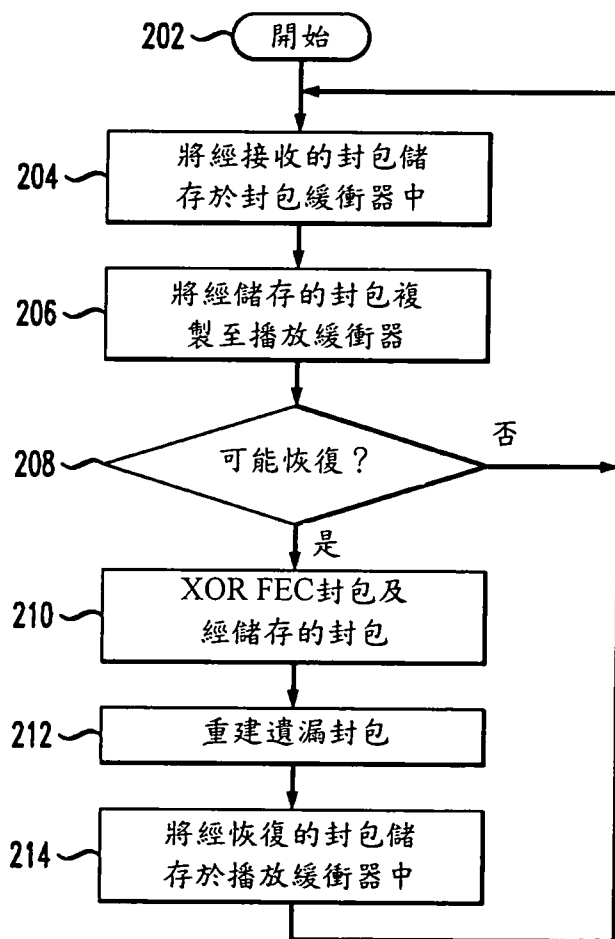


圖 2

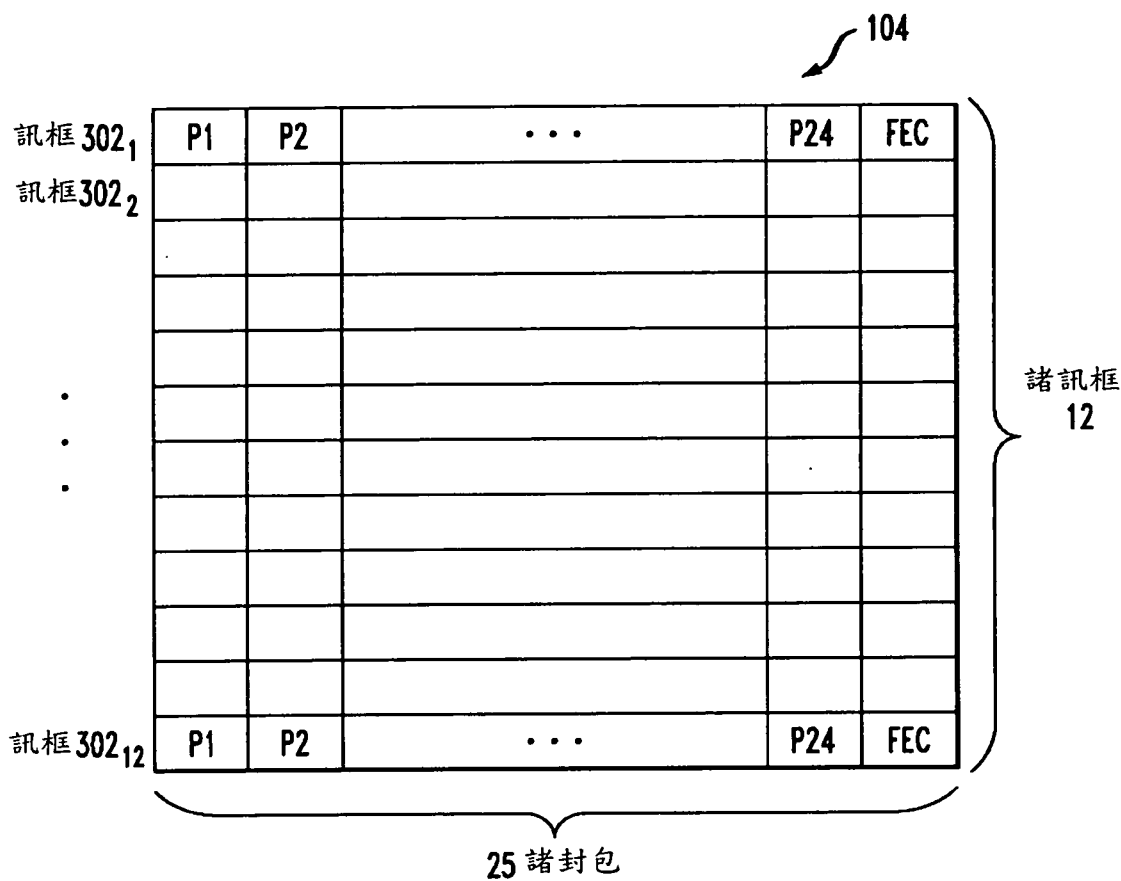


圖 3

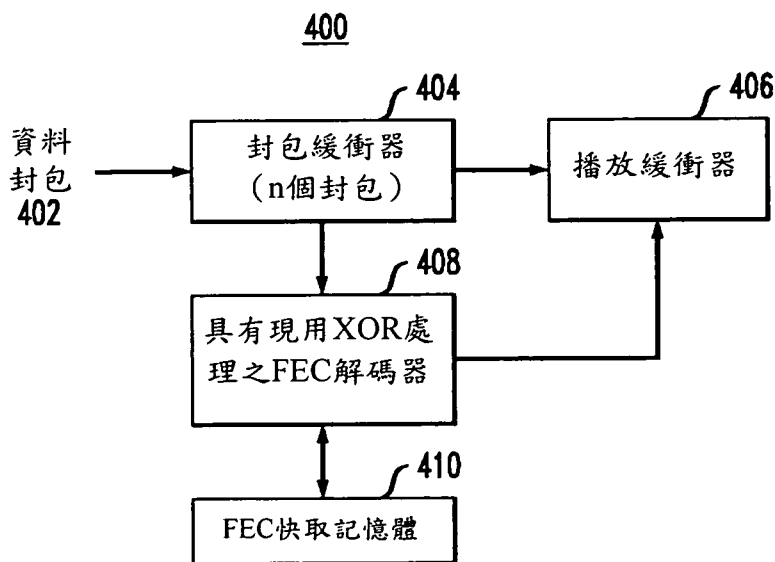


圖 4

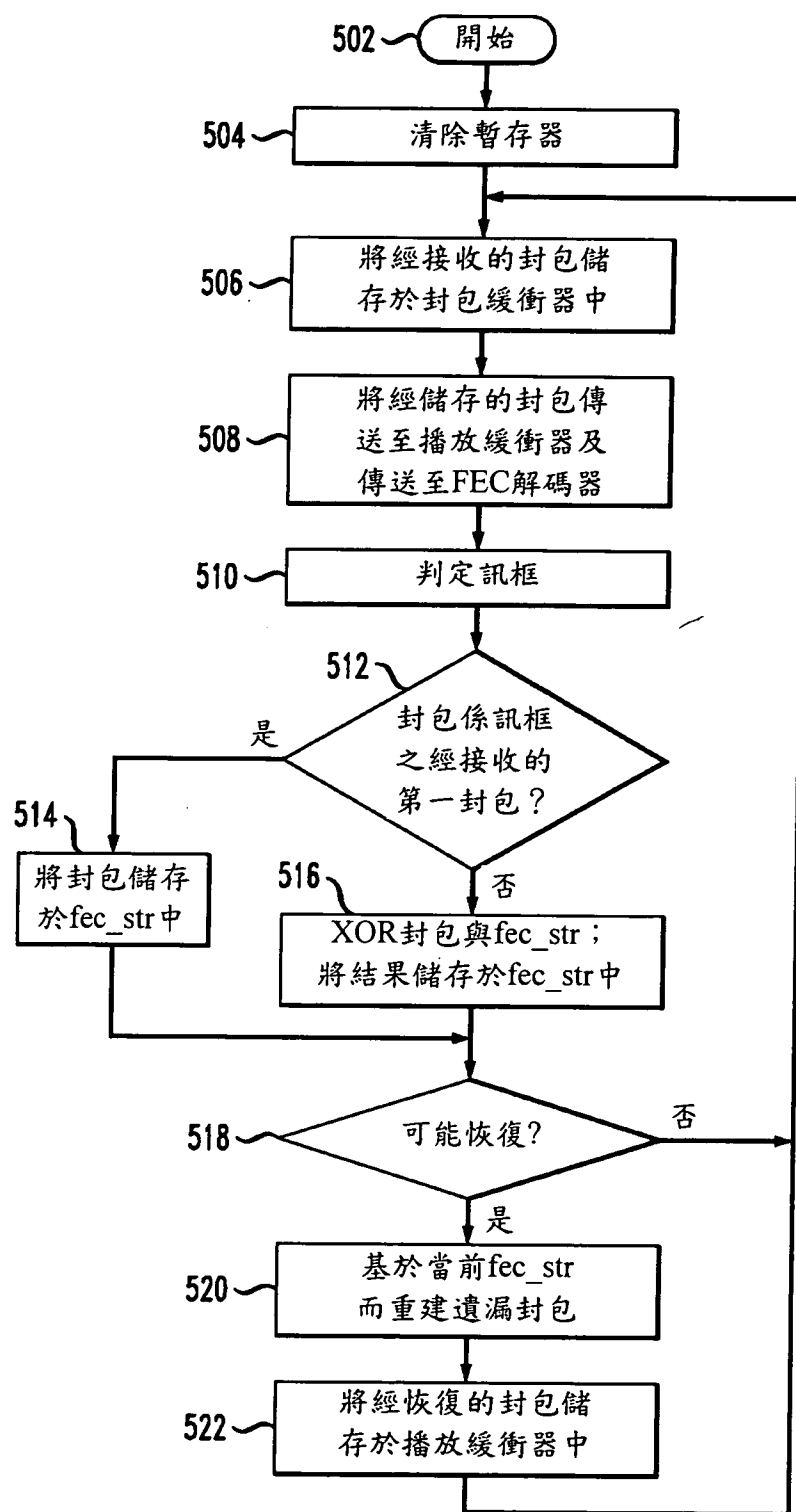


圖 5

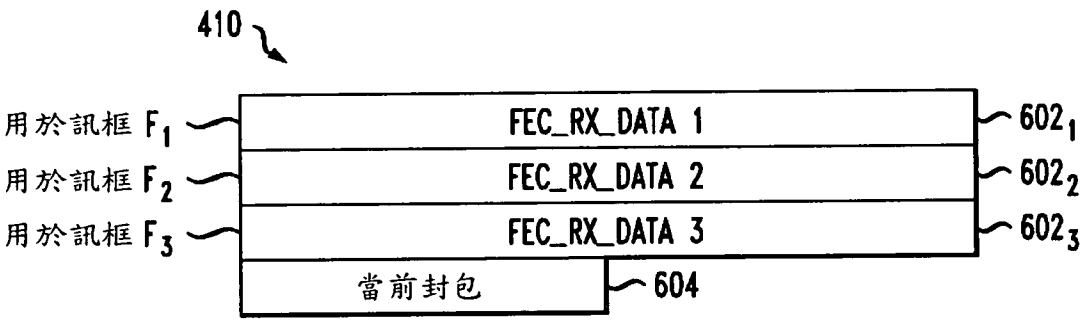


圖 6

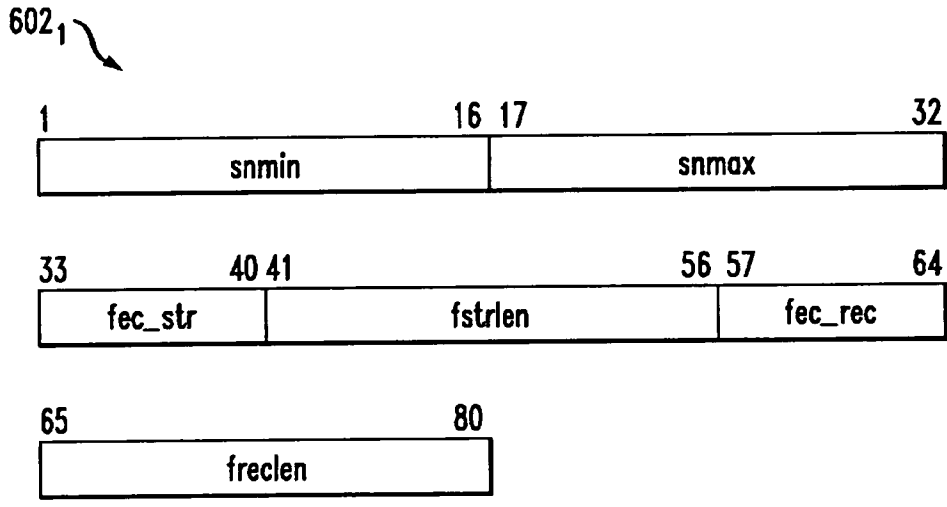


圖 7

103年6月6日修正頁(本)

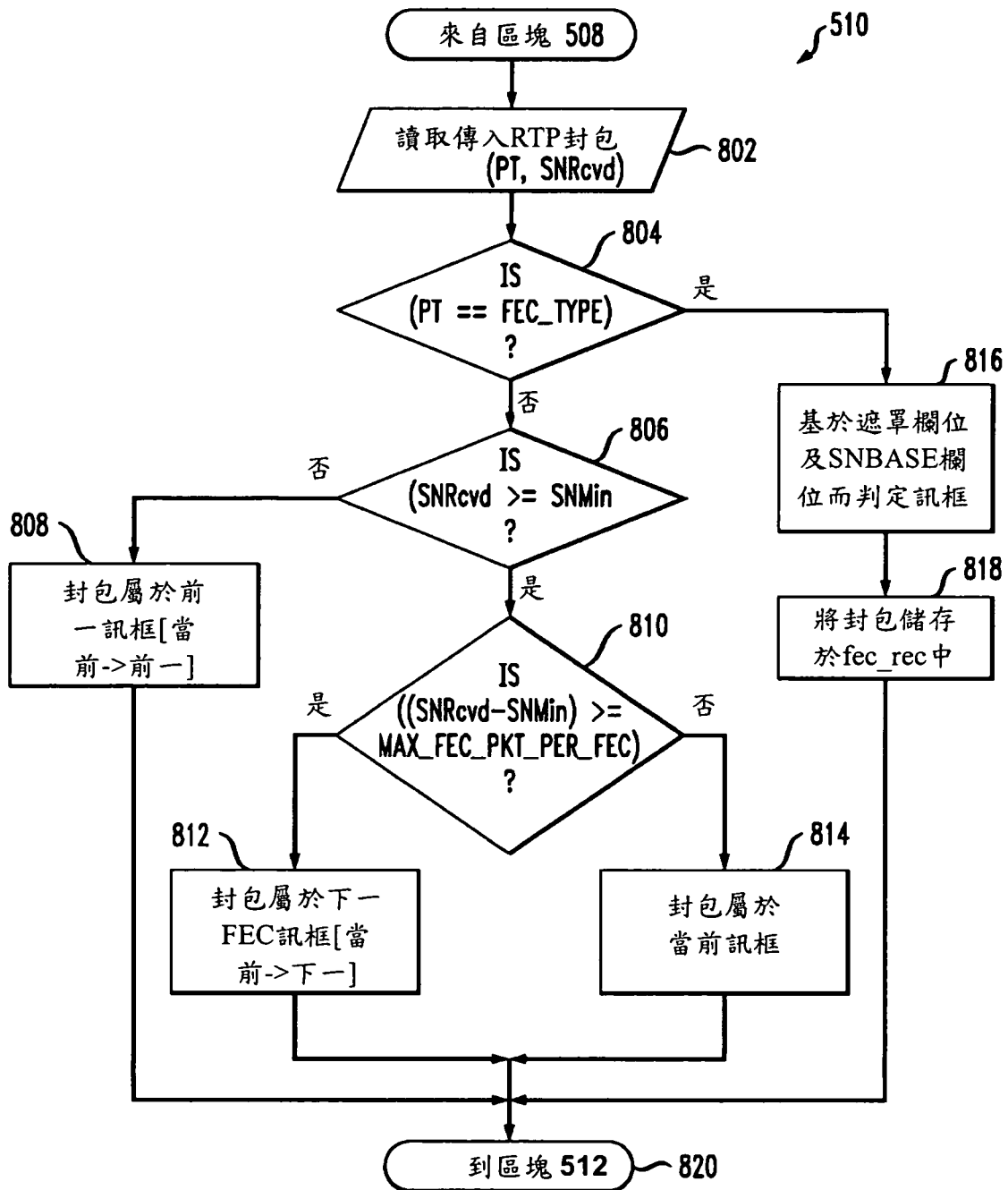


圖 8

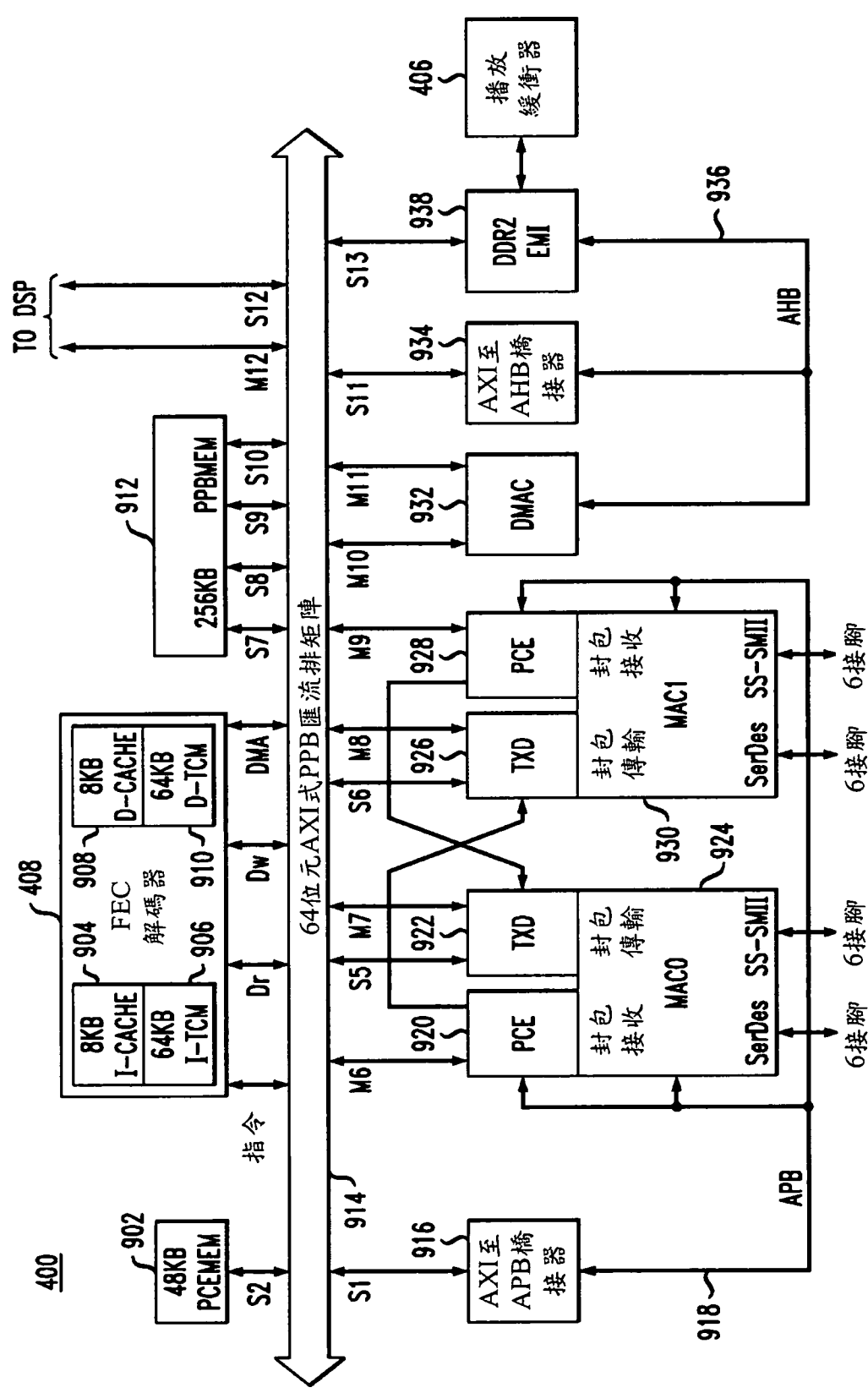


圖 9