

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-61644

(P2010-61644A)

(43) 公開日 平成22年3月18日(2010.3.18)

(51) Int.Cl.

G06F 1/32 (2006.01)

F I

G06F 1/00 332Z

テーマコード (参考)

5B011

審査請求 有 請求項の数 10 O L 外国語出願 (全 15 頁)

(21) 出願番号 特願2009-170148 (P2009-170148)
 (22) 出願日 平成21年7月21日 (2009.7.21)
 (31) 優先権主張番号 12/182,074
 (32) 優先日 平成20年7月29日 (2008.7.29)
 (33) 優先権主張国 米国 (US)

(特許庁注：以下のものは登録商標)

1. フロッピー

(71) 出願人 501261300
 エヌヴィディア コーポレイション
 アメリカ合衆国, カリフォルニア 950
 50, サンタ クララ, サン トーマス
 エクスプレスウェイ 2701
 (74) 代理人 100094318
 弁理士 山田 行一
 (74) 代理人 100123995
 弁理士 野田 雅一
 (74) 代理人 100107456
 弁理士 池田 成人
 (72) 発明者 チェンーピン ルー
 アメリカ合衆国, カリフォルニア州 9
 5014, クパチーノ, キャンドルウ
 ッド ドライブ 888

最終頁に続く

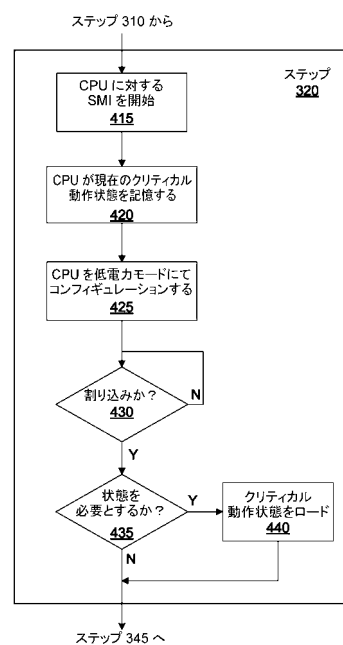
(54) 【発明の名称】 プラットフォームベースのアイドルタイム処理

(57) 【要約】

【課題】異なる電力消費特性を有する複数の動作モードの間でコンピューティングシステムを移行させるシステム及び方法を提供すること。

【解決手段】コンピューティングシステムが低いアクティビティ状態にあることをシステム管理装置 (SMU) が決定すると、SMUは、CPUがそのCPUのクリティカル動作状態をメモリに記憶した後、CPUを低電力動作モードへと移行させる。次に、SMUは、CPUに対して意図された割り込みをインターセプトして処理し、クリティカル動作状態のコピーを変更する。これにより、CPUがより低い電力モードに留まる時間が延長される。コンピューティングシステムが低いアクティビティ状態を出たことを、SMUが決定すると、クリティカル動作状態のコピーが、メモリに記憶され、SMUは、変更されたクリティカル動作状態を使用して、CPUを高電力動作モードへと移行させる。

【選択図】図4A



【特許請求の範囲】**【請求項 1】**

異なる電力消費を有する複数の動作モードの間でコンピューティングシステムを適応的に移行させるための方法において、

前記コンピューティングシステムが低いアクティビティ状態にあることを決定するステップと、

前記コンピューティングシステムにおける中央処理装置（CPU）に対するシステム管理割り込みを開始させるステップと、

前記CPUのクリティカル動作状態を、システムメモリに記憶するステップと、

前記CPUを、低電力動作モードにコンフィギュレーションするステップと、

前記CPUに対して意図された割り込みを、システム管理装置（SMU）による処理のためインターセプトするステップと、
を含む方法。

10

【請求項 2】

前記CPUのクリティカル動作状態を前記システムメモリから前記SMUへとロードして、前記SMUによる割り込みの処理の結果として変更される前記クリティカル動作状態のコピーを生成するステップを更に含む、請求項 1 に記載の方法。

【請求項 3】

前記コンピューティングシステムが低いアクティビティ状態にないことを決定するステップと、

前記SMUによる割り込みを生成して、前記SMUが低電力動作モードから高電力動作モードへの移行を開始するステップと、
を更に含む、請求項 2 に記載の方法。

20

【請求項 4】

前記クリティカル動作状態のコピーを前記SMUから前記システムメモリへと記憶して、前記クリティカル動作状態を更新するステップを更に含む、請求項 3 に記載の方法。

【請求項 5】

前記システムメモリから前記クリティカル動作状態を前記CPUにより読み取るステップと、

前記CPUが前記高電力動作モードにて動作するようにコンフィギュレーションするステップと、
を更に含む、請求項 4 に記載の方法。

30

【請求項 6】

前記CPUの前記クリティカル動作状態は、ディスプレイサーフェイス、割り込みサービスルーチン及びオペレーティングシステムの部分のうちの少なくとも1つを含む、請求項 1 に記載の方法。

【請求項 7】

インターセプトされた割り込みを処理するのに前記SMUにより必要とされる前記CPUの前記クリティカル動作状態の部分が、前記SMUに記憶されていないことを決定するステップと、

前記CPUの前記クリティカル動作状態の部分を前記システムメモリから前記SMUへとロードするステップと、
を更に含む請求項 1 に記載の方法。

40

【請求項 8】

前記CPUに対して意図された前記割り込みは、入力装置からの割り込み、周期的システム更新及び周期的ユニバーサルシリアルバスサイクルのうちの少なくとも1つを含む、請求項 1 に記載の方法。

【請求項 9】

前記システムメモリを低電力動作モードにコンフィギュレーションするステップを更に含む、請求項 1 に記載の方法。

50

【請求項 10】

前記コンピューティングシステムが低いアクティビティ状態にあることを決定するステップの前に、

前記 S M U をパワーアップするステップと、

前記 C P U をパワーアップする前に、前記パワーアップ及び自己テストシーケンスを行うステップと、

を更に含む、請求項 1 に記載の方法。

【発明の詳細な説明】**【技術分野】****【0001】**

10

[0001] 本発明の実施形態は、一般的に、モバイルコンピューティングプラットフォームの電力消費を減ずることに関し、より詳細には、コンピューティングプラットフォームにおける中央処理装置 (C P U) をパワーオフとしている間にコアロジックにおける割り込みを動的に処理することに関する。

【背景技術】**【0002】**

[0002] 従来、中央処理装置 (C P U) は、アクティビティがほとんど又は全くないときでも、割り込みを処理するのに使用される。従って、C P U の相当部分及びフロントサイドバスは、アイドル中にアクティビティレベルが非常に低いときでも、パワーアップされたままとされ、電力を消費し続ける。マウスの如き入力装置の移動、表示の更新又はシステムクロックの更新により、割り込みが生ずることがある。

20

【発明の概要】**【発明が解決しようとする課題】****【0003】**

[0003] 従って、当業分野においては、C P U 及びフロントサイドバスを適応的により長い間パワーオフに保ち且つコンピューティングシステムの電力消費を、アクティビティがほとんど又は全くないときに、より頻繁に減少させるようなシステム及び方法が必要とされている。

【課題を解決するための手段】**【0004】**

30

[0004] 異なる電力消費特性を有する複数の動作モードの間でコンピューティングシステムを移行させるシステム及び方法は、C P U のアイドルタイムを実効的に延長して、その電力消費を減少させる。コンピューティングシステムは、そのコンピューティングシステムが低いアクティビティ状態にあるとき、低電力動作モードへと移行させられる。その低いアクティビティ状態においては、システム管理装置 (S M U) が、その C P U に対して意図された割り込みをインターセプトして、処理する。この S M U は、それら割り込みの処理中に必要に応じて変更されるようなクリティカル動作状態のコピーを記憶する。アクティビティのレベルが変化するとき、S M U は、そのクリティカル動作状態のコピーをメモリに記憶し且つ C P U により記憶されたクリティカル動作状態を更新することにより、コンピューティングシステムを、その低電力動作モードから高電力動作モードへと移行させる。それから、C P U が、そのクリティカル動作状態のコピーを使用して、その割り込みの処理を再開する。

40

【0005】

[0005] 異なる電力消費を有する動作モードの間でコンピューティングシステムを適応的に移行させるための本発明の方法の種々な実施形態は、前記コンピューティングシステムが低いアクティビティ状態にあることを決定するステップと、前記コンピューティングシステムにおける中央処理装置 (C P U) に対するシステム管理割り込み (S M I) を開始させるステップと、を含む。それから、前記 C P U のクリティカル動作状態が、システムメモリに記憶され、前記 C P U は、低電力動作モードにおいて動作するようにコンフィギュレーションされる。システム管理装置 (S M U) が、前記 C P U に対して意図された割

50

り込みをインターセプトして、処理する。

【 0 0 0 6 】

[0006]本発明の種々な実施形態は、異なる電力消費を有する動作モードの間で適応的に移行するようにコンフィギュレーションされるコンピューティングシステムを含む。このコンピューティングデバイスは、低電力動作モード及び高電力動作モードにおいて動作するようにコンフィギュレーションされる中央処理装置（ＣＰＵ）と、クリティカル動作状態を記憶するようにコンフィギュレーションされるローカルメモリと、前記ＣＰＵの代わりに割り込みを処理することのできるシステム管理装置（ＳＭＵ）を含むコアロジックと、を含む。前記ＳＭＵは、前記コンピューティングシステムが低いアクティビティ状態にあるとき、前記ＣＰＵに対するシステム管理割り込みを開始させ、前記ＣＰＵのクリティカル動作状態を前記システムメモリに記憶させ、前記ＣＰＵを前記低電力動作モードにコンフィギュレーションし、前記ＣＰＵに対して意図された割り込みを処理のためインターセプトするようにコンフィギュレーションされる。

10

【 0 0 0 7 】

[0007]本発明の前述したような特徴を詳細に理解できるように、概要について簡単に前述したような本発明について、幾つかを添付図面に例示している実施形態に関して、以下より特定して説明する。しかしながら、添付図面は、本発明の典型的な実施形態のみを例示しているのであって、従って、本発明の範囲をそれに限定しようとしているものではなく、本発明は、均等の効果を発揮しうる他の実施形態を含みうるものであることに、注意されたい。

20

【図面の簡単な説明】

【 0 0 0 8 】

【図１Ａ】本発明の１つ以上の態様を実施するようにコンフィギュレーションされるコンピュータシステムを例示しているブロック図である。

【図１Ｂ】本発明の１つ以上の態様を実施するようにコンフィギュレーションされるコンピュータシステムを例示しているブロック図である。

【図２Ａ】本発明の１つ以上の態様による、図１Ａのコンピュータシステムのためのコアロジックのブロック図である。

【図２Ｂ】本発明の１つ以上の態様による、図１Ｂのコンピュータシステムのためのコアロジックのブロック図である。

30

【図３】本発明の１つ以上の態様による高電力モードと低電力モードとの間の移行のための方法ステップのフロー図である。

【図４Ａ】本発明の１つ以上の態様による低電力モードに入るための方法ステップのフロー図である。

【図４Ｂ】本発明の１つ以上の態様による低電力モードに入るための方法ステップのフロー図である。

【図４Ｃ】本発明の１つ以上の態様による低電力モードに入るための方法ステップのフロー図である。

40

【図５】本発明の１つ以上の態様による低電力モードを出るための方法ステップのフロー図である。

【図６】本発明の１つ以上の態様による図１Ａ及び図１Ｂのコンピュータシステムをブートアップするための方法ステップのフロー図である。

【発明を実施するための形態】

【 0 0 0 9 】

[0014]以下の説明においては、本発明をより完全に理解してもらうため、種々な特定の詳細について説明する。しかしながら、当業者に明らかなように、本発明は、これら特定の詳細のうちの１つ以上がなくても実施することができる。また、その他の場合において、よく知られた特徴については、本発明を分かりにくいものとしてしまわないように、記載されていない場合もある。

【 0 0 1 0 】

50

システム概観

[0015] 図 1 A は、本発明の 1 つ以上の態様を実施するようにコンフィギュレーションされるコンピュータシステム 100 を例示しているブロック図である。コンピュータシステム 100 は、種々なアクティビティのレベル及び種々な電力消費のレベルを与えるために複数の処理装置を含むハイブリッドコンピューティングプラットフォームである。コンピュータシステム 100 は、コアロジック 105 を含むバスバスを介して通信する中央処理装置 (CPU) 102 及びシステムメモリ 104 を含む。クリティカル動作状態 160 は、システムメモリ 104 に記憶される。低電力動作モードへ移行する前に、CPU 102 は、クリティカル動作状態 160 をシステムメモリ 104 へ記憶させる。クリティカル動作状態 160 は、割り込みサービスルーチンの 1 つ以上、割り込みを支援しカーソル位置を更新するのに必要とされるオペレーティングシステムの部分、ミニマムデバイスドライバ及び現在ディスプレイサーフェイス (ピクセル画像データ) を含むことができる。本発明の幾つかの実施形態では、クリティカル動作状態 160 は、システムメモリ 104 の 64 キロバイトを占める。

【0011】

[0016] コアロジック 105 は、CPU 102 をプラットフォームにおける 1 つ以上の他のデバイスへと結合するブリッジデバイスであり、接続 113 を介してシステムメモリ 104 に結合される。コアロジック 105 は、1 つ以上のユーザー入力装置 108 (例えば、キーボード、マウス) からのユーザー入力を受け取り、その入力をバス 106 を介して CPU 102 へと送る。コンピュータシステム 100 はが低電力動作モードにおいて動作しているとき、コアロジック 105 は、クリティカル動作状態 160 をコピーし、必要に応じてそのコピーを更新する。低電力動作モードにある間、コアロジック 105 は、電圧レギュレータ 150 を通して CPU 102 への電圧入力を制御することにより、CPU 102 がパワーオフ状態のままとなるようにコンフィギュレーションする。それから、コアロジック 105 は、CPU 102 に対する割り込みをインターセプトして、処理し、CPU 102 がパワーオフのままとされるようにする。

【0012】

[0017] コンピュータシステム 100 は、任意的に、GPU 112 及び電圧レギュレータ 155 を含むことができる。GPU 112 は、バス又は他の通信バス (例えば、PCI エクスプレス、高速グラフィックポート、ハイパートランスポートリンク) を介してコアロジック 105 に結合され、1 つの実施形態では、GPU 112 は、ピクセルを表示装置 110 へ分配するグラフィックサブシステムである。デバイスドライバは、システムメモリ 104 に記憶されて、アプリケーションプログラムの如き CPU 102 により実行される処理の間のインターフェースを行い且つ GPU 112 とのインターフェースを行い、GPU 112 による実行のため必要に応じてプログラム命令を変換することができる。ミニマムデバイスドライバは、クリティカル動作状態 160 に含むことができる。低電力動作モードにある間、コアロジック 105 は、電圧レギュレータ 155 を通して GPU 112 への電圧入力を制御することにより、GPU 112 がパワーオフ状態に入るようにコンフィギュレーションすることができる。同様に、コアロジック 105 は、別の電圧レギュレータ (図示せず) を通して電圧入力を制御することにより、システムメモリ 104 がパワーオフ状態に入るようにコンフィギュレーションすることができる。また、コアロジック 105 は、それぞれ電圧レギュレータ 150 及び 155 を通して CPU 102 及び GPU 112 へ通常の動作電圧を再適用する。

【0013】

[0018] コアロジック 105 は、表示装置 110 (例えば、従来の CRT 又は LCD ベースのモニタ) に結合される。システムディスク 114 もまた、コアロジック 105 に結合される。スイッチ 116 は、コアロジック 105 と、ネットワークアダプタ 118 及び種々なアドインカード 120 及び 121 の如き他のコンポーネントとの間の接続を与える。USB 又は他のポート接続、CD ドライブ、DVD ドライブ、フィルム記録装置等を含む他のコンポーネント (明白には図示せず) もまた、コアロジック 105 に接続される。図

10

20

30

40

50

1 Aにおいて種々なコンポーネントを相互接続する通信バスは、P C I (周辺コンポーネント相互接続)、P C I エクスプレス (P C I - E)、A G P (高速グラフィックポート)、ハイパートランスポート、又は任意の他のバス又はポイントツーポイント通信プロトコルの如き任意の適当なプロトコルを使用して実施することができ、異なるデバイスの間の接続は、当業分野にて知られているような異なるプロトコルを使用することができる。

【0014】

[0019] 図1 Bは、本発明の1つ以上の態様を実施するようにコンフィギュレーションされるコンピュータシステム100を例示する別のブロック図である。図1 Aと違って、システムメモリ104は、コアロジック115を通してではなく、接続103を介して直接にC P U 1 2 2に接続され、他のデバイスは、コアロジック115及びC P U 1 2 2を介してシステムメモリ104と通信する。

10

【0015】

[0020] ここに示すシステムは、例示であり、種々な変形及び変更が可能であることは、理解されよう。ブリッジの数及び配置を含めて接続トポロジーは、必要に応じて変更することができる。他の代替的トポロジーにおいては、G P U 1 1 2は、コアロジック105又はコアロジック115にではなくて、C P U 1 0 2又はC P U 1 2 2へ直接に接続される。更に他の実施形態では、コアロジック105又はコアロジック115は、複数のチップへと分離することができる。ここに示す特定のコンポーネントは、任意的なものであり、例えば、任意数のアドインカード又は周辺機器を支援することができる。ある幾つかの実施形態では、スイッチ116が省かれ、ネットワークアダプタ118及びアドインカード120、121は、コアロジック105又はコアロジック115に直接に接続される。

20

【0016】

[0021] システム100の他の部分へのG P U 1 1 2の接続も変えることができる。幾つかの実施形態では、G P U 1 1 2は、システム100の拡張スロットへ挿入されるアドインカードとして実装される。他の実施形態では、G P U 1 1 2は、コアロジック105又はコアロジック115と共に単一チップとして一体化することができる。更に他の実施形態では、G P U 1 1 2のある要素又は全ての要素を、C P U 1 0 2又はC P U 1 2 2と共に単一チップとして一体化することができる。

【0017】

コアロジック概観

30

[0022] 図2 Aは、本発明の1つ以上の態様による図1 Aのコンピュータシステムのためのコアロジック105のブロック図である。図2 Bは、本発明の1つ以上の態様による図1 Bのコンピュータシステム100のためのコアロジック115のブロック図である。コアロジック105及びコアロジック115の各々は、A R M (アドバンスドリデュースドインストラクションセットマシン)、P o w e r P C等の如き組み込み低電力プロセッサであってよいシステム管理装置200を含む。システム管理装置200は、C P U 1 0 2又はC P U 1 2 2より電力消費が少なく、C P U 1 0 2又はC P U 1 2 2によって行われる処理のうちの少なくとも一部分を行うようにコンフィギュレーションされることができる。本発明の好ましい実施形態では、システム管理装置200は、システム割り込みを支援するに必要とされる処理の部分を行うようにコンフィギュレーションされる。

40

【0018】

[0023] コアロジック105及びコアロジック115の各々は、クリティカル動作状態コピーを生成するためシステムメモリ104からのクリティカル動作状態160のコピーをロードするようにコンフィギュレーションされるローカルメモリ205をも含む。図1 Bに示されたトポロジーが使用されるとき、クリティカル動作状態160は、C P U 1 2 2及び接続103を通してシステムメモリ104からコピーされる。ローカルメモリ205を構成するのに、オンチップS R A M、オンチップ組み込みD R A M、オフチップD R A M等を使用することができる。ローカルメモリ205及びシステムメモリ104は、システムメモリ104が図1 Aに示すように直接にコアロジック105に接続されるときには、同じ物理的エンティティであってよい。インターセプトした割り込みの処理中、システ

50

ム管理装置 200 は、クリティカル動作状態コピー 260 を変更することができる。例えば、リターンプログラムカウンタを更新して、スタックポインタ及び他のシステムレジスタの値を変えることができる。もし、コンピュータシステム 100 がより高いアクティビティレベルにて動作していたのであれば、低電力モード中にクリティカル動作状態コピー 260 に対してシステム管理装置 200 によりなされるこれら変更は、CPU 102 又は CPU 122 によりクリティカル動作状態 160 に対してなされるものと等価である。コンピュータシステム 100 が低電力動作モードから高電力動作モードへ移行するとき、クリティカル動作状態コピー 260 は、クリティカル動作状態 160 を更新するため、システムメモリ 104 へ書き込まれる。それから、CPU 102 又は CPU 122 は、CPU 102 又は CPU 122 が低電力動作モードへの移行のためパワーダウンされたとき、CPU 102 又は CPU 122 により元々記憶されていた古いクリティカル動作状態の代わりに、現在のクリティカル動作状態を使用して、処理を再開する。

10

【0019】

[0024] システム管理装置 200 は、コンピュータシステム 100 が低電力動作モードに入り、また、低電力動作モードを出るべきときを決定するように、コンフィギュレーションされる。システム管理装置 200 は、電圧レギュレータ 150 をイネーブルし、また、ディスエーブルすることにより、CPU 102 又は CPU 122 をパワーアップ又はパワーダウンするように、コンフィギュレーションされる。同様に、システム管理装置 200 は、電圧レギュレータ 155 をイネーブルし、また、ディスエーブルすることにより、GPU 112 をパワーアップ又はパワーダウンするように、コンフィギュレーションされる。前述したように、システム管理装置 200 は、また、システムメモリ 104 の如き、コンピュータシステム 100 内の他のコンポーネントをパワーダウンするように、コンフィギュレーションされることもできる。

20

【0020】

[0025] 本発明の幾つかの実施形態では、コアロジック 105 は、システムメモリ 104 とのインターフェースを行うのに使用されるメモリインターフェース 214 を含む。システム管理装置 200 は、コンピュータシステム 100 にハイブリッド処理能力を与える。何故ならば、システム管理装置 200 及び CPU 102 又は CPU 122 の両者がイネーブルされ、また、システム管理装置 200 がイネーブルされている間、CPU 102 又は CPU 122 が、ディスエーブルされることができるからである。

30

【0021】

アイドルタイム処理

[0026] 図 3 は、本発明の 1 つ以上の態様による高電力モードと低電力モードとの間で移行するための方法ステップのフロー図である。ステップ 300 において、コンピュータシステム 100 は、ブートアップされ、CPU 102 及びコアロジック 105 の両者がパワーアップされるか、又は、CPU 122 及びコアロジック 115 の両者がパワーアップされる。典型的なブートアップシーケンスは、図 6 に関して説明される。

【0022】

[0027] ステップ 305 において、コンピュータシステム 100 は、高電力モードにて動作している。ステップ 310 において、システム管理装置 200 は、コンピュータシステム 100 が低いアクティビティ状態にあるかを決定する。全くアクティビティがないとき、又はシステム割り込みの頻度が最小しきい値より低くなるとき、低いアクティビティ状態が生ずる。割り込みと割り込みとの間の遅延が低いアクティビティ状態を示すかを決定するのに、システムアクティビティタイマーを使用することができる。本発明の幾つかの実施形態では、オペレーティングシステムが、コンピュータシステム 100 が低いアクティビティ状態にあるか否かを決定する。もし、ステップ 310 において、低いアクティビティ状態が検出されない場合には、その時には、ステップ 305 において、コンピュータシステム 100 は、高電力モードにて動作し続ける。さもなければ、ステップ 320 において、コンピュータシステム 100 は、図 4 A、図 4 B 及び図 4 C に関して詳述されるように、低電力モードに入る。

40

50

【 0 0 2 3 】

[0028]ステップ 3 5 0 において、システム管理装置 2 0 0 は、コンピュータシステム 1 0 0 が低いアクティビティ状態のままであるかを決定し、もし、そうであるならば、コンピュータシステム 1 0 0 は、ステップ 3 4 5 に戻り、低電力モードにて動作し続ける。さもなければ、ステップ 3 5 5 において、コンピュータシステム 1 0 0 は、図 5 に関して詳述するように、低電力モードを出て、ステップ 3 0 5 に戻り、低電力モードから高電力モードへと移行する。システム管理装置 2 0 0 又はオペレーティングシステムは、アクティビティ状態が増大して、割り込み頻度が増大するときに又はクリティカル動作状態コピー 2 6 0 がインターセプトされる割り込みを支援するのに十分でないときに、低電力モードからより高い電力モードへの移行が必要とされることを、決定することができる。

10

【 0 0 2 4 】

[0029]図 4 A は、本発明の 1 つ以上の態様による図 3 のステップ 3 2 0 を行うための方法ステップのフロー図である。ステップ 4 1 5 において、システム管理装置は、コンピュータシステム 1 0 0 が低電力動作状態へと移行することを示す CPU 1 0 2 又は CPU 1 2 2 に対するシステム管理割り込み (S M I) を開始する。ステップ 4 2 0 において、CPU 1 0 2 又は CPU 1 2 2 は、現在のクリティカル動作状態 1 6 0 をシステムメモリ 1 0 4 に記憶させる。CPU 1 0 2 又は CPU 1 2 2 が、CPU 1 0 2 又は CPU 1 2 2 内のキャッシュにそのクリティカル動作状態の一部分を記憶させることができるとき、そのキャッシュの内容は、現在のクリティカル動作状態 1 6 0 が正確であることを保証するため、システムメモリ 1 0 4 へと書き込まれる (即ち、そのキャッシュがフラッシュされる) 。

20

【 0 0 2 5 】

[0030]ステップ 4 2 5 において、システム管理装置 2 0 0 は、電圧レギュレータ 1 5 0 をディスエーブルすることにより、CPU 1 0 2 又は CPU 1 2 2 が低電力モードにて動作するようにコンフィギュレーションする。低電力動作モードにおいて、システム管理装置 2 0 0 は、システム割り込みを CPU 1 0 2 又は CPU 1 2 2 へと通すのではなく、処理のため、それらシステム割り込みをインターセプトする。ステップ 4 3 0 において、システム管理装置 2 0 0 は、インターセプトされたシステム割り込みが受け取られたかを決定し、もし、受け取られていない場合には、システム管理装置 2 0 0 は、システム割り込みをインターセプトするのを待つ。システム割り込みがインターセプトされるとき、システム管理装置 2 0 0 は、ステップ 4 3 5 に進み、その割り込みを処理するのに必要とされるクリティカル動作状態 1 6 0 の一部分がクリティカル動作状態 1 6 0 に存在していないかを決定し、もしそうである場合には、ステップ 4 4 0 において、システム管理装置 2 0 0 は、クリティカル動作状態 1 6 0 の少なくとも一部分をクリティカル動作状態コピー 2 6 0 へとコピーする。本発明の好ましい実施形態では、CPU 1 0 2 又は CPU 1 2 2 は、システムメモリ 1 0 4 に加えて、システム管理装置 2 0 0 におけるローカルメモリ 2 0 5 へとクリティカル動作状態 1 6 0 をコピーするように、コンフィギュレーションされる。本発明の他の実施形態では、クリティカル動作状態 1 6 0 の各部分は、システム管理装置 2 0 0 により必要に応じてシステムメモリ 1 0 4 からコピーされる。本発明の他の実施形態では、全クリティカル動作状態 1 6 0 が、システム管理装置 2 0 0 によりコピーされる。システム管理装置 2 0 0 が各割り込みを処理するために必要に応じてクリティカル動作状態 1 6 0 の各部分をコピーするだけのときには、ステップ 4 3 5 及び 4 4 0 が繰り返されることに注意されたい。

30

40

【 0 0 2 6 】

[0031]前述したように、クリティカル動作状態 1 6 0 は、システム割り込みを処理するのにシステム管理装置 2 0 0 により必要とされるデータを含む。クリティカル動作状態 1 6 0 は、割り込みを支援し、カーソル位置、ミニマムデバイスドライバ及び現在ディスプレイサーフェイスを更新するのに必要とされるオペレーティングシステムの部分、割り込みサービスルーチンの 1 つ以上を含むことができる。

【 0 0 2 7 】

50

[0032] 図 4 B は、本発明の 1 つ以上の態様による図 3 のステップ 3 2 0 を行うための方法ステップの別のフロー図である。ステップ 4 1 5 及び 4 2 0 は、前述したように行われる。ステップ 4 2 2 において、システム管理装置 2 0 0 は、クリティカル動作状態コピー 2 6 0 をローカルメモリ 2 0 5 にロードするため、クリティカル動作状態 1 6 0 をコピーする。システム割り込みをインターセプトした後クリティカル動作状態 1 6 0 の全て又は部分をコピーするのでなく、図 4 B に示す方法は、クリティカル動作状態コピー 2 6 0 を生成するため、クリティカル動作状態 1 6 0 をローカルメモリ 2 0 5 へと先取りロードする。ステップ 4 2 5 及び 4 3 0 は、前述したように行われる。

【 0 0 2 8 】

[0033] 図 4 C は、本発明の 1 つ以上の態様による図 3 のステップ 3 2 0 を行うための方法ステップの更に別のフロー図である。ステップ 4 1 5、4 2 0、4 2 2 及び 4 2 5 は、前述したように行われる。ステップ 4 2 8 において、システム管理装置 2 0 0 は、電圧レギュレータ 1 5 5 をディスエーブルすることにより、システムメモリ 1 0 4 が低電力モードにおいて動作するようにコンフィギュレーションする。システムメモリ 1 0 4 への電力供給を除くことにより、コンピュータシステム 1 0 0 によって消費される電力が更に減少させられる。コンピュータシステム 1 0 0 が低電力動作モードから高電力動作モードへと移行するとき、システム管理装置 2 0 0 は、電圧レギュレータ 1 5 5 をイネーブルして、システムメモリ 1 0 4 への電力を回復させることができる。ステップ 4 3 0 は、前述したように行われる。

【 0 0 2 9 】

[0034] 図 5 は、本発明の 1 つ以上の態様による低電力動作状態から高電力動作状態への移行を行うように図 3 のステップ 3 5 5 を行うための方法ステップのフロー図である。ステップ 5 5 5 において、システム管理装置 2 0 0 は、それ自身に対する割り込みを開始し、コンピュータシステム 1 0 0 がもはや低いアクティビティ状態にないことを示す。ステップ 5 6 0 において、システム管理装置 2 0 0 は、クリティカル動作状態 1 6 0 を更新するため、現在のクリティカル動作状態コピー 2 6 0 をシステムメモリ 1 0 4 に記憶させる。ステップ 5 6 5 において、システム管理装置 2 0 0 は、CPU 1 0 2 又は CPU 1 2 2 が高電力モードにて動作するようにコンフィギュレーションする。ステップ 5 7 0 において、CPU 1 0 2 又は CPU 1 2 2 は、システムメモリ 1 0 4 からクリティカル動作状態 1 6 0 を読み取り、インターセプトされた割り込みの処理中にシステム管理装置 2 0 0 により変更された更新クリティカル動作状態でもって処理を再開する。

【 0 0 3 0 】

[0035] 図 6 は、本発明の 1 つ以上の態様による図 1 A 及び図 1 B のコンピュータシステム 1 0 0 をブートアップするように図 3 のステップ 3 0 0 を行うための方法ステップのフロー図である。ステップ 6 0 0 において、システム管理装置 2 0 0 がパワーアップされる。ステップ 6 0 5 において、システム管理装置 2 0 0 は、コンピュータシステム 1 0 0 に対するパワーオン自己テスト (POST) 機能を行う。従来のシステムでは、この POST は、高性能 CPU により行われる。この POST を行うのにシステム管理装置 2 0 0 を使用することにより、消費される電力が減少させられる。ステップ 6 1 0 において、CPU 1 0 2 又は CPU 1 2 2 がパワーアップされ、ステップ 6 2 0 において、ブートアッププロセスが完了する。本発明の幾つかの実施形態では、ステップ 6 1 0 は、ブートアッププロセス中の電力消費を減少させるため、アプリケーションプログラムがロードされるまで、遅延される。

【 0 0 3 1 】

[0036] 本発明の幾つかの実施形態では、オペレーティングシステムは、性能及び / 又は電力制約に基づいて、混成コンピューティングプラットフォーム内の種々な処理装置、例えば、CPU 1 0 2 又は CPU 1 2 2、GPU 1 1 2、システム管理装置 2 0 0 及び低電力 GPU 2 1 0 へ処理タスクを適応的に移す。システムアクティビティが低いときには、オペレーティングシステムは、先ず、クリティカル処理をシステム管理装置 2 0 0 へ移し、全てのクリティカル処理が CPU 1 0 2 又は CPU 1 2 2 から移されたときに、CPU

１０２又はＣＰＵ１２２をパワーダウンすることにより、低電力動作状態への移行を開始することができる。

【００３２】

[0037]異なる電力消費特性を有する動作モードの間でコンピューティングシステム１００を適応的に移行させることにより、コンピューティングシステム１００がバッテリー電力にて動作する時間を延長することができる。システム管理装置２００又はオペレーティングシステムは、コンピュータシステム１００が異なる電力モードの間で移行すべきときを決定することができる。低電力モードにおいて、システム管理装置２００は、クリティカル動作状態のコピーを更新しながら、ＣＰＵ１０２又はＣＰＵ１２２に対して意図された割り込みをインターセプトし、処理する。アクティビティのレベルが変化するとき、Ｃ
１０
ＰＵ１０２又はＣＰＵ１２２は、システム管理装置２００により変更されたクリティカル動作状態を使用して、割り込みの処理を再開する。ＣＰＵ１０２又はＣＰＵ１２２、システム管理装置２００、ＧＰＵ１１２及びシステムメモリ１０４への電力をイネーブル又はディスエーブルすることにより、種々な電力消費レベルを達成することができる。

【００３３】

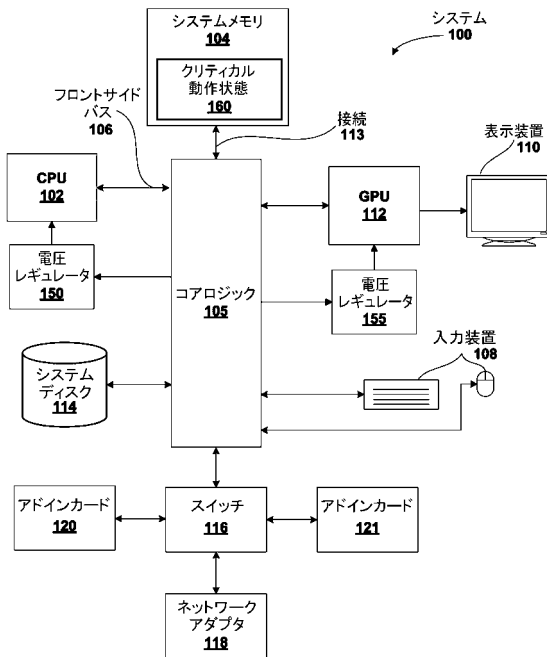
[0038]特定の実施形態について本発明を前述してきたのであるが、当業者には理解されるように、特許請求の範囲に記載されるような本発明のより広い精神及び範囲から逸脱することなく、それら実施形態に対して種々な変更及び変形をなすことができるものである。本発明の１つの実施形態は、コンピュータシステムに使用するためのプログラム製品として実施することができる。このプログラム製品のプログラムは、これら実施形態（こ
こに説明した方法を含む）の諸機能を定めており、種々なコンピュータ読み取り可能な記憶媒体に含ませることができるものである。コンピュータ読み取り可能な記憶媒体の例示としては、これらに限定されるものではないが、（i）情報が永久的に記憶される非書き込み記憶媒体（例えば、ＣＤ－ＲＯＭドライブにより読み取られるＣＤ－ＲＯＭディスクの如きコンピュータ内のリードオンリーメモリデバイス、フラッシュメモリ、ＲＯＭチップ又は任意のタイプの固体不揮発性半導体メモリ）、及び（ii）変更可能な情報が記憶される書き込み可能な記憶媒体（例えば、ディスクドライブ又はハードディスクドライブ内のフロッピーディスク、又は任意のタイプの固体ランダムアクセス半導体メモリ）がある。従って、前述した説明及び図は、それらに限定する意味ではなく、単なる例示である
として考えられたい。

【符号の説明】

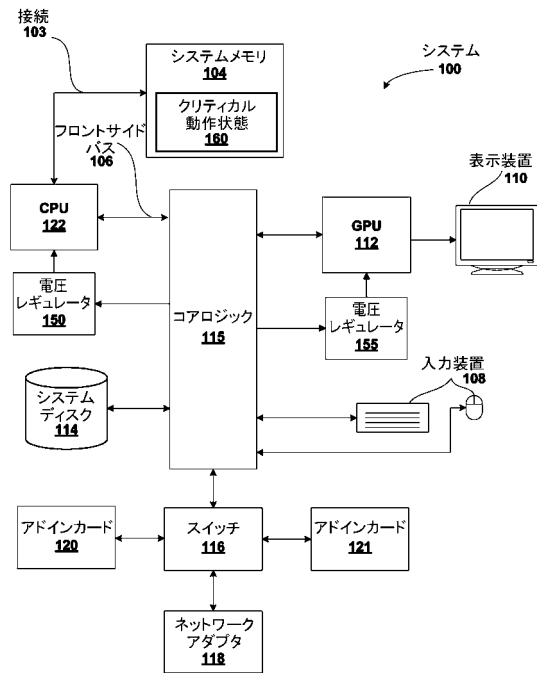
【００３４】

１００・・・コンピュータシステム、１０２・・・中央処理装置（ＣＰＵ）、１０３・・・接続、１０４・・・システムメモリ、１０５・・・コアロジック、１０６・・・フロントサイドバス（バス）、１０８・・・ユーザー入力装置、１１０・・・表示装置、１１２・・・ＧＰＵ、１１３・・・表示装置、１１４・・・システムディスク、１１５・・・コアロジック、１１６・・・スイッチ、１１８・・・ネットワークアダプタ、１２０・・・アドインカード、１２１・・・アドインカード、１２２・・・ＧＰＵ、１５０・・・電圧レギュレータ、１５５・・・電圧レギュレータ、１６０・・・クリティカル動作状態、２
４０
００・・・システム管理装置（ＳＭＵ）、２０５・・・ローカルメモリ、２１０・・・一体化ＧＰＵ（低電力ＧＰＵ）、２１４・・・メモリインターフェース、２６０・・・クリティカル動作状態コピー

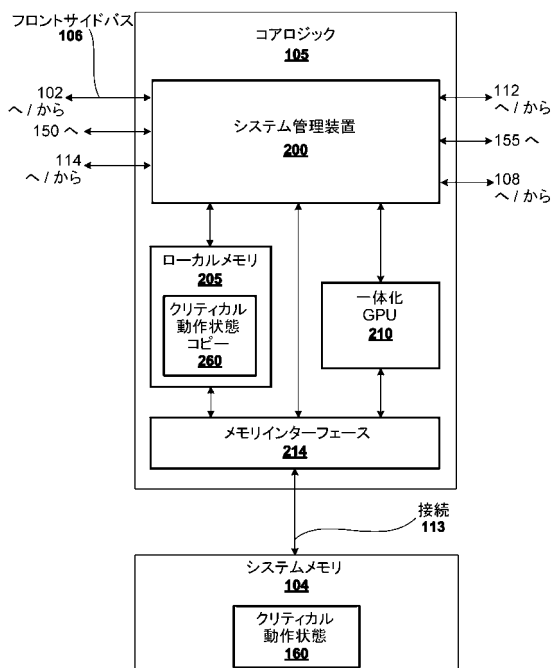
【図 1 A】



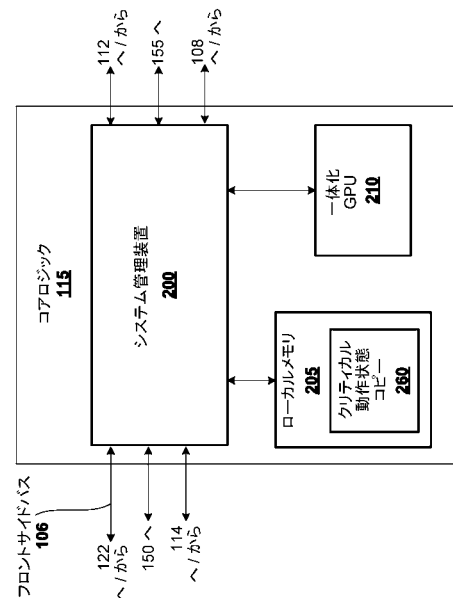
【図 1 B】



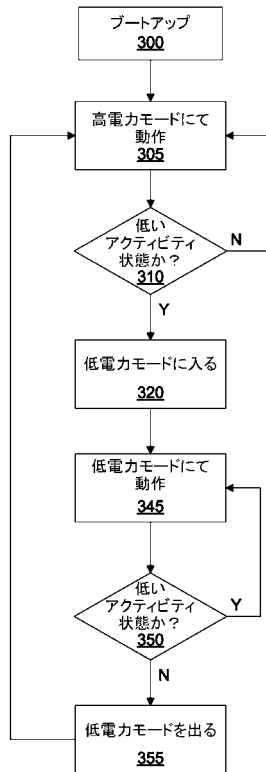
【図 2 A】



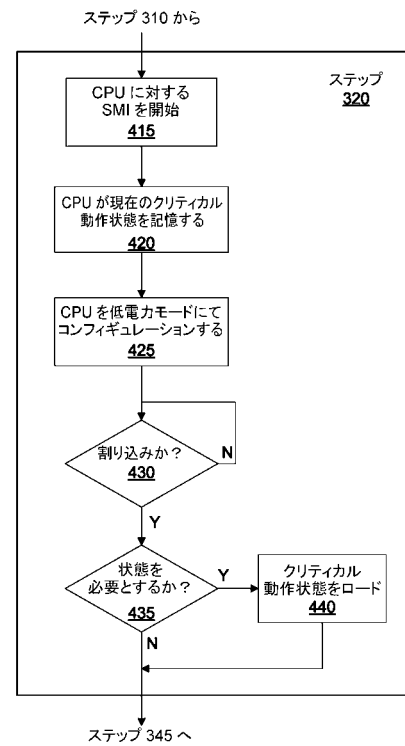
【図 2 B】



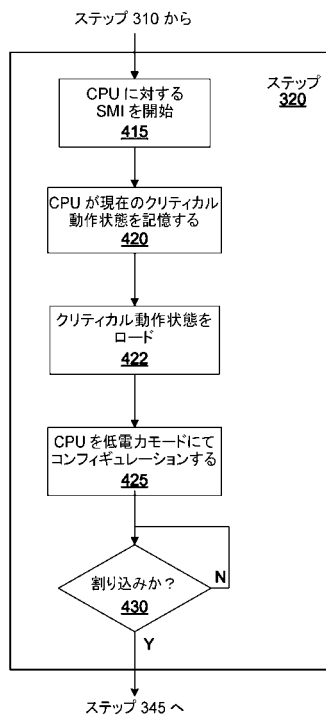
【図 3】



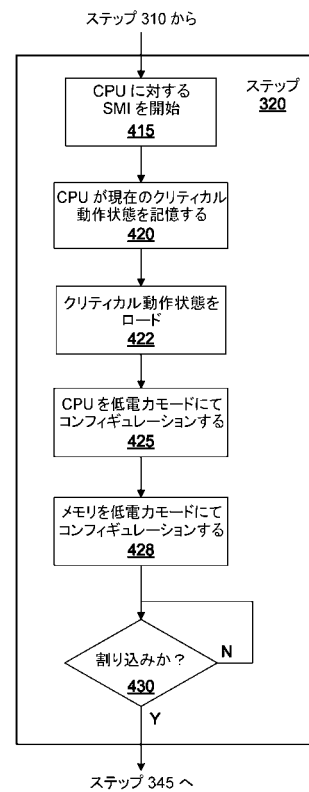
【図 4 A】



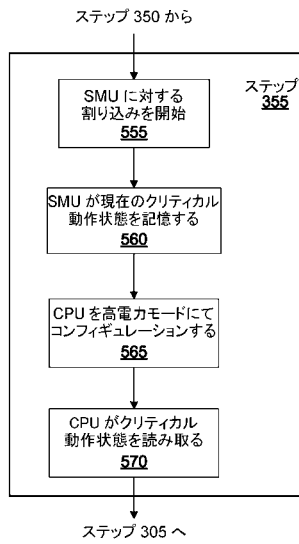
【図 4 B】



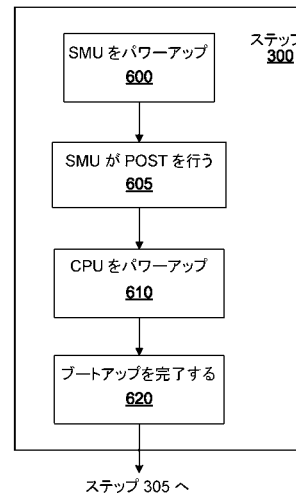
【図 4 C】



【 図 5 】



【 図 6 】



フロントページの続き

(72)発明者 スティーヴン ディー． リュー

アメリカ合衆国， カリフォルニア州 9 4 0 8 5 ， サニーヴェール， アナカパ テラス 6
2 7

(72)発明者 ロバート ウィリアム チャップマン

アメリカ合衆国， カリフォルニア州 9 4 0 4 1 ， マウンテン ヴュー， ロレト ストリー
ト 4 2 2

F ターム(参考) 5B011 DC06 EA08 KK03 LL02 LL12

【外国語明細書】
2010061644000001.pdf