

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶
H01L 27/04

(11) 공개번호 특1999-013319
(43) 공개일자 1999년02월25일

(21) 출원번호	특1998-006195
(22) 출원일자	1998년02월26일
(30) 우선권주장	191235 1997년07월16일 일본(JP)
(71) 출원인	후지쓰가부시끼가이샤 세끼자와다다시
(72) 발명자	일본국 가나가와켄 가와사키시 나가하라구 가미고다나카 4-1-1 마쓰나가다이수께
(74) 대리인	일본국 가나가와켄 가와사키시 나가하라구 가미고다나카 4-1-1 후지쓰가부시 끼가이샤 내 문기상, 조기호

심사청구 : 있음

(54) 반도체 장치, DRAM, 플래시 메모리 및 그 제조 방법

요약

본 발명은 반도체 장치에 있어서, 측벽 절연막을 갖는 게이트 전극과, 게이트 전극에 대항하는 옴 전극 간의 누설 전류를 억제하는 것을 특징으로 하는 반도체 장치에 관한 것이다. 본 발명에서는 상기 게이트 전극중 적어도 누설 전류 억제 구조를 상기 옴 전극과 대항하는 측에 예컨대, 질화막의 형태로 형성한다.

대표도

도1

명세서

도면의 간단한 설명

도 1은 본 발명의 원리의 설명도(그 1).
 도 2a, 도 2b는 본 발명의 원리의 설명도(그 2).
 도 3a, 도 3b는 본 발명의 원리의 설명도(그 3).
 도 4는 본 발명의 원리의 설명도(그 4).
 도 5a~도 5d는 본 발명의 제 1 실시예에 의한 DRAM의 제조 공정의 설명도(그 1).
 도 6e~도 6g는 본 발명의 제 1 실시예에 의한 DRAM의 제조 공정의 설명도(그 2).
 도 7a~도 7d는 본 발명의 제 2 실시예에 의한 플래시 메모리의 제조 공정 설명도(그 1).
 도 8e~도 8g는 본 발명의 제 2 실시예에 의한 플래시 메모리의 제조 공정 설명도(그 2).
 도 9a~도 9b는 본 발명의 제 1 실시예의 변형예를 나타내는 도면.
 도 10a~도 10c는 본 발명의 제 3 실시예에 의한 DRAM의 제조 공정의 설명도(그 1).
 도 11d, 도 11e는 본 발명의 제 3 실시예에 의한 DRAM의 제조 공정의 설명도(그 2).
 도 12f, 도 12g는 본 발명의 제 3 실시예에 의한 DRAM의 제조 공정의 설명도(그 3).
 도 13h, 도 13i는 본 발명의 제 3 실시예에 의한 DRAM의 제조 공정의 설명도(그 4).
 도 14a ~ 도 14c는 종래 DRAM의 제조 공정의 설명도(그 1).
 도 15d ~ 도 15f는 종래 DRAM의 제조 공정의 설명도(그 2).
 도 16a, 도 16b는 종래 반도체 장치에 관한 문제점에 대한 설명도.

(부호의 설명)

1, 11, 21, 41, 61 : 기판

1A, 1B, 21A, 21B, 21C, 21D, 41A, 41B, 41C, 61A, 61B, 61C, 61D : 확산 영역

2A, 22A, 42A, 62A : 필드 산화막

2B, 22B, 62B : 게이트 절연막
 3, 23, 63 : 게이트 전극
 4, 5B, 14, 16, 25, 47, 64 : SiO₂ 막
 4A, 4B, 25A, 25B, 64A, 64B, 64C, 64D : 측벽 산화막
 5, 7, 26, 28, 49, 65, 67 : 층간 절연막
 5A, 7A, 26A, 28A, 49A, 49B, 49C, 65A, 67A : 콘택 홀
 6, 27, 66 : 비트선 전극
 8A, 29, 68 : 축적 전극 8B, 30, 69 : 커패시터 절연막
 8C, 31, 70 : 대향 전극 9, 17, 24, 48 : 질화막
 12 : SiO₂ 막 13, 15 : 폴리실리콘 전극
 42B : 터널 절연막 42 : 폴리실리콘층
 44 : 플로우팅 절연막 45 : 폴리실리콘층
 46 : WSi 제어 전극 50A, 50B, 50C : 옴 전극
 G₁, G₂ : 게이트 전극 구조

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 일반적으로 반도체 장치에 관한 것이고, 특히 미세화한 반도체 기억 장치 및 그 제조 방법에 관한 것이다.

소자 미세화 기술의 진보에 따라 반도체 집적회로 장치, 특히 기억 집적회로 장치의 집적밀도는 매년 향상되고 있고, 현재에는 최소 선폭 0.3 μm 이상의, 소위 서브 하프마이크론 디바이스(sub-halfmicron device)가 왕성하게 연구되고 있다.

정보를 전하의 형태로 소자중의 커패시터에 축적하는 DRAM(dynamic random access memory)에서 이러한 소자의 상당한 미세화는 커패시터 용량의 감소를 가져오므로, 커패시터 중에서의 정보의 유지 또는 판독/기입 동작이 불안정하게 되기 쉽다. 따라서, 미세화된 커패시터를 갖는 DRAM의 동작을 안정시키기 위하여, 대단한 노력이 기울여지고 있다. 이와 같은 문제는 정보를 플로우팅 게이트 중에 축적하는, 즉 플로우팅 메모리에 있어서도 발생한다.

도 14a ~ 도 15f는 종래 DRAM의 제조 공정을 나타낸다.

도 14a를 참조하면 전형적으로는 p 형으로 도핑(doping)된 Si 기판(1)상에는 SiO₂ 로 된 필드(field) 산화막(2A)으로 구성되고, 동일한 SiO₂ 로 된 열산화막(2B)으로 덮인 활성 영역이 형성되고, 또한 폴리실리콘으로 된 워드선(WL)이 상기 필드 산화막(2A) 또는 열산화막(2B)으로 덮인 기판(1)상에 뿔어 있다. 워드선(WL)은 상기 활성 영역 상에서는 열산화막(2B)상에 뿔어 있어, 메모리 셀 트랜지스터의 게이트 전극을 형성한다. 이것과 함께 상기 열산화막(2B)은 메모리 셀 트랜지스터의 게이트 절연막을 형성한다.

또한, 도 14a의 공정에서는 상기 게이트 전극(3)을 자기 정합 마스크로 P⁺ 이온 주입을 행하여 상기 기판(1)중 게이트 전극(3)의 양측에 상기 메모리 셀 트랜지스터의 확산 영역(1A, 1B)을 형성한다.

다음에, 도 14b의 공정에 있어서, SiO₂ 로 된 산화막(4)이 도 14a의 구조상에 상기 게이트 전극(3)을 덮도록 고온 CVD 법에 의해 퇴적되고, 또한 상기 도 14c의 공정에서 상기 산화막(4)에 상기 기판(1)의 주면에 대하여 실질적으로 수직으로 작용하는 이방성 에칭을 RIE(reactive ion etching) 법에 의해 실행하여 상기 게이트 전극(3)의 측벽을 덮는 측벽 산화막(4A, 4B)을 형성한다. 또한 도 14c의 공정에서는 나타내지는 않았지만 상기 게이트 전극(3) 및 측벽 산화막(4A, 4B)을 자기 정합 마스크로 P⁺ 이온 주입을 실행하여 소위 LOD(lightly doped drain) 구조를 형성하여도 좋다.

또한, 도 15d의 공정에서 상기 도 14c의 구조상에 BPSG (borophosphosilicate)로 된 층간 절연막(5)을 퇴적한 후 상기 확산 영역(1A)을 노출시키는 콘택 홀(5A)을 형성하고, 또한 상기 콘택 홀(5A)을 거쳐서 상기 확산 영역(1A)과 접촉하는 전극(6)을 형성한다. 단, 전극(6)은 비트선의 일부를 구성한다.

또한, 도 15e의 공정에서 상기 도 15d의 구조상에 BPSG로 된 별개의 층간 절연막(7)을 퇴적하고, 또한 상기 층간 절연막(7, 5)을 관통하여 상기 확산 영역(1B)을 노출시키는 콘택 홀(7A)을 형성한다.

마지막으로, 도 15f의 공정에서 상기 콘택 홀(7A)을 채우도록 폴리실리콘으로 된 축적 전극 패턴(8A)을 형성하고, 또 그 위에 SiN 막의 양측에 산화막을 형성한 소위 ONO 구조를 갖는 유전체막(8B)을 형성한다. 또한 상기 유전체막(8B)상에 폴리실리콘으로 된 대향 전극(8C)을 형성한다. 상기 전극 패턴(8A), 유전체막(8B) 및 대향 전극(8C)은 정보를 전하의 형태로 축적하는 메모리 셀 커패시터(8)를 형성한다.

발명이 이루고자 하는 기술적 과제

이러한 구성의 DRAM에 있어서 소자의 미세화를 추구하는 경우, 전형적으로 최소 선폭이 $0.3 \mu\text{m}$ 이하인 경우에 상기 축적 전극(8A)과 게이트 전극(3)간에 누설 전류가 흐르는 경우가 있는 것을 발견하였다. 축적 전극(8A)은 전술한 바와 같이 정보를 전하의 형태로 축적하는 메모리 셀 커패시터(8)의 일부를 구성하기 때문에, 전극(8A)에 발생하는 누설 전류는 DRAM의 동작, 특히 데이터 유지 특성에 심각한 영향을 미친다.

도 16a은 도 15f의 DRAM의 일부를 확대하여 나타낸 것이다.

도 16a을 참조하면 상기 게이트 전극(3)상에는 게이트 전극(3)의 패턴화시에 사용된 반사 방지막(3A)이 남아 있고, 또한 측벽 산화막(4A, 4B)을 덮도록 CVD 산화막(5B)이 상기 층간 절연막(5) 사이에 형성되어 있다. 또한 상기 콘택 홀(5A)은 게이트 전극(3)과의 거리를 확보하기 위하여 꼭대기에서 아래쪽을 향하여 지름이 감소하는 테이퍼(taper) 형상으로 형성되어 있다.

그러나, 이러한 구조의 DRAM에 있어서 상기 콘택 홀(5A)을 도 16a에 나타낸 바와 같이 이상적인 정합 상태로 형성하는 것은 특히 최소 선폭이 $0.3 \mu\text{m}$ 이하의 초미세화된 반도체 장치에서는 곤란하고, 실제로는 도 16b에 나타낸 바와 같이 콘택 홀(5A)의 위치가 이상적인 위치로부터 어긋나는 경우가 많다. 이러한 경우 콘택 홀(5A)을 채우는 축적 전극(8A)과 게이트 전극(3)이 근접함으로써 축적 전극(8A)으로부터 게이트 전극(3)으로 흐르는 누설 전류가 발생하는 것으로 생각된다. 누설 전류 경로에 대해 상세한 것은 현재까지는 아직 잘 알려져 있지 않다. 이 누설 전류의 문제는 후술하는 바와 같이 특히 상기 축적 전극(8A)을 형성한다든지 상기 확산 영역(1B)의 표면으로부터 자연 산화막을 제거하기 위해서는 완충 HF 수용액에 의한 에칭을 행한 경우에 현저하게 된다.

여기서 본 발명은 상기의 과제를 해결한 신규 반도체 장치 및 그 제조 방법을 제공하는 것을 개괄적 과제로 한다.

본 발명에 의한 구체적인 과제는 게이트 전극을 갖는 반도체 장치에 있어서, 상기 게이트 전극으로의 대향하는 전극으로부터의 누설 전류를 실질적으로 제거할 수 있는 반도체 장치 및 그 제조 방법을 제공하는 것에 있다.

발명의 구성 및 작용

본 발명은 상기 과제를,

청구항 1에 기재한 바와 같이,

기판과,

기판 상에 형성된 게이트 전극과,

게이트 전극 측벽면을 덮은 측벽 절연막과,

상기 기판 중에 상기 게이트 전극에 인접하여 형성된 확산 영역과,

상기 확산 영역 상에 형성된 옴 전극으로 된 반도체 장치에 있어서,

상기 측벽 절연막 표면과 상기 게이트 전극 측벽면간에 상기 게이트 전극 표면중 적어도 상기 옴 전극과 대향하는 부분을 덮도록 질화막을 형성한 것을 특징으로 하는 반도체 장치에 의해, 또는

청구항 2에 기재한 바와 같이,

상기 질화막은 상기 게이트 전극 측벽면에 접하여 형성된 것을 특징으로 하는 청구항 1 기재의 반도체 장치에 의해, 또는

청구항 3에 기재한 바와 같이,

상기 측벽 절연막은 상기 게이트 전극 측벽면을 덮은 제 1 막과, 상기 제 1 막상에 형성된 제 2 막을 포함하고,

상기 질화막은 상기 제 1 및 제 2 막간에 형성된 것을 특징으로 하는 청구항 1 기재의 반도체 장치에 의해, 또는

청구항 4에 기재한 바와 같이,

상기 질화막은 상기 확산 영역 위로 뺀 연장부를 포함하고, 상기 연장부와 상기 확산 영역 표면간에는 열산화막이 형성되어 있는 것을 특징으로 하는 청구항 1 ~ 3중의 어느 한 항에 기재된 반도체 장치에 의해, 또는

청구항 5에 기재한 바와 같이,

상기 질화막은 SiN 막 또는 SiON 막으로 된 것을 특징으로 하는 청구항 1 ~ 4중의 어느 한 항에 기재된 반도체 장치에 의해, 또는

청구항 6에 기재한 바와 같이,

기판과,

상기 기판상에 형성되어 워드선의 일부를 구성하는 게이트 전극과,

상기 게이트 전극의 양측 벽면을 덮는 1 쌍의 측벽 절연막과,

상기 기판 중에 상기 게이트 전극에 인접하여 그 양측에 각각 형성된 제 1 및 제 2 확산 영역과,
 상기 1 쌍의 측벽 절연막을 포함하여 상기 게이트 전극을 덮는 제 1 층간 절연막과,
 상기 제 1 층간 절연막 중에 상기 제 1 확산 영역을 노출시키도록 형성된 제 1 콘택 홀과,
 상기 제 1 층간 절연막상에 상기 제 1 콘택 홀을 채우도록 형성되고, 상기 제 1 확산 영역과 접촉하여 비트선의 일부를 형성하는 제 1 전극과,
 상기 제 1 층간 절연막상에 상기 제 1 전극을 덮도록 형성된 제 2 층간 절연막과,
 상기 제 1 및 제 2 층간 절연막 중에 상기 제 2 확산 영역을 노출시키도록 형성된 제 2 콘택 홀과,
 상기 제 2 층간 절연막상에 상기 제 2 콘택 홀을 채우도록 형성되고, 상기 제 2 확산 영역과 접촉하여 메모리 셀 커패시터의 축적 전극을 구성하는 제 2 전극과,
 상기 제 2 전극의 표면에 형성되어 상기 메모리 셀 커패시터의 커패시터 절연막을 형성하는 유전체막과,
 상기 유전체막 상에 상기 유전체막을 상기 제 2 전극과의 사이에 끼워 넣도록 형성되고, 상기 메모리 셀 커패시터의 대향 전극을 구성하는 제 3 전극으로 된 DRAM에 있어서,
 상기 게이트 전극중 적어도 상기 축적 전극과 대향하는 부분을 덮도록 질화막을 형성한 것을 특징으로 하는 DRAM에 의해, 또는

청구항 7에 기재한 바와 같이,
 상기 질화막은 상기 축적 전극에 대향하는 측에 있어서 상기 게이트 전극 측벽면에 접하여 형성되어 있는 것을 특징으로 하는 청구항 6에 기재된 DRAM에 의해, 또는

청구항 8에 기재한 바와 같이,
 상기 측벽 절연막은 상기 게이트 전극 각각의 측벽면에 접하여 형성되는 제 1 막과, 상기 제 1 막상에 형성된 제 2 막으로 되고, 상기 질화막은 상기 게이트 전극이 상기 축적 전극에 대향하는 측에 있어서 상기 제 1 막과 상기 제 2 막의 계면에 형성되어 있는 것을 특징으로 하는 청구항 6에 기재된 DRAM에 의해, 또는

청구항 9에 기재한 바와 같이,
 상기 질화막은 상기 게이트 전극의 양측 벽면 및 상면을 덮는 것을 특징으로 하는 청구항 6에 기재된 DRAM에 의해, 또는

청구항 10에 기재한 바와 같이,
 상기 질화막은 SiN 막 또는 SiON 막으로 된 것을 특징으로 하는 청구항 6 ~ 9중 어느 한 항에 기재된 DRAM에 의해, 또는

청구항 11에 기재한 바와 같이,
 기판과,
 상기 기판상에 터널 절연막을 거쳐서 형성된 플로우팅 전극과, 상기 플로우팅 전극상에 플로우팅 절연막을 거쳐서 형성되어 워드선의 일부를 구성하는 제어 전극으로 된 양측 벽면에 형성된 게이트 전극 구조와,
 상기 게이트 전극 구조의 상기 양측 벽면을 덮는 1 쌍의 측벽 절연막과,
 상기 기판 중에 상기 게이트 전극 구조에 인접하여 그 양측에 각각 형성된 제 1 및 제 2 확산 영역과,
 상기 1 쌍의 측벽 절연막을 포함하여 게이트 전극 구조를 덮는 층간 절연막과,
 상기 층간 절연막 중에 각각 상기 제 1 및 제 2 확산 영역을 노출시키도록 형성된 제 1 및 제 2 콘택 홀과,
 상기 층간 절연막상에 상기 제 1 콘택 홀을 채우도록 형성되고, 상기 제 1 확산 영역과 접촉하여 비트선의 일부를 형성하는 제 1 전극과,
 상기 층간 절연막 중에 상기 제 2 확산 영역을 노출시키도록 형성된 제 2 콘택 홀과,
 상기 층간 절연막상에 상기 제 2 콘택 홀을 채우도록 형성되고, 상기 제 2 확산 영역과 접촉하는 제 2 전극으로 된 플래시 메모리에 있어서,
 적어도 상기 게이트 전극 구조의 적어도 하나의 측벽면상에는 대응하는 상기 측벽 절연막 표면과의 사이에 질화막을 형성한 것을 특징으로 하는 플래시 메모리에 의해, 또는

청구항 12에 기재한 바와 같이,
 상기 질화막은 상기 게이트 전극 구조의 양측 벽면 및 상면을 덮는 것을 특징으로 하는 청구항 11에 기재된 플래시 메모리에 의해, 또는

청구항 13에 기재한 바와 같이,
 상기 질화막은 SiN 막 또는 SiON 막으로 된 것을 특징으로 하는 청구항 8 또는 11 또는 12에 기재된 플래시 메모리에 의해, 또는

청구항 14에 기재한 바와 같이,

기판상에 게이트 전극을 형성하는 공정과,

상기 기판 중에 상기 게이트 전극에 인접하여 확산 영역을 형성하는 공정과,

상기 게이트 전극의 측벽에 측벽 절연막을 형성하는 공정과,

상기 측벽 절연막이 형성된 게이트 전극상에 층간 절연막을 퇴적하는 공정과,

상기 층간 절연막에 상기 게이트 전극에 인접하여 상기 확산 영역 표면을 노출시키는 콘택 홀을 형성하는 공정과,

상기 콘택 홀을 채우도록 옴 전극을 형성하는 공정으로 된 반도체 장치의 제조 방법에 있어서,

상기 층간 절연막을 퇴적하는 공정에 앞서 상기 게이트 전극중 적어도 상기 옴 전극에 대항하는 부분을 덮도록 질화막을 퇴적하는 공정을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법에 의해, 또는

청구항 15에 기재한 바와 같이,

상기 질화막을 퇴적하는 공정은 상기 측벽 절연막을 퇴적하는 공정에 앞서 상기 질화막이 상기 게이트 전극 측벽에 접하도록 실행하는 것을 특징으로 하는 청구항 14에 기재된 반도체 장치의 제조 방법에 의해, 또는

청구항 16에 기재한 바와 같이,

상기 측벽 절연막을 형성하는 공정은 상기 게이트 절연막상에 제 1 막을 퇴적하는 공정과, 상기 제 1 막을 상기 기판 표면에 실질적으로 수직인 방향으로 이방성 에칭하는 공정과, 상기 제 1 막상에 제 2 막을 퇴적하는 공정을 포함하고, 상기 질화막을 퇴적하는 공정은 상기 질화막을 상기 이방성 에칭 공정 후 상기 제 2 막의 퇴적에 앞서 상기 제 1 막상에 퇴적하는 것을 특징으로 하는 청구항 14에 기재된 반도체 장치의 제조 방법에 의해, 또는

청구항 17에 기재한 바와 같이,

기판상에 게이트 전극을 형성하는 공정과,

상기 기판 중에 제 1 및 제 2 확산 영역을 각각 상기 게이트 전극의 제 1 및 제 2 측벽면에 인접하도록 형성하는 공정과,

상기 게이트 전극의 상기 제 1 및 제 2 측벽면상에 각각 제 1 및 제 2 측벽 절연막을 형성하는 공정과,

상기 게이트 전극 및 상기 측벽 절연막을 덮도록 제 1 층간 절연막을 형성하는 공정과,

상기 제 1 층간 절연막에 상기 제 1 확산 영역을 노출시키는 제 1 콘택 홀을 형성하는 공정과,

상기 제 1 층간 절연막상에 상기 제 1 확산 영역에 접촉하는 비트선 패턴을 상기 제 1 콘택 홀을 채우도록 형성하는 공정과,

상기 제 1 층간 절연막상에 상기 비트선 패턴을 채우도록 제 2 층간 절연막을 형성하는 공정과,

상기 제 2 층간 절연막 중에 상기 제 1 및 제 2 층간 절연막을 관통하여 상기 제 2 확산 영역을 노출시키는 제 2 콘택 홀을 형성하는 공정과,

상기 제 2 확산 영역에 접촉하는 메모리 셀 커패시터의 축적 전극을 상기 제 2 콘택 홀을 채우도록 생성하는 공정과,

상기 축적 전극상에 커패시터 절연막을 퇴적하는 공정과,

상기 커패시터 절연막상에 대항 전극을 형성하는 공정으로 된 DRAM의 제조 방법에 있어서,

상기 게이트 전극을 형성하는 공정 후 상기 제 1 층간 절연막을 형성하는 공정 전에 적어도 상기 게이트 전극중 상기 축적 전극과 대항하는 부분을 덮도록 질화막을 퇴적하는 공정을 포함하는 것을 특징으로 하는 DRAM의 제조 방법에 의해, 또는

청구항 18에 기재한 바와 같이,

상기 질화막을 퇴적하는 공정은 상기 질화막이 상기 게이트 전극의 제 1 및 제 2 측벽면과 상면을 연속하여 덮도록 실행하는 것을 특징으로 하는 청구항 17에 기재된 DRAM의 제조 방법에 의해, 또는

청구항 19에 기재한 바와 같이,

상기 제 1 및 제 2 측벽 절연막을 형성하는 공정은 상기 게이트 전극상에 제 1 절연막을 퇴적하는 공정과, 상기 제 1 절연막에 상기 기판 주면에 실질적으로 수직으로 작용하도록 이방성 에칭을 행하는 공정과, 상기 이방성 에칭 후 상기 제 1 절연막상에 제 2 절연막을 퇴적하는 공정과, 상기 제 2 절연막에 상기 기판 주면에 실질적으로 수직으로 작용하도록 이방성 에칭을 행하는 공정을 포함하고, 상기 질화막을 퇴적하는 공정은 상기 질화막을 상기 제 1 절연막상에 상기 이방성 에칭 공정 후 상기 제 2 절연막을 퇴적하는 공정 전에 퇴적하는 공정을 포함하는 것을 특징으로 하는 청구항 17 또는 18에 기재된 DRAM의 제조 방법에 의해, 또는

청구항 20에 기재한 바와 같이,

기판상에 터널 절연막을 형성하는 공정과,

상기 터널 절연막상에 플로우팅 게이트 전극과, 플로우팅 절연막과, 제어 전극을 순차적으로 퇴적하여 게이트 구조를 형성하는 공정과,

상기 기판 중에 상기 게이트 구조를 마스크로 이온 주입을 행하여 확산 영역을 형성하는 공정과,
 상기 기판상에 상기 게이트 구조를 채우도록 층간 절연막을 퇴적하는 공정과,
 상기 층간 절연막 중에 상기 확산 영역을 노출시키도록 콘택 홀을 형성하는 공정과,
 상기 콘택 홀을 채우도록 전극을 형성하는 공정으로 된 플래시 메모리의 제조 방법에 있어서,
 상기 게이트 구조를 형성하는 공정 후 상기 층간 절연막을 퇴적하는 공정 전에 상기 게이트 구조상에 적어도 상기 전극에 마주하는 측을 덮도록 질화막을 퇴적하는 공정을 포함하는 것을 특징으로 하는 플래시 메모리의 제조 방법에 의해, 또는
 청구항 21에 기재한 바와 같이,
 기판과,
 상기 기판상에 형성된 게이트 전극과,
 상기 기판 중에 상기 게이트 전극에 인접하여 형성된 확산 영역과,
 상기 확산 영역에 접촉하는 옴 전극과,
 상기 게이트 전극의 측벽면에 형성된 측벽 절연막으로 된 반도체 장치에 있어서,
 상기 측벽 절연막은 상기 옴 전극의 측에 있어서 상기 게이트 전극 측벽면에 접하는 제 1 절연막과, 상기 제 1 절연막상에 형성된 제 2 절연막으로 된 것을 특징으로 하는 반도체 장치에 의해, 또는
 청구항 22에 기재한 바와 같이,
 상기 제 1 절연막은 상기 제 2 절연막과의 계면 근방에 N을 함유한 것을 특징으로 하는 청구항 21에 기재된 반도체 장치에 의해, 또는
 청구항 23에 기재한 바와 같이,
 기판상에 게이트 전극을 형성하는 공정과,
 상기 기판 중에 상기 게이트 전극에 인접하여 확산 영역을 형성하는 공정과,
 상기 게이트 전극의 측벽에 측벽 절연막을 형성하는 공정과,
 상기 측벽 절연막이 형성된 게이트 전극상에 층간 절연막을 퇴적하는 공정과,
 상기 층간 절연막에 상기 게이트 전극에 인접하여 상기 확산 영역 표면을 노출시키는 콘택 홀을 형성하는 공정과,
 상기 콘택 홀을 채우도록 옴 전극을 형성하는 공정으로 된 반도체 장치의 제조 방법에 있어서,
 상기 측벽 절연막을 형성하는 공정은 상기 게이트 전극을 덮도록 또한 상기 게이트 전극의 측벽에 인접하도록 제 1 절연막을 퇴적하는 공정과, 상기 제 1 절연막을 상기 기판의 주면에 대략 수직인 방향으로 이방성 에칭하여 제 1 측벽 절연막 부분을 형성하는 공정과, 상기 게이트 전극상에 상기 제 1 측벽 절연막 부분을 덮도록 제 2 절연막을 퇴적하는 공정과, 상기 제 2 절연막을 상기 기판의 주면에 대략 수직인 방향으로 이방성 에칭하여 상기 제 1 측벽 절연막 부분을 측방으로부터 덮는 제 2 측벽 절연막 부분을 형성하는 공정을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법에 의해, 또는
 청구항 24에 기재한 바와 같이,
 상기 제 1 측벽 절연막 부분을 형성한 후 상기 제 2 절연막을 퇴적할 때까지의 사이에, 상기 제 1 측벽 절연막 부분을 산화성 분위기에 노출시키는 공정을 포함한 것을 특징으로 하는 청구항 23에 기재된 반도체 장치의 제조 방법에 의해, 또는
 청구항 25에 기재한 바와 같이,
 상기 산화성 분위기는 N_2O 분위기인 것을 특징으로 하는 청구항 24에 기재된 반도체 장치의 제조 방법에 의해, 또는
 청구항 26에 기재한 바와 같이,
 상기 제 1 절연막과 상기 제 2 절연막은 동일 조성을 갖는 것을 특징으로 하는 청구항 23~25중의 어느 한 항에 기재된 반도체 장치의 제조 방법에 의해, 또는
 청구항 27에 기재한 바와 같이,
 상기 제 1 절연막과 상기 제 2 절연막은 다른 조성을 갖는 것을 특징으로 하는 청구항 23~25중의 어느 한 항에 기재된 반도체 장치의 제조 방법에 의해, 또는
 청구항 28에 기재한 바와 같이,
 상기 콘택 홀을 형성한 후 상기 옴 전극을 형성하기 전에 상기 노출된 확산 영역 표면에 드라이 에칭을 행하여 자연 산화막을 제거하는 공정을 포함한 것을 특징으로 하는 청구항 23~27중의 어느 한 항에 기재된 반도체 장치의 제조 방법에 의해, 또는
 청구항 29에 기재한 바와 같이,
 기판상에 게이트 전극을 형성하는 공정과,

상기 기판 중에 제 1 및 제 2 확산 영역을 각각 상기 게이트 전극의 제 1 및 제 2 측벽면에 인접하도록 형성하는 공정과,

상기 게이트 전극의 상기 제 1 및 제 2 측벽면상에 각각 제 1 및 제 2 측벽 절연막을 형성하는 공정과,

상기 게이트 전극 및 상기 측벽 절연막을 덮도록 제 1 층간 절연막을 형성하는 공정과,

상기 제 1 층간 절연막에 상기 제 1 확산 영역을 노출시키는 제 1 콘택 홀을 형성하는 공정과,

상기 제 1 층간 절연막상에 상기 제 1 확산 영역에 접촉하는 비트선 패턴을 상기 제 1 콘택 홀을 채우도록 형성하는 공정과,

상기 제 1 층간 절연막상에 상기 비트선 패턴을 채우도록 제 2 층간 절연막을 형성하는 공정과,

상기 제 2 층간 절연막 중에 상기 제 1 및 제 2 층간 절연막을 관통하여 상기 제 2 확산 영역을 노출시키는 제 2 콘택 홀을 형성하는 공정과,

상기 제 2 확산 영역에 접촉하는 메모리 셀 커패시터의 축적 전극을 상기 제 2 콘택 홀을 채우도록 생성하는 공정과,

상기 축적 전극상에 커패시터 절연막을 퇴적하는 공정과,

상기 커패시터 절연막상에 대향 전극을 형성하는 공정으로 된 반도체 장치의 제조 방법에 있어서,

상기 제 1 및 제 2 측벽 절연막을 형성하는 공정과,

상기 게이트 전극상에 상기 제 1 및 제 2 측벽면에 접하도록 제 1 절연막을 퇴적하는 공정과,

상기 제 1 절연막에 상기 기판의 주면에 실질적으로 수직으로 작용하는 이방성 에칭을 행하여 상기 게이트 전극의 상기 제 1 및 제 2 측벽면을 각각 덮는 하측 측벽 절연막 부분을 형성하는 공정과,

상기 게이트 전극상에 상기 하측 측벽 절연막 부분을 덮도록 제 2 절연막을 퇴적하는 공정과,

상기 제 2 절연막에 상기 기판의 주면에 실질적으로 수직으로 작용하는 이방성 에칭을 행하여 상기 제 1 및 제 2 측벽면의 각각에 있어서, 상기 하측 측벽 절연막 부분을 덮는 상측 측벽 절연막 부분을 형성하는 공정으로 된 것을 특징으로 하는 반도체 장치의 제조 방법에 의해, 또는

청구항 30에 기재한 바와 같이,

상기 하측 측벽 절연막 부분을 형성한 후 상기 제 2 절연막을 퇴적할 때까지의 사이에, 상기 하측 측벽 절연막 부분을 산화성 분위기에 노출시키는 공정을 포함한 것을 특징으로 하는 청구항 29에 기재된 반도체 장치의 제조 방법에 의해, 또는

청구항 31에 기재한 바와 같이,

상기 산화성 분위기는 N_2O 분위기인 것을 특징으로 하는 청구항 30에 기재된 반도체 장치의 제조 방법에 의해, 또는

청구항 32에 기재한 바와 같이,

상기 제 1 절연막과 상기 제 2 절연막은 동일 조성을 갖는 것을 특징으로 하는 청구항 29~31중의 어느 한 항에 기재된 반도체 장치의 제조 방법에 의해, 또는

청구항 33에 기재한 바와 같이,

상기 제 1 절연막과 상기 제 2 절연막은 다른 조성을 갖는 것을 특징으로 하는 청구항 29~31중의 어느 한 항에 기재된 반도체 장치의 제조 방법에 의해, 또는

청구항 34에 기재한 바와 같이,

상기 콘택 홀을 형성한 후 상기 옴 전극을 형성하기 전에 상기 노출된 확산 영역 표면에 드라이 에칭을 행하여 자연 산화막을 제거하는 공정을 포함한 것을 특징으로 하는 청구항 29~31중의 어느 한 항에 기재된 반도체 장치의 제조 방법에 의해 해결한다.

(작용)

도 1은 본 발명의 원리를 설명하는 도면이다. 도 1중 전술한 부분에는 대응하는 참조 부호를 붙이고 그에 대한 설명은 생략한다.

도 1을 참조하면 본 발명에서는 상기 게이트 전극(3)의 상면(보다 정확하게는 반사 방지막(3A)) 및 상기 게이트 전극의 측벽면을 덮도록 SiN막(9)을 형성하고, 상기 측벽 산화막(4B)은 상기 SiN막(9)상에 형성한다. 또한 상기 SiN막(9)은 상기 게이트 전극(3)의 측벽면으로부터 콘택 홀(5A)로 향하고, 상기 게이트 절연막(2B)의 연장선상에 형성된 열산화막 상에 뻗어 있다.

이러한 구성에 의해 상기 콘택 홀(5A)을 채우는 축적 전극(8A)이 게이트 전극(3)간의 누설 전류를 효율적으로 억제한다.

도 2a는 Si 기판(11)상에 형성된 커패시터의 누설 전류에 대하여 실험한 결과를 나타낸다.

도 2a를 참조하면 Si 기판(11)상에는 두꺼운 SiO_2 막(12)이 예컨대 습식(wet) 산화법에 의해 형성되어 있고, 상기 SiO_2 막(12)상에는 제 1 폴리실리콘 전극 패턴(13)이 형성된다. 또한 상기 SiO_2 막(12)상에는 상기 폴리실리콘 전극 패턴(13)을 덮도록 SiO_2 막(14)이 고온 CVD 법에 의해 50 nm 두께로 퇴적되고, 또

한 그 위에 제 2 폴리실리콘 전극 패턴(15)이 퇴적된다.

도 2b는 도 2a의 구조에서 누설 전류 특성을 조사한 결과를 나타낸다. 단 도 2b중 횡축은 누설 전류, 종축은 각 누설 전류에 대한 시료의 개체수의 비율을 나타낸다.

도 2b중 ●는 도 2a의 구조에서 상기 제 2 폴리실리콘 전극 패턴(15)을 상기 SiO₂ 막(14)의 퇴적 직후에 형성한 경우의 결과를 나타내고, 또한 ○는 같은 도 2a의 구조에서 상기 전극 패턴(15)을 형성하기 전 상기 SiO₂ 막(14)을 완충 HF 수용액으로 처리한 경우의 결과를 나타낸다.

도 2b를 참조하면 SiO₂ 막(14)의 형성 직후에 전극 패턴(15)을 형성한 경우에는 대부분의 시료에서 누설 전류가 10⁻⁷ A 이하인 것에 대해, SiO₂ 막(14)을 완충 HF 수용액으로 처리한 경우에는 SiO₂ 막의 두께는 50 nm에서 48 nm로 4 % 정도밖에 감소하지 않았음에도 불구하고 10⁻⁷ A 이상의 누설 전류를 나타내는 시료의 비율은 크게 증대한 것을 알 수 있다.

전술한 도 16a, 도 16b 또는 도 1의 구조에서는 상기 축적 전극(8A)을 형성하기 전 상기 콘택 홀(5A)에 의해 노출된 확산 영역(1B)의 표면으로부터 자연 산화막을 제거하기 위하여 일반적으로 이러한 완충 HF 수용액으로 이러한 확산 영역 표면을 처리하는 것이 행해지지만, 이러한 처리를 행한 경우 전극(8A)과 전극(3)간의 누설 전류 특성이 필연적으로 나빠지는 것은 도 2b의 결과로부터도 뒷받침된다.

이것에 대해 도 3a의 구조에서는 상기 SiO₂ 막(14)과 상층의 폴리실리콘 전극 패턴(15)간에 고온 CVD 법으로 형성한 SiO₂ 막(16)과 SiN 막(17)을 적층한 적층 구조를 개재시키고 있다. 단 도 3(a)의 구조는 상기 SiN 막(17)의 형성 후 상기 폴리실리콘 전극 패턴(15)의 형성 전에 완충 HF 수용액에 의한 에칭 처리를 행하고 있다.

도 3b는 도 3a의 구조의 누설 전류 특성을 나타낸다. 단 도 3b중, ×는 SiO₂ 막(16)의 두께를 10 nm, SiN 막(17)의 두께를 6 nm로 한 경우, +는 SiO₂ 막(16) 및 SiN 막(17)의 두께를 둘 다 10 nm로 한 경우를 나타낸다. 또한 ○는 SiO₂ 막(16) 및 SiN 막(17)을 형성하지 않은 경우, 환언하면 도 2a의 구조에 대한 결과를 나타낸다.

도 3b를 참조하면 SiO₂ 막(12)상에 SiN 막(17)을 형성함으로써 SiN 막(17)을 형성하지 않은 경우에 비해 누설 전류 특성이 현저히 향상되는 것을 알 수 있다.

즉 도 3b의 결과는 도 1의 구조에 있어서, SiN 막(9)을 형성함으로써 전극(8A)과 전극(3)간의 누설 전류가 효과적으로 억제되는 것을 나타내고 있다.

도 4는 본 발명의 다른 원리를 나타낸다. 도 4중 전술한 부분에는 동일 참조 부호를 붙이고, 그에 대한 설명은 생략한다.

도 4를 참조하면, 나타낸 구조에서는 도 16a 또는 도 16b의 구조에 있어서, 상기 측벽 산화막(4B)의 외측에 별개의 측벽 산화막(4C)이 형성되어 있다. 측벽 산화막(4C)은 측벽 산화막(4B)과 동일한 SiO₂ 층을 상기 게이트 전극(3) 및 측벽 산화막(4B)을 덮도록 고온 CVD 법으로 형성하고, 형성된 SiO₂ 층에 대해 기판 주면에 대해 실질적으로 수직으로 작용하는 이방성 에칭을 행함으로써 형성되지만, 그 때 상기 SiO₂ 층의 퇴적에 앞서 이미 형성되어 있는 측벽 산화막(4B)의 표면을 상기 SiO₂ 층의 퇴적 온도와 실질적으로 같은 온도에서 N₂O로 처리하여 상기 표면에 도 4중의 사선으로 나타낸 바와 같이 N을 도핑한 영역을 형성한다.

이와 같이 측벽 산화막을 다층 구조로 형성함으로써도 상기 전극(8A)과 전극(3)간의 누설 전류를 억제할 수 있다. 이러한 다층 구조는 측벽 산화막(4B, 4C)으로 된 2 층 구조에 한정되는 것은 아니고, 보다 다수의 층을 적층하는 것도 좋다.

(발명의 실시 형태)

(제 1 실시예)

도 5a~도 6g은 본 발명의 제 1 실시예에 의한 DRAM의 제조 방법을 나타낸다.

도 5a를 참조하면 전형적으로는 p 형으로 도핑된 Si 기판(21)상에는 SiO₂ 로 된 필드 산화막(22A)으로 형성되고, 동일한 SiO₂ 로 된 열산화막(22B)으로 덮인 활성 영역이 형성되며, 또 폴리실리콘으로 된 워드선(WL)이 상기 필드 산화막(22A) 또는 열산화막(22B)으로 덮인 기판(21)상에 뻗어 있다. 워드선(WL)이 상기 활성 영역 상에서는 열산화막(22B)상에 뻗어 있어 메모리 셀 트랜지스터의 게이트 전극(23)을 형성한다. 이에 따라 상기 열산화막(22B)은 메모리 셀 트랜지스터의 게이트 절연막을 형성한다.

또한 도 5a의 공정에서는 상기 게이트 전극(23)을 자기 정합 마스크로 P⁺ 이온 주입을 행하여 상기 기판(1)중 게이트 전극(23)의 양측에 상기 메모리 셀 트랜지스터의 확산 영역(21A, 21B)을 형성한다.

다음에 도 5b의 공정에 있어서, 상기 도 5a의 구조상에 SiN 막(24)을 예컨대 CVD 법에 의해 SiN 막(24)이 게이트 전극(23)의 상면 및 측벽면을 덮도록 전형적으로는 약 30 nm의 두께로 퇴적하고, 또한 도 5(c)의 공정에서 상기 SiN 막(24)을 덮도록 SiO₂ 막(25)을 고온 CVD 법에 의해 형성한다.

다음에 도 5d의 공정에서 상기 SiO₂ 막(25)에 대하여 상기 기판 주면에 실질적으로 수직으로 작용하는 이방성 에칭을 행하여 측벽 산화막(25A, 25B)을 상기 게이트 전극(23)의 양측 벽면 상에 SiN 막(24)을 거쳐서 형성한다. 또한 도 5d의 공정에서는 상기 게이트 전극(23) 및 이러한 측벽 산화막(25A, 25B)을 마스

크로 P⁺ 이온 주입을 행하여 상기 확산 영역(21A 및 21B)에 부분적으로 겹쳐지도록 보다 깊은 확산 영역(21C 및 21D)을 각각 형성한다. 확산 영역(21A, 21C) 또는 확산 영역(21B, 21D)은 소위 LDD(lightly doped drain)구조를 형성한다.

다음에 도 6e의 공정에 있어서, 상기 도 6d의 구조상에 BPSG로 된 층간 절연막(26)을 CVD 법에 의해 퇴적하고, 또한 상기 층간 절연막(26)중에 상기 확산 영역(21A, 21C)을 노출시키는 콘택 홀(26A)을 형성한다. 또한 완충 HF 수용액에 의해 노출된 확산 영역 표면으로부터 자연 산화막을 제거한 후 상기 층간 절연막(26)상에 상기 콘택 홀(26A)을 채우도록 비트선(BL)의 일부를 이루는 옴 전극(27)을 형성한다.

또한 도 6f의 공정에 있어서, 상기 도 6e의 구조상에 BPSG로 된 제 2 층간 절연막(28)을 CVD 법에 의해 퇴적하고 또한 상기 층간 절연막(26, 28)을 관통하여 상기 확산 영역(21B, 21D)을 노출시키는 콘택 홀(28A)을 형성한다.

또한 도 6g의 공정에 있어서, 상기 콘택 홀(28A)에 의해 노출된 확산 영역 표면의 자연 산화막을 완충 HF 수용액으로 에칭하여 제거한 후 상기 콘택 홀(28A)을 채우도록 메모리 셀 커패시터의 축적 전극을 구성하는 폴리실리콘 전극(29)을 상기 확산 영역(21B, 21D)에 접촉하여 형성하고, 또 그 위에 SiN 으로 된 커패시터 유전체막(30)을 형성하고, 또 그 위에 대향 전극을 구성하는 폴리실리콘 전극(31)을 형성한다. 상기 커패시터 유전체막(30)은 SiN 막의 상하면에 SiO₂ 막을 형성한 소위 ONO 구조를 갖는 것이 좋다.

이러한 구조에서는 콘택 홀(28A)을 채우는 폴리실리콘 전극(29)과 게이트 전극(23)간에 SiN 막(24)을 개재하므로, 상기 비트선 전극(27) 또는 축적 전극(29)을 형성할 때에 노출시킨 확산 영역 표면으로부터 자연 산화막을 완충 HF 수용액으로 에칭하여 제거한 경우에도 전극(29, 23)간에서의 누설 전류가 효과적으로 억제된다. 도 3b의 관계를 참조하면, 이 때 SiN 막(24)은 두께가 얇고 또한 게이트 절연막(22B)의 연장부를 형성하는 열산화막 상에 뺀어 있기 때문에, 반도체 장치의 동작에 중요한 확산 영역에 변형을 일으키는 일은 없어 SiN 막을 형성함에 따른 반도체 장치의 성능 저하는 발생하지 않는다.

본 실시예는 또한 상기 측벽 산화막(25A, 25B)에 의해 콘택 홀(28A)을 자기 정합적으로 형성하는 소위 자기 정합 콘택 구조를 갖는 DRAM(예컨대 일본 특개평 8-274278 호 참조)에 대해서도 유효하다.

(제 2 실시예)

도 7a~도 8g은 본 발명의 제 2 실시예에 의한 플래시 메모리의 제조 방법을 나타낸다.

도 7a를 참조하면 전형적으로는 p 형으로 도핑된 Si 기판(41)상에는 SiO₂ 로 된 필드 산화막(42A)이 형성되고, 동일한 SiO₂ 로 된 열산화막(42B)으로 덮인 활성 영역이 형성되고, 도 7b의 공정에 있어서 상기 열산화막(42B)상에 폴리실리콘 패턴(43)으로 상기 활성 영역을 덮도록 형성한다. 상기 열산화막(42B)은 형성되는 플래시 메모리의 터널 산화막으로서 기능하고, 한편 상기 폴리실리콘 패턴(43)은 플로우팅 게이트의 일부를 구성한다.

또한 도 7c의 공정에 있어서, 상기 폴리실리콘 패턴(43)의 상면 및 측벽면을 덮도록 SiON으로 된 유전체막(44)이 퇴적되고, 또한 상기 유전체막 상에 상기 폴리실리콘층(43)을 덮도록 폴리실리콘층(45) 및 WSi 막(46)이 순차적으로 퇴적되고, 또한 도 7d의 공정에서 패턴화를 행함으로써 각각 폴리실리콘층(43), SiON 층(44), 폴리실리콘층(45) 및 WSi 층(46)으로 된 게이트 전극 구조(G₁, G₂)가 형성된다. 단 상기 게이트 전극 구조(G₁, G₂)에서, 상기 폴리실리콘층(43)은 전술한 바와 같이 플로우팅 게이트 전극을 형성하고 또한 폴리실리콘층(45) 및 WSi 층(46)은 억제 전극을 형성한다.

또한 도 7c의 공정에서는 상기 게이트 전극 구조(G₁, G₂)를 마스크로 상기 기판(41)중에 P⁺ 또는 As⁺의 이온 주입을 실행함으로써 기판(41)중에 확산 영역(41A, 41B, 41C)을 형성한다.

다음에 도 8e의 공정에서 상기 도 7d의 구조상에 SiO₂ 막(47) 및 SiN 막(48)을 고온 CVD 법에 의해 형성한다. 단 상기 SiO₂ 막(47) 및 SiN 막(48)은 상기 게이트 전극 구조(G₁, G₂)의 각각의 상면 및 양측벽면을 연속하여 덮는다.

다음에 도 8f의 공정에서 상기 도 8e의 구조상에 BPSG로 된 층간절연막(49)을 상기 게이트 전극 구조(G₁, G₂)를 채우도록 퇴적하고, 또한 상기 층간 절연막(49)중에 상기 확산 영역(41A~41C)을 각각 노출시키는 콘택 홀(49A~49C)을 형성한다.

또한 상기 콘택 홀(49A~49C)에 의해 노출된 확산 영역(41A~41C)의 표면으로부터 완충 HF 수용액에 의해 자연 산화막을 제거한 후 옴 전극(50A~50C)을 상기 콘택 홀(49A~49C)을 채우도록 형성한다. 옴 전극(50A 또는 50C)은 예컨대 비트선(BL)의 일부를 형성하고, 옴 전극(50B)은 다른 메모리 셀 트랜지스터의 대응하는 옴 전극과 함께 소거 전원에 접속된다. 또한 게이트 전극 구조(G₁, G₂)중의 실리콘사이드층(46)이 제어 전극의 일부로서 워드선에 접속된다.

이러한 구조의 플래시 메모리에서는 상기 게이트 전극 구조(G₁, G₂)가 SiN 막(48)으로 연속적으로 덮여지기 때문에, 플로우팅 게이트 전극(43)의 바로 근방에 옴 전극, 예컨대 전극(50A)이 형성되어도 플로우팅 게이트 전극(43)으로부터 전극(50A)으로 전하가 누설되는 일이 없어 안정한 정보의 유지 및 기입/판독이 가능하게 된다.

(변형예)

도 9a, 도 9b는 전술한 SiN 막을 누설 전류의 억제를 위해 사용한 실시예의 변형예를 나타낸다. 단 도 9a, 도 9b중 전술한 부분에 대응하는 부분에는 동일한 참조 부호를 붙이고 이에 대한 설명은 생략한다.

도 9a는 도 1의 구조의 일변형예이고, SiN 막(9)이 도 1의 구조에서와 같이 상기 게이트 전극(3)의 측벽면에 접하여 형성되는 대신에 상기 측벽 산화막(4B)상에 형성되어 있다. 이러한 구성에 있어서도 상기

SiN 막(9)은 상기 게이트 전극(3)중 상기 옴 전극(8A)에 대향하는 측을 덮고 있고, 전극(8A, 8)간의 누설 전류를 효과적으로 억제한다.

도 9b의 변형예에서는 도 6g의 DRAM 구조에 있어서, 상기 SiN 막(24)을 상기 게이트 전극(23)의 측면면에 접하도록 형성하는 대신에 상기 측벽 산화막(25A, 25B)상에 뺀도록 형성한다. 이러한 구조에 있어서 도 상기 SiN 막(24)은 게이트 전극(23)중 상기 축적 전극(29)에 대향하는 측을 덮어 게이트 전극(23)과 축적 전극(29)간의 누설 전류를 효과적으로 억제한다.

(제 3 실시예)

도 10a~도 13i은 본 발명의 제 3 실시예에 의한 DRAM의 제조 방법을 나타낸다.

도 10a을 참조하면 전형적으로는 p 형으로 도핑된 SiN 기판(61)상에는 SiO₂ 로 된 필드 산화막(62A)으로 형성되고, 동일한 SiO₂ 로 된 열산화막(62B)으로 덮인 활성 영역이 형성되고, 또한 폴리실리콘으로 된 워드선(WL)이 상기 필드 산화막(62A) 또는 열산화막(62B)으로 덮인 기판(61)상에 뺀다. 워드선(WL)은 상기 활성 영역 상에는 열산화막(62B)상으로 뺀어, 메모리 셀 트랜지스터의 게이트 전극(63)을 형성한다. 이에 따라 상기 열산화막(62B)은 메모리 셀 트랜지스터의 게이트 절연막을 형성한다.

또한 도 10a의 공정에서는 상기 게이트 전극(63)을 자기 정합 마스크로 P⁺의 이온 주입을 행하여 상기 기판(1)중 게이트 전극(63)의 양측에 상기 메모리 셀 트랜지스터의 확산 영역(61A, 61B)을 형성한다.

다음에 도 10b의 공정에 있어서, 상기 도 10a의 구조상에 SiO₂ 막(64)을 고온 CVD 법에 의해 SiO₂ 막(64)이 게이트 전극(63)의 상면 및 측면면을 덮도록 퇴적한다.

다음에 도 10c의 공정에서 상기 SiO₂ 막(64)에 대하여 상기 기판 주면에 실질적으로 수직으로 작용하는 이방성 에칭을 행하여 측벽 산화막(64A, 64B)을 상기 게이트 전극(63)의 양측 벽면 상에 형성한다. 또한 도 10c의 공정에서는 상기 게이트 전극(63) 및 이러한 측벽 산화막(64A~64D)을 마스크로 P⁺ 또는 As⁺의 이온 주입을 행하여 상기 확산 영역(61A, 61B)에 부분적으로 겹쳐지도록 보다 깊은 확산 영역(61C, 61D)을 각각 형성한다. 확산 영역(61A, 61C) 또는 확산 영역(61B, 61D)은 소위 LDD 구조를 형성한다.

도 10c의 이방성 에칭 공정은 상기 SiO₂ 막(64)을 퇴적한 것과 같은 퇴적 장치 중에서 기판(61)을 장치 밖으로 꺼내지 않고 실행되고, 또한 도 11d의 공정에서 도 10c의 구조를 상기 퇴적 장치 중에서 고온 CVD 법에 의해 SiO₂ 막을 형성할 때의 기판 온도에서 N₂O 분위기에 노출시켜 측벽 산화막(64A, 64B)의 표면에 N을 도핑한다.

또한 도 11e의 공정에 있어서, 상기 도 11d의 구조상에 SiO₂ 막(나타내지 않음)을 고온 CVD 법에 의해 퇴적하고, 또한 이것을 상기 기판(61)의 주면에 대하여 실질적으로 수직 방향으로 이방성 에칭함으로써 상기 측벽 산화막(64A, 64B)의 외측에 별개의 측벽 산화막(64C, 64D)을 각각 형성한다.

또한 도 11e의 공정에서 상기 게이트 전극(63) 및 측벽 산화막(64A, 64C, 64B, 64D)을 마스크로 P⁺ 또는 As⁺를 이온 주입함으로써 상기 확산 영역(61A)에 일부 겹쳐지도록 보다 깊은 확산 영역(61C)을, 또한 상기 확산 영역(61B)에 일부 겹쳐지도록 보다 깊은 확산 영역(61D)을 형성한다.

다음에 도 12f의 공정에 있어서, 상기 도 11e의 구조상에 예컨대 BPSG로 된 층간 절연막(65)을 CVD 법에 의해 퇴적하고, 상기 층간 절연막(65)중에 상기 확산 영역(61A, 61C)을 노출시키는 콘택 홀(65A)을 형성한다. 또한 완충 HF 수용액에 의해 노출시킨 확산 영역 표면으로부터 자연 산화막을 제거한 후, 상기 층간 절연막(65)상에 상기 콘택 홀(65A)을 채우도록 비트선(BL)의 일부를 이루는 옴 전극(66)을 형성한다.

다음에 도 12g의 공정에 있어서, 상기 도 11e의 층간 절연막(65)상에 상기 옴 전극(66)을 채우도록 예컨대 BPSG로 된 제 2 층간 절연막(67)을 퇴적하고, 상기 제 1 및 제 2 층간 절연막(65, 67)을 관통하여 상기 확산 영역(61B, 61D)을 노출시키는 콘택 홀(61A)을 형성한다.

또한 본 실시예에서는 도 13h의 공정에 있어서, 상기 콘택 홀(67A)을 거쳐서 노출된 상기 확산 영역(61B, 61D)의 표면에 대해 수소 플라즈마(plasma)를 사용한 드라이 클리닝(dry cleaning)을 행하여 자연 산화막을 제거한다. 드라이 클리닝은 예컨대 H₂ 와 수소 원자를 함유한 기체, 예컨대 H₂O 의 혼합 가스 중에서 고주파 여기에 의해 플라즈마를 발생시켜 200 °C 정도의 온도에서 실행하는 것이 좋다. 예컨대 일본 특개평 제 6-140368 호를 참조하라.

드라이 클리닝 후 도 13i의 공정에 있어서, 상기 콘택 홀(67A)을 채우도록 메모리 셀 커패시터의 축적 전극을 구성하는 폴리실리콘 전극(68)을 상기 확산 영역(61B, 61D)에 접촉하여 형성하고, 또한 그 위에 SiN 으로 된 커패시터 유전체막(69)을 형성하며, 또한 그 위에 대향 전극을 구성하는 폴리실리콘 전극(70)을 형성한다. 상기 커패시터 유전체막(69)은 SiN 막의 상하면에 SiO₂ 막을 형성한, 소위 ONO 구조를 갖는 것이 좋다.

본 실시예에서는 상기 게이트 전극(63)의 측벽 산화막이 층(61A 또는 61B)으로 된 제 1 층과, 층(61C 또는 61D)으로 된 제 2 층을 포함한 다층 구조를 갖기 때문에, 상기 축적 전극(68)과 게이트 전극(63)간의 누설 전류를 절화막을 사용하지 않더라도 효과적으로 억제할 수 있다. 전술한 바와 같이 제 1 층(61A 또는 61B) 표면은 제 2 층(61C 또는 61D)의 형성 전에 N₂O 분위기 중에서 SiO₂ 막의 고온 CVD 법에서 사용되는 기판 온도와 동일한 온도에서 어닐링(annealing)된다.

또한 본 실시예에서는 도 13i에서 설명한 바와 같이 상기 축적 전극(68)을 퇴적하기 전에 상기 노출시킨 확산 영역 표면의 자연 산화막을 완충 HF 수용액으로 에칭하지 않고, 수소 플라즈마 중에서 드라이 클리닝에 의해 실행하고 있다. 따라서 완충 HF 수용액 처리를 행한 경우에서와 같은 누설 전류 특성의 악화

가 억제된다.

본 실시예에서 측벽 산화막의 구성은 상기 제 1 층 및 제 2 층만에 한정되는 것은 아니고 보다 다층을 포함하는 구조로 하여도 좋다.

또한 상기 드라이 클리닝은 상기 도 12f의 공정에서 상기 비트선 전극(66)을 형성하기 전에 콘택 홀(65A)에 노출된 기판(61) 표면에 대하여 적용하여 확산 영역(61A, 61C)의 표면으로부터 자연 산화막을 제거하도록 하여도 좋다.

이상 본 발명의 바람직한 특징에 대하여 설명하였지만 본 발명은 이러한 실시예에 한정되는 것은 아니고 본 발명의 요지 내에서 다양한 변형·변경이 가능하다.

발명의 효과

청구항 1~20에 기재된 본 발명의 특징에 의하면, 기판과, 기판상에 형성된 게이트 전극과, 게이트 전극 측벽면을 덮은 측벽 절연막과, 상기 기판중에 상기 게이트 전극에 인접하여 형성된 확산 영역과, 상기 확산 영역 상에 형성된 옴 전극으로 된 반도체 장치에 있어서, 상기 측벽 절연막 표면과 상기 게이트 전극 측면간에 상기 게이트 전극 표면중 적어도 상기 옴 전극과 대항하는 부분을 덮도록 SiN 또는 SiON 등의 질화막을 형성함으로써, 상기 옴 전극과 게이트 전극간의 누설 전류를 효과적으로 억제할 수 있게 되어 DRAM 또는 플래시 메모리의 데이터 유지 특성이 향상한다.

청구항 21~34에 기재된 본 발명에 의하면, 기판과, 상기 기판상에 형성된 게이트 전극과, 상기 기판중에 상기 게이트 전극에 인접하여 형성된 확산 영역과, 상기 확산 영역에 접촉하는 옴 전극과, 상기 게이트 전극의 측벽면에 형성된 측벽 절연막으로 된 반도체 장치에 있어서, 상기 측벽 절연막을 상기 옴 전극의 측에 있어서 상기 게이트 전극 측벽면에 접하는 제 1 절연막과, 상기 제 1 절연막상에 형성된 제 2 절연막으로 구성함으로써, 상기 옴 전극과 게이트 전극간의 누설 전류를 억제할 수 있다.

특히 청구항 22, 25, 31에 기재된 본 발명의 특징에 의하면, 상기 제 1 절연막을 열처리하여 상기 제 1 절연막과 상기 제 2 절연막의 계면 근방에 N을 도입함으로써 상기 누설 전류의 억제를 보다 향상시킬 수 있다.

특히 청구항 24 또는 30에 기재된 본 발명의 특징에 의하면, 상기 제 1 측벽 절연막 부분을 형성한 후 상기 제 2 절연막을 퇴적할 때까지의 사이에 상기 제 1 측벽 절연막 부분을 산화성 분위기에 노출시킴으로써 상기 누설 전류의 억제를 보다 향상시킬 수 있다.

특히 청구항 28 또는 34에 기재된 본 발명의 특징에 의하면, 상기 콘택 홀을 형성한 후 상기 옴 전극을 형성하기 전에 상기 노출된 확산 영역 표면에 드라이 에칭을 행하여 자연 산화막을 제거하는 공정을 행함으로써, 자연 산화막을 습식 에칭(wet etching)으로 제거하는 경우에 발생하는 누설 전류 증가의 문제를 경감할 수 있다.

(57) 청구의 범위

청구항 1

기판과,

기판상에 형성된 게이트 전극과,

게이트 전극 측벽면을 덮은 측벽 절연막과,

상기 기판중에 상기 게이트 전극에 인접하여 형성된 확산 영역과,

상기 확산 영역 상에 형성된 옴 전극으로 된 반도체 장치에 있어서,

상기 측벽 절연막 표면과 상기 게이트 전극 측면간에 상기 게이트 전극 표면중 적어도 상기 옴 전극과 대항하는 부분을 덮도록 질화막을 형성한 것을 특징으로 하는 반도체 장치.

청구항 2

제 1 항에 있어서,

상기 질화막은 상기 게이트 전극 측벽면에 접하여 형성된 것을 특징으로 하는 반도체 장치.

청구항 3

제 1 항에 있어서,

상기 측벽 절연막은 상기 게이트 전극 측벽면을 덮은 제 1 막과, 상기 제 1 막상에 형성된 제 2 막을 포함하고,

상기 질화막은 상기 제 1 및 제 2 막간에 형성된 것을 특징으로 하는 반도체 장치.

청구항 4

제 1 항 내지 제 3 항중의 어느 한 항에 있어서,

상기 질화막은 상기 확산 영역 위로 뺀 연장부를 포함하고, 상기 연장부와 상기 확산 영역 표면간에는 열산화막이 형성되어 있는 것을 특징으로 하는 반도체 장치.

청구항 5

제 1 항 내지 제 3 항중의 어느 한 항에 있어서,
상기 질화막은 SiN 막 또는 SiON 막으로 된 것을 특징으로 하는 반도체 장치.

청구항 6

기판과,
상기 기판상에 형성되어 워드선의 일부를 구성하는 게이트 전극과,
상기 게이트 전극의 양측 벽면을 덮는 1 쌍의 측벽 절연막과,
상기 기판중에 상기 게이트 전극에 인접하여 그 양측에 각각 형성된 제 1 및 제 2 확산 영역과,
상기 1 쌍의 측벽 절연막을 포함하여 상기 게이트 전극을 덮는 제 1 층간 절연막과,
상기 제 1 층간 절연막 중에 상기 제 1 확산 영역을 노출시키도록 형성된 제 1 콘택 홀과,
상기 제 1 층간 절연막상에 상기 제 1 콘택 홀을 채우도록 형성되고, 상기 제 1 확산 영역과 접촉하여 비트선의 일부를 형성하는 제 1 전극과,
상기 제 1 층간 절연막상에 상기 제 1 전극을 덮도록 형성된 제 2 층간 절연막과,
상기 제 1 및 제 2 층간 절연막 중에 상기 제 2 확산 영역을 노출시키도록 형성된 제 2 콘택 홀과,
상기 제 2 층간 절연막상에 상기 제 2 콘택 홀을 채우도록 형성되고, 상기 제 2 확산 영역과 접촉하여 메모리 셀 커패시터의 축적 전극을 구성하는 제 2 전극과,
상기 제 2 전극의 표면에 형성되어 상기 메모리 셀 커패시터의 커패시터 절연막을 형성하는 유전체막과,
상기 유전체막 상에 상기 유전체막을 상기 제 2 전극과의 사이에 끼워 넣도록 형성되고, 상기 메모리 셀 커패시터의 대향 전극을 구성하는 제 3 전극으로 된 DRAM에 있어서,
상기 게이트 전극중 적어도 상기 축적 전극과 대향하는 부분을 덮도록 질화막을 형성한 것을 특징으로 하는 DRAM.

청구항 7

제 6 항에 있어서,
상기 질화막은 상기 축적 전극에 대향하는 측에 있어서 상기 게이트 전극 측벽면에 접하여 형성되어 있는 것을 특징으로 하는 DRAM.

청구항 8

제 6 항에 있어서,
상기 측벽 절연막은 상기 게이트 전극 각각의 측벽면에 접하여 형성되는 제 1 막과, 상기 제 1 막상에 형성된 제 2 막으로 되고, 상기 질화막은 상기 게이트 전극이 상기 축적 전극에 대향하는 측에 있어서 상기 제 1 막과 상기 제 2 막의 계면에 형성되어 있는 것을 특징으로 하는 DRAM.

청구항 9

상기 질화막은 상기 게이트 전극의 양측 벽면 및 상면을 덮는 것을 특징으로 하는 DRAM.

청구항 10

제 6 항 내지 제 9 항중의 어느 한 항에 있어서,
상기 질화막은 SiN 막 또는 SiON 막으로 된 것을 특징으로 하는 DRAM.

청구항 11

기판과,
상기 기판상에 터널 절연막을 거쳐서 형성된 플로우팅 전극과, 상기 플로우팅 전극상에 플로우팅 절연막을 거쳐서 형성되어 워드선의 일부를 구성하는 제어 전극으로 된 양측 벽면에 형성된 게이트 전극 구조와,
상기 게이트 전극 구조의 상기 양측 벽면을 덮는 1 쌍의 측벽 절연막과,
상기 기판중에 상기 게이트 전극 구조에 인접하여 그 양측에 각각 형성된 제 1 및 제 2 확산 영역과,
상기 1 쌍의 측벽 절연막을 포함하여 게이트 전극 구조를 덮는 층간 절연막과,
상기 층간 절연막 중에 각각 상기 제 1 및 제 2 확산 영역을 노출시키도록 형성된 제 1 및 제 2 콘택 홀과,
상기 층간 절연막상에 상기 제 1 콘택 홀을 채우도록 형성되고, 상기 제 1 확산 영역과 접촉하여 비트선의 일부를 형성하는 제 1 전극과,
상기 층간 절연막 중에 상기 제 2 확산 영역을 노출시키도록 형성된 제 2 콘택 홀과,
상기 층간 절연막상에 상기 제 2 콘택 홀을 채우도록 형성되고, 상기 제 2 확산 영역과 접촉하는 제 2 전극으로 된 플래시 메모리에 있어서,

적어도 상기 게이트 전극 구조의 적어도 하나의 측벽면상에는 대응하는 상기 측벽 절연막 표면과의 사이에 질화막을 형성한 것을 특징으로 하는 플래시 메모리.

청구항 12

제 11 항에 있어서,

상기 질화막은 상기 게이트 전극 구조의 양측 벽면 및 상면을 덮는 것을 특징으로 하는 플래시 메모리.

청구항 13

제 8 항 또는 제 11 항 또는 제 12 항 중의 어느 한 항에 있어서,

상기 질화막은 SiN 막 또는 SiON 막으로 된 것을 특징으로 하는 플래시 메모리.

청구항 14

기판상에 게이트 전극을 형성하는 공정과,

상기 기판중에 상기 게이트 전극에 인접하여 확산 영역을 형성하는 공정과,

상기 게이트 전극의 측벽에 측벽 절연막을 형성하는 공정과,

상기 측벽 절연막이 형성된 게이트 전극상에 층간 절연막을 퇴적하는 공정과,

상기 층간 절연막에 상기 게이트 전극에 인접하여 상기 확산 영역 표면을 노출시키는 콘택 홀을 형성하는 공정과,

상기 콘택 홀을 채우도록 옴 전극을 형성하는 공정으로 된 반도체 장치의 제조 방법에 있어서,

상기 층간 절연막을 퇴적하는 공정에 앞서 상기 게이트 전극중 적어도 상기 옴 전극에 대항하는 부분을 덮도록 질화막을 퇴적하는 공정을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 15

제 14 항에 있어서,

상기 질화막을 퇴적하는 공정은 상기 측벽 절연막을 퇴적하는 공정에 앞서 상기 질화막이 상기 게이트 전극 측벽에 접하도록 실행하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 16

제 14 항에 있어서,

상기 측벽 절연막을 형성하는 공정은 상기 게이트 절연막상에 제 1 막을 퇴적하는 공정과, 상기 제 1 막을 상기 기판 표면에 실질적으로 수직 방향으로 이방성 에칭하는 공정과, 상기 제 1 막상에 제 2 막을 퇴적하는 공정을 포함하고, 상기 질화막을 퇴적하는 공정은 상기 질화막을 상기 이방성 에칭 공정 후 상기 제 2 막의 퇴적에 앞서 상기 제 1 막상에 퇴적하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 17

기판상에 게이트 전극을 형성하는 공정과,

상기 기판중에 제 1 및 제 2 확산 영역을 각각 상기 게이트 전극의 제 1 및 제 2 측벽면에 인접하도록 형성하는 공정과,

상기 게이트 전극의 상기 제 1 및 제 2 측벽면상에 각각 제 1 및 제 2 측벽 절연막을 형성하는 공정과,

상기 게이트 전극 및 상기 측벽 절연막을 덮도록 제 1 층간 절연막을 형성하는 공정과,

상기 제 1 층간 절연막에 상기 제 1 확산 영역을 노출시키는 제 1 콘택 홀을 형성하는 공정과,

상기 제 1 층간 절연막상에 상기 제 1 확산 영역에 접촉하는 비트선 패턴을 상기 제 1 콘택 홀을 채우도록 형성하는 공정과,

상기 제 1 층간 절연막상에 상기 비트선 패턴을 채우도록 제 2 층간 절연막을 형성하는 공정과,

상기 제 2 층간 절연막 중에 상기 제 1 및 제 2 층간 절연막을 관통하여 상기 제 2 확산 영역을 노출시키는 제 2 콘택 홀을 형성하는 공정과,

상기 제 2 확산 영역에 접촉하는 메모리 셀 커패시터의 축적 전극을 상기 제 2 콘택 홀을 채우도록 생성하는 공정과,

상기 축적 전극상에 커패시터 절연막을 퇴적하는 공정과,

상기 커패시터 절연막상에 대항 전극을 형성하는 공정으로 된 DRAM의 제조 방법에 있어서,

상기 게이트 전극을 형성하는 공정 후 상기 제 1 층간 절연막을 형성하는 공정 전에 적어도 상기 게이트 전극중 상기 축적 전극과 대항하는 부분을 덮도록 질화막을 퇴적하는 공정을 포함하는 것을 특징으로 하는 DRAM의 제조 방법.

청구항 18

제 17 항에 있어서,

상기 질화막을 퇴적하는 공정은 상기 질화막이 상기 게이트 전극의 제 1 및 제 2 측벽면과 상면을 연속하여 덮도록 실행하는 것을 특징으로 하는 DRAM의 제조 방법.

청구항 19

제 17 항 또는 제 18 항에 있어서,

상기 제 1 및 제 2 측벽 절연막을 형성하는 공정은 상기 게이트 전극상에 제 1 절연막을 퇴적하는 공정과, 상기 제 1 절연막에 상기 기판 주면에 실질적으로 수직으로 작용하도록 이방성 에칭을 행하는 공정과, 상기 이방성 에칭 후 상기 제 1 절연막상에 제 2 절연막을 퇴적하는 공정과, 상기 제 2 절연막에 상기 기판 주면에 실질적으로 수직으로 작용하도록 이방성 에칭을 행하는 공정을 포함하고, 상기 질화막을 퇴적하는 공정은 상기 질화막을 상기 제 1 절연막상에 상기 이방성 에칭 공정 후 상기 제 2 절연막을 퇴적하는 공정 전에 퇴적하는 공정을 포함하는 것을 특징으로 하는 DRAM의 제조 방법.

청구항 20

기판상에 터널 절연막을 형성하는 공정과,

상기 터널 절연막상에 플로우팅 게이트 전극과, 플로우팅 절연막과, 제어 전극을 순차적으로 퇴적하여 게이트 구조를 형성하는 공정과,

상기 기판중에 상기 게이트 구조를 마스크로 이온 주입을 행하여 확산 영역을 형성하는 공정과,

상기 기판상에 상기 게이트 구조를 채우도록 층간 절연막을 퇴적하는 공정과,

상기 층간 절연막 중에 상기 확산 영역을 노출시키도록 콘택 홀을 형성하는 공정과,

상기 콘택 홀을 채우도록 전극을 형성하는 공정으로 된 플래시 메모리의 제조 방법에 있어서,

상기 게이트 구조를 형성하는 공정 후 상기 층간 절연막을 퇴적하는 공정 전에 상기 게이트 구조상에 적어도 상기 전극에 마주하는 측을 덮도록 질화막을 퇴적하는 공정을 포함하는 것을 특징으로 하는 플래시 메모리의 제조 방법.

청구항 21

기판과,

상기 기판상에 형성된 게이트 전극과,

상기 기판중에 상기 게이트 전극에 인접하여 형성된 확산 영역과,

상기 확산 영역에 접촉하는 옴 전극과,

상기 게이트 전극의 측벽면에 형성된 측벽 절연막으로 된 반도체 장치에 있어서,

상기 측벽 절연막은 상기 옴 전극의 측에 있어서 상기 게이트 전극 측벽면에 접하는 제 1 절연막과, 상기 제 1 절연막상에 형성된 제 2 절연막으로 된 것을 특징으로 하는 반도체 장치.

청구항 22

제 21 항에 있어서,

상기 제 1 절연막은 상기 제 2 절연막과의 계면 근방에 N을 함유한 것을 특징으로 하는 반도체 장치.

청구항 23

기판상에 게이트 전극을 형성하는 공정과,

상기 기판중에 상기 게이트 전극에 인접하여 확산 영역을 형성하는 공정과,

상기 게이트 전극의 측벽에 측벽 절연막을 형성하는 공정과,

상기 측벽 절연막이 형성된 게이트 전극상에 층간 절연막을 퇴적하는 공정과,

상기 층간 절연막에 상기 게이트 전극에 인접하여 상기 확산 영역 표면을 노출시키는 콘택 홀을 형성하는 공정과,

상기 콘택 홀을 채우도록 옴 전극을 형성하는 공정으로 된 반도체 장치의 제조 방법에 있어서,

상기 측벽 절연막을 형성하는 공정은 상기 게이트 전극을 덮도록 또한 상기 게이트 전극의 측벽에 인접하도록 제 1 절연막을 퇴적하는 공정과, 상기 제 1 절연막을 상기 기판의 주면에 대략 수직 방향으로 이방성 에칭하여 제 1 측벽 절연막 부분을 형성하는 공정과, 상기 게이트 전극상에 상기 제 1 측벽 절연막 부분을 덮도록 제 2 절연막을 퇴적하는 공정과, 상기 제 2 절연막을 상기 기판의 주면에 대략 수직 방향으로 이방성 에칭하여 상기 제 1 측벽 절연막 부분을 측방으로부터 덮는 제 2 측벽 절연막 부분을 형성하는 공정을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 24

제 23 항에 있어서,

상기 제 1 측벽 절연막 부분을 형성한 후 상기 제 2 절연막을 퇴적할 때까지의 사이에, 상기 제 1 측벽 절연막 부분을 산화성 분위기에 노출시키는 공정을 포함한 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 25

제 24 항에 있어서,

상기 산화성 분위기는 N_2O 분위기인 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 26

제 23 항 내지 제 25 항중의 어느 한 항에 있어서,

상기 제 1 절연막과 상기 제 2 절연막은 동일 조성을 갖는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 27

제 23 항 내지 제 25 항중의 어느 한 항에 있어서,

상기 제 1 절연막과 상기 제 2 절연막은 다른 조성을 갖는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 28

제 23 항 내지 제 27 항중의 어느 한 항에 있어서,

상기 콘택 홀을 형성한 후 상기 옴 전극을 형성하기 전에 상기 노출된 확산 영역 표면에 드라이 에칭을 행하여 자연 산화막을 제거하는 공정을 포함한 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 29

기판상에 게이트 전극을 형성하는 공정과,

상기 기판중에 제 1 및 제 2 확산 영역을 각각 상기 게이트 전극의 제 1 및 제 2 측벽면에 인접하도록 형성하는 공정과,

상기 게이트 전극의 상기 제 1 및 제 2 측벽면에 각각 제 1 및 제 2 측벽 절연막을 형성하는 공정과,

상기 게이트 전극 및 상기 측벽 절연막을 덮도록 제 1 층간 절연막을 형성하는 공정과,

상기 제 1 층간 절연막에 상기 제 1 확산 영역을 노출시키는 제 1 콘택 홀을 형성하는 공정과,

상기 제 1 층간 절연막상에 상기 제 1 확산 영역에 접촉하는 비트선 패턴을 상기 제 1 콘택 홀을 채우도록 형성하는 공정과,

상기 제 1 층간 절연막상에 상기 비트선 패턴을 채우도록 제 2 층간 절연막을 형성하는 공정과,

상기 제 2 층간 절연막 중에 상기 제 1 및 제 2 층간 절연막을 관통하여 상기 제 2 확산 영역을 노출시키는 제 2 콘택 홀을 형성하는 공정과,

상기 제 2 확산 영역에 접촉하는 메모리 셀 커패시터의 축적 전극을 상기 제 2 콘택 홀을 채우도록 생성하는 공정과,

상기 축적 전극상에 커패시터 절연막을 퇴적하는 공정과,

상기 커패시터 절연막상에 대향 전극을 형성하는 공정으로 된 반도체 장치의 제조 방법에 있어서,

상기 제 1 및 제 2 측벽 절연막을 형성하는 공정과,

상기 게이트 전극상에 상기 제 1 및 제 2 측벽면에 접하도록 제 1 절연막을 퇴적하는 공정과,

상기 제 1 절연막에 상기 기판의 주면에 실질적으로 수직으로 작용하는 이방성 에칭을 행하고, 상기 게이트 전극의 상기 제 1 및 제 2 측벽면을 각각 덮는 하측 측벽 절연막 부분을 형성하는 공정과,

상기 게이트 전극상에 상기 하측 측벽 절연막 부분을 덮도록 제 2 절연막을 퇴적하는 공정과,

상기 제 2 절연막에 상기 기판의 주면에 실질적으로 수직으로 작용하는 이방성 에칭을 행하여 상기 제 1 및 제 2 측벽면의 각각에 있어서, 상기 하측 측벽 절연막 부분을 덮는 상측 측벽 절연막 부분을 형성하는 공정으로 된 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 30

제 29 항에 있어서,

상기 하측 측벽 절연막 부분을 형성한 후 상기 제 2 절연막을 퇴적할 때까지의 사이에, 상기 하측 측벽 절연막 부분을 산화성 분위기에 노출시키는 공정을 포함한 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 31

제 30 항에 있어서,

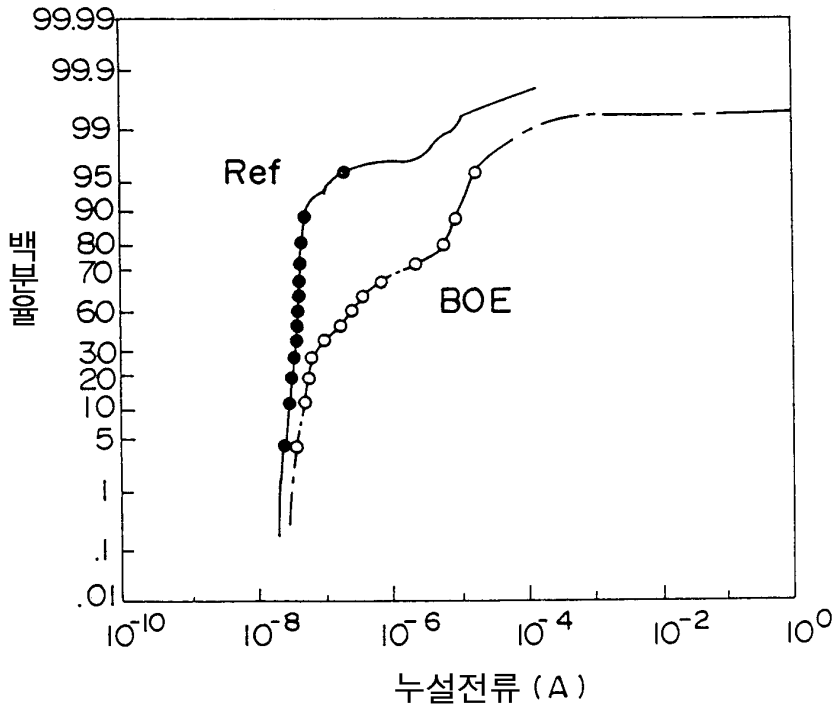
상기 산화성 분위기는 N_2O 분위기인 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 32

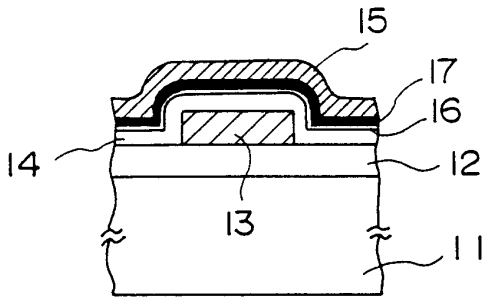
제 29 항 내지 제 31 항중의 어느 한 항에 있어서,

상기 제 1 절연막과 상기 제 2 절연막은 동일 조성을 갖는 것을 특징으로 하는 반도체 장치의 제조 방법.

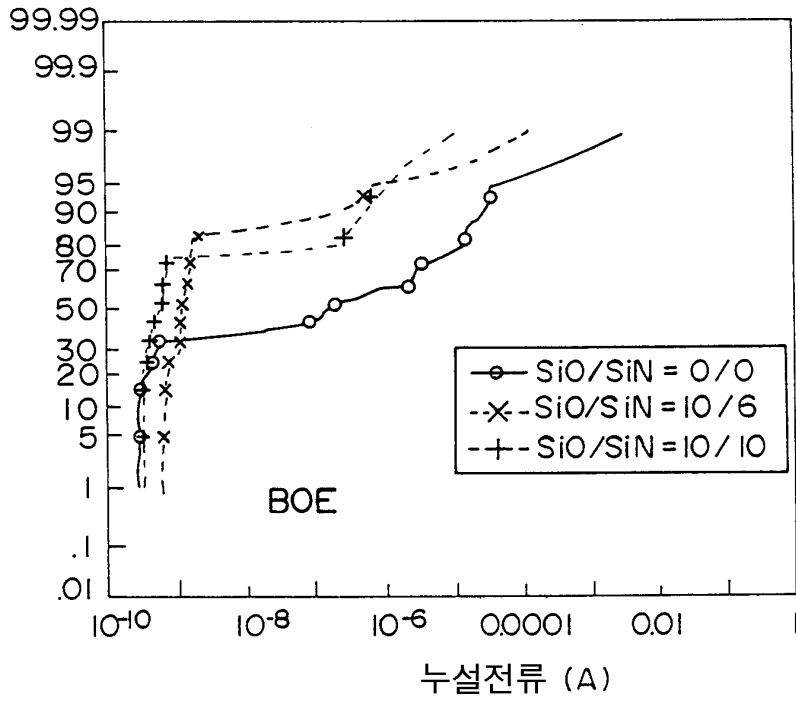
도면2b



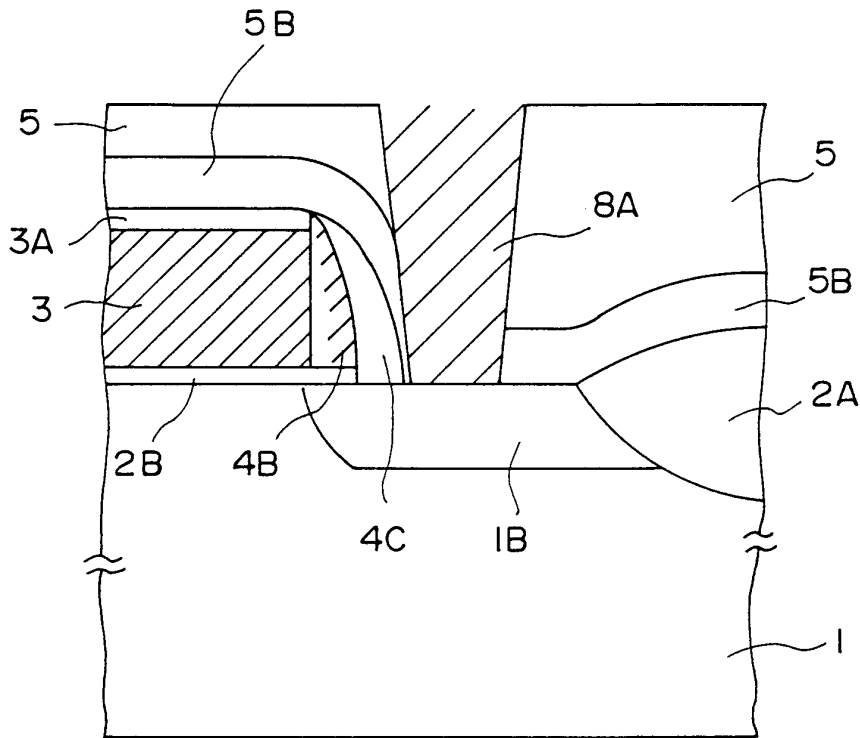
도면3a



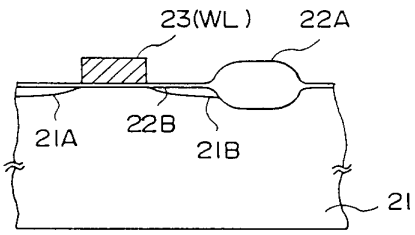
도면3b



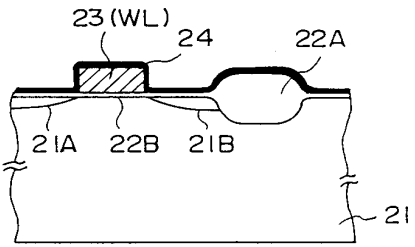
도면4



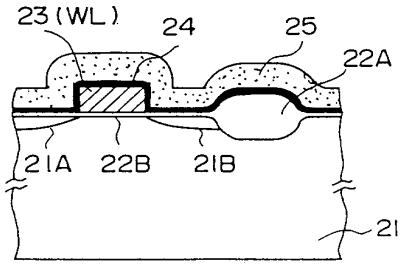
도면5a



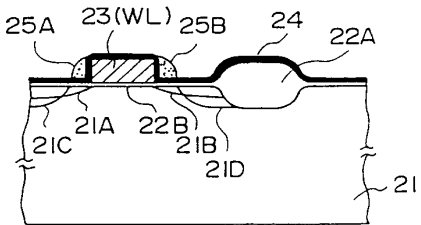
도면5b



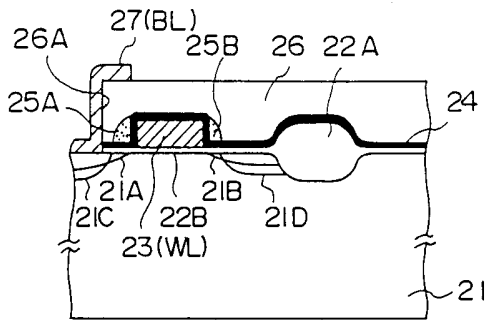
도면5c



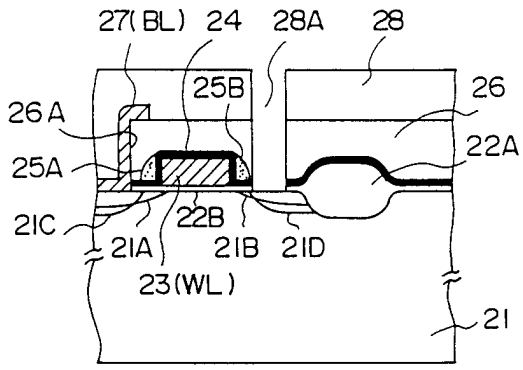
도면5d



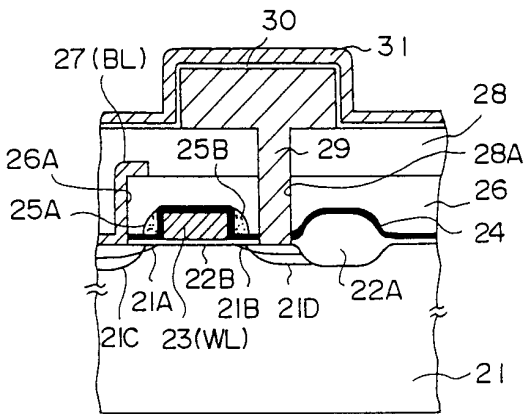
도면6e



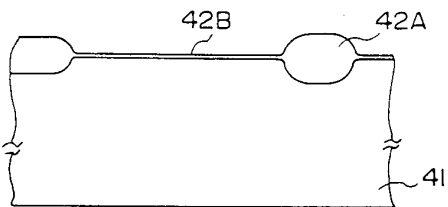
도면6f



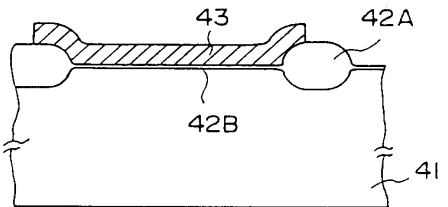
도면6g



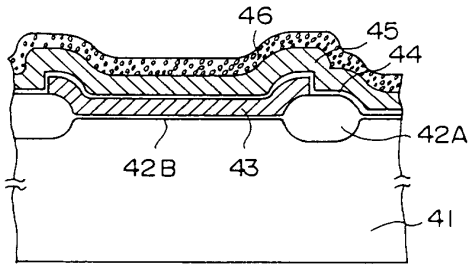
도면7a



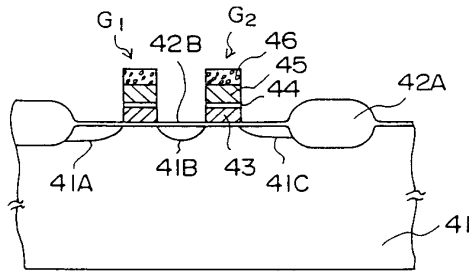
도면7b



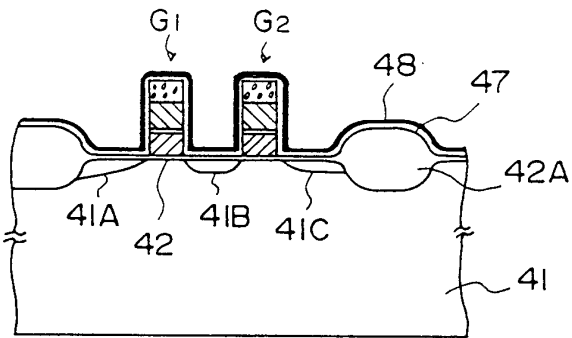
도면7c



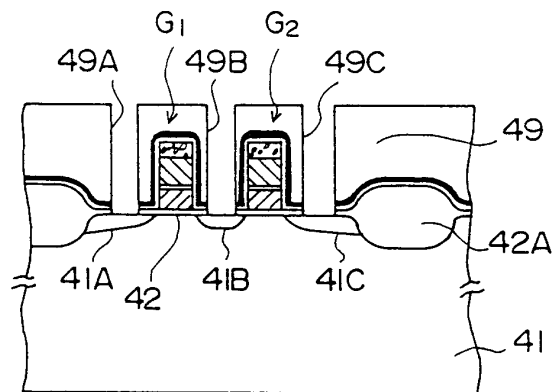
도면7d



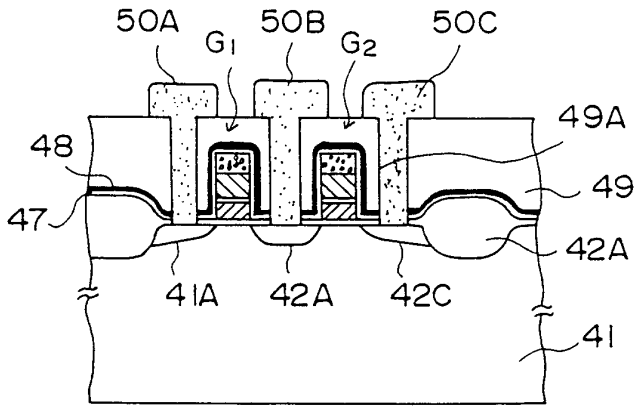
도면8e



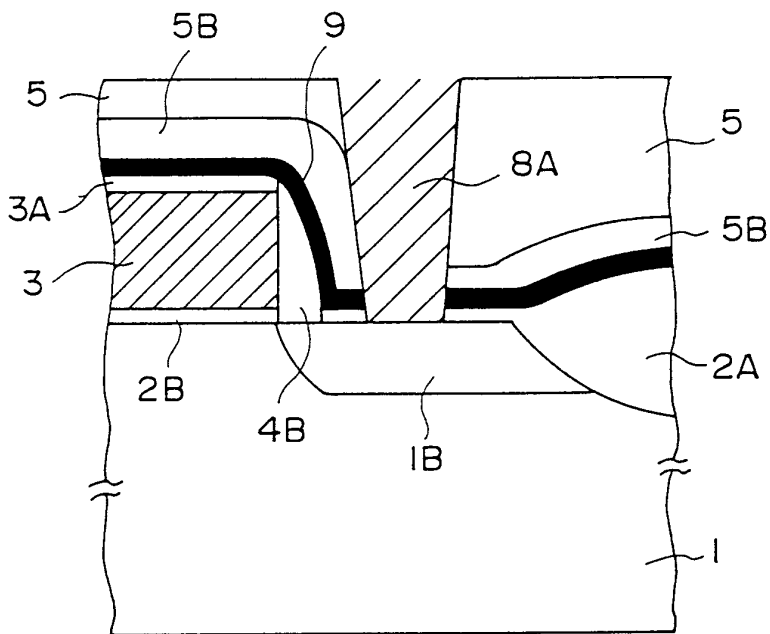
도면8f



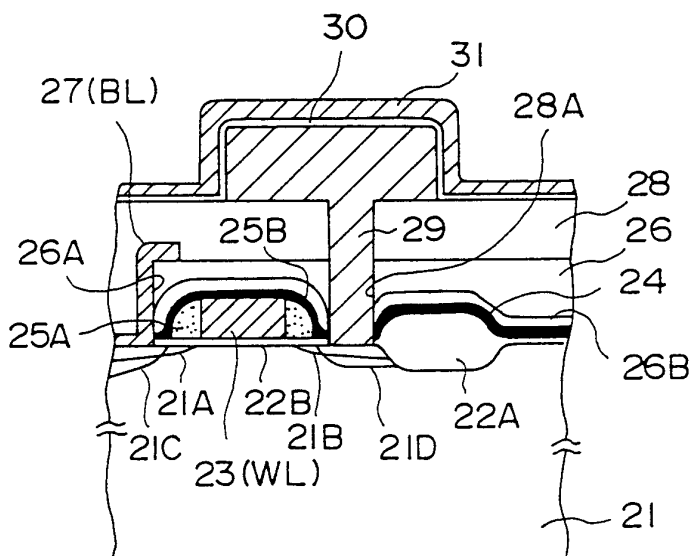
도면8g



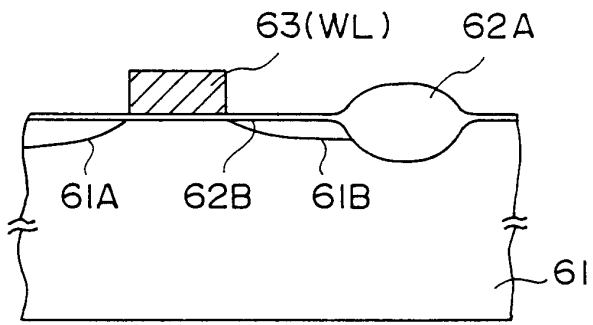
도면9a



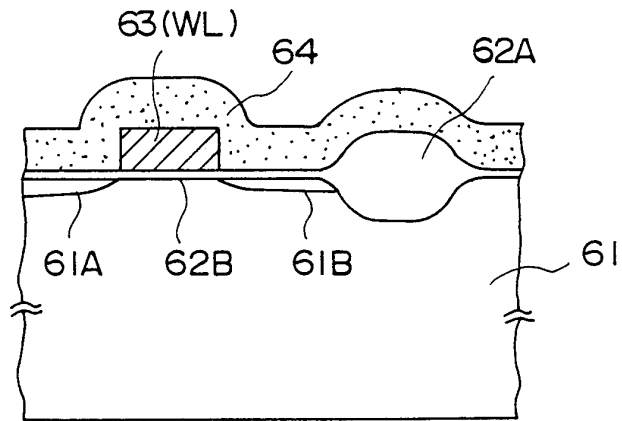
도면9b



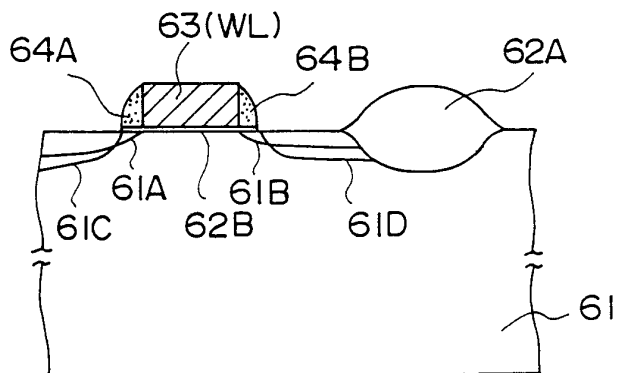
도면 10a



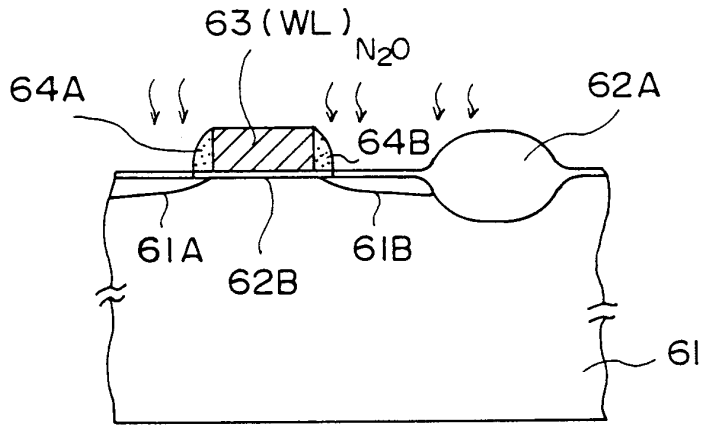
도면 10b



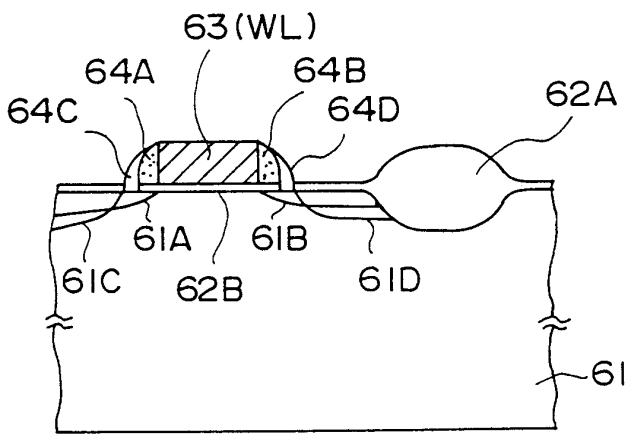
도면 10c



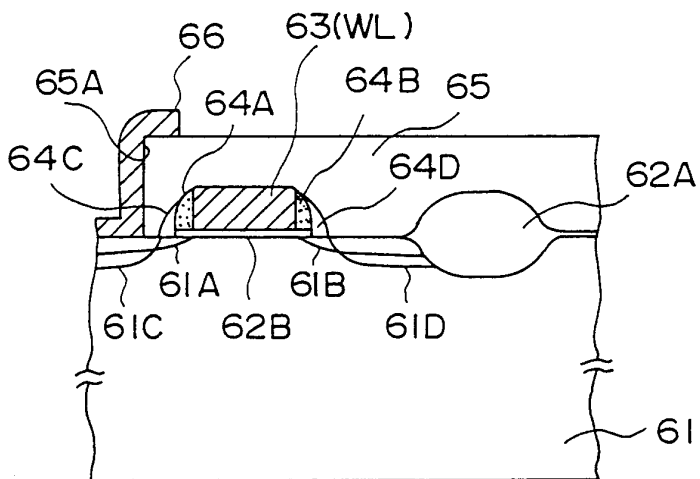
도면11d



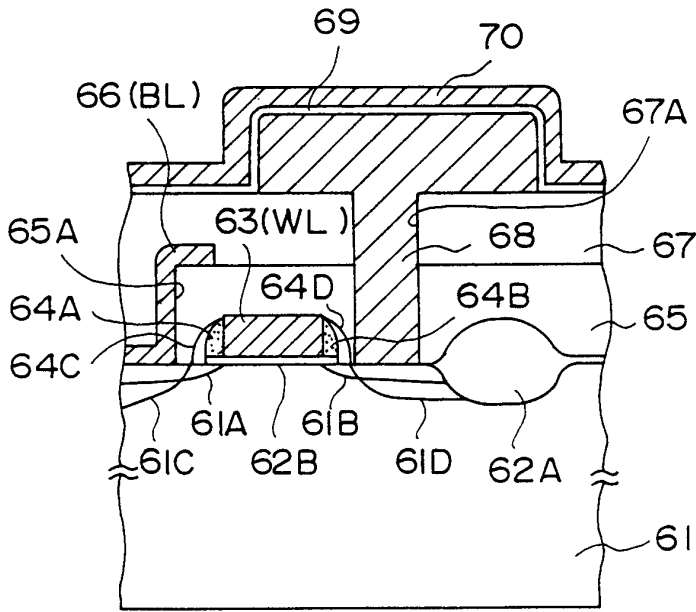
도면11e



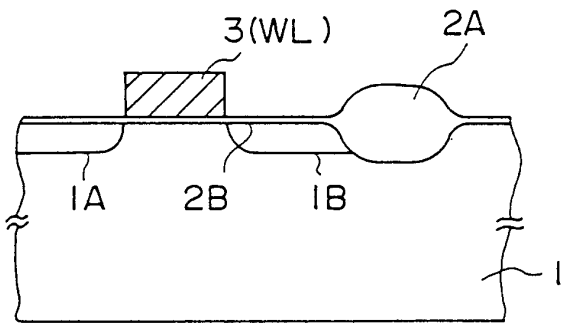
도면12f



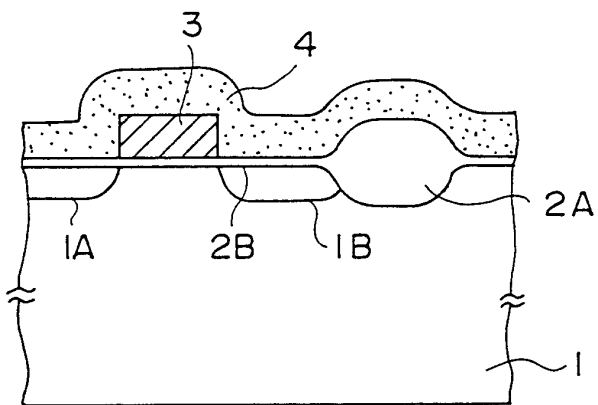
도면 13i



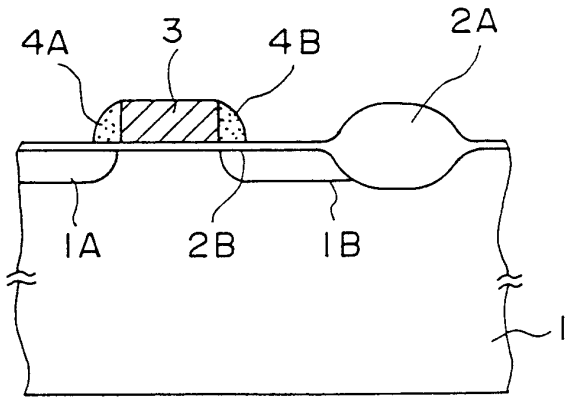
도면 14a



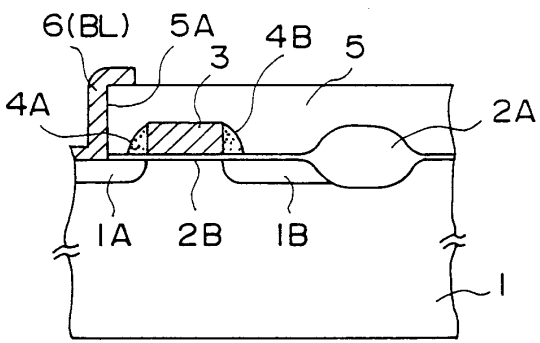
도면 14b



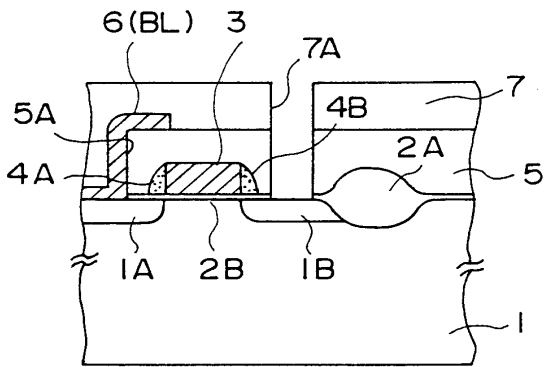
도면 14c



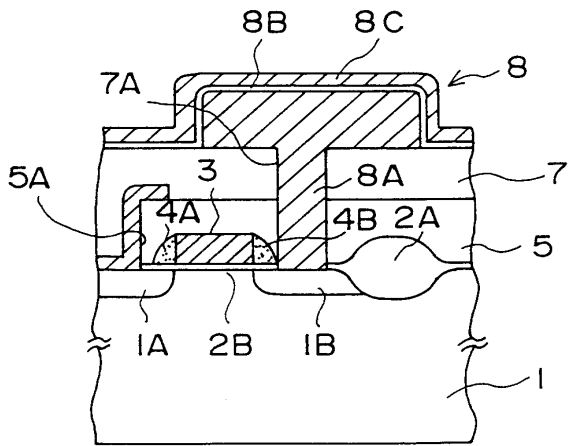
도면 15d



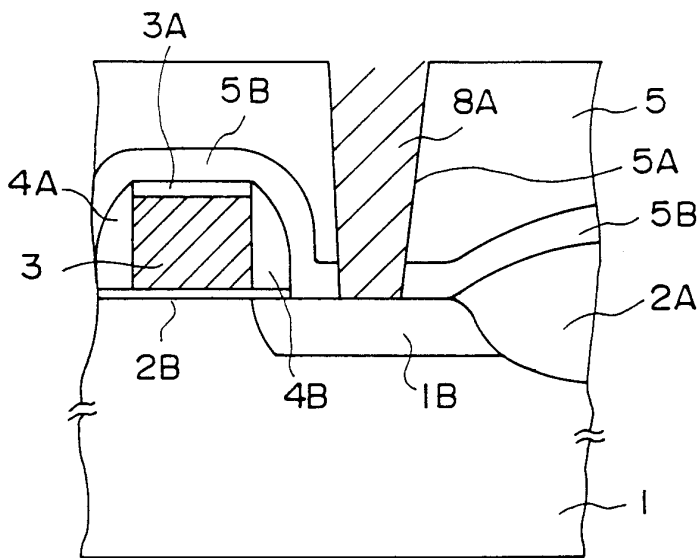
도면 15e



도면 15f



도면 16a



도면 16b

