



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201817157 A

(43) 公開日：中華民國 107 (2018) 年 05 月 01 日

(21) 申請案號：106122009 (22) 申請日：中華民國 106 (2017) 年 06 月 30 日

(51) Int. Cl. : *H03B5/04 (2006.01)* *H03B5/06 (2006.01)*  
*H03B5/36 (2006.01)*

(30) 優先權：2016/06/30 美國 62/357,199  
 2017/06/27 美國 15/634,881

(71) 申請人：微晶片科技公司 (美國) MICROCHIP TECHNOLOGY INCORPORATED (US)  
 美國

(72) 發明人：庫馬 亞傑 KUMAR, AJAY (US)；廉賢秀 YEOM, HYUNSOO (KR)；李 清 LI, QING (US)

(74) 代理人：陳長文

申請實體審查：無 申請專利範圍項數：20 項 圖式數：4 共 30 頁

## (54) 名稱

具有包含振盪偵測及幅度控制迴路之數位自動增益控制的積體電路晶體振盪器

INTEGRATED CIRCUIT CRYSTAL OSCILLATOR HAVING DIGITAL AUTOMATIC GAIN CONTROL COMPRISING OSCILLATION DETECTION AND AMPLITUDE CONTROL LOOPS

## (57) 摘要

一種晶體振盪器耦合至具有振盪偵測及幅度控制迴路之一數位自動增益控制(AGC)。該振盪偵測迴路可增加振盪器電晶體之跨導(gm)，直至偵測到來自其之振盪。接著，該幅度控制迴路偵測來自該晶體振盪器之振盪幅度、比較此等幅度與高及低電壓參考且產生數位信號，以找出一振盪放大器之一臨界跨導(gm)並控制此 gm 以維持來自其之一恆定振盪波形幅度。一遞增/遞減計數器根據至其之一更新時脈速率而定義伺服控制迴路頻寬/更新速率。當該控制迴路頻寬小於該晶體振盪器之振盪包絡增長為振盪所需之起動時間時，達成迴路穩定性。亦可提供一種振盪器故障偵測器。

A crystal oscillator is coupled to a digital automatic gain control (AGC) having oscillation detection and amplitude control loops. The oscillation detection loop may increase the transconductance (gm) of the oscillator transistor until oscillation is detected therefrom. Then the amplitude control loop detects the amplitudes of oscillations from the crystal oscillator, compares these amplitudes to high and low voltage references and generates digital signals to find a critical transconductance (gm) for an oscillator amplifier and control this gm to maintain a constant oscillation waveform amplitude therefrom. An up/down counter defines the servo control loop bandwidth/update-rate according to an update clock rate thereto. Loop stability is achieved when the control loop bandwidth is less than the start-up time required for the oscillation envelope of the crystal oscillator to grow for oscillation. An oscillator failure detector may also be provided.

指定代表圖：

符號簡單說明：

100 . . . 積體電路

110 . . . 晶體振盪器/振盪器電路

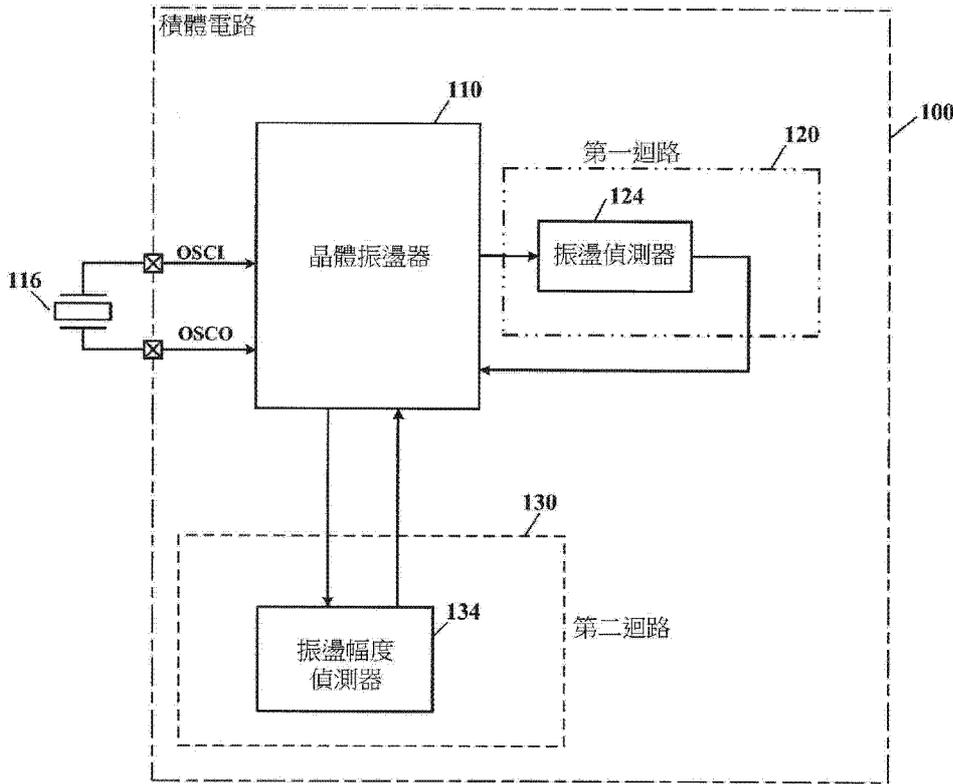
116 . . . 外部頻率判定晶體/外部晶體

120 . . . 第一迴路/振盪偵測迴路/數位自動增益控制(AGC)電路

124 . . . 振盪偵測器

130 . . . 第二迴路/振盪幅度控制迴路

134 . . . 振盪幅度偵測器/振盪包絡偵測器



【圖1】

## 【發明說明書】

### 【中文發明名稱】

具有包含振盪偵測及幅度控制迴路之數位自動增益控制的積體電路晶體振盪器

### 【英文發明名稱】

INTEGRATED CIRCUIT CRYSTAL OSCILLATOR HAVING DIGITAL AUTOMATIC GAIN CONTROL COMPRISING OSCILLATION DETECTION AND AMPLITUDE CONTROL LOOPS

### 【技術領域】

本發明係關於晶體振盪器，且特定言之係關於一種具有用於選擇振盪裝置的最佳操作跨導之一數位自動增益控制(AGC)伺服迴路電路及一振盪器故障偵測器之晶體振盪器。

### 【先前技術】

一電子振盪器通常包含產生一給定頻率之一週期性時變電信號之一諧振電路(該諧振電路的週期之倒數判定其之頻率)。例如，電信號可用以藉由計數信號振盪之一數目而記錄時間流逝。一常見電子振盪器採用一石英晶體作為其之諧振元件，然而亦可使用其他類型之壓電材料(例如，多晶陶瓷)。

電子振盪器已用來針對大量電子裝置產生時脈信號。電子振盪器係射頻(RF)及電子裝置之一重要組件。現今，產品設計工程師通常不會不自覺地設計振盪器，此係因為振盪器電路經提供於裝置上。然而，由於與電子振盪器一起使用之類比AGC迴路，大多數當前電子振盪器具有問題。例如，當施加初始種子電流時，類比AGC可引起AGC迴路中之不穩定性及/

或振盪器之不當起動。

### 【發明內容】

將期望具有用於AGC之用於控制晶體振盪器之gm以解決上文中描述問題之系統及方法。

根據一實施例，一種用於操作一積體電路之一晶體振盪器之方法可包括以下步驟：用與一晶體振盪器耦合之一數位自動增益控制(AGC)電路監測該晶體振盪器之操作並控制其之振盪幅度，該數位AGC電路包括包含一振盪偵測器之一第一迴路及包含一振盪幅度偵測器之一第二迴路；用該第一迴路增加該晶體振盪器之增益，直至可偵測到來自其之振盪，且用該第二迴路將該振盪維持在介於一高參考值與一低參考值之間之一幅度。

根據該方法之又一實施例，偵測該晶體振盪器之振盪之該步驟可包括以下步驟：對來自該晶體振盪器之一頻率循環數目進行計數，且在該頻率循環數目達到一特定計數數目時設定一振盪偵測鎖存。根據該方法之又一實施例可包括以下步驟：產生獨立更新時脈脈衝；及若尚未設定該振盪偵測鎖存，則在各更新時脈脈衝處增加該晶體振盪器之一跨導放大器之增益。

根據該方法之又一實施例，將該振盪幅度維持在該高參考值與該低參考值之間之該步驟可包括以下步驟：比較來自該振盪幅度偵測器之輸出與該等高及低參考值；若來自該振盪幅度偵測器之該輸出可小於該低參考值，則在各更新時脈脈衝處增加該跨導放大器增益，且若來自該振盪幅度偵測器之該輸出可等於或大於該高參考值，則在各更新時脈脈衝處減低該跨導放大器增益。

根據該方法之又一實施例，可藉由增加至跨導放大器之電流而增加跨導放大器增益。根據該方法之又一實施例可包括以下步驟：當該振盪偵測

器在一特定時段內未偵測到來自該晶體振盪器之一振盪時，產生一晶體振盪器故障警報。根據該方法之又一實施例，該高參考值可比該晶體振盪器之一電晶體之一DC偏壓點高約300毫伏，且該低參考值可比該電晶體之DC偏壓點高約100毫伏。根據該方法之又一實施例可包括以下步驟：用一複製電路提供該等高及低參考值以追蹤該跨導放大器之功率、電壓及溫度特性。根據該方法之又一實施例可包括以下步驟：偵測一振盪器故障且提供其之一警報。

根據另一實施例，一種積體電路可包括：一晶體振盪器電路；及一數位自動增益控制(AGC)電路，其與該晶體振盪器電路耦合，該AGC電路包括包含一振盪偵測器之一第一迴路及包含一振盪幅度偵測器之一第二迴路；其中該第一迴路可經調適以增加該晶體振盪器電路之增益，直至可偵測到來自其之一振盪幅度，且此後該第二迴路可經調適以將該振盪幅度維持在高幅度值與低幅度值之間。

根據又一實施例，該晶體振盪器電路可包括：一跨導放大器，其經調適以耦合至外部晶體；及一可程式化電流源，其耦合至該跨導放大器且控制其之跨導增益。根據又一實施例，在偵測到來自該晶體振盪器電路之振盪之前，該第一迴路可依更新時間間隔控制該可程式化電流源；且在偵測到來自該晶體振盪器電路之該振盪之後，該第二迴路依該等更新時間間隔控制該可程式化電流源。

根據又一實施例，該第一迴路可包括：一振盪偵測器，一記憶體鎖存器，其耦合至該振盪偵測器且在可偵測到該振盪時改變邏輯狀態，及一遞增/遞減計數器，其耦合至該可程式化電流源且控制該可程式化電流源；該第二迴路可包括：一振盪幅度偵測器，其具有耦合至該跨導放大器之一輸

入及表示該振盪幅度之一輸出，該遞增/遞減計數器；及一振盪幅度控制器，其耦合於該振盪幅度偵測器與該遞增/遞減計數器之間，其中：若該振盪幅度可小於該低幅度值，則該遞增/遞減計數器依該等更新時間間隔累加其中之計數值，且若該振盪幅度可等於或大於該高幅度值，則該遞增/遞減計數器依該等更新時間間隔累減其中之該等計數值。

根據又一實施例，該高幅度值可比該跨導放大器之一DC偏壓點高約300毫伏，且該低幅度值可比該跨導放大器之該DC偏壓點高約100毫伏。根據又一實施例，一複製電路可經調適以提供該等高及低幅度值以追蹤該跨導放大器之功率、電壓及溫度特性。根據又一實施例，該遞增/遞減計數器之計數值及/或振盪偵測器可為可程式化的。根據又一實施例，該遞增/遞減計數器可經調適以在該積體電路中一開機重設之後被重設。根據又一實施例，計時器、振盪偵測電路、鎖存器及/或遞增/遞減計數器可根據該積體電路中之一重設條件而重設。根據又一實施例，可提供一種振盪器故障警報電路。根據又一實施例，該積體電路可為一微控制器。

#### 【圖式簡單說明】

可藉由結合隨附圖式參考以下描述而獲得對本發明之更完全理解，其中：

圖1繪示根據本發明之特定實例實施例之具有包含振盪偵測及幅度控制迴路之數位自動增益控制(AGC)的一積體電路晶體振盪器之一示意性方塊圖；

圖1A繪示根據本發明之一特定實例實施例之具有包含振盪偵測及幅度控制迴路之數位自動增益控制(AGC)的一積體電路晶體振盪器之一更詳細示意性方塊圖；

圖2繪示根據本發明之一特定實例實施例之具有包含振盪偵測及幅度控制迴路之數位AGC的一積體電路晶體振盪器之一更詳細示意圖；

圖3繪示根據本發明之一特定實例實施例之晶體驅動器電路之一複製電路之一示意圖；及

圖4繪示根據本發明之特定實例實施例之與數位AGC組合之晶體振盪器之操作之一圖形表示。

雖然本發明易於以各種修改及替代形式呈現，但其之特定實例實施例已在圖式中展示且在本文中詳細描述。然而，應瞭解，本文中之特定實例實施例之描述並不意欲將本發明限於本文中所揭示之形式。

#### 【實施方式】

##### 相關專利申請案

本申請案主張2016年6月30日申請之共同擁有之美國臨時專利申請案第62/357,199號之優先權；該案特此為全部目的而以引用的方式併入本文中。

根據各種實施例，一種數位自動增益控制(AGC)具有第一及第二控制迴路。第一控制迴路可增加一振盪器電晶體之跨導(gm)，直至偵測到來自其之偵測。接著，一第二迴路偵測來自一晶體振盪器之振盪幅度、比較此等幅度與高及低電壓參考且產生數位信號，以找出一振盪器電晶體之一臨界跨導(gm)並控制此電晶體跨導(gm)以維持來自其之一恆定振盪波形幅度。一遞增/遞減計數器根據至其之一時脈速率而定義伺服控制迴路頻寬/更新速率，且只要伺服迴路頻寬小於約晶體振盪器之 $\tau = 10 * L_m / R_{eff}$ ，則此伺服迴路不具有任何穩定性問題。跨導係對一雙極電晶體或場效電晶體(FET)之效能之一表達。一般而言，當全部其他因數保持

恆定時，一裝置之跨導數值愈大，則其可提供之增益(放大)愈大。

根據本發明之一個態樣，提供一種積體電路。該積體電路包含與一外部晶體耦合之一振盪器電路。該積體電路包含與振盪器電路耦合之一數位自動增益控制(AGC)電路。數位AGC電路包含提供一振盪偵測器之一第一迴路功能及提供一振盪包絡偵測器之一第二迴路功能。

根據本發明之另一態樣，提供一種用於操作一積體電路晶體振盪器之方法。該方法包含以下步驟：首先，將一數位增益控制電路中之一計數器的一初始輸出設定為一第一計數值。數位增益控制連接至一第一迴路(振盪偵測迴路)以判定一振盪何時已發生一特定循環數目。數位增益控制等待一預設振盪包絡擴展時間(一預期振盪循環數目)。數位增益控制可依一可程式化更新速率增加振盪器電晶體跨導(gm)，直至偵測到預期數目個振盪循環。在偵測到預期數目個振盪循環之後，數位增益控制選擇一第二迴路使得一跨導電流值安定在由耦合至兩個比較器之高及低參考電壓判定之一包絡內，該兩個比較器監測來自一振盪幅度偵測電路之一DC輸出。

現參考圖式，示意性地繪示實例實施例之細節。在圖式中，相同元件將由相同數字表示，且類似元件將由具有一不同小寫字母後綴之相同數字表示。

圖1繪示根據本發明之特定實例實施例之具有包含振盪偵測及幅度控制迴路之數位自動增益控制(AGC)的一積體電路晶體振盪器之一示意性方塊圖。一積體電路100可包括一晶體振盪器110、包括一第一迴路(振盪偵測迴路) 120及一第二迴路(一振盪幅度控制迴路) 130之一數位AGC。振盪偵測迴路120將增加晶體振盪器110之跨導，直至偵測到來自其之振盪。振盪幅度控制迴路130將把來自晶體振盪器110之振盪幅度維持在特定上限及

下限幅度值內。晶體振盪器110經調適以耦合至一外部頻率判定晶體116。

圖1A繪示根據本發明之一更詳細特定實例實施例之具有包含振盪偵測及幅度控制迴路之數位自動增益控制(AGC)之一積體電路晶體振盪器之一示意性方塊圖。一積體電路100a可包括一晶體振盪器110、包括一振盪偵測迴路120a及一振盪幅度控制迴路130a之一數位AGC、一更新計時器152，及視情況一振盪器故障偵測及警報電路154。

晶體振盪器110可包括一跨導放大器(例如，雙極或FET電晶體)114，其之跨導(gm)可受控於來自一可程式化電流源112之電流。一外部晶體116可透過積體電路100a之節點(接腳) OSCI及OSCO耦合至晶體振盪器110。

振盪偵測迴路120a可包括一振盪偵測器124、一單位元記憶體鎖存器122及一遞增/遞減計數器126。在積體電路100通電及/或初始化之後，振盪偵測器124、單位元記憶體鎖存器122及遞增/遞減計數器126可被重設，其中，其中之計數值被重設為零(0)，且記憶體鎖存器122被清除，其中其之Q輸出處於一邏輯低且/Q輸出處於一邏輯高。遞增/遞減計數器126耦合至可程式化電流源112且控制可程式化電流源112，其中當其之計數值為零時，來自可程式化電流源112之輸出電流處於其最低值。最初將來自可程式化電流源112之最低值電流施加至跨導放大器(電晶體)114(電晶體增益受控於電流)，藉此其之跨導(gm)處於一最小值。在此條件下，晶體電晶體110可或可不振盪，但此無關緊要，此係因為更新計時器152獨立於晶體振盪器110。更新計時器152可用以定義振盪偵測迴路120(「第一迴路」)及振盪幅度控制迴路130(「第二迴路」)兩者之頻寬/更新速率，如下文中更全面說明。

在藉由遞增/遞減計數器126接收任何更新時脈之前(且其之計數值被

設定為零)，一最小電流值耦合至跨導放大器114。因此，跨導放大器114以一最小跨導開始，且其之跨導隨著來自可程式化電流源112之電流因來自遞增/遞減計數器126的計數值之控制之增加而增加。若振盪器電路110在初始最低電流跨導(gm)值處未開始振盪，則每當遞增/遞減計數器126自更新計時器152接收一時脈脈衝時，來自可程式化電流源112的電流值之一線性測溫型樣(線性增加的電流)使跨導(gm)升高，直至振盪器電路110開始振盪。

最初，單位元記憶體鎖存器122 Q輸出處於一邏輯低(「0」)(「OSC\_valid」)，且/Q輸出處於一邏輯高(「1」)，此迫使遞增/遞減計數器126每當自更新計時器152接收一更新時脈脈衝時累加其之計數值。可在設計/製造期間定義及固定自更新計時器152輸出之時脈速率(與內部振盪器及計數器無關)，或其之內部計數器可為可程式化的以更靈活地與具有不同特性及/或頻率之晶體一起使用。較佳地，更新計時器152之輸出時脈頻率(定義第一及第二迴路之頻寬)可足夠緩慢以小於晶體振盪器之振盪包絡增長為(grow for)振盪所需之起動時間 $\tau = 10 * L_m / R_{eff}$ 。更新計時器152輸出時脈頻率極易達成。因此，自更新計時器152輸出之時脈速率定義振盪偵測迴路120及振盪幅度控制迴路130a兩者之頻寬/更新速率，因此不存在迴路穩定性問題。

一旦晶體振盪器110輸出開始驅動振盪偵測器124，則在單位元記憶體鎖存器122輸出邏輯狀態改變之前必須發生特定數目個振盪頻率循環，藉此將遞增/遞減計數器126之控制自振盪偵測迴路120a傳送至振盪幅度控制迴路130a。振盪偵測器124之一例示性實施方案可為一計數器，其在將一計數溢位信號輸出至單位元記憶體鎖存器122之時脈輸入之前對來自晶體振

盪器110之經接收振盪頻率循環計數一特定次數。例如，計數數目可為128，例如，在接收到128個振盪頻率循環之後發生一計數溢位。

振盪幅度控制迴路130a可包括遞增/遞減計數器126、一振盪幅度控制器132及一振盪幅度偵測器134。當振盪幅度控制迴路130a變為在作用中時(一旦單位元記憶體鎖存器122輸出已自其之初始邏輯狀態改變)，遞增/遞減計數器126可每當自更新計時器152接收一更新時脈脈衝時累加或累減其中之一計數值，此取決於振盪幅度偵測器134之輸出(表示晶體振盪器110之振盪幅度)。此計數值可用以控制可程式化電流源112，該可程式化電流源112繼而控制跨導放大器114之跨導(gm) (增益)。

振盪幅度控制器132基於OSCI節點處之振盪幅度(晶體116上之振盪電壓)而判定遞增/遞減計數器126是累加、累減還是維持其之目前計數值。例如但不限於，振盪幅度偵測器134可將OSCI節點上之AC信號(振盪)轉換為表示此AC振盪信號的幅度之一DC電壓。此DC電壓可耦合至振盪幅度控制器132。

當振盪幅度小於或等於一低參考電壓Vref\_L時，振盪幅度控制器132將啟用遞增/遞減計數器126以在各更新時脈脈衝處累加其之計數值。當振盪幅度大於低參考電壓Vref\_L且小於一高參考電壓Vref\_H時，振盪幅度控制器132將禁止遞增/遞減計數器126累加或累減其之計數值。且當振盪幅度等於或大於高參考電壓Vref\_H時，振盪幅度控制器132將啟用遞增/遞減計數器126以在各更新時脈脈衝處累減其之計數值。

亦可提供振盪器故障偵測及警報電路154以偵測晶體振盪器110在一特定時段內未能開始振盪且提供其之一警報。

參考圖2，其描繪根據本發明之一特定實例實施例之具有包含振盪偵

測及幅度控制迴路之數位AGC的一積體電路晶體振盪器之一更詳細示意圖。整體由符號200表示之積體電路可包括可耦合至一外部晶體(未展示)之一振盪器電路210，及一數位AGC電路260。外部晶體(未展示)可透過振盪器電路210之節點(接腳) OSCI及OSCO耦合至振盪器電路210。數位AGC電路260可包括一振盪偵測器224、一D鎖存器222、一更新計時器252、一遞增/遞減計數器226、多工器240及242、一振盪包絡偵測器234、具有磁滯之電壓比較器262及264、一NOR閘266及一AND閘268。振盪器電路210可包括其之跨導(gm)受控於來自複數個恆定電流源212的一選擇之電流之一電晶體218、一回饋電阻器216，且可進一步包含耦合至電晶體218之輸出(汲極)之一緩衝放大器214。外部晶體依晶體設計頻率提供電晶體218的汲極與閘極之間之一低阻抗回饋路徑。亦可提供一振盪器故障逾時警報電路254以偵測一振盪器電路在一特定時段內未能起動且提供其之一警報。

在積體電路200之初始通電之後，可產生一開機重設(POR)，或可在任何時間確證一重設以初始化數位AGC電路260。初始化數位AGC電路260可包括：清除振盪偵測器224中之計數器(將數位計數及狀態值設定為零)；將D鎖存器222 Q輸出設定為一邏輯低(清除)；及將遞增/遞減計數器226重設為其最低(例如，零)值(清除)。可預期計數器之任一或多者可預載有一非零值(「計數預設」)，且此在本發明之範疇內，但為簡化說明起見，本文中全部計數器/鎖存器值將被清除(重設)為零。

在初始化數位AGC電路260之後，可將來自複數個恆定電流源212之電流之最低值施加至電晶體218，使得其之跨導(gm)處於一最小值。在此條件下，振盪器電路210可或可不振盪，但此無關緊要，此係因為計時器252獨立於振盪器電路210。計時器252可為驅動一計數器之一極簡單電阻

器-電容器(RC)自由運轉振盪器。可在設計中固定計時器252中之計數器，或其可為可程式化的(未展示)且可用以定義初始(第一)迴路控制頻寬/更新速率，如下文中更全面說明。最初，D鎖存器222 Q輸出處於一邏輯低(「0」)(「OSC\_valid」)，此迫使多工器240之輸出為一邏輯高(「1」)且迫使多工器242之輸出為一邏輯低(「0」)。將此兩個多工器輸出施加至遞增/遞減計數器226之Up及Down控制項，其中計數器226每當自計時器252接收一更新時脈脈衝時計數器226時將累加其之計數值。

可在設計/製造期間定義及固定自計時器252輸出之時脈速率(與內部振盪器及計數器無關)，或內部計數器可為可程式化的以更靈活地與具有不同特性及/或頻率之晶體一起使用。較佳地，計時器252之輸出時脈頻率(定義初始第一伺服迴路之頻寬)可足夠緩慢以小於 $\tau = 10 * L_m / R_{eff}$  (其為晶體振盪器之振盪包絡增長為振盪所需之起動時間)。計時器252輸出時脈頻率極易達成。因此，自計時器252輸出之時脈速率定義數位AGC迴路頻寬/更新速率，因此不存在迴路穩定性問題。

遞增/遞減計數器226可每當自計時器252接收一時脈脈衝時累加或累減其中之一計數值。此計數值可用以控制選擇將複數個恆定電流源212之哪些電流源耦合至電晶體218以控制其之跨導(gm)。在藉由遞增/遞減計數器226接收任何時脈之前(且其之計數值被設定為零)，其中一最小電流值耦合至電晶體218。因此，電晶體218以一最小跨導(gm)值開始，且若振盪器電路210在初始最低電流跨導(gm)值處未開始振盪，則每當遞增/遞減計數器226自計時器252接收一時脈脈衝時，可啟用恆定電流源212之一線性測溫型樣(線性增加的電流)藉此將更多電流提供至電晶體218，因此使其之跨導(gm)升高，直至振盪器電路210開始振盪。

一旦電晶體218開始振盪，則緩衝放大器214開始驅動振盪偵測器224 (計數器)，直至存在輸出至D鎖存器222之時脈輸入之一溢位計數。振盪偵測器224之一例示性實施方案可為一計數器，其在輸出一計數溢位時脈之前對來自振盪器電路210之經接收振盪波形(循環) (緩衝放大器214之輸出)計數一特定次數。例如，計數數目可為128，例如，在接收到128個振盪循環之後發生一計數溢位。

當來自其之溢位輸出計時D鎖存器222時，其之Q輸出將自一邏輯低(「0」)變為一邏輯高(「1」)，且保持在該邏輯位準直至由一積體電路重設事件(例如，POR)重設。OSC\_valid表示D鎖存器222之Q輸出之邏輯狀態。當OSC\_valid處於一邏輯低(「0」)時，多工器240輸出將固定在一邏輯高(「1」)，且多工器242輸出將固定在一邏輯低(「0」)，藉此遞增/遞減計數器226每當自計時器252接收一更新時脈脈衝時將始終累加其之計數值。然而，一旦OSC\_valid處於一邏輯高(「1」)，則多工器240輸出將遵循來自NOR閘266之輸出，且多工器242輸出將遵循來自AND閘268之輸出。

振盪包絡偵測器234將OSCI節點上之AC信號(振盪)轉換為表示此AC振盪信號的幅度之一DC電壓。此DC電壓耦合至電壓比較器262及264之正輸入。一Vref\_H電壓耦合至電壓比較器262之負輸入，且一Vref\_L電壓耦合至電壓比較器264之負輸入。Vref\_H大於Vref\_L。當來自振盪包絡偵測器234之DC電壓小於Vref\_L及Vref\_H時，來自電壓比較器262及264之輸出皆處於一邏輯低(「0」)。當來自振盪包絡偵測器234之DC電壓小於Vref\_H但等於或大於Vref\_L時，來自電壓比較器262之輸出處於一邏輯低(「0」)，且來自電壓比較器264之輸出處於一邏輯高(「1」)。當來自振盪包絡偵測器234之DC電壓大於Vref\_L且等於或大於Vref\_H時，來自電壓比較器262

及264之輸出皆處於一邏輯高(「1」)。Vref\_H可例如(但不限於)比晶體驅動器電晶體218之DC偏壓點高約300毫伏。Vref\_L可例如(但不限於)比晶體驅動器電晶體218之DC偏壓點高約100毫伏。

來自電壓比較器262及264之輸出在NOR閘266及AND閘268中如下邏輯地組合(輸出)：

C 262	C 264	NOR 266	AND 268
低	低	高	低
低	高	低	低
高	高	低	高

多工器240及242之輸出分別遵循NOR閘266及AND閘268之輸出。其中當遞增/遞減計數器226 UP輸入處於一邏輯高且Down輸入處於一邏輯低時，遞增/遞減計數器226每當自更新計時器252接收一更新時脈脈衝時將累加其之計數值。當UP及Down輸入皆處於邏輯低時，遞增/遞減計數器226之計數值將不變，而無關於來自更新計時器252之更新時脈脈衝。且當UP輸入處於一邏輯低且Down輸入處於一邏輯高時，遞增/遞減計數器226每當自更新計時器252接收一更新時脈脈衝時將累減其之計數值。因此，取決於來自振盪包絡偵測器234之DC電壓分別小於Vref\_H及Vref\_L電壓參考兩者、等於或大於Vref\_L參考且小於Vref\_H參考、或等於或大於Vref\_H電壓參考，至電晶體218之電流(及其之gm)可增加、保持相同或減低。遞增/遞減計數器226之P<n>輸出可控制將複數個恆定電流源212之哪些電流源耦合至電晶體218。

振盪器故障逾時警報電路254可比較來自更新計時器252之一逾時時間與來自振盪偵測器224之振盪偵測。若更新計時器252逾時小於振盪偵測

(或未發生振盪偵測)，則振盪器故障逾時警報電路254可發出指示振盪器210未能起動之一警報。積體電路200可為例如但不限於一微控制器、一數位信號處理器(DSP)、一微電腦、一可程式化邏輯陣列(PLA)、一特定應用積體電路(ASIC)及類似者。

參考圖3，其描繪晶體驅動器電路之一複製電路之一示意圖。複製電路300可包括一恆定電流源312、一第一電阻器314、一第二電阻器316、一複製可調整電流源320，及可具有實質上與振盪器電晶體218類似之特性之一電晶體318。此複製電路可有利地針對Vref\_H及Vref\_L提供適當電壓，此可追蹤晶體振盪器電晶體218之PVT (功率、電壓及溫度)特性。Vref\_H例如(但不限於)比晶體振盪器電晶體218之DC偏壓點高約300毫伏。Vref\_L可例如(但不限於)比晶體振盪器電晶體218之DC偏壓點高約100毫伏。再者，參考點(Vref\_H及Vref\_L)可根據來自複數個恆定電流源212之電流變化而上移及下移，以追蹤振盪電晶體218 (主驅動器電路)相對於來自複數個恆定電流源212之電流值變化之偏壓點變化。

現參考圖4，其描繪根據本發明之教示之與數位AGC電路組合之晶體振盪器之操作之一圖形表示。在已藉由振盪偵測器124/224計數一特定循環數目(例如，128)之後，OSC\_valid信號自一邏輯低變為一邏輯高。當OSC\_valid信號處於一邏輯低時，可藉由一第一數位控制迴路(振盪偵測迴路)來執行此循環計數操作。當OSC\_valid信號處於一邏輯高時，一第二數位控制迴路(振盪幅度控制迴路)從第一數位控制迴路接管。在第一控制迴路中，忽略振盪幅度，僅對其之循環數目進行計數，直至藉由振盪偵測器124/224偵測並計數其之一特定數目。若在來自更新計時器152/252之一更新時脈脈衝之時間未達成循環計數，則累加遞增/遞減計數器126/226之計

數值(最初以零開始)直至計數預期數目個振盪循環，例如，歸因於跨導放大器114/電晶體218之不足 $gm$ 而尚未發生振盪，例如，電流過低而無法開始其之振盪。一旦已計數預期數目個振盪循環，則第二控制迴路變為在作用中且至跨導放大器114/電晶體218中之電流受控於第二數位迴路電路，該第二數位迴路電路將來自振盪包絡偵測器134/234之DC幅度維持在 $V_{ref\_H}$ 及 $V_{ref\_L}$ 內。

上述數位AGC與用於一晶體振盪器之一數位AGC實施方案之間的關鍵差異之一在於：大多數數位AGC迴路依賴於來自晶體振盪器之初始振盪來使類比迴路正確操作，此不具有使振盪發生之能力，即使給定跨導( $gm$ )設定足夠高以最初起動振盪，而數位控制AGC電路已完全解耦可獨立選取之迴路更新速率(找出適當 $gm$ 值以使振盪發生)。

第二差異在於數位AGC電路之主要數位本質容許其具有兩個臨限值，迴路試圖將OSCI信號擺動(其一旦安定便確保較低功率消耗且增強純信號品質，即較低頻率抖動)維持在該兩個臨限值內。

第三差異在於若甚至在具有最高跨導( $gm$ )值之情況下振盪仍未開始，則數位AGC電路發出一振盪失敗信號。許多數位AGC迴路依賴於具有若干轉變而判定一振盪輸出，或依賴於具有一特定信號幅度值，此可因迴路中不存在內置磁滯而消失。

與數位AGC方法不同，本文中揭示之數位AGC架構可藉由重複使用可用於 $gm$  (圖1中所示之迴路更新計數器128)控制之內部振盪器而嵌入於一完全同步數位可程式化計時器中。再者，數位AGC電路120可使用一PVT (功率、電壓及溫度)臨限值追蹤電路(圖3中展示)來產生由電壓比較器262及264使用之參考電壓 $V_{ref\_H}$ 及 $V_{ref\_L}$ ，以確保適當晶體振盪器電路操作。

另一優點在於隨著較低處理幾何電晶體特性變得愈來愈差，具有一全數位AGC電路減少對所使用電晶體之設計循環時間選擇。

當必需滿足穩定性需求且避免過度驅動晶體時，所提出之積體電路可用於汽車安全應用。此外，所提出之積體電路可跨多種計算裝置分類及/或平台使用，包含但不限於：16位元及/或32位元微控制器；可攜式裝置平台，諸如Windows可攜式裝置(WPD)及/或穿戴式智慧閘道器；及類似者。

#### 【符號說明】

100	積體電路
100a	積體電路
110	晶體振盪器/振盪器電路
112	可程式化電流源
114	跨導放大器
116	外部頻率判定晶體/外部晶體
120	第一迴路/振盪偵測迴路/數位自動增益控制(AGC)電路
120a	振盪偵測迴路
122	單位元記憶體鎖存器
124	振盪偵測器
126	遞增/遞減計數器
130	第二迴路/振盪幅度控制迴路
130a	振盪幅度控制迴路
132	振盪幅度控制器
134	振盪幅度偵測器
152	更新計時器

154	振盪器故障偵測及警報電路
200	積體電路
210	振盪器電路
212	恆定電流源
214	緩衝放大器
216	回饋電阻器
218	電晶體
222	D鎖存器
224	振盪偵測器
226	遞增/遞減計數器
234	振盪包絡偵測器
240	多工器
242	多工器
252	更新計時器
254	振盪器故障逾時警報電路
260	數位自動增益控制(AGC)電路
262	電壓比較器
264	電壓比較器
266	NOR閘
268	AND閘
300	複製電路
312	恆定電流源
314	第一電阻器

- 316 第二電阻器
- 318 電晶體
- 320 複製可調整電流源



201817157

申請日: 106/06/30

IPC分類:

**【發明摘要】****【中文發明名稱】**

具有包含振盪偵測及幅度控制迴路之數位自動增益控制的積體電路晶體振盪器

**【英文發明名稱】**

INTEGRATED CIRCUIT CRYSTAL OSCILLATOR HAVING DIGITAL AUTOMATIC GAIN CONTROL COMPRISING OSCILLATION DETECTION AND AMPLITUDE CONTROL LOOPS

**【中文】**

一種晶體振盪器耦合至具有振盪偵測及幅度控制迴路之一數位自動增益控制(AGC)。該振盪偵測迴路可增加振盪器電晶體之跨導(gm)，直至偵測到來自其之振盪。接著，該幅度控制迴路偵測來自該晶體振盪器之振盪幅度、比較此等幅度與高及低電壓參考且產生數位信號，以找出一振盪放大器之一臨界跨導(gm)並控制此gm以維持來自其之一恆定振盪波形幅度。一遞增/遞減計數器根據至其之一更新時脈速率而定義伺服控制迴路頻寬/更新速率。當該控制迴路頻寬小於該晶體振盪器之振盪包絡增長為振盪所需之起動時間時，達成迴路穩定性。亦可提供一種振盪器故障偵測器。

**【英文】**

A crystal oscillator is coupled to a digital automatic gain control (AGC) having oscillation detection and amplitude control loops. The oscillation detection loop may increase the transconductance (gm) of the oscillator transistor until oscillation is detected therefrom. Then the amplitude control loop detects the amplitudes of oscillations from the

crystal oscillator, compares these amplitudes to high and low voltage references and generates digital signals to find a critical transconductance (gm) for an oscillator amplifier and control this gm to maintain a constant oscillation waveform amplitude therefrom. An up/down counter defines the servo control loop bandwidth/update-rate according to an update clock rate thereto. Loop stability is achieved when the control loop bandwidth is less than the start-up time required for the oscillation envelope of the crystal oscillator to grow for oscillation. An oscillator failure detector may also be provided.

【指定代表圖】

圖1

【代表圖之符號簡單說明】

100	積體電路
110	晶體振盪器/振盪器電路
116	外部頻率判定晶體/外部晶體
120	第一迴路/振盪偵測迴路/數位自動增益控制(AGC)電路
124	振盪偵測器
130	第二迴路/振盪幅度控制迴路
134	振盪幅度偵測器/振盪包絡偵測器

## 【發明申請專利範圍】

### 【第1項】

一種用於操作一積體電路之一晶體振盪器之方法，該方法包括以下步驟：

用與一晶體振盪器耦合之一數位自動增益控制(AGC)電路監測該晶體振盪器之操作並控制其之振盪幅度，該數位AGC電路包括包含一振盪偵測器之一第一迴路及包含一振盪幅度偵測器之一第二迴路；

用該第一迴路增加該晶體振盪器之增益，直至偵測到來自其之振盪，及用該第二迴路將該振盪維持在介於一高參考值與一低參考值之間之一幅度。

### 【第2項】

如請求項1之方法，其中偵測該晶體振盪器之振盪之該步驟包括以下步驟：對來自該晶體振盪器之一頻率循環數目進行計數，且在該頻率循環數目達到一特定計數數目時設定一振盪偵測鎖存。

### 【第3項】

如請求項2之方法，其進一步包括以下步驟：

產生獨立更新時脈脈衝；及

若尚未設定該振盪偵測鎖存，則在各更新時脈脈衝處增加該晶體振盪器之一跨導放大器之增益。

### 【第4項】

如請求項2之方法，其中將該振盪幅度維持在該高參考值與該低參考值之間之該步驟包括以下步驟：

比較來自該振盪幅度偵測器之輸出與該等高及低參考值；

若來自該振盪幅度偵測器之該輸出小於該低參考值，則在各更新時脈脈衝處增加該跨導放大器增益，及

若來自該振盪幅度偵測器之該輸出等於或大於該高參考值，則在各更新時脈脈衝處減低該跨導放大器增益。

**【第5項】**

如請求項1之方法，其中藉由增加至該跨導放大器之電流而增加該跨導放大器增益。

**【第6項】**

如請求項1之方法，其進一步包括以下步驟：當該振盪偵測器在一特定時段內未偵測到來自該晶體振盪器之一振盪時，產生一晶體振盪器故障警報。

**【第7項】**

如請求項1之方法，其中該高參考值比該晶體振盪器之一電晶體之一DC偏壓點高約300毫伏，且該低參考值比該電晶體之該DC偏壓點高約100毫伏。

**【第8項】**

如請求項1之方法，其進一步包括以下步驟：用一複製電路提供該等高及低參考值以追蹤該跨導放大器之功率、電壓及溫度特性。

**【第9項】**

如請求項1之方法，其進一步包括以下步驟：偵測一振盪器故障且提供其之一警報。

**【第10項】**

一種積體電路，其包括：

一晶體振盪器電路；及

一數位自動增益控制(AGC)電路，其與該晶體振盪器電路耦合，該AGC電路包括包含一振盪偵測器之一第一迴路及包含一振盪幅度偵測器之一第二迴路；

其中該第一迴路經調適以增加該晶體振盪器電路之增益，直至偵測到來自其之一振盪幅度，且此後該第二迴路經調適以將該振盪幅度維持在高幅度值與低幅度值之間。

#### 【第11項】

如請求項10之積體電路，其中該晶體振盪器電路包括：

一跨導放大器，其經調適以耦合至外部晶體；及

一可程式化電流源，其耦合至該跨導放大器且控制該跨導放大器之跨導增益。

#### 【第12項】

如請求項11之積體電路，其中：

在偵測到來自該晶體振盪器電路之振盪之前，該第一迴路依更新時間間隔控制該可程式化電流源；及

在偵測到來自該晶體振盪器電路之該振盪之後，該第二迴路依更新時間間隔控制該可程式化電流源。

#### 【第13項】

如請求項10之積體電路，其中：

該第一迴路包括：

一振盪偵測器，

一記憶體鎖存器，其耦合至該振盪偵測器且在偵測到該振盪時改變

邏輯狀態，及

一遞增/遞減計數器，其耦合至該可程式化電流源且控制該可程式化電流源；

該第二迴路包括：

一振盪幅度偵測器，其具有耦合至該跨導放大器之一輸入及表示該振盪幅度之一輸出，

該遞增/遞減計數器；及

一振盪幅度控制器，其耦合於該振盪幅度偵測器與該遞增/遞減計數器之間，

其中：

若該振盪幅度小於該低幅度值，則該遞增/遞減計數器依該等更新時間間隔累加其中之計數值，及

若該振盪幅度等於或大於該高幅度值，則該遞增/遞減計數器依該等更新時間間隔累減其中之該等計數值。

#### 【第14項】

如請求項10之積體電路，其中該高幅度值比該跨導放大器之一DC偏壓點高約300毫伏，且該低幅度值比該跨導放大器之該DC偏壓點高約100毫伏。

#### 【第15項】

如請求項10之積體電路，其進一步包括經調適以提供該等高及低幅度值以追蹤該跨導放大器之功率、電壓及溫度特性之一複製電路。

#### 【第16項】

如請求項10之積體電路，其中該遞增/遞減計數器之該計數值及/或振

盪偵測器係可程式化的。

**【第17項】**

如請求項13之積體電路，其中該遞增/遞減計數器經調適以在該積體電路中之一開機重設之後被重設。

**【第18項】**

如請求項10之積體電路，其中計時器、振盪偵測電路、鎖存器及/或遞增/遞減計數器可根據該積體電路中之一重設條件而重設。

**【第19項】**

如請求項10之積體電路，其進一步包括一振盪器故障警報電路。

**【第20項】**

如請求項10之積體電路，其中該積體電路係一微控制器。









