



(12) 发明专利申请

(10) 申请公布号 CN 117742657 A

(43) 申请公布日 2024. 03. 22

(21) 申请号 202211108747.X

(22) 申请日 2022.09.13

(71) 申请人 平头哥(上海)半导体技术有限公司

地址 200135 上海市浦东新区中国(上海)

自由贸易试验区上科路366号、川和路

55弄2号5层

(72) 发明人 周金元 刘璐 邹云晓 刘偲旸

(74) 专利代理机构 北京威禾知识产权代理有限公司

公司 11838

专利代理师 王月玲

(51) Int. Cl.

G06F 7/523 (2006.01)

G06F 7/57 (2006.01)

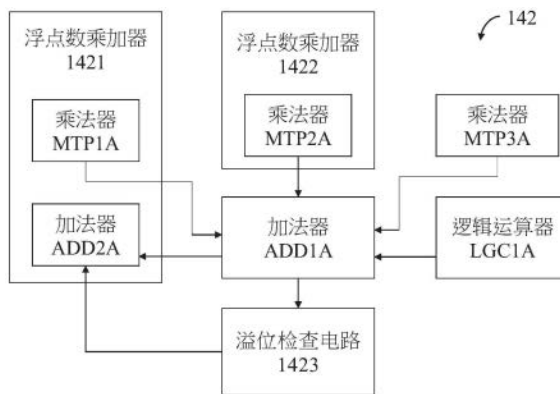
权利要求书3页 说明书8页 附图7页

(54) 发明名称

运算器、算数逻辑单元及处理器

(57) 摘要

本申请揭露一种运算器、算术逻辑单元及处理器。运算器用于对具有N位的多个整数进行运算。运算器包括第一乘法器、第二乘法器、第三乘法器、逻辑运算器及第一加法器。第一乘法器用以对具有P位的整数执行乘法运算,第二乘法器用以对具有Q位的整数执行乘法运算,第三乘法器用以对具有R位的整数执行乘法运算。逻辑运算器用以执行多个与运算。在第一阶段中,第一乘法器、第二乘法器、第三乘法器及逻辑运算器分别接收第一输入整数及第二输入整数的对应多位以进行运算,第一加法器将所述运算结果加总得出包括第一输入整数及第二输入整数的乘积的最低(N+1)位的运算整数。



1. 一种运算器,用于对具有N位的多个整数进行运算,其特征在于,包括:  
第一乘法器,用以对具有P位的整数执行乘法运算;  
第二乘法器,用以对具有Q位的整数执行乘法运算;  
第三乘法器,用以对具有R位的整数执行乘法运算,其中N、P、Q及R是整数,且N大于P、Q及R;  
逻辑运算器,用以执行多个与运算;及  
第一加法器;  
其中:  
在第一阶段中,所述第一乘法器、所述第二乘法器、所述第三乘法器及所述逻辑运算器分别接收第一输入整数及第二输入整数的对应多位以进行运算;  
所述第一加法器至少接收所述第一乘法器、所述第二乘法器、所述第三乘法器及所述逻辑运算器的运算结果以加总得出第一运算整数;及  
所述第一运算整数包括所述第一输入整数及所述第二输入整数的乘积的最低(N+1)位。  
2. 如权利要求1所述运算器,其特征在于,所述运算器还用以计算所述乘积与第三输入整数的和的最低N位,所述第一加法器在所述第一阶段中是将所述第一乘法器、所述第二乘法器、所述第三乘法器及所述逻辑运算器的运算结果与第三输入整数的最低N位相加以产生所述第一运算整数,及所述第一运算整数的最低N位等于所述乘积与所述第三输入整数的最低N位的和。  
3. 如权利要求1所述的运算器,其特征在于:  
P大于Q,Q大于R,P与R的和大于或等于N,且;  
在第二阶段中:  
所述第一乘法器、所述第二乘法器、所述第三乘法器及所述逻辑运算器分别接收所述第一输入整数及所述第二输入整数的对应多位以进行运算;及  
所述第一加法器至少接收所述第一乘法器、所述第二乘法器、所述第三乘法器及所述逻辑运算器的运算结果以加总得出第二运算整数,所述第二运算整数包括所述乘积的最高(N+Q-R)位;及  
所述运算器还包括:  
溢位检查电路,用以依据至少所述第一运算整数的最高位及所述第二运算整数第(Q-R+1)低位判断所述第二运算整数的第(Q-R+1)低位是否产生溢位以产生补充位;及  
第二加法器,用以将所述补充位与所述第二运算整数的最高N位相加得出第三运算整数,所述第三运算整数是所述乘积的最高N位;  
其中所述运算器是将所述第一运算整数的最低N位及所述第三运算整数组合成所述乘积。  
4. 如权利要求3所述运算器,其特征在于:  
所述运算器还用以计算所述乘积与第三输入整数的和,所述第三输入整数具有2N位;  
所述第一加法器是在所述第一阶段中将所述第一乘法器、所述第二乘法器、所述第三乘法器及所述逻辑运算器的运算结果与所述第三输入整数的最低N位相加以产生所述第一运算整数,及在所述第二阶段中将所述第一乘法器、所述第二乘法器、所述第三乘法器及所

述逻辑运算器的运算结果与所述第三输入整数的最高N位相加以产生所述第二运算整数；  
及

所述溢位检查电路是依据所述第一运算整数的最高位、所述第二运算整数第(Q-R+1)低位及所述第三输入整数的第(N+1)低位判断所述第二运算整数的第N高位是否产生溢位以产生补充位。

5. 如权利要求3所述运算器,其特征在于,所述第一输入整数及所述第二输入整数的位数总和在(N-Q+R)位以内所有位数的乘积总和小于2的(N+1)次方。

6. 如权利要求3至5任一项所述运算器,其特征在于,还包括:

32位浮点数乘加器;及

16位浮点数乘加器;

所述第一乘法器及所述第二加法器是设置于所述32位浮点数乘加器,及所述第二乘法器是设置于所述16位浮点数乘加器。

7. 如权利要求6所述运算器,其特征在于,N为32,P为24,Q为11,R为8,所述第一运算整数是所述乘积的最低33位,及所述第三运算整数是所述乘积的最高32位。

8. 如权利要求7所述运算器,其特征在于,所述第一乘法器在所述第一阶段中将所述第一输入整数的最低24位及所述第二输入整数的最低24位相乘以产生第一运算结果。

9. 如权利要求8所述运算器,其特征在于,所述第二乘法器在所述第一阶段中将所述第一输入整数的最高8位及所述第二输入整数的最低9位相乘以产生第二运算结果。

10. 如权利要求9所述运算器,其特征在于,所述第三乘法器在所述第一阶段中对所述第一输入整数的最低8位及所述第二输入整数的最高8位执行与运算以产生第三运算结果。

11. 如权利要求10所述运算器,其特征在于,所述逻辑运算器在所述第一阶段中对所述第一输入整数的第9低位及所述第二输入整数的第25低位执行与运算以产生第四运算结果。

12. 如权利要求11所述运算器,其特征在于,所述第一加法器在所述第一阶段中将所述第一运算结果、所述第二运算结果、所述第三运算结果、所述第四运算结果及所述第三输入整数的最低32位相加以产生所述第一运算整数。

13. 如权利要求12所述运算器,其特征在于,所述第一乘法器在所述第二阶段中将所述第一输入整数的最高24位及所述第二输入整数的最高24位相乘后向低位移13位以产生第五运算结果。

14. 如权利要求13所述运算器,其特征在于,所述第二乘法器在所述第二阶段中将所述第一输入整数的最高11位及所述第二输入整数的最低8位相乘后向低位移8位以产生第六运算结果。

15. 如权利要求14所述运算器,其特征在于,所述第三乘法器在所述第二阶段中将所述第一输入整数的最低8位及所述第二输入整数的最高8位相乘后向低位移5位以产生第七运算结果。

16. 如权利要求15所述运算器,其特征在于,所述逻辑运算器在所述第二阶段中对所述第一输入整数的第8低位及所述第二输入整数的第24低位执行与运算以产生第八运算结果,对所述第一输入整数的第7低位及所述第二输入整数的第24低位执行与运算以产生第九运算结果,对所述第一输入整数的第8低位及所述第二输入整数的第23低位执行与运算

以产生第十运算结果, 及将所述第八运算结果向高位移1位再与所述第九运算结果组合成第十一运算结果。

17. 如权利要求16所述运算器, 其特征在于, 所述第一加法器在所述第二阶段中将所述第五运算结果、所述第六运算结果、所述第七运算结果、所述第十运算结果、第十一运算结果及第三输入整数的最高32位向高位移3位后相加以产生所述第二运算整数。

18. 如权利要求17所述运算器, 其特征在于, 所述溢位检查电路是对所述第一运算整数的最高位、所述第三输入整数的第33低位及所述第二运算整数第4低位执行异或运算以产生所述补充位。

19. 一种算数逻辑单元, 其特征在于, 包括权利要求1至18任一项所述的运算器。

20. 一种处理器, 其特征在于, 包括权利要求19所述的算数逻辑单元。

## 运算器、算数逻辑单元及处理器

### 技术领域

[0001] 本发明涉及一种运算器,更具体的涉及一种可复用多个低位乘法器的高位整数乘法器。

### 背景技术

[0002] 算术逻辑单元(Arithmetic Logic Unit,ALU)是计算电路中的基本部件,常被应用在中央处理器(Central Processing Unit,CPU)及绘图处理器(Graphic Processing Unit,GPU)中,并可用来对二进制整数执行算术运算或位运算。在现有技术中,算术逻辑单元中常包括多种的运算器以执行不同类型的运算。举例来说,算术逻辑单元中常包括32位浮点数乘加器及16位浮点数乘加器来进行浮点数的运算。依据浮点数的表示法,一个32位的浮点数可包括1位的符号位,8位的指数位及23位的尾数位。在此情况下,由于只有尾数位的部分须进行乘法运算,因此32位浮点数乘加器中通常仅会使用到24位的乘法器。相似地,一个16位的浮点数可包括1位的符号位,5位的指数位及10位的尾数位,因此16位浮点数乘加器中通常仅会使用到11位的乘法器。

[0003] 然而,在有些应用中,处理器可能会需要位数较多的整数乘法,例如32位的整数乘法。在此情况下,算术逻辑单元无法仅使用32位浮点数乘加器来完成所需的操作,而可能需要额外设置32位的整数乘法器。由于32位乘法器所需的面积甚大,因此额外增设32位的整数乘法器也将明显增加处理器所需的面积。在此情况下,如何在不过分增加计算时间的情况下,有效使用算术逻辑单元中位数较低的乘法器来执行位数较多的整数乘法,已成为本领域亟待解决的问题。

### 发明内容

[0004] 本申请的一实施例提供一运算器,所述运算器用于对具有N位的多个整数进行运算,且所述运算器包括第一乘法器、第二乘法器、第三乘法器、逻辑运算器及第一加法器。所述第一乘法器,用以对具有P位的整数执行乘法运算,所述第二乘法器用以对具有Q位的整数执行乘法运算,且所述第三乘法器用以对具有R位的整数执行乘法运算。N、P、Q及R是整数,且N大于P、Q及R。所述逻辑运算器用以执行多个与运算。在第一阶段中,所述第一乘法器、所述第二乘法器、所述第三乘法器及所述逻辑运算器分别接收第一输入整数及第二输入整数的对应多位以进行运算,所述第一加法器至少接收所述第一乘法器、所述第二乘法器、所述第三乘法器及所述逻辑运算器的运算结果以加总得出第一运算整数,及所述第一运算整数包括所述第一输入整数及所述第二输入整数的乘积的最低(N+1)位。

[0005] 本申请的另一实施例提供一种算术逻辑单元,所述算术逻辑单元包括前述的运算器。

[0006] 本申请的另一实施例提供一种处理器,所述处理器包括前述的算术逻辑单元。

[0007] 由于本申请的运算器、算术逻辑单元及处理器可以有效地复用位数较低的乘法器来完成位数较高的乘加运算,因此能够减少运算器所需的面积,并有助于增加算术逻辑单

元及处理器在设计上及功能上的弹性。

### 附图说明

[0008] 当结合附图阅读时,从以下实施方式更好理解本揭露的方面。应注意,根据行业中的标准实践,各种结构不按比例绘制。事实上,为清晰论述,各种结构的尺寸可任意增加或减小。

[0009] 图1是本申请的处理器实施例示意图。

[0010] 图2是图1的运算器的实施例示意图。

[0011] 图3是图2的运算器在第一阶段中对输入整数进行乘法运算的示意图。

[0012] 图4是图2的运算器在第二阶段中对输入整数进行乘法运算的示意图。

[0013] 图5是本申请的运算器的另一实施例示意图。

[0014] 图6是图5的运算器在第一阶段中对输入整数进行乘法运算的示意图。

[0015] 图7是图5的运算器在第二阶段中对输入整数进行乘法运算的示意图。

### 具体实施方式

[0016] 以下揭露提供用于实施所提供标的物的不同构件的许多不同实施例或实例。在下文描述组件及布置的特定实例以简化本揭露。当然,此类仅为实例且并不旨在为限制性的。例如,在以下描述中,第一构件形成在第二构件上方或上可包括其中第一构件及第二构件经形成直接接触的实施例,且还可包括其中额外构件可形成于第一构件与第二构件之间使得第一构件及第二构件可不直接接触的实施例。另外,本揭露可在各种实例中重复参考数字及/或字母。此重复是出于简单及清晰的目的且本身并不指示所论述的各种实施例及/或配置之间的关系。

[0017] 此外,为便于描述,例如“在……的下”、“在……下方”、“下”、“在……上方”、“上”、“在……上”及类似物的空间相对术语可在本文中用于描述一个组件或构件与图中说明的另一组件或构件的关系。除图中描绘的定向外,空间相对术语还希望涵盖装置在使用或操作中的不同定向。设备可以其它方式定向(旋转90度或按其它定向)且因此可同样解释本文中使用的空间相对描述符。

[0018] 如本文中使用的,例如“第一”、“第二”及“第三”的术语描述各种组件、组件、区、层及/或区段,但此类组件、组件、区、层及/或区段不应被此类术语限制。此类术语仅可用于彼此区分一个组件、组件、区、层或区段。例如“第一”、“第二”及“第三”的术语在本文中使用时并不暗示序列或顺序,除非由背景内容明确指示。

[0019] 单数形式“一”、“一个”和“所述”也可包括复数形式,除非上下文明确地另有指示。术语“连接”连同其派生词可在本文用于描述部件之间的结构关系。“连接”可用于描述两个或多个元件彼此直接物理或电接触。“连接”也可用于指示两个或多个元件彼此直接或间接(在它们之间有介入的元件)物理或电接触,和/或这两个或多个元件彼此协作或交互作用。

[0020] 图1是本申请的处理器实施例示意图。处理器100中可包括指令提取单元110、指令译码单元120、重排序缓存130、算术逻辑单元140、加载存入单元150、寄存器堆160及存储器170。在本实施例中,指令提取单元110可依序提取处理器100所应执行的指令,而指令译码单元120则可解析指令所需的操作。重排序缓存130可依据硬件执行操作的状况来调整实

实际操作执行的顺序,并将须执行的操作对应地发送至算术逻辑单元140或加载存入单元150来执行。算术逻辑单元140可依据寄存器堆160所储存的数据执行各类型的运算操作,例如乘法运算、加法运算及位逻辑运算,并将运算结果储存至寄存器堆160。此外,加载存入单元150则可对寄存器堆160及存储器170进行读取及写入。虽然重排序缓存130未必是以预定的顺序将执行操作的请求发送至算术逻辑单元140或加载存入单元150,然而在操作完成后,重排序缓存130仍会依据原先程序所预定的顺序提交各个操作,因此可以维持程序的正确性。

[0021] 在处理器100中,由于算术逻辑单元140会被用来执行各类运算,因此算术逻辑单元140通常可包括多种运算器,例如运算器142,以满足不同的运算需求,导致算术逻辑单元140常会占据较大的电路面积。图2是算术逻辑单元140中的运算器142的实施例示意图。在本实施例中,为了减少算术逻辑单元140所需的面积,运算器142可复用浮点数乘加器1421及1422中位数较小的乘法器MTP1A及MTP2A,从而完成位数较高的整数乘法。

[0022] 如图2所示,运算器142可包括32位浮点数乘加器1421、16位浮点数乘加器1422、乘法器MTP3A、逻辑运算器LGC1A及加法器ADD1A。浮点数乘加器1421中的乘法器MTP1A可以对具有24位的整数执行乘法运算,浮点数乘加器1422中的乘法器MTP2A可以对具有11位的整数执行乘法运算,而乘法器MTP3A可以对具有8位的整数执行乘法运算。在本实施例中,运算器142可以利用乘法器MTP1A、MTP2A及MTP3A、逻辑运算器LGC1A及加法器ADD1A来执行32位的整数乘加,例如对32位的输入整数INT1A及INT2A进行乘法运算,并将输入整数INT1A及INT2A的乘积与另一64位的输入整数INT3A相加后得出64位的输出整数OINT1A,如式(0)所示。

$$[0023] \quad OINT1A = INT1A \times INT2A + INT3A \quad \text{式(0)}$$

[0024] 举例来说,在第一阶段中,乘法器MTP1A、MTP2A及MTP3A以及逻辑运算器LGC1A可分别接收输入整数INT1A及INT2A的对应多位以进行运算,而加法器ADD1A可接收乘法器MTP1A、MTP2A及MTP3A以及逻辑运算器LGC1A的运算结果,并将其运算结果与输入整数INT3A的最低32位INT3A[31:0]相加得出运算整数PINT1A,而运算整数PINT1A即包括输出整数OINT1A的最低32位OINT1A[31:0]。

[0025] 图3是运算器142在第一阶段中对输入整数INT1A及INT2A进行乘法运算的示意图。在第一阶段中,乘法器MTP1A可将输入整数INT1A的最低24位INT1A[23:0]及输入整数INT2A的最低24位INT2A[23:0]相乘以产生第一运算结果RA1A,乘法器MTP2A可将输入整数INT1A的最高8位INT1A[31:24]及输入整数INT2A的最低9位INT2A[8:0]相乘以产生第二运算结果RA2A,而乘法器MTP3A可将输入整数INT1A的最低8位INT1A[7:0]及输入整数INT2A的最高8位INT1A[31:24]相乘以产生第三运算结果RA3A。此外,逻辑运算器LGC1A可对输入整数INT1A的第9低位INT1A[8]及输入整数INT2A的第25低位INT2A[24]执行与运算以产生运算结果RA4A。接着,加法器ADD1A可将运算结果RA1A、RA2A、RA3A、RA4A以及输入整数INT3A的最低32位INT3A[31:0]相加以产生运算整数PINT1A。

[0026] 在第一阶段中,乘法器MTP1A、MTP2A、MTP3A、逻辑运算器LGC1A及加法器ADD1A的运算内容可分别如式(1)至式(5)所示。

$$[0027] \quad RA1A = INT1A[23:0] \times INT2A[23:0] \quad \text{式(1)}$$

$$[0028] \quad RA2A = INT1A[31:24] \times INT2A[8:0] \quad \text{式(2)}$$

$$[0029] \quad RA3A = INT1A[7:0] \times INT2A[31:24] \quad \text{式 (3)}$$

$$[0030] \quad RA4A = INT1A[8] \&\& INT2A[24] \quad \text{式 (4)}$$

$$[0031] \quad PINT1A = RA1A + RA2A + RA3A + RA4A + INT3A[31:0] \quad \text{式 (5)}$$

[0032] 在此情况下,运算整数PINT1A即相当于输入整数INT1A及INT2A的乘积的最低33位与输入整数INT3A的最低32位INT3A[31:0]的和。在有些实施例中,运算逻辑单元140可能仅需要输出整数OINT1A的部分位数,例如最低的32位OINT1A[31:0],此时运算器142便可直接将运算整数PINT1A的最低32位PINT1A[31:0]输出。

[0033] 在完成第一阶段的计算之后的第二阶段中,乘法器MTP1A、MTP2A及MTP3A及逻辑运算器LGC1A可分别接收输入整数INT1A及INT2A的对应多位以进行运算,而加法器ADD1A可接收乘法器MTP1A、MTP2A及MTP3A以及逻辑运算器LGC1A的运算结果再与输入整数INT3A的最高32位INT3A[63:32]相加得出运算整数PINT2A。

[0034] 图4是运算器142在第二阶段中对输入整数INT1A及INT2A进行乘法运算的示意图。在第二阶段中,乘法器MTP1A可将输入整数INT1A的最高24位INT1A[31:8]及输入整数INT2A的最高24位INT2A[31:8]相乘后向低位移13位以产生运算结果RA5A。乘法器MTP2A可将输入整数INT1A的最高11位[31:21]及输入整数INT2A的最低8位[7:0]相乘后向低位移8位以产生运算结果RA6A。乘法器MTP3A可将输入整数INT1A的最低8位INT1A[7:0]及输入整数INT2A的最高8位INT2A[31:24]相乘后向低位移5位以产生运算结果RA7A。

[0035] 此外,逻辑运算器LGC1A可对输入整数INT1A的第8低位INT1A[7]及输入整数INT2A的第24低位INT2A[23]执行与运算以产生运算结果RA8A,对输入整数INT的第7低位INT1A[6]及输入整数INT2A的第24低位INT2A[23]执行与运算以产生运算结果RA9A,并可对输入整数INT1A的第8低位INT1A[7]及输入整数INT2A的第23低INT2A[22]位执行与运算以产生运算结果RA10A。运算结果RA8A即相当于输入整数INT1A的第8低位INT1A[7]及输入整数INT2A的第24低位INT2A[23]的乘积,运算结果RA9A相当于输入整数INT的第7低位INT1A[6]及输入整数INT2A的第24低位INT2A[23]的乘积,而逻辑运算器LGC1A还可将运算结果RA8A向高位移1位再与运算结果RA9A组合成运算结果RA10A。此外,运算结果RA11A则相当于输入整数INT1A的第8低位INT1A[7]及输入整数INT2A的第23低INT2A[22]位的乘积。接着,加法器ADD1A可将运算结果RA5A、RA6A、RA7A、RA10A及RA11A相加以产生运算整数PINT2A。

[0036] 在第二阶段中,乘法器MTP1A、MTP2A、MTP3A、逻辑运算器LGC1A及加法器ADD1A的运算内容可分别如式(6)至式(13)所示。

$$[0037] \quad RA5A = (INT1A[31:8] \times INT2A[31:8]) \gg 13 \quad \text{式 (6)}$$

$$[0038] \quad RA6A = (INT1A[31:21] \times INT2A[7:0]) \gg 8 \quad \text{式 (7)}$$

$$[0039] \quad RA7A = (INT1A[7:0] \times INT2A[31:24]) \gg 5 \quad \text{式 (8)}$$

$$[0040] \quad RA8A = (INT1A[7] \&\& INT2A[23]) \quad \text{式 (9)}$$

$$[0041] \quad RA9A = (INT1A[6] \&\& INT2A[23]) \quad \text{式 (10)}$$

$$[0042] \quad RA10A = (INT1A[7] \&\& INT2A[23], INT1A[6] \&\& INT2A[23]) \quad \text{式 (11)}$$

$$[0043] \quad RA11A = (INT1A[7] \&\& INT2A[22]) \quad \text{式 (12)}$$

$$[0044] \quad PINT2A = RA5A + RA6A + RA7A + RA10A + RA11A + (INT3A[63:32] \ll 3) \quad \text{式 (13)}$$

[0045] 在此情况下,运算整数PINT2A即应包括了输入整数INT1A及输入整数INT2A的乘积的最高35位与输入整数INT3A的最高32位的和,也就是输出整数OINT1A的最高35位OINT1A

[63:29]。

[0046] 须注意的是,由于在第二阶段中,运算器142并未计算输入整数INT1A及INT2A的乘积的低位部分,因此在本实施例中,运算器142还可包括溢位检查电路1423及加法器ADD2A。溢位检查电路1423可产生用以判断是否须对运算整数PINT2A进位的补充位DLT1,而加法器ADD2A可将补充位DLT1与运算整数PINT2A的最高32位PINT2A[34:3]相加,从而得出运算整数PINT3A。在此情况下,运算整数PINT3A即相当于输入整数INT1A及INT2A的乘积的最高32位与输入整INT3A的最高32位INT3A[63:32]的和,因此运算器142可将运算整数PINT1A的最低32位PINT1A[31:0]与运算整数PINT3A组合成完整的输出整数OINT1A,从而完成32位的整数乘加运算。

[0047] 由于在第一阶段中,运算器142已计算了输出整数OINT1A的最低32位OINT1A[31:0],因此在第二阶段中,运算器142原本只需要另外计算输入整数INT1A及输入整数INT2A的乘积的最高32位即可得出完整的乘积;然而,在第二阶段中,由于输入整数INT1A及输入整数INT2A的乘积的低位部分有可能会进位到输入整数INT1A及输入整数INT2A的乘积的最高32位,因此运算器142必须针对输入整数INT1A及输入整数INT2A的乘积的低位部分的数值是否会进位到高位部分来进行判断。

[0048] 在本实施例中,图4中由网点填充的阴影部分S1表示输入整数INT1A及INT2A的位数总和在29位以内所有位数的乘积,其也相当于正确的输出整数OINT1A的最高35位OINT1A[63:29]与运算整数PINT2A的差值。经过计算可以得知,即便是阴影部分S1的每一位数值都为1,整体的差值总和最多也仅会小于 $2^{33}$ ,表示阴影部分S1的总和最多仅会对运算整数PINT2A的第4低位PINT2A[3]进位1。

[0049] 此外,由于在第一阶段时,运算电路142所计算产生的运算整数PINT1A已包括了输入整数INT1A及INT2A的乘积的最低33位与输入整数INT3A的最低32位INT3A[31]的和,因此运算整数PINT1A的最高位PINT1A[32]与输入整数INT3A的第33低位INT3A[32]的异或运算结果即可视为输出整数OINT1A的第33低位OINT1A[32]的真实结果,而溢位检查电路1423可将此真实结果再与运算整数PINT2A的第4低位PINT2A[3]进行异或运算以得出用以指示运算整数PINT2A的第4低位PINT2A[3]是否需进位的补充位DLT1。接着,加法器ADD2A则可将运算整数PINT2A的最高32位PINT2A[34:3]与补充位DLT1相加,即可得出输出整数OINT1A的最高32位。溢位检查电路1423与加法器ADD2A的运算内容可如式(14)及式(15)所示。

$$[0050] \quad DLT1 = PINT1A[32] \wedge INT3A[32] \wedge PINT2A[3] \quad \text{式(14)}$$

$$[0051] \quad OINT1B[63:32] = PINT2A[34:3] + DLT1 \quad \text{式(15)}$$

[0052] 如此一来,运算电路142便可在第一阶段及第二阶段中,分别计算出输出整数OINT1A的最低32位OINT1A[31:0]及最高32位OINT1A[63:32],并可将两者组合成完整的输出整数OINT1A,从而完成对整数INT1A、INT2A及INT3A的乘加运算。

[0053] 此外,在本实施例中,加法器ADD2A可以是设置在32位浮点数乘加器1421中的加法器,因此运算器142除了浮点数乘加器1421及1422之外,只需要另外增设8位的乘法器MTP3A、加法器ADD1A及溢位检查电路1423就能够在两个阶段内完成32位的乘加运算。由于运算器142可以有效地复用浮点数乘加器1421及1422中位数较低的乘法器来完成位数较高的乘加运算,因此可以避免过度增加运算器的面积,也从而增加了处理器在设计上及功能上的弹性。

[0054] 在有些实施中,算术逻辑单元140可能只需要输入整数INT1A及INT2A的乘积,而并未设定输入整数INT3A,在此情况下,运算器142可将输入整数INT3A的64位都预设为0,或在式(0)、式(5)、式(10)及式(11)的运算中,将输入整数INT3A的部分省略。

[0055] 再者,虽然在图2至图4中,运算器142是复用浮点数乘加器1421及1422中的24位乘加器及11位乘加器来完成32位的乘加运算,然而本申请并不以此为限。在有些其他实施例中,设计者也可以依据与运算器142相似的原理来复用位数较低的乘法器,从而达到其他位数较高的乘加运算。

[0056] 图5是本申请的运算器的另一实施例示意图。在本实施例中,运算器242可以将具有N位的输入整数INT1B及INT2B相乘,并将两者的乘积与2N位的输入整数INT3B相加从而完成N位的乘加运算。

[0057] 如图5所示,运算器242可包括乘法器MTP1B、MTP2B及MTP3B、加法器ADD1B及ADD2B、逻辑运算器LGC1B及溢位检查电路2424。在本实施例中,乘法器MTP1B可对具有P位的整数执行乘法运算,乘法器MTP2B可对具有Q位的整数执行乘法运算,乘法器MTP3B可对具有R位的整数执行乘法运算,而运算器242可利用乘法器MTP1B、MTP2B及MTP3B来执行N位的乘法运算,其中N、P、Q、R为正整数,且N大于P,P可大于Q,且Q可大于R,此外,在本实施例中,P与R的和等于N;以图2的运算器142为例,则N为32,P为24,Q为11,而R为8。

[0058] 在本实施例中,与运算器142相似地,运算器242可在第一阶段中,使乘法器MTP1B、MTP2B及MTP3B及逻辑运算器LGC1B分别接收输入整数INT1B及INT2B的对应多位以进行运算。接着,加法器ADD1B可接收乘法器MTP1B、MTP2B及MTP3B及逻辑运算器LGC1B的运算结果,并可将该些运算结果与输入整数INT3B的最低N位INT3B[N-1:0]相加以产生运算整数PINT1B。在此情况下,运算整数PINT1B即相当于输入整数INT1B及INT2B的乘积的最低(N+1)位与输入整数INT3B的最低32位的和。

[0059] 图6是运算器242在第一阶段中对输入整数INT1A及INT2A进行乘法运算的示意图。在第一阶段中,乘法器MTP1B可将输入整数INT1B的最低P位INT1B[P-1:0]及输入整数INT2B的最低P位INT2B[P-1:0]相乘以产生第一运算结果RA1B,乘法器MTP2A可将输入整数INT1B的最高R位INT1A[N-1:N-R]及输入整数INT2B的最低S位INT2B[S-1:0]相乘以产生第二运算结果RA2B,而乘法器MTP3B可将输入整数INT1B的最低R位INT1B[R-1:0]及输入整数INT2B的最高R位INT1B[N-1:N-R]相乘以产生第三运算结果RA3B。此外,逻辑运算器LGC1B可对输入整数INT1B及INT2B的部分位数执行与运算以产生运算结果RA4B,使得加法器ADD1B在将运算结果RA1B、RA2B、RA3B及RA4B相加之后可以得到输入整数INT1B及INT2B的乘积的最低(N+1)位。此外,在本实施例中,加法器ADD1B还可将运算结果RA1B、RA2B、RA3B及RA4B与输入整数INT3B的最低N位INT3B[N-1:0]相加以产生运算整数PINT1B。

[0060] 在第一阶段中,乘法器MTP1B、MTP2B、MTP3B及加法器ADD1B的运算内容可分别如式(16)至式(20)所示。

$$[0061] \quad RA1B = INT1B[P-1:0] \times INT2B[P-1:0] \quad \text{式(16)}$$

$$[0062] \quad RA2B = INT1B[N-1:N-R] \times INT2B[S-1:0] \quad \text{式(17)}$$

$$[0063] \quad RA3B = INT1B[R-1:0] \times INT2B[N-1:N-R] \quad \text{式(18)}$$

$$[0064] \quad PINT1B = RA1B + RA2B + RA3B + RA4B + INT3B[31:0] \quad \text{式(19)}$$

[0065] 在有些实施例中,若运算器242只被要求计算输出整数OINT1B的部分位数,例如最

低的N位OINT1B[N-1:0],此时运算器242便可直接将运算整数PINT1B的最低N位PINT1B[N-1:0]输出。

[0066] 图7是运算器242在第二阶段中对输入整数INT1B及INT2B进行乘法运算的示意图。在第二阶段中,乘法器MTP1B可将输入整数INT1B的最高P位INT1A[N-1:N-P]及输入整数INT2B的最高P位INT2B[N-1:N-P]相乘后向低位移(N-Q+R)-2(N-P)位以产生运算结果RA5B。乘法器MTP2B可将输入整数INT1B的最高Q位[N-1:N-Q]及输入整数INT2B的最低R位[R-1:0]相乘后向低位移(N-Q+R)-(N-Q)位以产生运算结果RA6B。乘法器MTP3B可将输入整数INT1B的最低R位INT1B[R-1:0]及输入整数INT2B的最高R位INT2A[N-1:N-R]相乘后向低位移(N-Q+R)-(N-R)位以产生运算结果RA7B。

[0067] 此外,逻辑运算器LGC1B可对输入整数INT1B及INT2B的部分位数执行与运算以产生运算结果RA8B,使得加法器ADD1B在将运算结果RA5B、RA6B、RA7B及RA8B相加之后可以得到输入整数INT1B及INT2B的乘积的最高(N+Q-R)位。此外,加法器ADD1B还可将输入整数INT3B的最高N位向高位移(Q-R)位之后,与运算结果RA5B、RA6B、RA7B及RA8B相加产生运算整数PINT2B。

[0068] 在第二阶段中,乘法器MTP1B、MTP2B、MTP3B、逻辑运算器LGC1B及加法器ADD1B的运算内容可分别如式(20)至式(23)所示。

$$[0069] \quad RA5B = (INT1B[N-1:N-P] \times INT2B[N-1:N-P]) \gg \gg [(N-Q+R) - 2(N-P)] \quad \text{式(20)}$$

$$[0070] \quad RA6B = (INT1B[N-1:N-Q] \times INT2B[R-1:0]) \gg \gg [(N-Q+R) - (N-Q)] \quad \text{式(21)}$$

$$[0071] \quad RA7B = (INT1B[R-1:0] \times INT2B[N-1:N-R]) \gg \gg [(N-Q+R) - (N-R)] \quad \text{式(22)}$$

$$[0072] \quad PINT2B = RA5B + RA6B + RA7B + RA8B + [INT3B[2N-1:N] \ll \ll (Q-R)] \quad \text{式(23)}$$

[0073] 在本实施例中,图7中由网点填充的阴影部分S2表示输入整数INT1B及INT2B的位数总和在(N-Q+R)位以内所有位数的乘积,其也相当于正确的输出整数OINT1B的最高(N+Q-R)位与运算整数PINT2B的差值。在本实施例中,只要确认阴影部分S2的整体数值总和最大值是小于 $2^{N+1}$ ,就表示阴影部分S2的总和最多仅会对运算整数PINT2B的第(Q-R+1)低位PINT2B[Q-R]进位1。在此情况下,溢位检查电路242就可以依据至少运算整数PINT1B的最高位PINT1B[N+1]及运算整数PINT2B的第(Q-R+1)低位PINT2B[Q-R]判断运算整数PINT2B的第(Q-R+1)低位PINT2B[Q-R]是否产生溢位,并产生对应的补充位DLT2。

[0074] 更进一步地说,由于在第一阶段时,运算电路242所计算产生的运算整数PINT1N已包括了输入整数INT1B及INT2B的乘积的最低(N+1)位与输入整数INT3B最低N位INT3B[N-1]的和,因此溢位检查电路2423可对运算整数PINT1B的最高位PINT1B[N]与输入整数INT3B的第(N+1)低位INT3B[N]执行异或运算,而其运算结果即可视为输出整数OINT1B的第(N+1)高位OINT1B[N]的真实结果,因此溢位检查电路2423可再将运算结果与运算整数PINT2B的第(Q-R+1)低位PINT2B[Q-R]进行异或运算以得出用以指示运算整数PINT2B的第(Q-R+1)低位PINT2B[Q-R]是否需进位的补充位DLT2。接着,加法器ADD2B则可将运算整数PINT2B的最高N位PINT2B[N+Q-R-1:Q-R]与补充位DLT2相加,即可得出输出整数OINT1B的最高N位。

[0075] 溢位检查电路2423与加法器ADD2B的运算内容可如式(24)及式(25)所示。

$$[0076] \quad DLT2 = PINT1B[N] \wedge INT3A[N] \wedge PINT2B[Q-R] \quad \text{式(24)}$$

$$[0077] \quad OINT1B[2N-1:N] = PINT2B[N+Q-R-1:Q-R] + DLT2 \quad \text{式(25)}$$

[0078] 如此一来,运算电路242便可在第一阶段及第二阶段中,分别计算出输出整数

OINT1B的最低N位OINT1N[N-1:0]及最高N位OINT1N[2N:N],并将两者组合成完整的输出整数OINT1B,从而完成对整数INT1B、INT2B及INT3B的乘加运算。

[0079] 在本实施例中,乘法器MTP1B、MTP2B及MTP3B可例如是运算器242中原本用以执行其他运算所需的乘法器或乘加器,而加法器ADD2B也可以是设置在那些乘加器中的加法器,因此运算器242可以有效地复用位数较低的乘法器来完成位数较高的乘加运算,因此可以避免过度增加运算器的面积,也从而增加了处理器在设计上及功能上的弹性。此外,由于运算器242只需要两个阶段就能够完成高位的乘加运算,因此在运算效能上也足以支持大部分的应用所需。

[0080] 综上所述,本申请的运算器、算术逻辑单元及处理器可以有效地复用位数较低的乘法器来完成位数较高的乘加运算,因此能够减少运算器所需的面积,并有助于增加算术逻辑单元及处理器在设计上及功能上的弹性。

[0081] 前文概述若干实施例的结构,使得所属领域的技术人员可更好理解本揭露的方面。所属领域的技术人员应了解,其可容易地使用本揭露作为设计或修改用于实行本文中介绍的实施例的相同目的及/或实现相同优点的其它制造过程及结构的基础。所属领域的技术人员还应认识到,此类等效构造不脱离本揭露的精神及范围,且其可在不脱离本揭露的精神及范围的情况下在本文中进行各种改变、替换及更改。

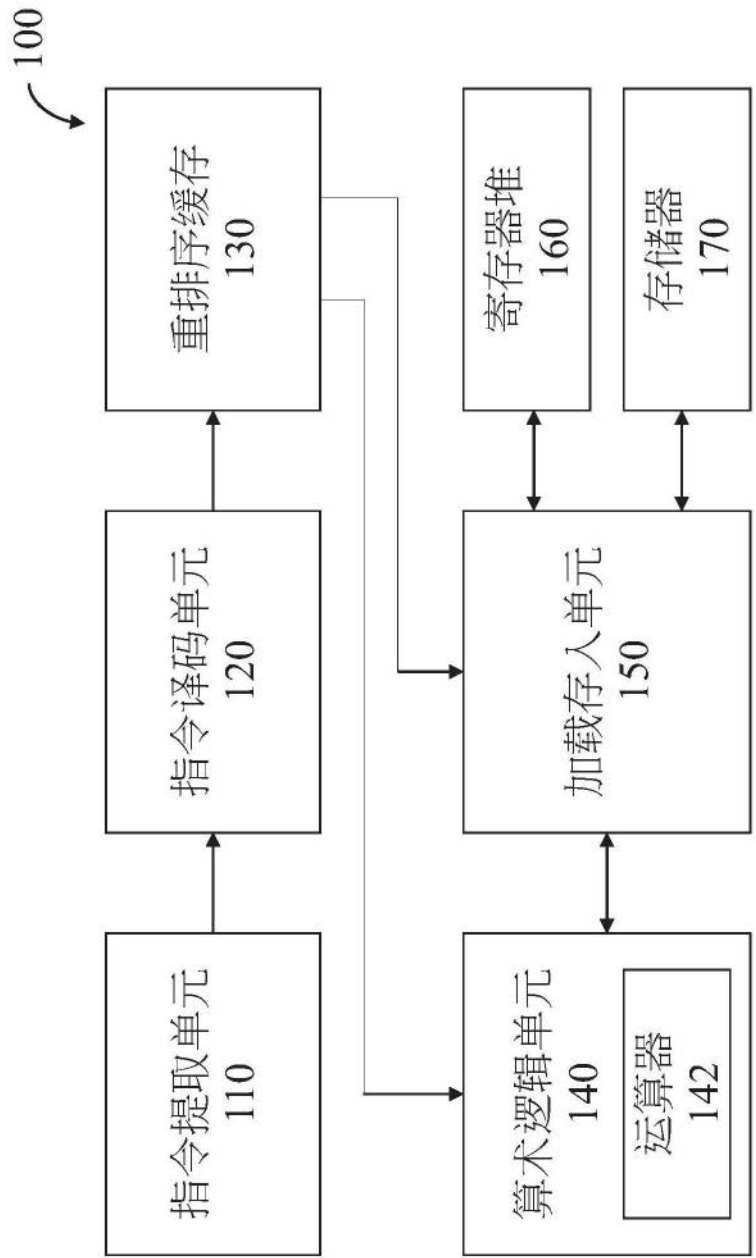


图1

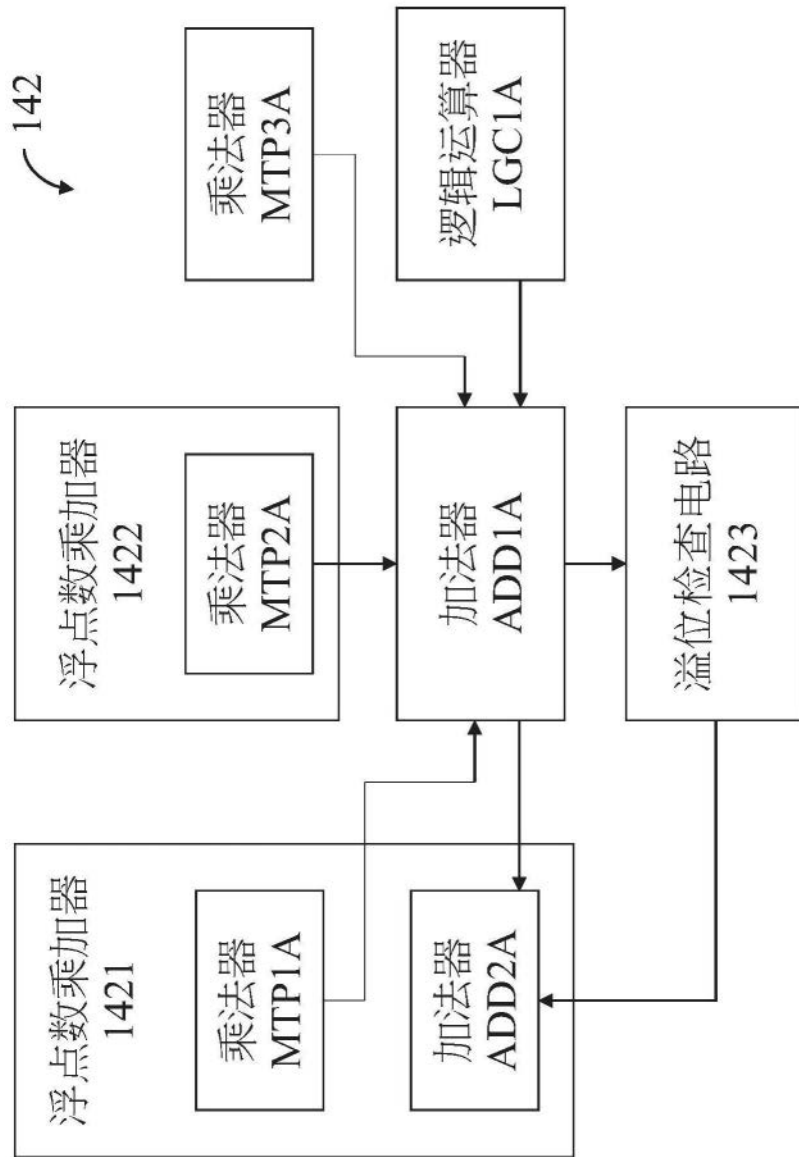


图2

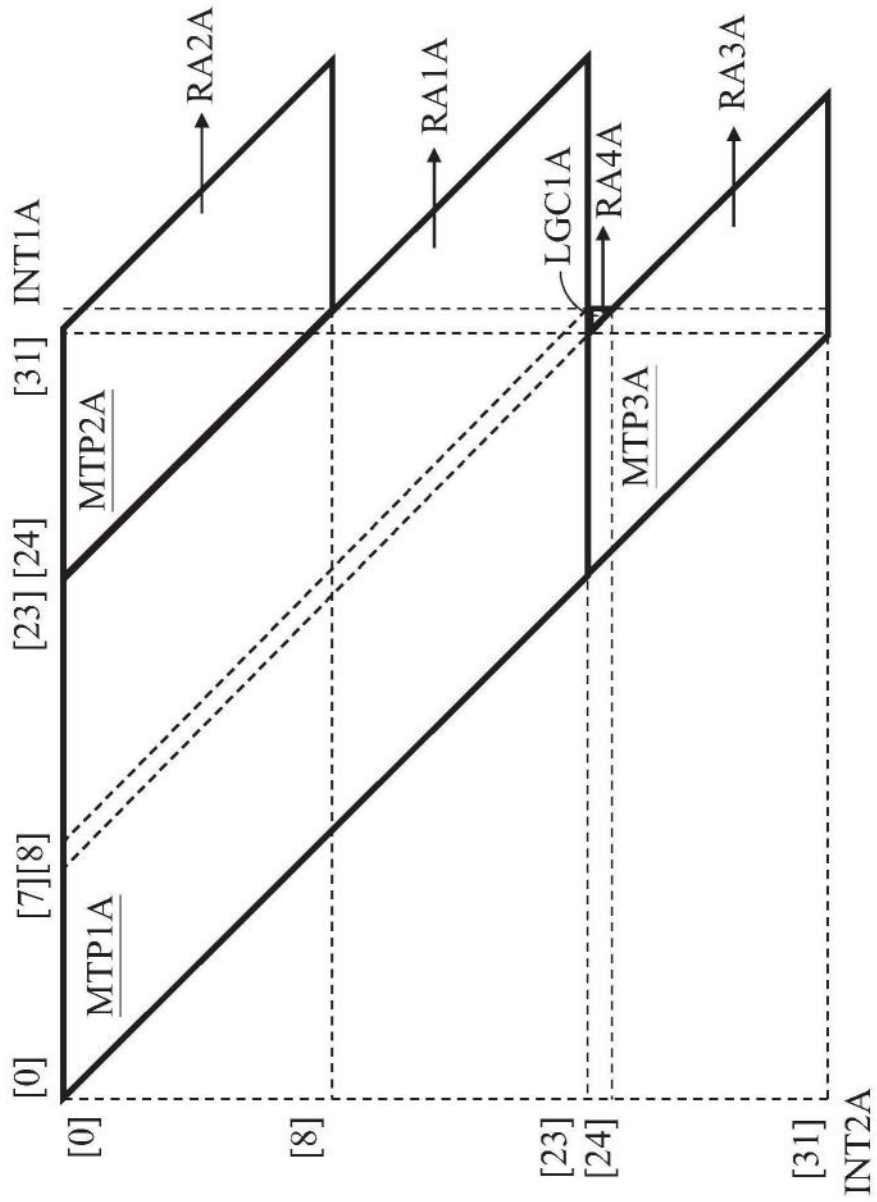


图3

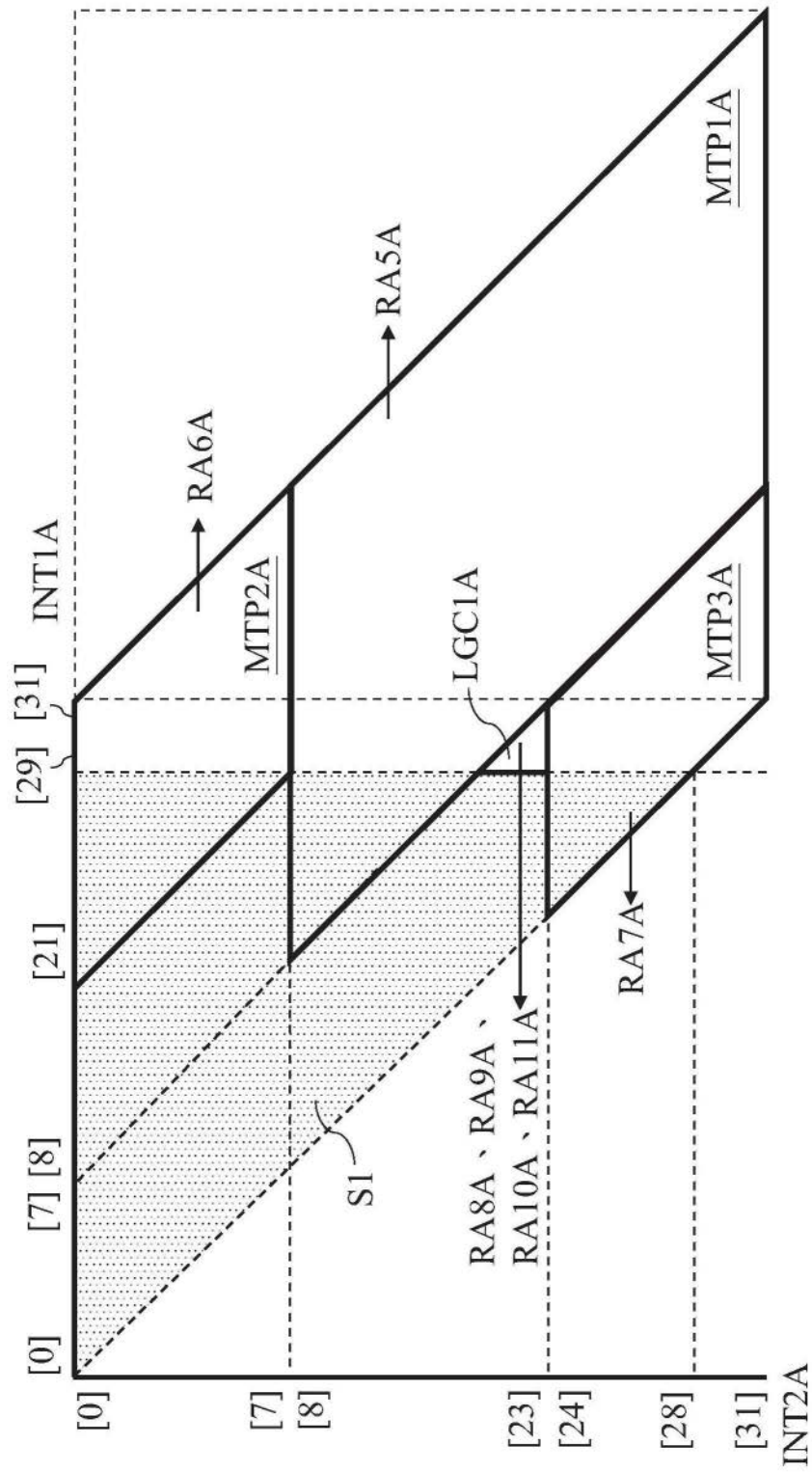


图4

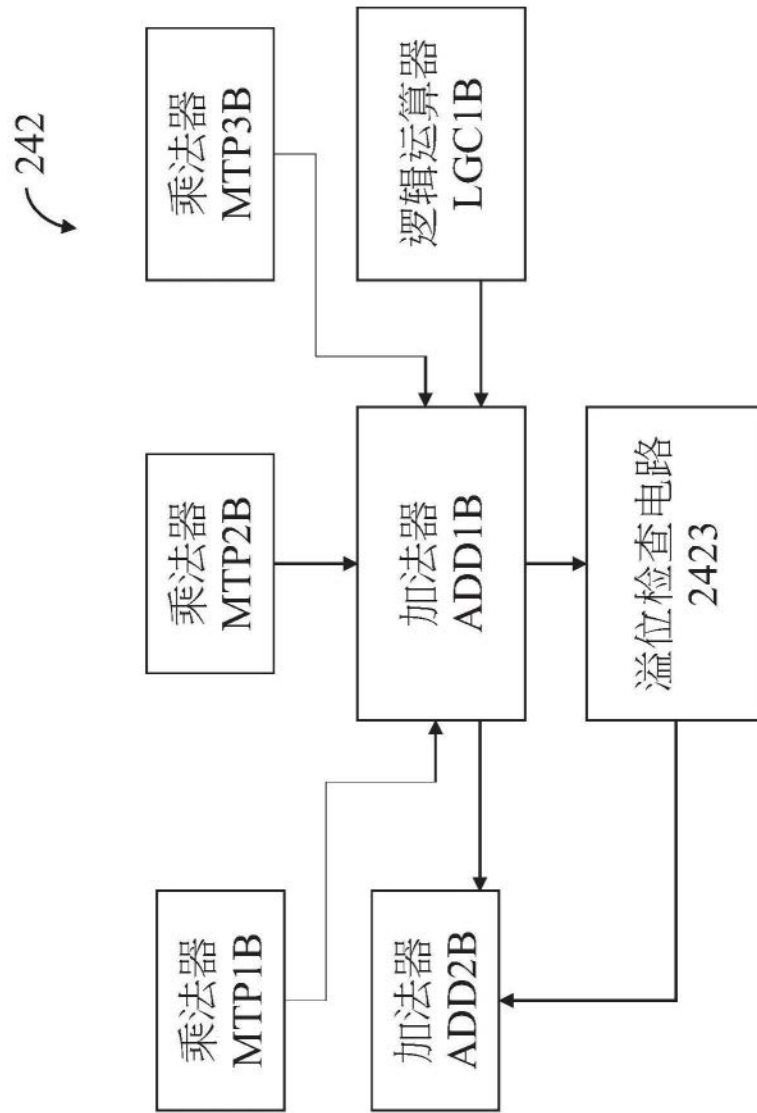


图5

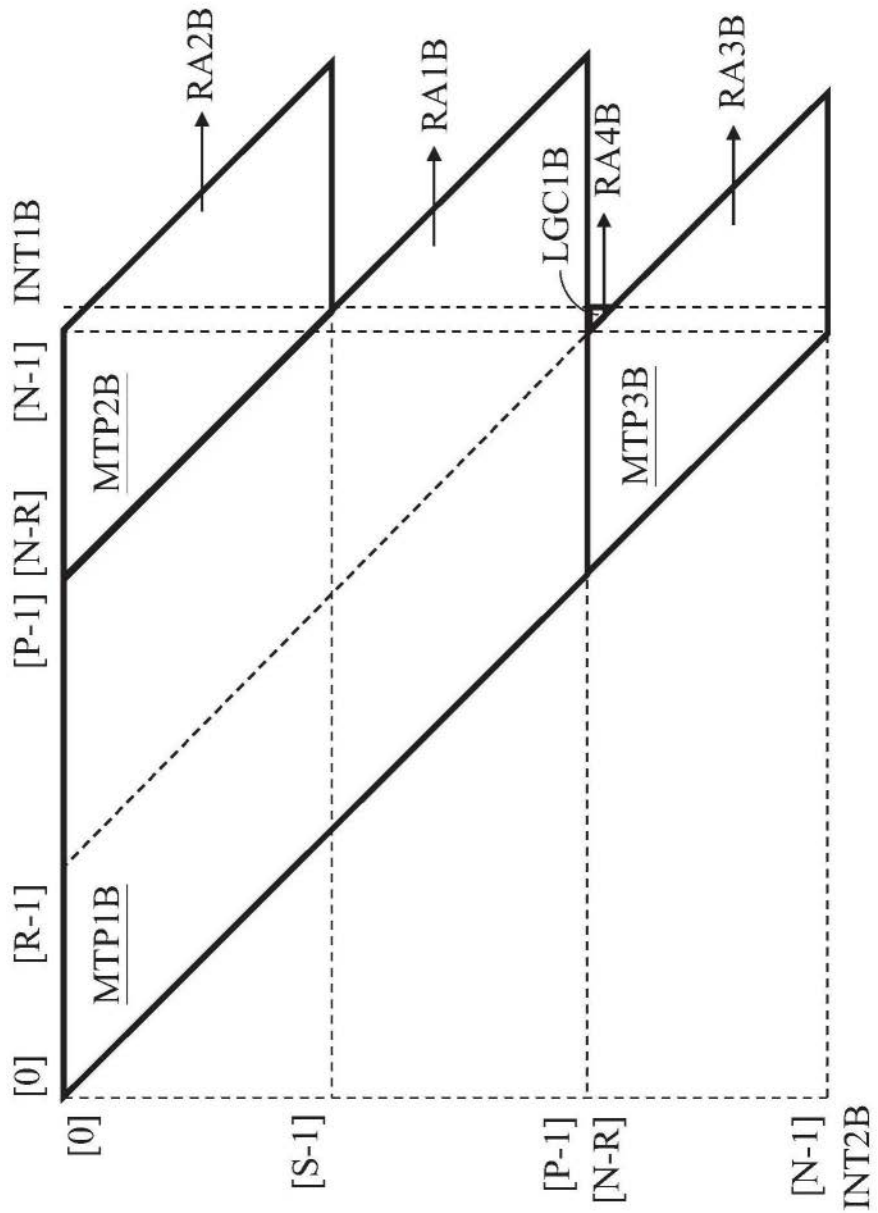


图6

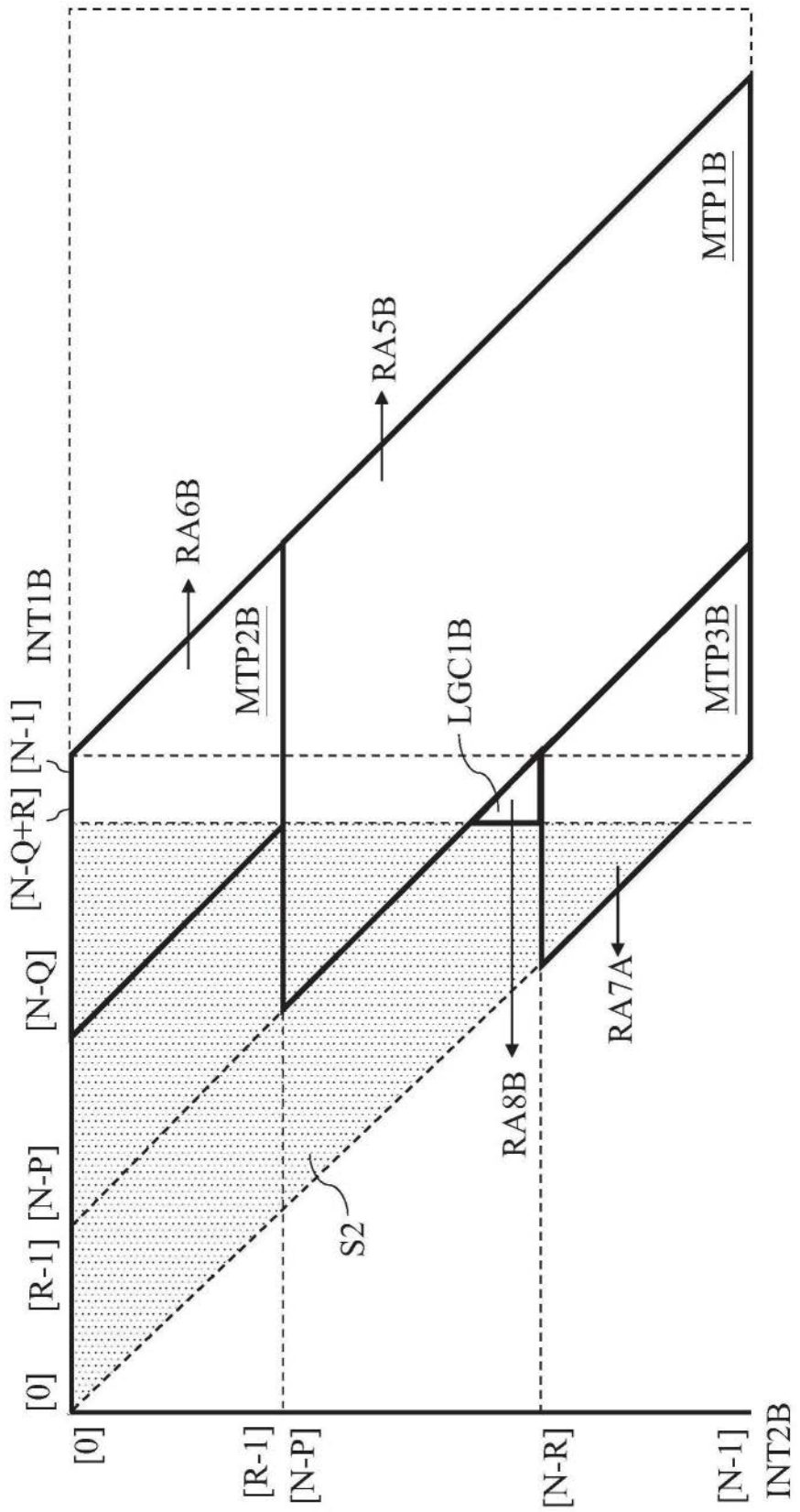


图7