

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶
H01L 21/76

(11) 공개번호 특1998-060506
(43) 공개일자 1998년 10월 07일

(21) 출원번호	특1996-079868
(22) 출원일자	1996년 12월 31일
(71) 출원인	현대전자산업 주식회사 김영환
(72) 발명자	경기도 이천시 부발읍 아미리 산 136-1 원대희
	경기도 안양시 만안구 안양 4동 711-377 이정엽
(74) 대리인	서울특별시 광진구 구의동 76-14 22통 3반 이권희, 이정훈

심사청구 : 없음

(54) 반도체 소자의 소자 분리막 형성방법

요약

본 발명은 반도체 소자의 소자 분리막 형성방법에 관한 것으로, 트렌치를 형성한 후 식각 결함층 제거를 위해 트렌치 측벽을 산화시키는 과정에서 질화막 상부에 위치한 폴리실리콘의 산화층을 제거하고, 상부의 폴리실리콘층을 마스크로 하여 하부 질화막을 선택적으로 식각함에 의해 절연물 매립공간을 넓게 형성함으로써, 트렌치 내부로의 매립공정을 용이하게 함과 아울러, 후 공정에서의 절연물이 액티브 지역보다 아래로 내려가는 것을 방지하여 반도체 소자의 전기적 특성을 개선시킬 수 있다.

대표도

도2e

명세서

도면의 간단한 설명

도 1 은 종래의 기술에 따른 반도체 소자의 소자 분리막 형성 공정단계를 도시한 단면도
도 2a 내지 도 2g 는 본 발명의 기술에 따른 반도체 소자의 소자 분리막 형성 공정단계를 도시한 단면도
도면의 주요 부분에 대한 부호의 설명

11,31 : 반도체 기판 12,32 : 패드 산화막
13,33 : 질화막 14,35 : 트렌치
15,39 : 소자분리용 절연막 16 : 트렌치 모서리부
34 : 폴리실리콘 36 : 산화된 부위
37 : 폴리실리콘 패턴 38 : 열산화막
41 : 게이트 산화막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 소자 분리막 형성방법에 관한 것으로, 특히 트렌치 내부 매립공간을 넓게 형성하여 절연물 매립공정을 용이하게 함과 아울러, 후 공정에서의 절연물이 액티브 영역 하부로 내려가는 것을 방지하여 반도체 소자의 제조공정수율 및 신뢰성을 향상시킬 수 있는 반도체 소자의 소자 분리막 형성방법에 관한 것이다.

트렌치를 이용하여 반도체 소자의 소자 분리막을 형성하는 종래의 기술에 대해 첨부 도면을 참조하여 설명하면 다음과 같다.

도 1a 와 도 1b 는 종래의 기술에 따른 반도체 소자의 소자 분리막 형성 제조 공정단계를 도시한 단면도이다.

먼저 반도체 기판(11) 상에 패드 산화막(12), 질화막(13)을 차례로 형성하고 상기 질화막(13) 상부에 소자 분리 마스크(미도시)를 형성한다.

다음 상기 소자 분리 마스크를 사용하여 하부의 질화막(13), 패드 산화막(12)을 차례로 식각한 후, 노출된 반도체 기판(11)을 소정 깊이만큼 식각하여 트렌치(14)를 형성한다.

전체구조 상부에 소자 분리용 절연막(15)을 증착하여 트렌치(14)의 내부를 채운다.(도 1a 참조)

다음 상기 트렌치(14) 내부를 절연물로 매립한 후 화학·기계적 연마(Cheical Mechanical Polishing)공정 후 게이트 세정공정까지 진행하게 되면 트렌치 모서리 부분(16)에서 액티브 영역보다 절연물 영역이 하부로 내려가게 된다.(도 1b 참조)

상기와 같은 종래의 기술에 있어서, 상기 액티브 영역의 모서리 부분에서의 전기장 집중 때문에 문턱전압보다 낮은 전압에서 큰 누설전류가 발생하여 소자의 컷 오프(Cut off) 특성열화와 인버스 내로우 위드스(Inverse narrow width) 현상이 발생하는 원인이 되고, 또한 게이트 산화막(Gate oxide)이 얇아지는 씨닝(Thinning) 현상 등이 발생함으로 게이트 특성 열화를 초래하여 반도체 소자의 신뢰성을 저하시키는 문제점이 있다.

발명이 이루고자하는 기술적 과제

따라서 본 발명은 상기의 문제점을 해결하기 위한 것으로, 본 발명은 트렌치의 내부에 매립되는 절연물의 높이를 게이트 세정공정 이후에도 액티브 영역보다 높게 유지될 수 있도록 하여 트렌치 모서리부분에서의 누설전류 및 게이트 산화막의 씨닝현상을 방지하여 반도체 소자의 전기적 특성을 향상시킬 수 있는 트렌치를 이용한 반도체 소자의 소자 분리막 형성방법을 제공함에 그 목적이 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여 본 발명에서는, 반도체 기판상에 패드 산화막, 질화막, 폴리실리콘층을 차례로 형성하는 단계와, 마스크 공정으로 하부 폴리실리콘층과 질화막 그리고 패드 산화막을 차례로 식각하는 단계와, 노출된 반도체 기판을 식각하여 트렌치를 형성하는 단계와, 상기 트렌치 형성시 형성된 식각 결함층을 제거하기 위해 트렌치 측벽을 소정두께만큼 산화시킨 후, 형성된 산화막을 제거하는 단계와, 상기 폴리실리콘층을 마스크로 하여 하부의 질화막을 제거하는 단계와, 노출된 트렌치 측벽의 소정두께를 재차 산화시켜 열산화막을 형성하는 단계와, 전체구조 상부에 소자 분리용 절연물을 증착하여 트렌치 내부를 매립하는 단계와, 상기 증착된 절연막을 평탄화하기 위한 식각을 하되, 하부 질화막이 드러날 때까지 실시하여 질화막의 높이보다 매립 절연물이 더 높게 유지되도록 하는 단계와, 상기 노출된 질화막을 제거하는 단계와, 게이트 산화막을 형성하는 단계로 구성되는 반도체 소자의 소자 분리막 형성방법을 제공한다.

이하 첨부된 도면을 참조하여 본 발명의 적합 실시예에 대한 상세한 설명을 하기로 한다.

도 2a 내지 도 2g는 본 발명의 방법에 따른 반도체 소자의 소자 분리막 형성공정 단계를 도시한 단면도이다.

도 2a 를 참조하면 반도체 기판(31) 위에 패드 산화막(32), 질화막(33), 폴리 실리콘(Poly Si)층을 각각 70~300 Å, 500~2000 Å, 500~2000 Å 의 두께로 차례로 형성한다.

도 2b 를 참조하면, 마스크 공정으로 하부 Poly-Si층(34)과 질화막(33), 패드 산화막(32)을 차례로 식각한 후, 노출된 반도체 기판(31)을 약 3000~5000 Å의 깊이로 식각하여 트렌치(35)를 형성한다.

도 2c 를 참조하면, 상기 트렌치(35) 형성시 형성된 식각 결함층을 제거하기 위해 트렌치 측벽을 산화한다.

이때, 상기 트렌치 측벽을 산화시킬 경우 반도체 기판(31)의 실리콘이 산화되는 것보다 폴리실리콘이 산화되는 속도가 더 빠르기 때문에 기판(31)보다 더 많은 부분이 산화되어진다.

따라서 상기 폴리실리콘의 산화되는 정도는 반도체 기판(31)의 산화 깊이를 기준하여 100~300 Å정도가 되도록 한다.

다음 상기 산화된 부위(36)를 제거하면 도 3 과 같은 형상이 된다.

도 2d 를 참조하면, 상부의 폴리실리콘 패턴(37)을 마스크로 하여 질화막을 제거하면, 상기 도면에 도시된 바와 같이 트렌치(35) 모양보다 약간 넓은 매립공간을 확보하게 된다.

도 2e 를 참조하면, 트렌치(35) 측벽의 소정두께를 산화시켜 측벽상에 열산화막(38)을 형성한다.

이때 상기 열산화막(38)의 두께는 100~300 Å로 한다.

다음 전체구조 상부에 소자 분리용 절연물(6)을 증착하여 트렌치 (35) 내부를 매립한다. 이후 화학·기계적 연마공정을 실시하여 상부 표면을 연마시키는 과정에서 하부의 폴리실리콘층(37)이 드러나면 그때는 폴리실리콘(37)이 절연물(매립물)(39)보다 더 빨리 연마되어 하부 질화막(33)이 드러날 때 쯤이면 질화막(33) 높이보다 매립 절연물(39)이 더 높게 유지된다.

도 2e 를 참조하면, 상기 절연막을 질화막(33)이 드러날 때까지 연마하고, 드러난 질화막(33)을 습식식각으로 제거하게 되면, 매립절연물(39)이 액티브 영역보다 더 높게 유지시킬 수 있다.

도 2g 는 게이트 산화막을 50~100Å 정도의 두께로 형성한 상태로서, 상기 게이트 산화막(41) 형성시에도 트렌치(35) 모서리 부근에서의 게이트 산화막이 얇아지는 씨닝 현상이 일어나지 않음을 알 수 있다.

발명의 효과

이상 상술한 바와 같이, 본 발명의 방법에 따라 트렌치를 형성한 후 트렌치 측벽을 산화시키는 과정에서 질화막 상부에 위치한 폴리실리콘의 산화층을 제거하고, 상기 폴리실리콘층을 마스크로 하여 질화막을 선택적으로 식각하여 절연물 매립 공간을 넓게 형성함과 아울러, 후 공정에서의 절연물이 액티브 지역보다 아래로 내려가는 것을 방지하여 반도체 소자의 전기적 특성을 개선시킬 수 있다.

본 발명에 따른 상기의 효과를 정리하면 아래와 같다.

첫째, 트렌치 하부의 공간에 절연물을 매립할 때 넓어진 매립 공간으로 인해 절연물 매립이 용이한 장점이 있으며, 둘째, 화학적·기계적 연마공정시 폴리실리콘의 연마속도가 절연물의 연마 속도보다 빠르므로 넓은 필드영역에서의 디싱(dishing) 현상을 개선할 수 있다.

셋째, 게이트 세제공정 진행후에도 절연물이 액티브 지역보다 높게 유지되므로 트렌치 모서리에서의 누설전류를 억제하여 인버스 내로우(Inverse narrow) 효과를 개선할 수 있다.

넷째, 게이트 산화막 씨닝 현상을 방지하여 게이트 특성 열화를 개선할 수 있다.

(57) 청구의 범위

청구항 1

반도체 기판상에 패드 산화막, 질화막, 폴리실리콘층을 차례로 형성하는 단계와,
마스크 공정으로 하부 폴리실리콘층과 질화막 그리고 패드 산화막을 차례로 식각하는 단계와,
노출된 반도체 기판을 식각하여 트렌치를 형성하는 단계와,
상기 트렌치 형성시 형성된 식각 결함층을 제거하기 위해 트렌치 측벽을 소정두께만큼 산화시킨 후, 형성된 산화막을 제거하는 단계와,
상기 폴리실리콘층을 마스크로 하여 하부의 질화막을 제거하는 단계와,
노출된 트렌치 측벽의 소정두께를 재차 산화시켜 열산화막을 형성하는 단계와,
전체구조 상부에 소자 분리용 절연물을 증착하여 트렌치 내부를 매립하는 단계와,
상기 증착된 절연막을 평탄화하기 위한 식각을 하되, 하부 질화막이 드러날 때까지 실시하여 질화막의 높이보다 매립 절연물이 더 높게 유지되도록 하는 단계와,
상기 노출된 질화막을 제거하는 단계와,
게이트 산화막을 형성하는 단계로 구성되는 것을 특징으로 하는 반도체 소자의 소자 분리막 형성방법.

청구항 2

제 1 항에 있어서, 상기 패드 산화막을 100~300Å 의 두께로 형성하는 것을 특징으로 하는 반도체 소자의 소자 분리막 형성방법.

청구항 3

제 1 항에 있어서, 상기 질화막을 500~2000Å 의 두께로 형성하는 것을 특징으로 하는 반도체 소자의 소자 분리막 형성방법.

청구항 4

제 1 항에 있어서, 상기 폴리실리콘층을 500~2000Å 의 두께로 형성하는 것을 특징으로 하는 반도체 소자의 소자 분리막 형성방법.

청구항 5

제 1 항에 있어서, 상기 트렌치 형성후 측벽 산화시 산화두께는 50~200Å로 하는 것을 특징으로 하는 반도체 소자의 소자 분리막 형성방법.

청구항 6

제 1 항에 있어서, 상기 폴리실리콘층을 마스크로 하부 질화막을 식각하여 제거할 시 건식식각에 의해 제거하는 것을 특징으로 하는 반도체 소자의 소자 분리막 형성방법.

청구항 7

제 1 항에 있어서, 상기 폴리실리콘층을 마스크로 하부 질화막을 식각하여 제거할 시 습식식각에 의해 제거되는 것을 특징으로 하는 반도체 소자의 소자 분리막 형성방법.

청구항 8

제 1 항에 있어서, 상기 트렌치 매립전 트렌치 측벽 산화시 산화두께를 50~200Å 로 하는 것을 특징으로

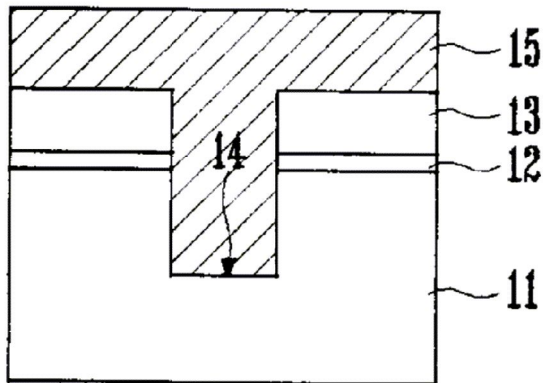
하는 반도체 소자의 소자 분리막 형성방법.

청구항 9

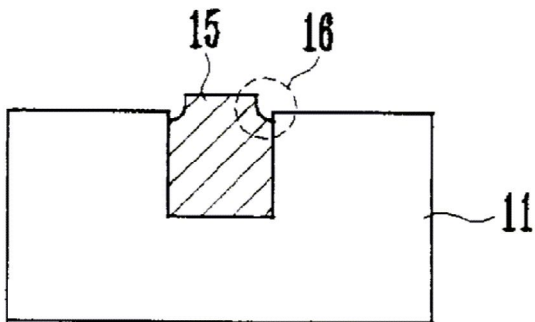
제 1 항에 있어서, 상기 트렌치 매립후 평탄화 공정으로 화학적·기계적 연마방법으로 실시하는 것을 특징으로 하는 반도체 소자의 소자 분리막 형성방법.

도면

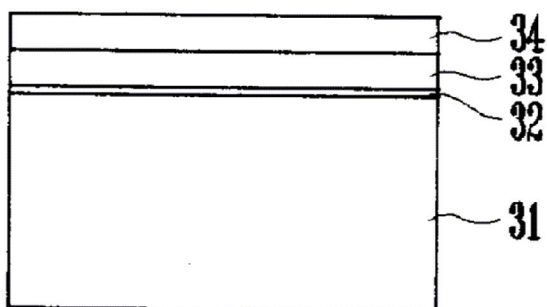
도면 1a



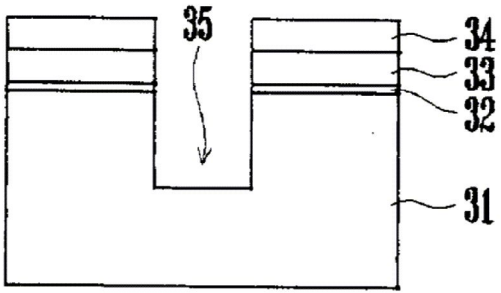
도면 1b



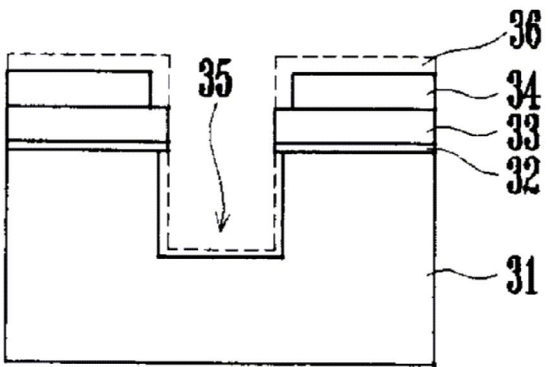
도면 2a



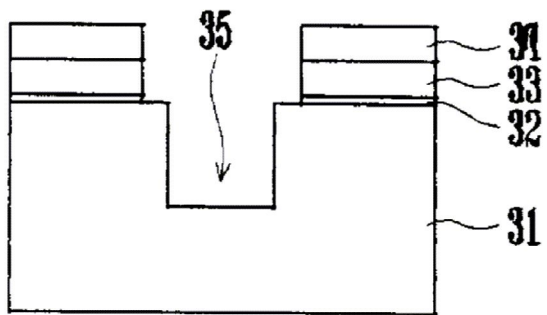
도면2b



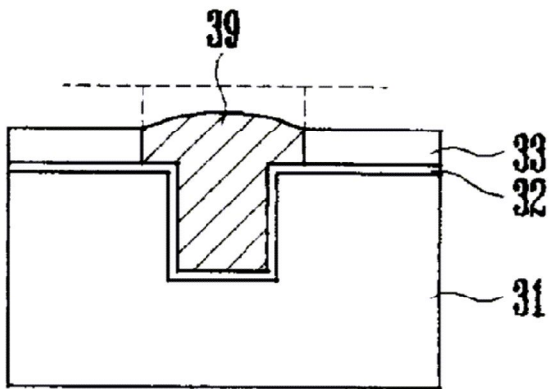
도면2c



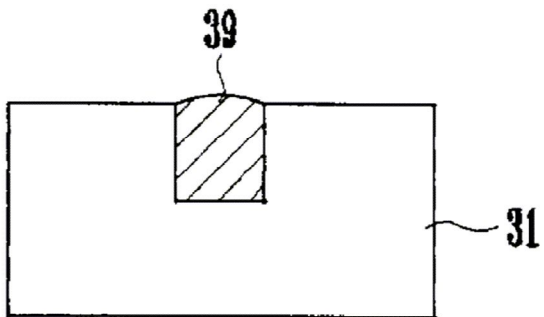
도면2d



도면2e



도면2f



도면2g

