申請日期：88 3. 22	案號：88104528
類別：G11C 7/00	

（以上各欄由本局填註）

公告本　發明專利說明書　449749

一、發明名稱	中文	半導體記憶裝置
	英文	SEMICONDUCTOR MEMORY DEVICE
二、發明人	姓名（中文）	1. 伊佐　聰
	姓名（英文）	1. Satoshi　ISA
	國籍	1. 日本
	住、居所	1. 日本國東京都港區芝五丁目7番1號　日本電氣股份有限公司內
三、申請人	姓名（名稱）（中文）	1. 日本電氣股份有限公司
	姓名（名稱）（英文）	1. NEC Corporation
	國籍	1. 日本
	住、居所（事務所）	1. 日本國東京都港區芝五丁目7番1號
	代表人姓名（中文）	1. 金子　尚志
	代表人姓名（英文）	1. HISASHI　KANEKO

本案已向

國(地區)申請專利	申請日期	案號	主張優先權
日本 JP	1998/03/25	特願平10-077756	有

有關微生物已寄存於	寄存日期	寄存號碼

無

五、發明說明（1）

發明背景

發明領域

本發明係關於半導體記憶裝置，尤有關於一種半導體記憶裝置，其構成整體電路的元件較少，且在記憶體區域的配線密度較低之冗餘記憶電路。

相關技術之描述

半導體記憶裝置為設有複數之記憶單元陣列區塊的高度積體化裝置，若在記憶單元陣列區塊中即使只存在一有缺陷的記憶單元，則難以正常工作。因此，在半導體記憶裝置中，以冗餘行或冗餘列來替換在記憶單元陣列區塊中可選擇之缺陷行或缺陷列，使其可以正常工作。

近年來，致力於以與記憶單元陣列區塊分開設置的冗餘行或冗餘列來代替在很多記憶單元陣列區塊中的可選擇有缺陷行或有缺陷列，以使其正常工作，其目的是藉由提高替換的靈活性及有缺陷的記憶單元的可靠性來提升半導體記憶裝置的生產良率。

習用的由冗餘記憶電路以行為單位來代替記憶單元陣列區塊之記憶單元行之半導體記憶裝置的一個典型例子如圖9所示。圖9為習用半導體記憶裝置之電路的區塊圖。

如圖9所示，此半導體記憶裝置100設有複數之記憶單元陣列區塊10-0至10-3（為了簡化圖9中僅出示四個），其中，與基本的記憶單元一樣，其記憶單元陣列設有複數之行、複數之列、用於從記憶單元陣列區塊10-0至10-3選擇其中之一區塊的區塊選擇器2、用於指定從被選擇記憶單

五、發明說明（2）

元陣列區塊10的所有行之間所選擇出來的記憶單元行的行預先解碼器1、及用於依照來自行預先解碼器1的命令來選擇及驅動記憶單元行之行解碼器40-0至40-3。

依據被輸入至半導體記憶裝置100的行位址信號(XA)的兩個較高位元，區塊選擇器2輸出用於選擇記憶單元陣列區塊10-0至10-3的其中之一的區塊選擇信號(BSL0至BSL3)。

藉由除了行位址信號(XA)的較高兩個位元之外的預先解碼位元信號，行預先解碼器1輸出用於指定從被選擇記憶單元陣列區塊10中選擇出來的記憶單元行的預先解碼信號(XDCS)。

分別設置對應於記憶單元陣列區塊10-0至10-3的行解碼器40-0至40-3，且當下述由陣列控制電路3輸出的對應行解碼器啟動信號(XDCE0至XDCE3)處於啟動狀態時，則藉由從行預先解碼器1輸出的預先解碼信號(XDCS)來選擇且驅動被從對應記憶單元陣列區塊10中指定之記憶單元行。並且，如圖9所示，作為一冗餘記憶電路，半導體記憶裝置100設有複數之冗餘記憶單元陣列11-0至11-3，其皆由總量為一行的數量之冗餘記憶單元、對應於冗餘記憶單元陣列11-0至11-3而設置的複數之替換位址程式電路50-0至50-3、替換判斷電路52、冗餘行編碼器7、對應於記憶單元陣列區塊10而設置之複數之陣列控制電路3-0至3-3及冗餘行驅動器34-0至34-3構成。

當在記憶單元陣列區塊10-0至10-3中存在有缺陷行

五、發明說明（3）

時，替換位址程式電路50-0至50-3將記住對應至有缺陷行之行位址，且當行位址信號XA指定有缺陷行之行位址時，輸出啟動狀態的冗餘行選擇信號(XRD0至XRD3)。

當在冗餘行選擇信號(XRD0至XRD3)中存在啟動狀態的信號時，替換判斷電路52輸出啟動狀態的替換判斷信號(XRDN)。

冗餘行編碼器7設於靠近替換位址程式電路50-0至50-3的位置上，且將由替換位址程式電路50-0至50-3輸出的冗餘行選擇信號XRD0至XRD3編碼，且把這些信號作為冗餘行選擇編碼信號(RXDS)輸出。

陣列控制電路3-0至3-3分別對應於行解碼器40-0至40-3和冗餘行解碼器34-0至34-3而設置，當對應區塊選擇信號(BSL0至BSL3)處於啟動狀態且替換判斷信號(XRDN)處於啟動狀態，即是當處於常態狀態下，輸出啟動狀態的行解碼器激活信號(XDCE0至XDCE3)且感測激活信號(SAND至SAE3)。

相反地，當替換判斷信號(XRDN)處於啟動狀態，即是處於冗餘狀態中，則轉換行解碼器激活信號(XDCE0至XDCE3)成啟動狀態且將冗餘行選擇編碼信號RXDS解碼，然後，依照當對應冗餘行選擇信號(XRD0至XRD3)處於啟動狀態時之解碼結果來輸出啟動狀態的冗餘行選擇信號(RXDE0至RXDE3)和感測激活信號(SAE0至SAE3)。

冗餘行驅動器34-0至34-3皆對應於冗餘記憶單元陣列11-0至11-3而設置，且當冗餘行選擇信號(RXDE0至RXDE3)

五、發明說明（4）

處於啟動狀態，則選擇且驅動對應的冗餘記憶單元陣列11。

進而，如圖9所示，半導體記憶裝置100具有用於選擇各記憶單元陣列區塊10-0至10-3的一列及冗餘記憶單元陣列11-0至11-3之列解碼器5，與基本的記憶體電路和冗餘記憶電路的通用電路一樣，且還具有帶轉換閘的感測放大器電路6-0至6-3。

行解碼器5選擇各記憶單元陣列區塊10-0至10-3的一列及冗餘記憶單元陣列11-0至11-3。

附設有轉換閘的感測放大器電路6-0至6-3在對應的記憶單元陣列區塊10-0至10-3之被選擇行和列與冗餘記憶單元陣列11-0至11-3 相互交叉處感測並放大記憶單元之記憶資料，且感測並放大冗餘記憶單元11-0至11-3之記憶資料。

用於四個記憶單元陣列區塊10-0至10-3的陣列控制電路3、行解碼器 40及冗餘行解碼器 34之電路結構的具體例子分別顯示於圖10、11、及12。圖13 為記憶體區域的電路圖，如圖13所示的記憶體區域由16個陣列區塊（藉由X_9至X_{12}來選擇）、64條主要字元線（MWL）/陣列（藉由X_3至X_8來選擇）及8條次字元線（SWL，冗餘記憶單元線）/MWL（藉由X_0至X_2來選擇）構成。

陣列控制電路30由各對應於記憶單元陣列區塊10的上和下兩個陣列激活信號產生電路及兩個冗餘解碼電路構成。

五、發明說明（5）

如圖10所示，陣列激活信號產生電路設置將兩個用於選擇主要字元線的預先解碼位址（$X_{j+2N}X_{j+3N}$和$X_{jT}X_{j+1N}$，圖13分別顯示為$X_{9N}X_{10N}$和$X_{11T}X_{12N}$）作為輸入信號之NAND閘（11），且設有接收NAND閘（11）的輸出及反相器（12）的輸出的NOR閘（13），反相器（12）接收從替換判斷電路52 輸出的冗餘判斷信號（XREDUNB）之輸入信號。且由NOR閘（13）所輸出的信號BSELBm經由反相器（14）輸出。

另外，設置有一NOR閘（15），其輸入信號來自NOR閘（13）的輸出及冗餘解碼器電路的輸出，且其輸出陣列激活信號（XAEBm）。

另一方面，冗餘解碼器電路設置NAND閘（17），經由對應的反相器（16A，16B）輸入用於選擇冗餘字元線之兩個編碼位址（RX_0，RX_1）至此NAND閘（17），且設有接收NAND閘（17）的輸出信號及信號XREDUNB之NOR閘（18）。

如圖11所示，常態字元驅動器設置用於選擇主要字元線且具有兩個預先解碼位址（$X_{j+2N}X_{i+3N}$和$X_{iN}X_{i+1N}$，圖13分別顯示為X_{3N4N}和X_{5N6N}）之NAND閘（21）、接收NAND閘（21）之輸出信號及從陣列控制電路30的輸出信號BSELBm的NOR閘（18）、及由一電壓轉換器組成且採用從NOR閘（22）的輸出作為其輸入之緩衝器（23），且字元驅動器驅動主要字元線。

如圖12所示，冗餘字元驅動器設有經由對應的反相器（31A和31B）輸入兩個用於選擇冗餘字元線之編碼位址（RX_0和RX_1）之NAND閘（32）、接收從NAND 閘（32）的輸出信號和

五、發明說明（6）

從替換判斷電路52輸出的信號XREDUNB作為其輸入的NOR閘（33）、接收從NOR閘（33）的輸出信號作為其輸入信號之電壓轉換器（34），且冗餘字元驅動器選擇及驅動此冗餘字元線。

在圖10至13中，

X_0至X_2：用於選擇次字元線之位址

X_3至X_8：用於選擇主要字元線之位址

$X_{j+2N}X_{j+3N}$：用於選擇主要字元線之預先解碼位址

（圖9中為信號XDCS）

（圖13中為X_{3N4N}至X_{7T8T}）

$X_{jT}X_{j+1N}$：用於選擇陣列之預先解碼位址

（圖9中為BSLm信號）

（圖13為X_{9N10N}至X_{11T12T}）

XREDUNB：冗餘判斷信號

（圖9為替換判斷信號（XRDNm））

（常態：高，冗餘：低）

BSELBm：常態字元驅動器激活信號

（圖9中為行解碼器激活信號（XDCEm））

（賦能：低，中止：高）

XAEBm：陣列激活信號

（圖9中為信號SAEm）

（賦能：低，中止：高）

RX_0、RX_1、RX_2：用於選擇冗餘字元線之編碼位址（藉由3個位元從8條中選擇1條）

五、發明說明（7）

（圖9中來自冗餘行編碼器的RXDS信號）

圖10至12所示的陣列控制電路3、行解碼器40及冗餘行解碼器34在常態（非冗餘）和在冗餘狀態下以如下方式工作。依據圖13來解釋其功能。

在常態時段內

（1）經由激活信號從半導體記憶體裝置100的外部（未圖示）輸入行位址。

（2）依據半導體記憶裝置100的內部行位址信號（XA），藉由圖9中的行預先解碼器1產生用於選擇主要字元線的預先解碼位址（X_{3N4N}、X_{5N6N}、X_{7N8N}、X_{9N10N}、X_{11N12N}）為信號XDCS）。此處，例如，若X_3和X_4處於"低"位準，X_{3N4N}將為"高"位準且X_{3T4N}、X_{3N4T}、X_{3T4T}皆為"低"位準。

（3）當在常態下且冗餘判斷信號（XREDUNB）處於"高"位準，藉由用於選擇陣列（在圖13中選擇X_{9T10N}和X_{11N12N}）之預先解碼位址（X_{9N10N}至X_{11T12T}）來選擇16個陣列的其中之一。

（4）陣列激活信號（XAEBm）變為"低"位準且賦能。因此，位元線的預充電將完成，且將完成用於感測激活的預備作業（未圖示）。當BSELBm處於"低"位準時，常態字元驅動器處於賦能狀態。

（5）藉由用於選擇主要字元線的預先解碼位址（X_{3N4N}至X_{7T8T}）選擇64個常態字元驅動器的其中之一。

（6）此後，雖然未顯示於圖中，主要字元線（MWL）被選擇，感測被激活，且進行資料的讀出及寫入等等。

在冗餘時段內

五、發明說明 (8)

(1)和(2)如在常態時段內一樣的進行。

(3)當處於冗餘狀態且冗餘判斷信號(XREDUNB)處於"低"位準(未圖示)時，藉由從冗餘行編碼器輸出之用於選擇冗餘字元線之編碼位址(RX_0、RX_1、RX_2)來選擇16冗餘行之陣列11。在圖13中RX_0為"低"位準，RX_1為"高"位準，且RX_2為"高"位準。此處，除了被選擇冗餘陣列之外的其他冗餘陣列處於中止狀態，因為信號XREDUNB為"低"位準。

(4)陣列激活信號(XAEBm)變為"低"位準且賦能。因此，位元線的預充電將完成，且將完成用於感測激活的預備作業(未圖示)。當BSELBm處於"高"位準，常態字元驅動器處於中止狀態。

(5)藉由用於選擇冗餘字元線的編碼位址(RX_0、RX_1、RX_2)選擇8個冗餘字元驅動器的其中之一。

(6)此後，雖然未顯示於圖中，次字元線(RWL)被選擇，感測被激活，且進行資料的讀出及寫入等等。

發明概要

然而，上述習用的具有冗餘電路之半導體記憶裝置有如下的問題，因此難以達成半導體記憶裝置的小型化和高積體化。

首先，構成冗餘字元驅動器(冗餘行驅動器)之電路元作的數量多於構成常態字元驅動器的電路元作的數量。如此不僅使成本上升，而且使冗餘字元驅動器的電路佈局之尺寸大於常態字元驅動器的電路佈局之尺寸，故需要占用額外的空間。

五、發明說明（9）

第二，因有很多信號配線連接至冗餘字元驅動器，以致需要更寬的配線空間且配線密度變更高，故配線形成製程的效率降低。

因此，本發明的目的是提供可由較少數量的元件來構成記憶體電路且在記憶體區域的配線密度較低之半導體記憶裝置。

本發明的發明人注意到如下事實：設於陣列控制電路中的冗餘解碼電路之結構與冗餘字元驅動器的冗餘解碼電路之結構相同，因而得到共同使用藉由選擇冗餘行的編碼信號被選擇的冗餘字元驅動器之解碼電路和陣列控制電路的冗餘解碼電路之構想，且以此構想來完成本發明。

為達成上述目的，本發明的半導體記憶裝置設有：

複數之記憶單元陣列區塊，各個記憶單元陣列區塊具有複數之記憶單元行，

複數之冗餘記憶單元行，其藉由冗餘行解碼器來驅動，

一替換位址程式電路，其在特定的時間輸出啟動狀態之冗餘行選擇信號，

一替換判斷電路，其在特定的時間輸出用於選擇啟動狀態之冗餘行的信號，

一冗餘行選擇信號編碼器，其將藉由替換位址程式電路所輸入的冗餘行選擇信號編碼，且輸出用於選擇冗餘行的編碼信號，及

一替換控制電路，其當此替換判斷信號處於啟動位準

五、發明說明（10）

時，將藉由此冗餘選擇信號編碼器所輸入的複數之冗餘行選擇編碼信號解碼，對應於啟動狀態的冗餘行選擇信號，從其中選擇冗餘記憶單元行，且藉由冗餘行解碼器來驅動被選擇冗餘記憶單元行。

本發明的半導體記憶裝置之特徵為用於將冗餘行選擇編碼信號解碼的冗餘行解碼電路由冗餘行解碼器和替換控制電路共同使用。

在本發明中，替換位址程式電路輸出啟動狀態的冗餘行選擇信號的特定時間是當有缺陷行存在於記憶單元陣列區塊中，及當替換位址 程式電路記住對應於有缺陷行的行位址且行位址信號指定有缺陷行的行位址時。於此時，替換位址程式電路輸出啟動狀態的冗餘行選擇信號。

替換判斷電路輸出啟動狀態的替換判斷信號的特定時間是當從替換位址程式電路所輸出的冗餘行選擇信號中有處於啟動狀態之信號時。於此時，替換判斷電路輸出啟動狀態的替換判斷信號。

冗餘行解碼電路可設置於替換控制電路中。在此情形下，與替換控制電路共用冗餘行解碼電路的冗餘行解碼器之數量不受限制。例如，相鄰兩個冗餘記憶單元行的冗餘行解碼器可以有一與替換控制電路共用的冗餘行解碼電路，或甚至四個相鄰的冗餘記憶單元行的冗餘行解碼器可以有一與替換控制電路共用的冗餘行解碼電路。進而，冗餘行解碼電路可設於冗餘行解碼器中。

雖然冗餘行解碼電路的結構沒有限制，例如，共用冗

五、發明說明 (11)

餘行解碼電路設有一NAND閘，其經由對應的反相器輸入從冗餘行選擇信號編碼器輸出的冗餘行選擇編碼信號，及一NOR閘，其接收此NAND閘的輸出信號和從替換判斷電路所輸出的替換判斷信號作為其輸入信號。

在本發明的半導體記憶裝置中，藉由設置替換控制電路和冗餘行解碼器共用的冗餘行解碼電路，可以大為減少構成替換控制電路和冗餘行解碼器的電路元件數量，如此，能夠降低穿過記憶體區域的配線密度。

圖式之簡單說明

圖1為第一實施例的半導體記憶裝置之陣列控制電路的電路圖；

圖2為第一實施例的半導體記憶裝置之常態字元驅動器的電路圖；

圖3為第一實施例的半導體記憶裝置之冗餘字元驅動器的電路圖；

圖4為用於第一實施例的半導體記憶裝置之陣列控制電路、常態字元驅動器及冗餘字元驅動器的配線圖；

圖5為第二實施例的半導體記憶裝置之陣列控制電路的電路圖；

圖6為第二實施例的半導體記憶裝置之常態字元驅動器的電路圖；

圖7為第二實施例的半導體記憶裝置之冗餘字元驅動器的電路圖；

圖8為第二實施例的半導體記憶裝置之另一冗餘字元

五、發明說明 (12)

驅動器的電路圖；

圖9為習用半導體記憶裝置的總電路圖；

圖10為習用半導體記憶裝置之陣列控制電路的電路圖；

圖11為習用半導體記憶裝置之常態字元驅動器的電路圖；

圖12為習用半導體記憶裝置之冗餘字元驅動器的電路圖；及

圖13為習用半導體記憶裝置中陣列控制電路、常態字元驅動器及冗餘字元驅動器的配線圖。

符號說明

11、17、21：NAND閘

12、14、16A、16B：反相器

13、15、18、22、51A、51B、52A、52B：NOR閘

23、41：緩衝器

52：替換判斷電路

53：電壓轉換器

201、301：陣列控制電路

202、302：常態字元驅動器

203、303A、303B：冗餘字元驅動器

較佳實施例之詳細說明

下面將參考所附圖式及較佳實施例具體且精確地說明本發明。

第一實施例

五、發明說明（13）

圖1、2及3為第一實施例的半導體記憶裝置之必要構件，即是陣列控制電路、常態字元驅動器及冗餘字元驅動器的電路圖。

除了陣列控制電路201 和冗餘字元驅動器203之電路結構之外，此實施例的半導體記憶裝置的其他電路結構與圖9所示之習用半導體記憶裝置的電路結構相同。

如圖1所示，此半導體記憶裝置除了如圖10所示的習知陣列控制電路30的電路結構之外，另設有一用於將NOR閘(18)的輸出信號作為冗餘字元線選擇信號(RXDEm)輸入至上、下之冗餘字元驅動器203。

如圖2所示，常態字元驅動器202 的設置與圖11所示的習用常態字元驅動器的電路結構相同。

如圖3所示，冗餘字元驅動器203僅設有由一電壓轉換器組成的緩衝器(41)，用作電壓轉換及輸出從陣列控制電路201輸入的冗餘字元線選擇信號(RXDEm)，並且驅動冗餘字元線RMWL。

在此實施例的半導體記憶裝置中，具有上述結構的陣列控制電路201、常態字元驅動器202及冗餘字元驅動器203的作用機理基本上與習用半導體記憶裝置100的相同，且在常態時段內，半導體記憶裝置的功能與上述習用半導體記憶裝置100完全相同。

且在冗餘時段內，除了從陣列控制電路 201輸入信號至冗餘字元驅動器203及藉由冗餘字元行選擇信號(RXDEm)來選擇冗餘字元驅動器203之外，其他的作用機理與上述

五、發明說明 (14)

習用半導體記憶裝置100相同。

因為在此實施例的半導體記憶裝置中構成常態字元驅動器203之電路僅有一元件，即電壓轉換器，故不需要設置從位址信號配線穿過高度積體化的記憶體區域再至常態字元驅動器203的配線，如圖4所示。因此，記憶體區域的配線密度可大為減小。圖4表示結構與圖13的結構相同之一記憶體區域，其由16個陣列區塊(藉由X_9至X_{12}來選擇)、64條主要字元線(MWL)/陣列(藉由X_3至X_8來選擇)、及8條次字元線(SWL，冗餘記憶單元行)/MWL(藉由X_0至X_2來選擇)構成。

雖然此區域的配線形成製程實質上很困難，因為記憶體區域的配線密度非常高，致使生產良率下降。而在此實施例中，由於配線密度減小，故可提高效率及生產良率。

第二實施例

圖5至8為第二實施例的半導體記憶裝置之必要構件，即是分別為陣列控制電路、常態字元驅動器及冗餘字元驅動器的電路圖。

第二實施例的半導體記憶裝置的陣列控制電路301具有上和下兩個冗餘字元驅動器303A和303B，及一共用的冗餘解碼電路。除了如圖10所示的習知陣列控制電路30的電路結構之外，尚設有與陣列控制電路30之冗餘解碼電路結構相同的冗餘解碼電路，另設有一用於將NOR閘(51A、51B、52A、52B)的輸出信號作為冗餘字元線選擇信號(RXDEm)輸入至冗餘字元驅動器303A及303B之電路，如圖

五、發明說明 (15)

5所示。

如圖6所示，常態字元驅動器302 的設置與圖11所示的習用常態字元驅動器的電路結構相同。

分別如圖7和圖8所示，冗餘字元驅動器303A及303B僅設置一電壓轉換器(53)，用作電壓轉換及輸出從陣列控制電路 301輸入的冗餘字元線選擇信號(RXDEm)，並且驅動冗餘字元線。

在此實施例中，因為與第一實施例相比，常態字元驅動器的元件之總數進一步地減少，配線密度更進一步地降低。

依照本發明，藉由設置替換控制電路和冗餘行解碼器共用的冗餘行解碼電路來構成半導體記憶裝置，可實質上減少替換控制電路和冗餘行解碼器的元件總數，這樣，可實質上降低穿過記憶體區域之配線密度。

至此，本申請書結合了日本專利申請書第10-077756號(申請日為1998年3月25日)的發明說明、申請專利範圍、圖式及發明概要的所有內容。

四、中文發明摘要　（發明之名稱：半導體記憶裝置）

一種藉由減少構成記憶體電路的元件數量來降低在記憶體區域的配線密度之半導體記憶裝置。依本發明的半導體記憶裝置設有：複數之記憶單元陣列區塊；複數之冗餘記憶單元行；一替換位址程式電路，其在特定的時間輸出啟動狀態之冗餘行選擇信號；一替換判斷電路，其在特定的時間輸出啟動狀態之替換判斷信號；一冗餘行選擇信號編碼器，其將藉由替換位址程式電路所輸入的冗餘行選擇信號編碼，且輸出作為冗餘行選擇編碼信號的冗餘行選擇信號；及一替換控制電路，其當此替換判斷信號處於啟動位準時，解碼藉由此冗餘選擇信號編碼器所輸入的複數之冗餘行選擇編碼信號，對應於啟動狀態的冗餘行選擇信號，從其中選擇冗餘記憶單元行，且藉由冗餘行解碼器來

英文發明摘要　（發明之名稱：SEMICONDUCTOR MEMORY DEVICE ）

A semiconductor memory device with lowered wiring density in the memory region is provided by reducing number of elements configuring the memory circuit.

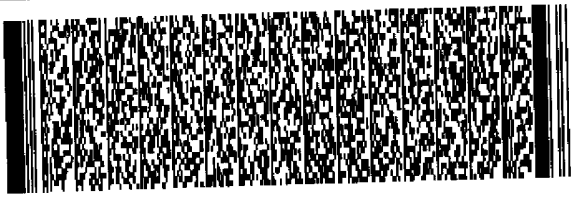
The present semiconductor memory device is provided with plurality of memory cell array blocks, a plurality of redundant memory cell lines, a replacement address program circuit outputting active level redundant selection signals on predetermined occasions, a replacement

四、中文發明摘要 （發明之名稱：半導體記憶裝置）

驅動被選擇冗餘記憶單元行。進而，在此裝置中，將冗餘選擇編碼信號解碼的冗餘行解碼電路由替換控制電路和冗餘行解碼器共同使用。

英文發明摘要 （發明之名稱：SEMICONDUCTOR MEMORY DEVICE ）

judging circuit outputting active level replacement judging signals on predetermined occasions, a redundancy selection signal encoder encoding redundancy selection signals inputted by the replacement address program and outputting them as redundancy selection encode signals, and a replacement control circuit decoding a plurality of redundancy selection encode signals inputted by the redundancy selection signal encoder when the replacement judging signals are at active level,



四、中文發明摘要　（發明之名稱：半導體記憶裝置）

英文發明摘要　（發明之名稱：SEMICONDUCTOR MEMORY DEVICE ）

selecting from among them redundancy memory cell lines corresponding to active level redundancy selection signals, and driving the selected redundancy memory cell lines by the redundancy line decoder. Further, in this device, the redundancy line decode circuit decoding redundancy selection encode signals is in common between the replacement control circuit 201 and the redundant line decoder.

六、申請專利範圍

1. 一種半導體記憶裝置，其特徵為用於將冗餘選擇編碼信號予以解碼的冗餘解碼電路係共用於替換控制電路和冗餘行解碼器之間，該半導體記憶裝置包含：

複數之記憶單元陣列區塊，各該記憶單元陣列區塊具有複數之記憶單元行；

複數之冗餘記憶單元行，其藉由冗餘行解碼器來驅動；

一替換位址程式電路，其在特定的時間輸出啟動狀態之冗餘行選擇信號；

一替換判斷電路，其在特定的時間輸出啟動狀態之替換判斷信號；

一冗餘行選擇信號編碼器，其將藉由替換位址程式電路所輸入的冗餘行選擇信號編碼，且輸出冗餘行選擇信號作為冗餘行選擇編碼信號；及

一替換控制電路，其當該替換判斷信號處於啟動位準時，將藉由該冗餘選擇信號編碼器所輸入的複數之冗餘行選擇編碼信號予以解碼，對應於啟動狀態的冗餘行選擇信號，從其中選擇冗餘記憶單元行，且藉由冗餘行解碼器來驅動被選擇冗餘記憶單元行。

2. 如申請專利範圍第1項之半導體記憶裝置，其特徵為：在其替換控制電路中設置一共用的冗餘行解碼電路。

3. 如申請專利範圍第1或第2項之半導體記憶裝置，其特徵為：相鄰兩個冗餘記憶單元行的冗餘行解碼器，與一替換控制電路之間，具有一共用的冗餘行解碼電路。

圖式

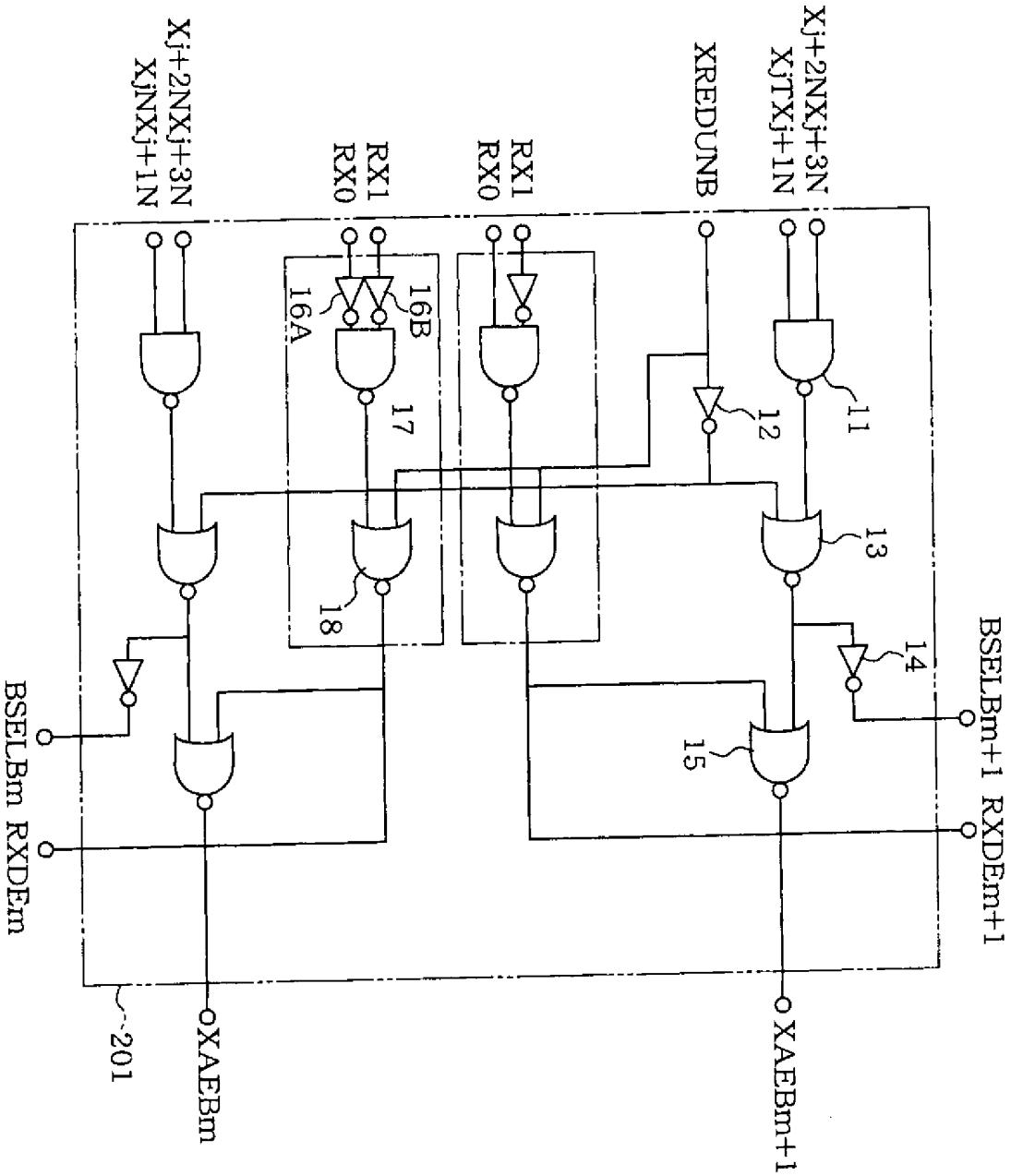

Xj+2NXj+3N
XjTXj+1N
XREDUNB
RX1
RX0
RX1
RX0
Xj+2NXj+3N
XjNXj+1N
11
12
13
14
15
16A
16B
17
18
BSELBm+1
RXDEm+1
BSELBm
RXDEm
201
XAEBm
XAEBm+1

圖 1

圖式

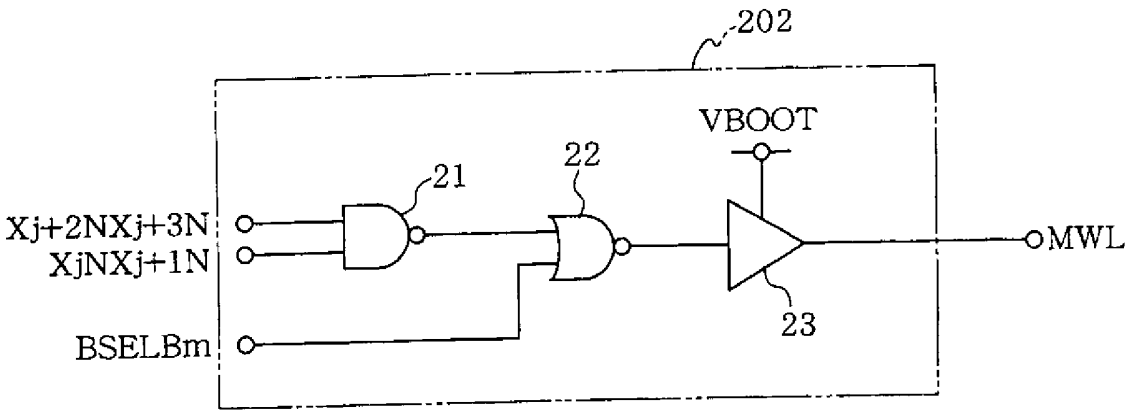

202
VBOOT
21
22
Xj+2NXj+3N
XjNXj+1N
MWL
BSELBm
23

圖 2

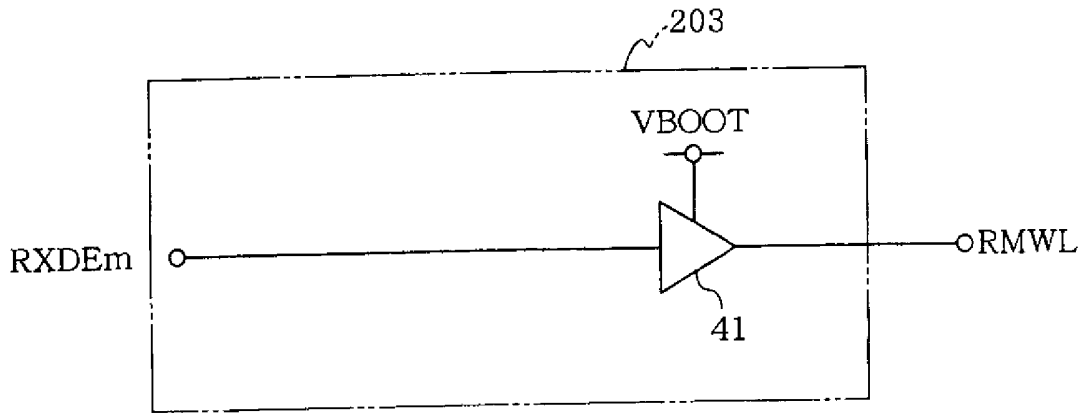

203
VBOOT
RXDEm
RMWL
41

圖 3

圖式

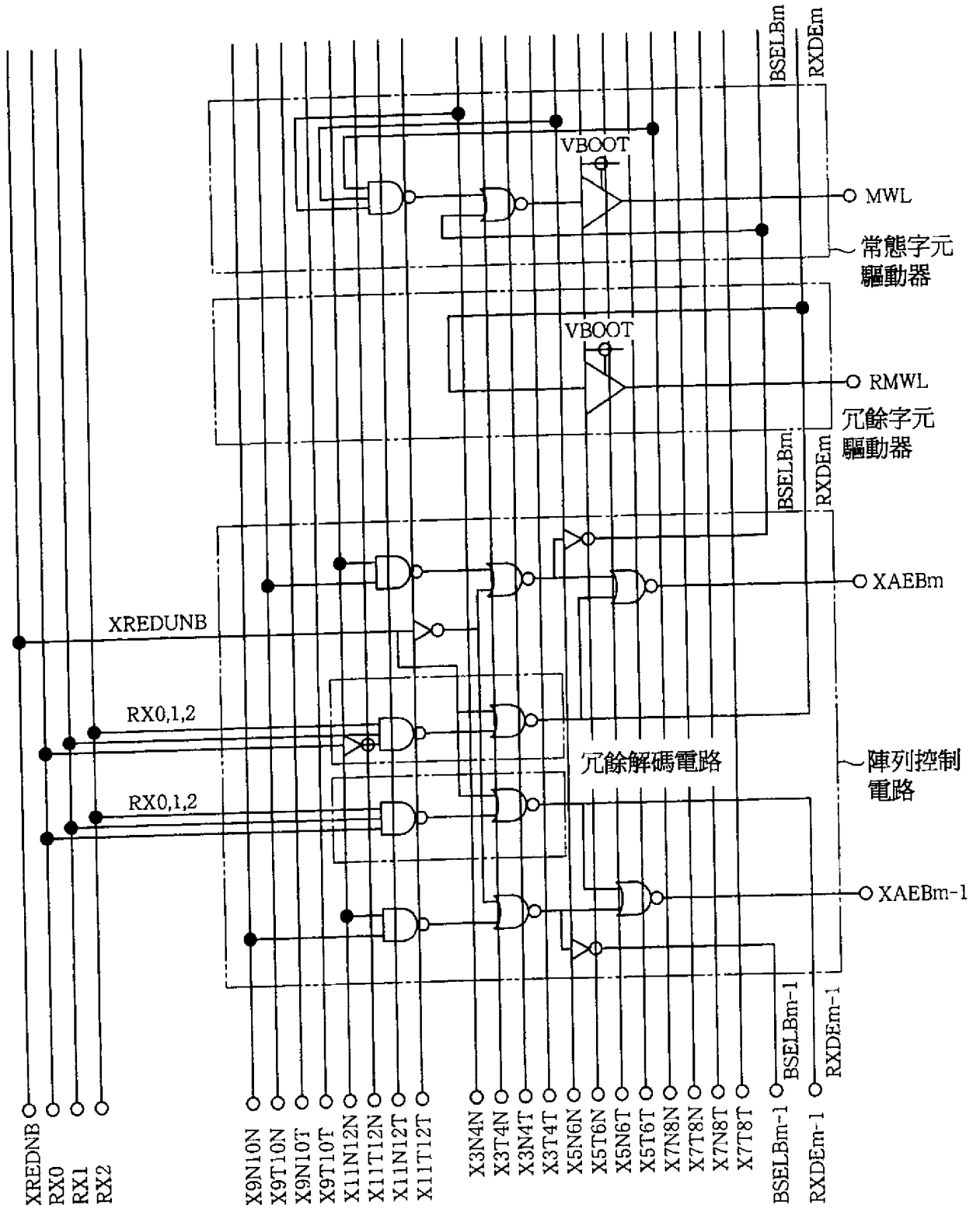

BSELBm
RXDEm
VBOOT
MWL
常態字元
驅動器
VBOOT
RMWL
冗餘字元
驅動器
BSELBm
RXDEm
XAEBm
XREDUNB
RX0,1,2
RX0,1,2
冗餘解碼電路
陣列控制
電路
XAEBm-1
XREDNB
RX0
RX1
RX2
X9N10N
X9T10N
X9N10T
X9T10T
X11N12N
X11T12N
X11N12T
X11T12T
X3N4N
X3T4N
X3N4T
X3T4T
X5N6N
X5T6N
X5N6T
X5T6T
X7N8N
X7T8N
X7N8T
X7T8T
BSELBm-1
RXDEm-1
BSELBm-1
RXDEm-1

圖 4

圖式

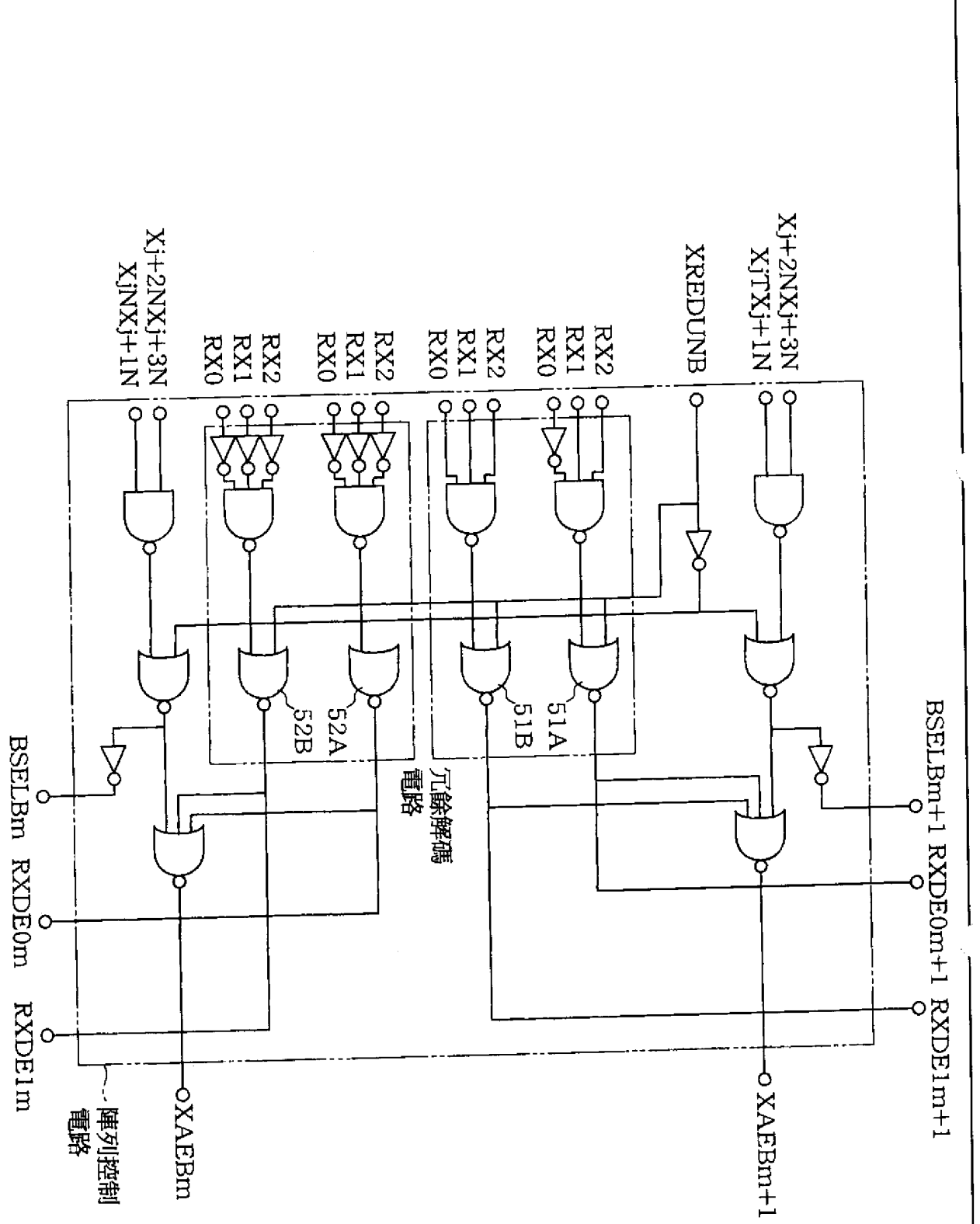

Xj+2NXj+3N
XjTXj+1N
XREDUNB
RX2
RX1
RX0
51A
51B
52A
52B
冗餘解碼電路
BSELBm+1
RXDE0m+1
RXDE1m+1
XAEBm+1
XAEBm
陣列控制電路
BSELBm
RXDE0m
RXDE1m

圖 5

圖式

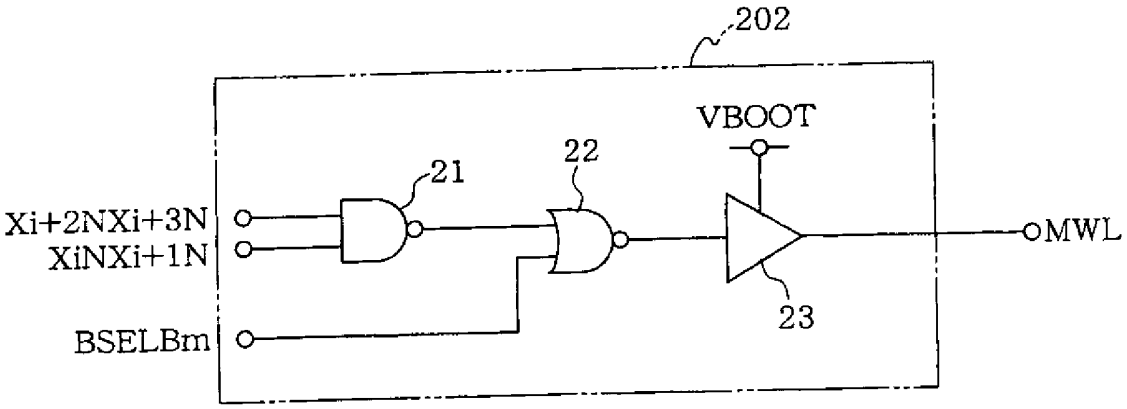

202
VBOOT
21
22
Xi+2NXi+3N
XiNXi+1N
MWL
23
BSELBm

圖 6

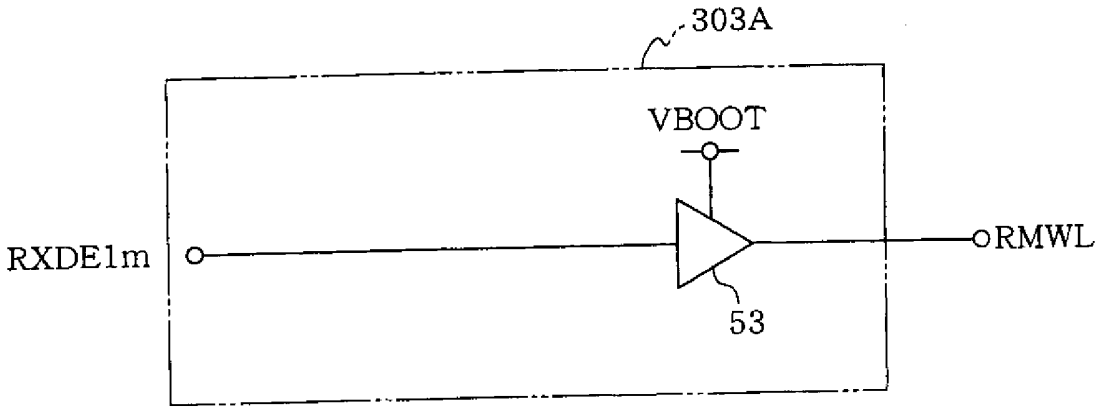

303A
VBOOT
RXDE1m
RMWL
53

圖 7

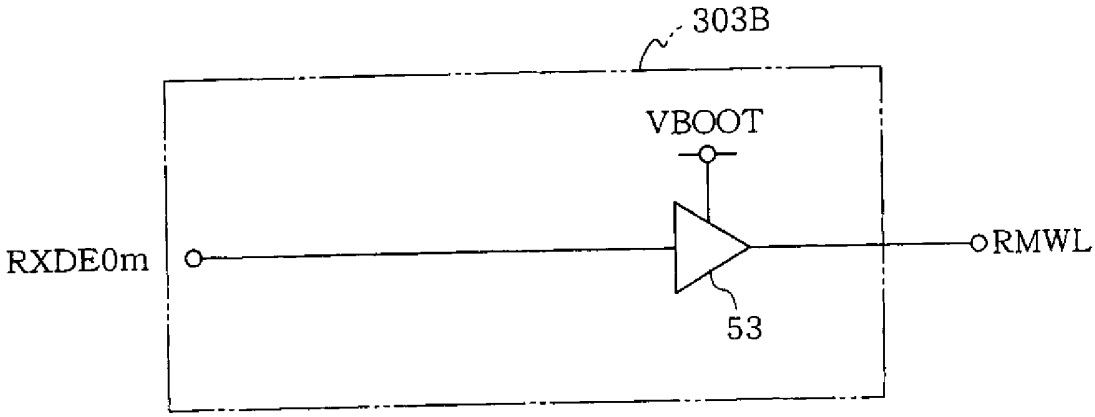

303B
VBOOT
RXDE0m
RMWL
53

圖 8

圖式

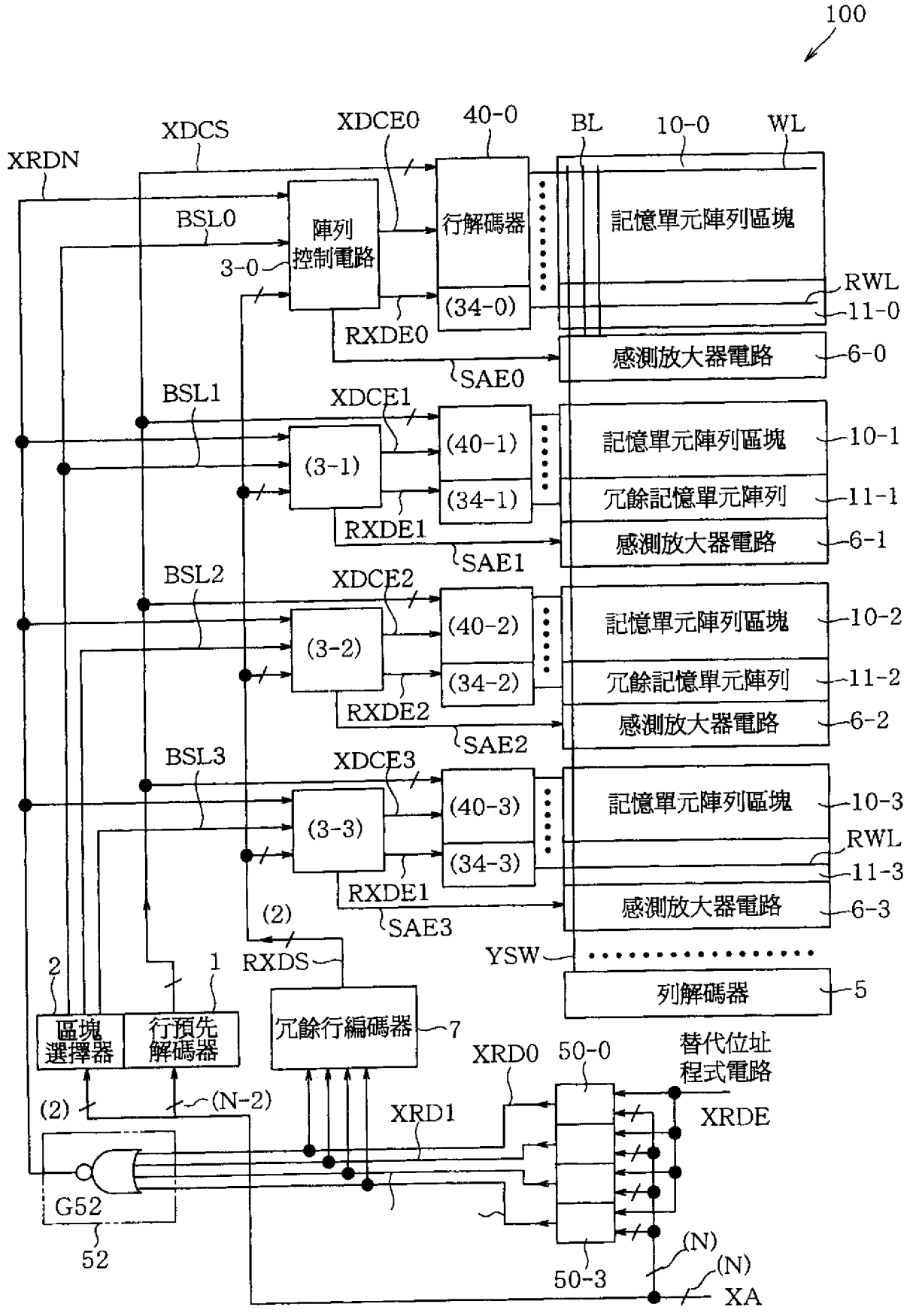

100
XDCS
XDCE0
40-0
BL
10-0
WL
XRDN
BSL0
陣列
控制電路
行解碼器
記憶單元陣列區塊
3-0
RWL
(34-0)
11-0
RXDE0
感測放大器電路
6-0
SAE0
BSL1
XDCE1
(3-1)
(40-1)
記憶單元陣列區塊
10-1
(34-1)
冗餘記憶單元陣列
11-1
RXDE1
感測放大器電路
6-1
SAE1
BSL2
XDCE2
(3-2)
(40-2)
記憶單元陣列區塊
10-2
(34-2)
冗餘記憶單元陣列
11-2
RXDE2
感測放大器電路
6-2
SAE2
BSL3
XDCE3
(3-3)
(40-3)
記憶單元陣列區塊
10-3
(34-3)
RWL
11-3
RXDE1
感測放大器電路
6-3
SAE3
(2)
RXDS
YSW
列解碼器
5
2
1
區塊
選擇器
行預先
解碼器
冗餘行編碼器
7
XRD0
50-0
替代位址
程式電路
(2)
(N-2)
XRD1
XRDE
G52
52
50-3
(N)
(N)
XA

圖 9

圖式

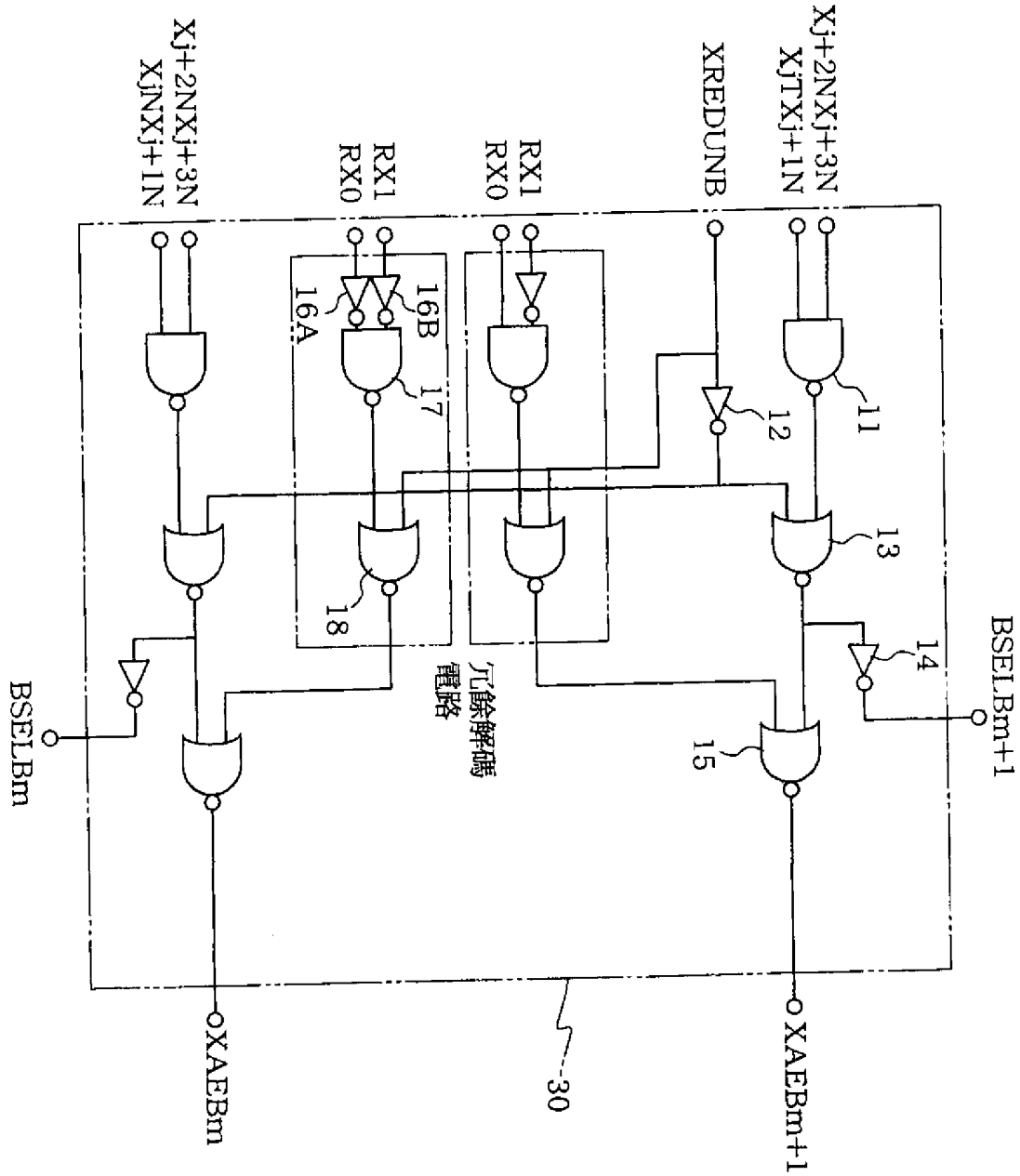

Xj+2NXj+3N
XjTXj+1N
XREDUNB
RX1
RX0
RX1
RX0
Xj+2NXj+3N
XjNXj+1N
11
12
13
14
15
16A
16B
17
18
BSELBm+1
BSELBm
冗餘解碼電路
30
XAEBm+1
XAEBm

圖 10

圖式

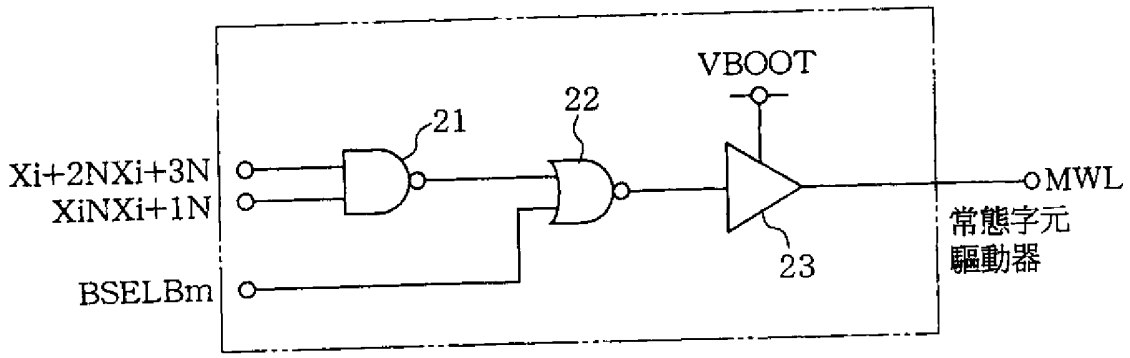

VBOOT
21
22
Xi+2NXi+3N
XiNXi+1N
BSELBm
MWL
常態字元
驅動器
23

圖 11

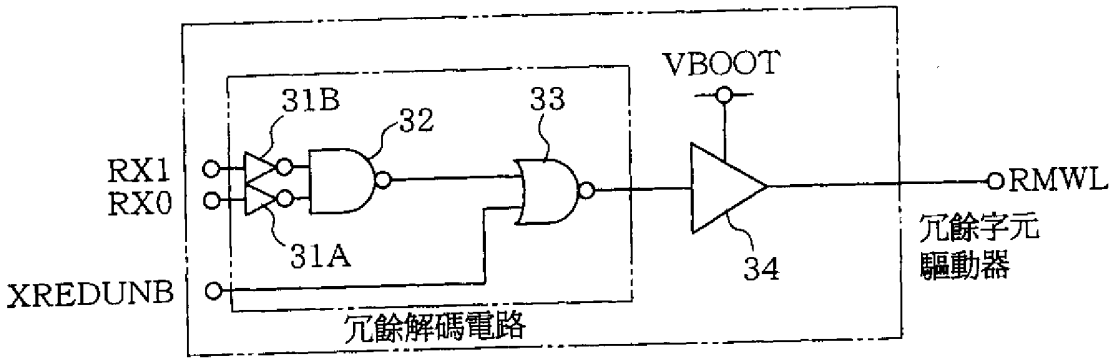

VBOOT
31B
32
33
RX1
RX0
31A
RMWL
冗餘字元
驅動器
34
XREDUNB
冗餘解碼電路

圖 12

圖式

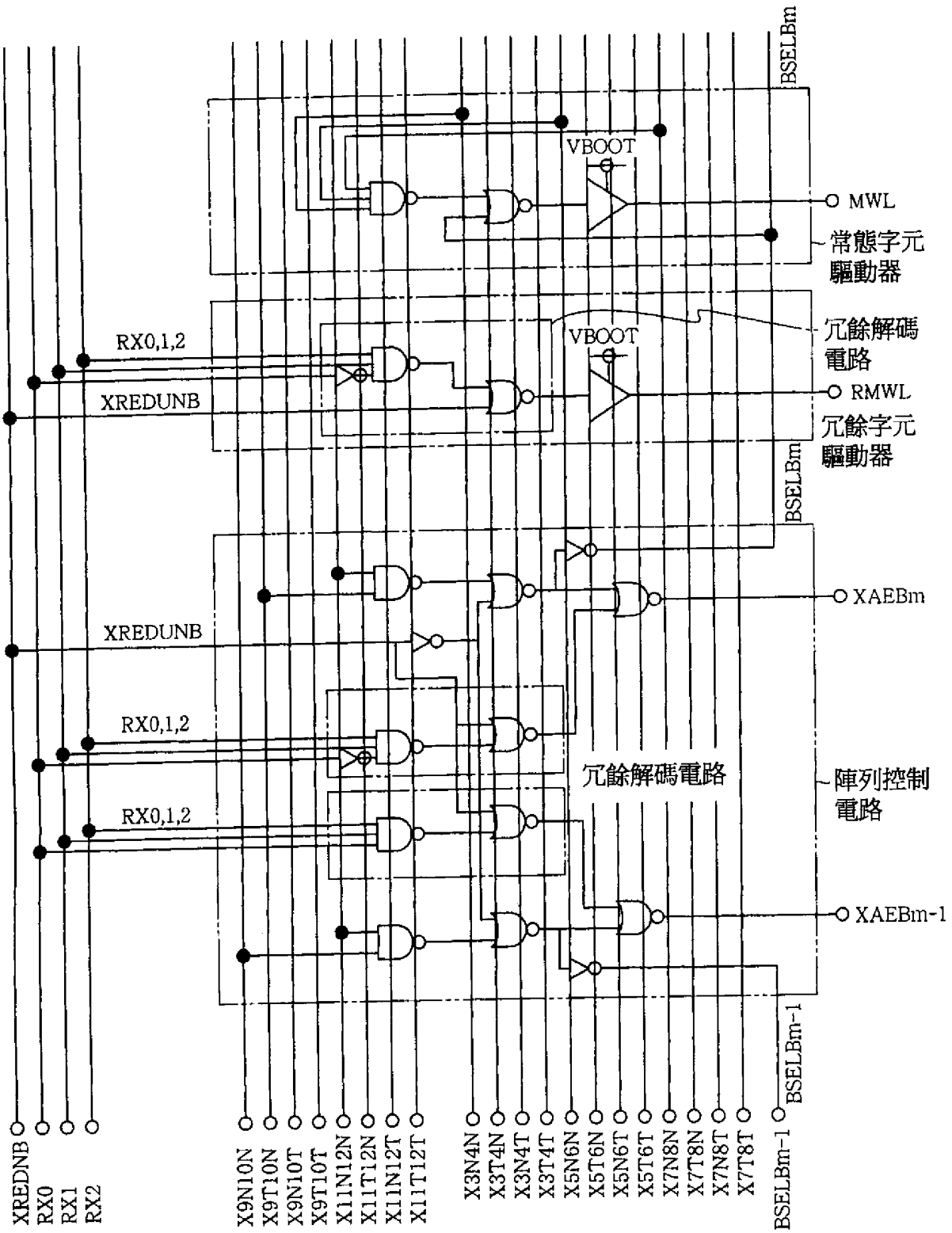

BSELBm
VBOOT
MWL
常態字元
驅動器
冗餘解碼
電路
VBOOT
RMWL
冗餘字元
驅動器
BSELBm
XAEBm
冗餘解碼電路
陣列控制
電路
XAEBm-1
BSELBm-1
RX0,1,2
XREDUNB
RX0,1,2
XREDUNB
RX0,1,2
XREDNB
RX0
RX1
RX2
X9N10N
X9T10N
X9N10T
X9T10T
X11N12N
X11T12N
X11N12T
X11T12T
X3N4N
X3T4N
X3N4T
X3T4T
X5N6N
X5T6N
X5N6T
X5T6T
X7N8N
X7T8N
X7N8T
X7T8T
BSELBm-1

圖 13

六、申請專利範圍

1. 一種半導體記憶裝置，其特徵為用於將冗餘選擇編碼信號予以解碼的冗餘解碼電路係共用於替換控制電路和冗餘行解碼器之間，該半導體記憶裝置包含：

複數之記憶單元陣列區塊，各該記憶單元陣列區塊具有複數之記憶單元行；

複數之冗餘記憶單元行，其藉由冗餘行解碼器來驅動；

一替換位址程式電路，其在特定的時間輸出啟動狀態之冗餘行選擇信號；

一替換判斷電路，其在特定的時間輸出啟動狀態之替換判斷信號；

一冗餘行選擇信號編碼器，其將藉由替換位址程式電路所輸入的冗餘行選擇信號編碼，且輸出冗餘行選擇信號作為冗餘行選擇編碼信號；及

一替換控制電路，其當該替換判斷信號處於啟動位準時，將藉由該冗餘選擇信號編碼器所輸入的複數之冗餘行選擇編碼信號予以解碼，對應於啟動狀態的冗餘行選擇信號，從其中選擇冗餘記憶單元行，且藉由冗餘行解碼器來驅動被選擇冗餘記憶單元行。

2. 如申請專利範圍第1項之半導體記憶裝置，其特徵為：在其替換控制電路中設置一共用的冗餘行解碼電路。

3. 如申請專利範圍第1或第2項之半導體記憶裝置，其特徵為：相鄰兩個冗餘記憶單元行的冗餘行解碼器，與一替換控制電路之間，具有一共用的冗餘行解碼電路。