

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2025年6月5日(05.06.2025)



(10) 国際公開番号

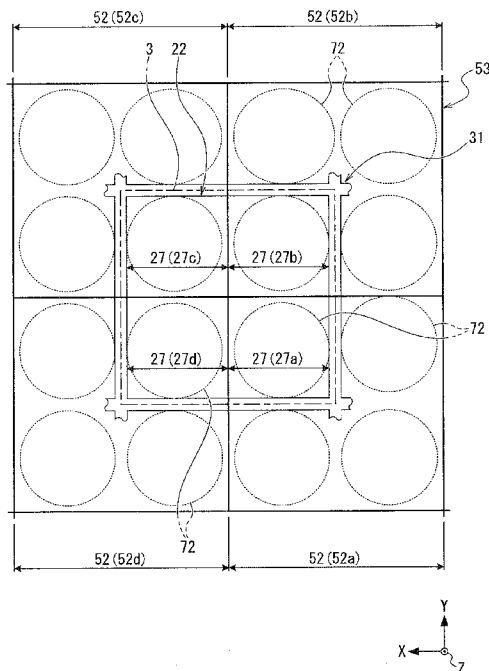
WO 2025/115481 A1

- (51) 国際特許分類:
H10F 39/12 (2025.01) *H04N 1/028* (2006.01) 号 ソニーセミコンダクタソリューションズ株式会社内 (JP).
- (21) 国際出願番号: PCT/JP2024/038210 (74) 代理人: 田中 秀 ▲ てつ ▼, 外 (TANAKA Hidetetsu et al.); 〒1056032 東京都港区虎ノ門四丁目3番1号 城山トラストタワー32階 弁理士法人日栄国際特許事務所 (JP).
- (22) 国際出願日: 2024年10月25日(25.10.2024)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2023-203771 2023年12月1日(01.12.2023) JP
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目14番1号 (JP).
- (72) 発明者: 坂井 康介(SAKAI Kosuke); 〒2430014 神奈川県厚木市旭町四丁目14番1
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,

(54) Title: LIGHT DETECTION DEVICE AND ELECTRONIC APPARATUS

(54) 発明の名称: 光検出装置及び電子機器

[図6A]



(57) Abstract: The present invention achieves improvement in resolution. This light detection device comprises: a semiconductor layer which has a light incidence surface part and in which photoelectric conversion regions that performs photoelectric conversion of light, into a signal charge, incident from the light incidence surface part side are arranged in a matrix; a shutter layer which is provided on the light incidence surface part side of the semiconductor layer and in which shutter parts that controls the incidence of light on the photoelectric conversion regions by transmitting and blocking are arranged in a matrix at the same arrangement pitch as the photoelectric conversion regions; and a shutter block which includes the plurality of shutter parts and in which a part of each of the plurality of shutter parts overlaps one of the photoelectric conversion regions in plan view.

(57) 要約: 高解像度化を図る。光検出装置は、光入射面を有し、かつ前記光入射面部側から入射した光を信号電荷に光電変換する光電変換領域がマトリックス状に配置された半導体層と、前記半導体層の前記光入射面部側に設けられ、かつ前記光電変換領域への光の入射を透過と遮蔽とによって制御するシャッタ部が前記光電変換領域と同一の配列ピッチでマトリックス状に配置されたシャッタ層と、複数の前記シャッタ部を含み、かつ複数の前記シャッタ部の各々の一部が平面視で1つの前記光電変換領域と重畳するシャッタブロックと、を備えている。

SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

明 細 書

発明の名称：光検出装置及び電子機器

技術分野

[0001] 本技術（本開示に係る技術）は、光検出装置及び電子機器に関し、特に、シャッタ部を有する光検出装置及びそれを備えた電子機器に適用して有効な技術に関するものである。

背景技術

[0002] 測距装置や固体撮像装置などの光検出装置（イメージセンサ）においては、半導体層に設けられた光電変換領域への光の入射をシャッタ部で制御する技術が知られている。特許文献1には、1つの光電変換領域に2つの液晶シャッタ部を設けた撮像装置が開示されている。この特許文献1では、2つの液晶シャッタ部の一方のみを開状態（他方は閉状態）にして撮った画像と、他方のみを開状態（一方は閉状態）にして撮った画像とを液晶シャッタ部の開口位置に合わせて合成することで高い解像度化を実現している。

先行技術文献

特許文献

[0003] 特許文献1：特開2004-14802号公報

発明の概要

発明が解決しようとする課題

[0004] しかしながら、互いに隣り合う画素間でのクロストークを抑えることができる強誘電性液晶でも研究レベルで最小1 μm ピッチで画素を配置しており、例えば最先端のイメージセンサの画素ピッチ0.6 μm よりも広い。そのため、従来技術では、画素の疑似的な微細化が可能なサイズは、液晶シャッタ部のサイズまでとなっている。

[0005] 本技術の目的は、高解像度化を図ることが可能な技術を提供することにある。

課題を解決するための手段

- [0006] (1) 本技術の一態様に係る光検出装置は、
光入射面部を有し、かつ前記光入射面部側から入射した光を信号電荷に光電変換する光電変換領域がマトリックス状に配置された半導体層と、
前記半導体層の前記光入射面部側に設けられ、かつ前記光電変換領域への光の入射を透過と遮蔽とによって制御するシャッタ部が前記光電変換領域と同一の配列ピッチでマトリックス状に配置されたシャッタ層と、
各々の一部分が平面視で1つの前記光電変換領域と重畳する複数の前記シャッタ部を含むシャッタブロックと、を備えている。
- [0007] (2) 本技術の他の態様に係る電子機器は、
上記光検出装置と、
被写体からの像光を上記光検出装置の撮像面上に結像させる光学レンズと、
上記光検出装置から出力される信号に信号処理を行う信号処理回路と、
を備えている。

図面の簡単な説明

- [0008] [図1]本技術の第1実施形態に係る固体撮像装置の一構成例を示すチップレイアウト図である。
- [図2]本技術の第1実施形態に係る固体撮像装置の一構成例を示すブロック図である。
- [図3]本技術の第1実施形態に係る画素の一構成例を示す等価回路図である。
- [図4]本技術の第1実施形態に係る固体撮像装置において、シャッタ層のシャッタ部と光電変換領域との位置関係を模式的に示す平面図である。
- [図5]図4のa4-a4切断線に沿った縦断面構造を模式的に示す縦断面図である。
- [図6A]本技術の第1実施形態に係る固体撮像装置において、1つのシャッタブロックに含まれる4つのシャッタ部の各々の一部分が1つの光電変換領域と重畳した状態を模式的に示す平面図である。
- [図6B]本技術の第1実施形態に係る固体撮像装置において、4つの光電変換

領域の各々の一部分が1つのシャッタ部と重畳した状態を模式的に示す平面図である。

[図7]本技術の第1実施形態に係る固体撮像装置において、シャッタ層に含まれる上部電極及び下部電極の配置状態を模式的に示す斜視図である。

[図8]本技術の第1実施形態に係る固体撮像装置において、シャッタ層に含まれる上部電極及び下部電極の配置状態を模式的に示す平面図である。

[図9A]本技術の第1実施形態に係る固体撮像装置において、シャッタブロックの第1開閉パターンを模式的に示す平面図である。

[図9B]図9Aの一部を拡大した平面図である。

[図10A]本技術の第1実施形態に係る固体撮像装置において、シャッタブロックの第2開閉パターンを模式的に示す平面図である。

[図10B]図10Aの一部を拡大した平面図である。

[図11A]本技術の第1実施形態に係る固体撮像装置において、シャッタブロックの第3開閉パターンを模式的に示す平面図である。

[図11B]図11Aの一部を拡大した平面図である。

[図12A]本技術の第1実施形態に係る固体撮像装置において、シャッタブロックの第4開閉パターンを模式的に示す平面図である。

[図12B]図12Aの一部を拡大した平面図である。

[図13]本技術の第2実施形態に係る固体撮像装置の縦断面構造を模式的に示す縦断面図である。

[図14]本技術の第2実施形態の変形例1-1を模式的に示す縦断面図である。
。

[図15]本技術の第2実施形態の変形例1-2を模式的に示す縦断面図である。
。

[図16]本技術の第2実施形態の変形例1-3を模式的に示す縦断面図である。
。

[図17]本技術の第2実施形態の変形例1-4を模式的に示す縦断面図である。
。

[図18]本技術の第2実施形態の変形例1－5を模式的に示す縦断面図である。

[図19A]本技術の第3実施形態に係る固体撮像装置において、1つのシャッターブロックに含まれる2つのシャッター部の各々の一部分が1つの光電変換領域と重畳した状態を模式的に示す平面図である。

[図19B]図19Aの一部を拡大した平面図である。

[図20A]本技術の第3実施形態に係る固体撮像装置において、シャッターブロックの第1開口パターンを模式的に示す平面図である。

[図20B]図20Aの一部を拡大した平面図である。

[図21A]本技術の第3実施形態に係る固体撮像装置において、シャッターブロックの第2開口パターンを模式的に示す平面図である。

[図21B]図20Aの一部を拡大した平面図である。

[図22]本技術の第3実施形態の変形例3－1において、シャッターブロックの第1開口パターンを模式的に示す平面図である。

[図23]本技術の第3実施形態の変形例3－1において、シャッターブロックの第2開口パターンを模式的に示す平面図である。

[図24A]本技術の第2実施形態の変形例3－2において、シャッター層のシャッター部と光電変換領域との位置関係を模式的に示す平面図である。

[図24B]図24Aの一部を拡大した平面図である。

[図25]本技術の第4実施形態に係る固体撮像装置の縦断面構造を模式的に示す縦断面図である。

[図26]本技術の第4実施形態に係る固体撮像装置において、シャッター層に含まれる上部電極及び下部電極の配置状態を模式的に示す斜視図である。

[図27]本技術の第4実施形態に係る固体撮像装置において、シャッター層に含まれる上部電極及び下部電極の配置状態を模式的に示す平面図である。

[図28]本技術の第4実施形態に係る固体撮像装置において、画素間分離領域に含まれる中継電極の平面パターンを模式的に示す平面図である。

[図29]本技術の第4実施形態の変形例4－1を模式的に示す平面図である。

[図30]本技術の第4実施形態の変形例4－2を模式的に示す平面図である。

[図31]本技術の第4実施形態の変形例4－3を模式的に示す縦断面図である。

。

[図32]本技術の第4実施形態の変形例4－3を模式的に示す平面図である。

[図33]本技術の第4実施形態の変形例4－4を模式的に示す平面図である。

[図34]本技術の第5実施形態に係る固体撮像装置の縦断面構造を模式的に示す縦断面図である。

[図35]本技術の第6実施形態に係る電子機器の一構成例を示す図である。

発明を実施するための形態

[0009] 以下、図面を参照して本技術の実施形態を詳細に説明する。

なお、以下の説明で参照する図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。ただし、図面は模式的なものであり、厚さと平面寸法との関係、各層の厚さの比率等は現実のものとは異なることに留意すべきである。したがって、具体的な厚さや寸法は以下の説明を参酌して判断すべきものである。

[0010] また、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることは勿論である。また、本明細書中に記載された効果はあくまで例示であって限定されるものではなく、また他の効果があってもよい。

[0011] また、以下の実施形態は、本技術の技術的思想を具体化するための装置や方法を例示するものであり、構成を下記のものに特定するものではない。即ち、本技術の技術的思想は、特許請求の範囲に記載された技術的範囲内において、種々の変更を加えることができる。

[0012] また、以下の説明における上下等の方向の定義は、単に説明の便宜上の定義であって、本技術の技術的思想を限定するものではない。例えば、対象を90°回転して観察すれば上下は左右に変換して読まれ、180°回転して観察すれば上下は反転して読まれることは勿論である。

[0013] また、以下の実施形態では、空間内で互に直交する三方向において、同一平面内で互に直交する第1の方向及び第2の方向をそれぞれX方向、Y方向

とし、第1の方向及び第2の方向のそれぞれと直交する第3の方向をZ方向とする。そして、以下の実施形態では、後述する半導体層21の厚さ方向をZ方向として説明する。

[0014] また、以下の実施形態では、Z方向を本技術の「一方向」として説明する。

[0015] また、以下の実施形態において、半導体層21の厚さとは、Z方向において互いに反対側に位置する第1の面部S1と第2の面部S2との離間距離であり、半導体層21の厚さ方向とは、半導体層21の厚さを表す方向である。

[0016] また、以下の実施形態において、平面視とは、Z方向（一方向）から半導体層21を視た場合を指す。そして、断面視とは、Z方向（一方向）に沿う断面をZ方向と直交する方向から視た場合を指す。

[0017] 〔第1実施形態〕

この第1実施形態では、光検出装置として、裏面照射型CMOS（Complementary Metal Oxide Semiconductor）イメージセンサである固体撮像装置に本技術を適用した一例について説明する。

また、この第1実施形態では、電氣的に光の透過と遮蔽との切り替が可能な材料層として液晶層58を使用し、1つの光電変換領域22で4つの疑似画素を構成した一例について説明する。

[0018] ≪固体撮像装置の全体構成≫

まず、固体撮像装置1Aの全体構成について説明する。

図1に示すように、本技術の第1実施形態に係る固体撮像装置1Aは、平面視したときの二次元平面形状が方形状の半導体チップ2を主体に構成されている。即ち、固体撮像装置1Aは、半導体チップ2に搭載されており、半導体チップ2を固体撮像装置1Aとみなすことができる。この固体撮像装置1A（101）は、図35に示すように、光学レンズ102を介して被写体からの像光（入射光106）を取り込み、撮像面上に結像された入射光106の光量を画素単位で電気信号に変換して画素信号として出力する。

[0019] 図1に示すように、固体撮像装置1Aが搭載された半導体チップ2は、互いに直交するX方向及びY方向を含む二次元平面において、中央部に設けられた方形状の画素アレイ部2Aと、この画素アレイ部2Aの外側に画素アレイ部2Aを囲むようにして設けられた周辺部2Bとを備えている。

[0020] ここで、半導体チップ2は、製造プロセスにおいて、後述の半導体層21を含む半導体ウエハをチップ形成領域毎に小片化することによって形成される。したがって、以下に説明する固体撮像装置1Aの構成は、半導体ウエハを小片化する前のウエハ状態においても概ね同様である。したがって、本技術は、半導体チップの状態及び半導体ウエハの状態において適用が可能である。

[0021] 図1に示す画素アレイ部2Aは、例えば、図35に示す光学レンズ（光学系）102により集光される光を受光する受光面である。そして、画素アレイ部2Aには、X方向及びY方向を含む二次元平面において複数の画素3（センサ画素）がマトリックス状（行列状）に配置されている。換言すれば、画素3は、二次元平面内で互いに直交するX方向及びY方向のそれぞれの方向に繰り返し配置されている。

[0022] 図1に示すように、周辺部2Bには、複数のボンディングパッド14が配置されている。複数のボンディングパッド14の各々は、例えば、半導体チップ2の二次元平面における4つの辺の各々の辺に沿って配列されている。複数のボンディングパッド14の各々は、半導体チップ2と外部装置とを電氣的に接続する入出力端子として機能する。

[0023] <ロジック回路>

半導体チップ2は、図2に示すロジック回路13を備えている。図2に示すように、ロジック回路13は、垂直駆動回路4、カラム信号処理回路5、水平駆動回路6、出力回路7及び制御回路8などを含む。ロジック回路13は、電界効果トランジスタとして、例えば、nチャネル導電型のMOSFET（Metal Oxide Semiconductor Field Effect Transistor）及びpチャネル導電型のMOSFETを有するCMOS（Complementary MOS）回路で構成さ

れている。

[0024] 図2に示す垂直駆動回路4は、例えばシフトレジスタによって構成されている。垂直駆動回路4は、所望の画素駆動線10を順次選択し、選択した画素駆動線10に画素3を駆動するためのパルスを供給し、各画素3を行単位で駆動する。即ち、垂直駆動回路4は、画素アレイ部2Aの各画素3を行単位で順次垂直方向に選択走査し、各画素3の光電変換部25（図3参照）が受光量に応じて生成した信号電荷に基づく画素3からの画素信号を、垂直信号線11を通してカラム信号処理回路5に供給する。

[0025] 図2に示すカラム信号処理回路5は、例えば画素3の列毎に配置されており、1行分の画素3から出力される信号に対して画素列毎にノイズ除去等の信号処理を行う。例えばカラム信号処理回路5は、画素固有の固定パターンノイズを除去するためのCDS（Correlated Double Sampling：相関2重サンプリング）及びAD（Analog Digital）変換等の信号処理を行う。

[0026] 図2に示す水平駆動回路6は、例えばシフトレジスタによって構成されている。水平駆動回路6は、水平走査パルスをカラム信号処理回路5に順次出力することによって、カラム信号処理回路5の各々を順番に選択し、カラム信号処理回路5の各々から信号処理が行われた画素信号を水平信号線12に出力させる。

[0027] 図2に示す出力回路7は、カラム信号処理回路5の各々から水平信号線12を通して順次に供給される画素信号に対し、信号処理を行って出力する。信号処理としては、例えば、バッファリング、黒レベル調整、列ばらつき補正、各種デジタル信号処理等を用いることができる。

[0028] 図2に示す制御回路8は、垂直同期信号、水平同期信号、及びマスタクロック信号に基づいて、垂直駆動回路4、カラム信号処理回路5、及び水平駆動回路6等の動作の基準となるクロック信号や制御信号を生成する。そして、制御回路8は、生成したクロック信号や制御信号を、垂直駆動回路4、カラム信号処理回路5、及び水平駆動回路6等に出力する。

[0029] <画素>

複数の画素3の各々の画素3は、図3に示す光電変換領域22を備えている。

[0030] <光電変換領域>

図3に示すように、光電変換領域22は、光電変換部25と、転送トランジスタTRと、光電変換部としての浮遊拡散領域（フローティングディフュージョン：Floating Diffusion）FDと、を備えている。

[0031] （光電変換部）

図3に示す光電変換部25は、例えばpn接合型のフォトダイオード（PD）で構成され、受光量に応じた信号電荷を生成する。また、光電変換部25は、生成した信号電荷を一時的に保持（蓄積）する。光電変換部25は、カソード側が転送トランジスタTRのソース領域と電氣的に接続され、アノード側が基準電位線（例えばグランド）と電氣的に接続されている。

[0032] （転送トランジスタ）

図3に示す転送トランジスタTRは、光電変換部25で光電変換された信号電荷を浮遊拡散領域FDに転送する。転送トランジスタTRは、ソース領域が光電変換部25のカソード側と電氣的に接続され、ドレイン領域が浮遊拡散領域FDと電氣的に接続されている。そして、転送トランジスタTRのゲート電極は、図2に示す画素駆動線10のうちの転送トランジスタ駆動線と電氣的に接続されている。

[0033] （浮遊拡散領域）

図3に示す浮遊拡散領域FDは、光電変換部25から転送トランジスタTRを介して転送された信号電荷を一時的に蓄積して保持する。

[0034] <画素回路>

この第1実施形態の固体撮像装置1Aは、図3に示す画素回路（読出し回路）15を更に備えている。図3に示すように、画素回路15は、その入力段が光電変換領域22の浮遊拡散領域FDと電氣的に接続されている。この第1実施形態では、一例として1つの画素3に1つの画素回路15を割り与えた回路構成としているが、これに限定されるものではなく、1つの画素回

路 15 を複数の画素 3 で共有する回路構成としてもよい。例えば、X 方向及び Y 方向の各々の方向に 2 つずつ配置された 2×2 配置の 4 つの画素 3 を一単位とする 1 つの画素ブロックで 1 つの画素回路 15 を共有する回路構成としてもよい。また、2 つ以上の画素 3 を一単位とする 1 つの画素ブロックに 1 つの画素回路 15 を割り与えた回路構成としてもよく、また、複数の画素 3 を一単位とする複数の画素ブロックに 1 つの画素回路 15 を割り与えた回路構成としてもよい。

[0035] 図 3 に示す画素回路 15 は、1 つの画素 3 の浮遊拡散領域 F D に保持された信号電荷を読み出し、読み出した信号電荷に基づく画素信号を出力する。換言すれば、画素回路 15 は、光電変換部 25（フォトダイオード P D）で光電変換された信号電荷を、この信号電荷に基づく画素信号に変換して出力する。

[0036] 図 3 に示すように、画素回路 15 は、複数の画素トランジスタ Q を備えている。この第 1 実施形態の画素回路 15 は、これに限定されないが、画素トランジスタ Q として、例えば、増幅トランジスタ A M P と、選択トランジスタ S E L と、リセットトランジスタ R S T と、切替トランジスタ F D G と、を備えている。これらの画素トランジスタ Q（A M P，S E L，R S T，F D G）と、上述の転送トランジスタ T R とは、絶縁ゲート型の電界効果トランジスタとして、例えばゲート絶縁膜が酸化シリコン（ SiO_2 ）膜からなる M O S F E T（Metal Oxide Semiconductor Field Effect Transistor）で構成されている。また、これらのトランジスタとしては、ゲート絶縁膜が窒化シリコン（ Si_3N_4 ）膜、或いは窒化シリコン膜及び酸化シリコン膜などの積層膜からなる M I S F E T（Metal Insulator Semiconductor FET）でも構わない。

[0037] 画素回路 15 に含まれる画素トランジスタ Q（A M P，S E L，R S T，F D G）のうち、選択トランジスタ S E L と、リセットトランジスタ R S T と、切替トランジスタ F D G とは、主にスイッチング素子として機能する。そして、残りの増幅トランジスタ A M P は、主に増幅素子として機能する。

[0038] (増幅トランジスタ)

図3に示す増幅トランジスタAMPは、ソース領域が選択トランジスタSELのドレイン領域と電氣的に接続され、ドレイン領域が電源線V_{dd}及びリセットトランジスタRSTのドレイン領域と電氣的に接続されている。そして、増幅トランジスタAMPのゲート電極は、浮遊拡散領域FD及び切替トランジスタFDGのソース領域と電氣的に接続されている。

[0039] (選択トランジスタ)

図3に示す選択トランジスタSELは、ソース領域が垂直信号線11(VSL)と電氣的に接続され、ドレイン領域が増幅トランジスタAMPのソース領域と電氣的に接続されている。そして、選択トランジスタSELのゲート電極は、図2に示す画素駆動線10のうちの選択トランジスタ駆動線と電氣的に接続されている。

[0040] (リセットトランジスタ)

図3に示すリセットトランジスタRSTは、ソース領域が切替トランジスタFDGのドレインと電氣的に接続され、ドレイン領域が電源線V_{dd}及び増幅トランジスタAMPのドレイン領域と電氣的に接続されている。そして、リセットトランジスタRSTのゲート電極は、図2に示す画素駆動線10のうちのリセットトランジスタ駆動線と電氣的に接続されている。

[0041] (切替トランジスタ)

図3に示す切替トランジスタFDGは、ソース領域が増幅トランジスタAMPのゲート電極及び浮遊拡散領域FDと電氣的に接続され、ドレイン領域がリセットトランジスタRSTのソース領域と電氣的に接続されている。そして、切替トランジスタFDGのゲート電極は、図2に示す画素駆動線10のうちの切替トランジスタ駆動線と電氣的に接続されている。

[0042] なお、選択トランジスタSEL及び切替トランジスタFDGは、必要に応じて省略してもよい。

選択トランジスタSELを省略する場合は、増幅トランジスタAMPのソース領域が垂直信号線11(VSL)と電氣的に接続される。また、切替ト

ランジスタFDGを省略する場合は、リセットトランジスタRSTのソース領域が増幅トランジスタAMPのゲート電極及び浮遊拡散領域FDと電氣的に接続される。

[0043] (転送トランジスタの機能)

図3に示す転送トランジスタTRは、転送トランジスタTRがオン状態となると、光電変換部25（フォトダイオードPD）で生成された信号電荷を浮遊拡散領域FDに転送する。

[0044] (リセットトランジスタの機能)

図3に示すリセットトランジスタRSTは、リセットトランジスタRSTがオン状態となると、浮遊拡散領域FDの電位（信号電荷）を電源線Vddの電位にリセットする。

[0045] (選択トランジスタの機能)

図3に示す選択トランジスタSELは、画素回路15からの画素信号の出力タイミングを制御する。

[0046] (増幅トランジスタの機能)

図3に示す増幅トランジスタAMPは、画素信号として、浮遊拡散領域FDに保持された信号電荷のレベルに応じた電圧の信号を生成する。増幅トランジスタAMPは、ソースフォロア型のアンプを構成しており、光電変換部25（フォトダイオードPD）で生成された信号電荷のレベルに応じた電圧の画素信号を出力するものである。増幅トランジスタAMPは、選択トランジスタSELがオン状態となると、浮遊拡散領域FDの電位を増幅し、その電位に応じた電圧を、垂直信号線11（VSL）を介してカラム信号処理回路5に出力する。

[0047] (切替トランジスタの機能)

図3に示す切替トランジスタFDGは、浮遊拡散領域FDによる電荷保持を制御すると共に、増幅トランジスタAMPで増幅される電位に応じた電圧の増倍率を調整する。

[0048] 切替トランジスタFDGは、変換効率を切り替える際に用いられる。一般

に、暗い場所での撮影時には画素信号が小さい。 $Q = CV$ に基づき、電荷電圧変換を行う際に、浮遊拡散領域FDのFD容量C（フローティングディフュージョン容量C）が大きければ、増幅トランジスタAMPで電圧に変換した際の電圧Vが小さくなってしまう。一方、明るい場所では、画素信号が大きくなるので、浮遊拡散領域FDのFD容量Cが大きくなければ、浮遊拡散領域FDで、光電変換部25（フォトダイオードPD）の電荷を受けきれない。さらに、増幅トランジスタAMPで電圧に変換した際の電圧Vが大きくなりすぎないように（言い換えると、小さくなるように）、浮遊拡散領域FDのFD容量Cが大きくなっている必要がある。これらを踏まえると、切替トランジスタFDGをオンにしたときには、切替トランジスタFDGのゲート容量が増えるので、全体のFD容量Cが大きくなる。一方、切替トランジスタFDGをオフにしたときには、全体のFD容量Cが小さくなる。このように、切替トランジスタFDGのオン／オフを切り替えることで、FD容量Cを可変にし、変換効率を切り替えることができる。

[0049] （画素回路の機能）

この第1実施形態に係る固体撮像装置1Aの作動時には、画素3の光電変換部25で生成された信号電荷が画素3の転送トランジスタTRを介して浮遊拡散領域FDに保持（蓄積）される。そして、浮遊拡散領域FDに保持された信号電荷が画素回路15により読み出されて、画素回路15の増幅トランジスタAMPのゲート電極に印加される。画素回路15の選択トランジスタSELのゲート電極には水平ラインの選択用制御信号が垂直シフトレジスタから与えられる。そして、選択用制御信号をハイ（H）レベルにすることにより、選択トランジスタSELが導通し、増幅トランジスタAMPで増幅された、浮遊拡散領域FDの電位に対応する電流が垂直信号線11に流れる。また、画素回路15のリセットトランジスタRSTのゲート電極に印加するリセット用制御信号をハイ（H）レベルにすることにより、リセットトランジスタRSTが導通し、浮遊拡散領域FDに蓄積された信号電荷をリセットする。

[0050] 《固体撮像装置の具体的な構成》

次に、半導体チップ2（固体撮像装置1A）の具体的な構成について、図4から図8を用いて説明する。

図4は、図1の画素アレイ部2Aの一部を模式的に示す平面図である。

図5は、図4のa4-a4切断線に沿った縦断面構造を模式的に示す縦断面図である。

図6Aは、4つのシャッタ部52の各々の一部分が1つの光電変換領域22と重畳した状態を模式的に示す平面図である。

図6Bは、4つの光電変換領域22の各々の一部分が1つのシャッタ部52と重畳した状態を模式的に示す平面図である。

図7は、シャッタ層51に含まれる上部電極60及び下部電極56の配置状態を模式的に示す斜視図である。

図8は、シャッタ層51に含まれる上部電極60及び下部電極56の配置状態を模式的に示す平面図である。

[0051] 図4及び図5に示すように、半導体チップ2（固体撮像装置1A）は、一方向としての厚さ方向（Z方向）において互いに反対側に位置する第1の面部S1及び第2の面部S2を有する半導体層21と、この半導体層21の第2の面部S2側に設けられたシャッタ層51と、このシャッタ層51の半導体層21側とは反対側に設けられたレンズ層71と、を備えている。

[0052] また、半導体チップ2は、詳細に図示していなが、半導体層21の第1の面部S1側に設けられた多層配線層を更に備えている。この多層配線層は、半導体層21側から順次設けられた層間絶縁膜46及び配線層48を含む（図5参照）。

[0053] ここで、半導体層21の半導体層21の第1の面部S1を主面部又は素子形成面部、第2の面部S2を裏面部と呼ぶこともある。そして、この第1実施形態に係る固体撮像装置1Aは、後で詳細に説明するが、半導体層21の第2の面部S2側から入射した入射光を、半導体層21の光電変換領域22に設けられた光電変換部25（フォトダイオードPD）で光電変換する。し

たがって、この第1実施形態では、半導体層21の第2の面部S2を光入射面部と呼ぶこともある。

[0054] <半導体層>

図5に示すように、半導体層21は、半導体層21の厚さ方向（Z方向）に延伸する画素間分離領域31と、この画素間分離領域31で区画された光電変換領域22と、を備えている。光電変換領域22は、画素3毎に設けられている。半導体層21としては、Si基板、SiGe基板、InGaAs基板などを用いることができる。この第1実施形態では、これに限定されないが、半導体層21として例えば単結晶シリコンからなるp型の半導体基板を用いている。

[0055] <画素間分離領域>

図6A及び図6Bに示すように、画素間分離領域31は、X方向に延伸し、Y方向に所定の間隔を空けて繰り返し配置されている。また、画素間分離領域31は、Y方向に延伸し、X方向に所定の間隔を空けて繰り返し配置されている。即ち、画素間分離領域31は、平面視での平面パターンが格子状の平面パターンになっている。

[0056] 図6Aに示すように、1つの光電変換領域22に対応する画素間分離領域31は、平面視での平面形状が方形状の環状平面パターン（リング状平面パターン）になっており、1つの光電変換領域22の周囲を取り囲んでいる。そして、図6Bに示すように、同一平面内でX方向及びY方向のそれぞれの方向において互いに隣り合って2つずつ並ぶ2×2配置の4つの光電変換領域22に対応する画素間分離領域31は、方形状の環状平面パターンの中に、十字状平面パターンを有する複合平面パターンになっている。

[0057] 図5に示すように、画素間分離領域31は、半導体層21の第1の面部S1と第2の面部S2とが互いに離間する厚さ方向（Z方向）に延伸し、半導体層21の厚さ方向（Z方向）から半導体層21を視る平面視で互いに隣り合う2つの光電変換領域22の間を電氣的及び光学的に分離している。

[0058] 画素間分離領域31は、これに限定されないが、例えば、半導体層21の

厚さ方向（Z方向）に延伸する掘り込み部32と、この掘り込み部32に設けられた分離絶縁膜34と、を含む掘り込み分離型（トレンチ分離型）で構成されている。そして、画素間分離領域31は、半導体層21の第1の面部S1及び第2の面部S2の各々に到達している。

[0059] <光電変換領域>

図6A及び図6Bに示すように、光電変換領域22は、平面視で周囲を画素間分離領域31によって取り囲まれ、かつ平面形状が方形状になっている。そして、光電変換領域22は、画素間分離領域31によって区画され、かつ他の光電変換領域22と分離されている。

[0060] 図4に示すように、光電変換領域22は、二次元平面内で互いに直交するX方向及びY方向のそれぞれの方向に画素間分離領域31を介して繰り返し配置され、画素3毎に設けられている。即ち、光電変換領域22は、図1に示す画素アレイ部2Aにおいて、画素3と同様にマトリックス状（行列状）に配置されている。

[0061] 図5に示すように、光電変換領域22は、半導体層21の第1の面部S1と第2の面部S2とに亘って半導体層21に設けられたp型の半導体領域からなるp型のウエル領域23と、半導体層21の第1の面部S1から離間してp型のウエル領域23に設けられたn型の半導体領域24と、このp型のウエル領域23及びn型の半導体領域24を含み、かつ半導体層21の第1の面部S1から離間して半導体層21に設けられた光電変換部25と、を有する。

[0062] また、光電変換領域22は、平面視でn型の半導体領域24と重畳して半導体層21の第1の面部S1側に設けられ、かつ光電変換部25で光電変換された信号電荷を保持する電荷保持部としてのn型の浮遊拡散領域FDと、平面視でn型の半導体領域24と重畳して半導体層21の第1の面部S1側に設けられ、かつ光電変換部25で光電変換された信号電荷をn型の浮遊拡散領域FDに転送する転送トランジスタTRと、を更に有する。

[0063] また、光電変換領域22は、図示していないが、例えば、図3の画素回路

15に含まれる画素トランジスタQとして、増幅トランジスタAMP、選択トランジスタSEL、リセットトランジスタRST及び切替トランジスタFDGの各々を更に有する。これらの画素トランジスタQ（AMP，SEL，RST，FDG）は、光電変換領域22において、半導体層21の第1の面部S1側に設けられている。

[0064] （p型のウエル領域及びn型の半導体領域）

図5に示すように、p型のウエル領域23は、各光電変換領域22において、半導体層21の第1の面部S1側と第2の面部S2側とに亘って広範囲で設けられている。そして、p型のウエル領域23は、半導体層21の厚さ方向（Z方向）に沿って画素間分離領域31と接している。

[0065] 図5に示すように、n型の半導体領域24は、各光電変換領域22において、p型のウエル領域23の中に設けられている。即ち、n型の半導体領域24は、上面部、下面部及び4つの側面部を含む六面がp型のウエル領域23で囲まれている。そして、n型の半導体領域24は、半導体層21の第1の面部S1及び第2の面部S2、並びに画素間分離領域31から離間している。

[0066] （光電変換部）

図5に示す光電変換部25は、各光電変換領域22において、p型のウエル領域23とn型の半導体領域24とを含む。そして、光電変換部25は、p型のウエル領域23とn型の半導体領域24とのpn接合を含むpn接合型のフォトダイオード（PD）として構成されている。

[0067] 光電変換部25は、半導体層21の第2の面部S2側からn型の半導体領域24に入射した光をn型の半導体領域24で信号電荷に光電変換すると共に、光電変換した信号電荷を、p型のウエル領域23とn型の半導体領域24とのpn接合部で一時的に保持（蓄積）する。即ち、半導体層21は、光入射面部としての第2の面部S2を有し、かつ第2の面部S2から入射した光を光電変換部25で信号電荷に光電変換する光電変換領域22がマトリックス状に配置されている。

[0068] (浮遊拡散領域)

図5に示すように、n型の浮遊拡散領域FDは、半導体層21の第1の面部S1側において、p型のウエル領域23に設けられている。そして、n型の浮遊拡散領域FDは、平面視で光電変換部25のn型の半導体領域24と重畳し、かつ半導体層21の厚さ方向(Z方向)において光電変換部25のn型の半導体領域24から離間している。即ち、n型の浮遊拡散領域FDと、n型の半導体領域24との間に、p型のウエル領域23が設けられている。n型の浮遊拡散領域FDは、n型の半導体領域24よりも不純物濃度が高いn型の半導体領域で構成されている。

[0069] n型の浮遊拡散領域FDは、半導体層21の第1の面部S1側に設けられた層間絶縁膜46で覆われている。そして、n型の浮遊拡散領域FDは、層間絶縁膜46に設けられたコンタクト電極47fを介して、配線層48に設けられた配線48fと電氣的に接続されている。

[0070] (転送トランジスタ)

図5に示すように、転送トランジスタTRは、半導体層21の第1の面部S1側(光電変換領域22の第1の面部S1側)に設けられている。転送トランジスタTRは、光電変換領域22(半導体層21)の第1の面部S1側において、半導体層21の内外に亘って設けられたゲート電極43と、このゲート電極43と半導体層21との間に設けられたゲート絶縁膜42と、を有する。

[0071] また、転送トランジスタTRは、ソース領域として機能するn型の半導体領域24と、ドレイン領域として機能するn型の浮遊拡散領域FDと、チャネル形成部として機能するp型のウエル領域23と、を更に有する。この転送トランジスタTRは、バーチカル型で構成されている。

[0072] 転送トランジスタTRのゲート電極43は、半導体層21の第1の面部S1側に設けられた層間絶縁膜46で覆われている。そして、ゲート電極43は、層間絶縁膜46に設けられたコンタクト電極47tを介して、配線層48に設けられた配線48tと電氣的に接続されている。

[0073] <シャッタ層>

図5に示すように、シャッタ層51は、半導体層21の第2の面部S2側から順次設けられた偏光板54、絶縁膜55、下部電極56、配向膜57、液晶層58、配向膜59、上部電極60、絶縁膜61、偏光板62及び絶縁膜63を有する。この第1実施形態では、電氣的に光の透過と遮蔽との切り替が可能な材料層として液晶層58を用いている。

また、シャッタ層51は、半導体層21の光入射面部側（第2の面部S2）側に設けられ、かつ光電変換領域22への光の入射を透過（開状態）と遮蔽（閉状態）とによって制御するシャッタ部として、図4から図6Bに示すシャッタ部52を有する。また、シャッタ層51は、図6Aに示すシャッタブロック53を有する。

[0074] （上部電極及び下部電極）

図7及び図8に示すように、上部電極60は、X方向に延伸し、かつシャッタ部52のY方向の配列ピッチ $52P_y$ と同一の配列ピッチでY方向に所定の間隔を空けて繰り返し配置されている。下部電極56は、Y方向に延伸し、かつシャッタ部52のX方向の配列ピッチ $52P_x$ と同一の配列ピッチでY方向に所定の間隔を空けて繰り返し配置されている。そして、上部電極60と下部電極56とが交差する交差部は、平面視でシャッタ部52と重畳するに位置に設けられている。上部電極60及び下部電極56の各々は、例えばITO（Indium Tin Oxide）等の透明導電膜で構成されている。

[0075] （シャッタ部）

図4に示すように、シャッタ部52は、二次元平面内で互いに直交するX方向及びY方向のそれぞれの方向に敷き詰めた状態で繰り返し配置されている。シャッタ部52は、配列ピッチ $52P_x$ でX方向に繰り返し配置され、かつ配列ピッチ $52P_y$ でY方向に繰り返し配置されている。

[0076] 図5及び図8に示すように、シャッタ部52は、上部電極60と下部電極56との交差部に配置されている。そして、シャッタ部52は、上部電極60と下部電極56との交差部を含む。このシャッタ部52は、上部電極60

及び下部電極 5 6 に電圧を印加し、上部電極 6 0 と下部電極 5 6 との交差部に電界を発生させて液晶層 5 8 の液晶分子を駆動して開状態（透過状態）又は閉状態（遮蔽状態）とすることによって光電変換領域 2 2 への光の入射を制御する。即ち、シャッタ層 5 1 は、これに限定されないが、例えば、単純マトリックス方式で構成されている。シャッタ部 5 2 は、上部電極 6 0 と下部電極 5 6 との交差部毎に設けられ、この交差部と共にマトリクス状に配置されている。単純マトリックス方式では、選択したいシャッタ部 5 2 を、上部電極 6 0 と下部電極 5 6 との電位差を用いて選択する。

[0077] この第 1 実施形態のシャッタ部 5 2 は、電界を発生させて液晶層 5 8 の液晶分子を駆動することによって光の透過と遮蔽とを制御する。換言すれば、シャッタ部 5 2 は、電界を発生させて液晶層 5 8 の液晶分子を駆動することによって光電変換領域 2 2 への光の入射を制御する。即ち、この第 1 実施形態のシャッタ部 5 2 は、電界を発生させて液晶層 5 8 の液晶分子を駆動することによって光の透過と遮蔽とを制御する液晶シャッタ部である。

[0078] （シャッタブロック）

図 6 A に示すように、シャッタブロック 5 3 は、各々の一部分が平面視で 1 つの光電変換領域 2 2 と重畳する複数のシャッタ部 5 2 を一単位として含む。この第 1 実施形態において、シャッタブロック 5 3 に含まれる複数のシャッタ部 5 2 は、これに限定されないが、例えば、同一平面内で互いに直交する X 方向及び Y 方向のそれぞれの方向に互いに隣り合って並ぶ 4 つのシャッタ部 5 2（5 2 a, 5 2 b, 5 2 c, 5 2 d）である。そして、シャッタブロック 5 3 は、X 方向及び Y 方向のそれぞれの方向に繰り返し配置され、シャッタ層 5 1 において、シャッタブロックアレイを構築している。即ち、シャッタ層 5 1 は、2 × 2 配置の 4 つのシャッタ部 5 2 を一単位として含むシャッタブロック 5 3 が行列状に複数配置されたシャッタブロックアレイを有する。

[0079] 図 4 に示すように、1 つのシャッタブロック 5 3 に一単位として含まれる 4 つのシャッタ部 5 2 の各々は、X 方向において、光電変換領域 2 2 の X 方

向の配列ピッチ $2 \times 2 P_x$ の半ピッチに相当する分、光電変換領域 2×2 と相対的に位置がずれている。また、1つのシャッタブロック 5×3 に一単位として含まれる4つのシャッタ部 5×2 の各々は、Y方向において、光電変換領域 2×2 のY方向の配列ピッチ $2 \times 2 P_y$ の半ピッチに相当する分、光電変換領域 2×2 と相対的に位置がずれている。即ち、シャッタブロック 5×3 に含まれる4つのシャッタ部 5×2 の各々は、平面視で1つの光電変換領域 2×2 と均等に重畳している。そして、1つの光電変換領域 2×2 は、図4及び図6Aに示すように、4つのシャッタ部 5×2 の各々の一部分がそれぞれ個別に重畳する4つの重畳領域 2×7 ($2 \times 7 a$, $2 \times 7 b$, $2 \times 7 c$, $2 \times 7 d$)を含む。この4つの重畳領域 2×7 ($2 \times 7 a$, $2 \times 7 b$, $2 \times 7 c$, $2 \times 7 d$)の各々が疑似画素として機能し、1つの光電変換領域 2×2 で4つの疑似画素を構成している。

[0080] なお、図6Aに示すように、平面視で互いに隣り合う4つのシャッタ部 5×2 ($5 \times 2 a$, $5 \times 2 b$, $5 \times 2 c$, $5 \times 2 d$)は、各々の一部分が1つの光電変換領域 2×2 と重畳している。換言すれば、図6Bに示すように、互いに隣り合う4つの光電変換領域 2×2 は、各々の一部分が1つのシャッタ部 5×2 と重畳している。

[0081] (レンズ層)

図5に示すように、レンズ層 7×1 には、光(照射光)を集光し、集光した光を光電変換領域 2×2 に効率良く入射させるマイクロレンズ 7×2 が設けられている。マイクロレンズ 7×2 は、図4から図6Bに示すように、1つの光電変換領域 2×2 において、4つのシャッタ部 5×2 の各々の一部分がそれぞれ個別に重畳する4つの重畳領域 2×7 ($2 \times 7 a$, $2 \times 7 b$, $2 \times 7 c$, $2 \times 7 d$)毎に設けられている。即ち、1つの画素 3 は、平面視で光電変換領域 2×2 の4つの重畳領域 2×7 の各々と個別に重畳する4つのマイクロレンズ 7×2 を含む。

[0082] 《画像の合成》

次に、画像の合成について、図9Aから図12Bを用いて説明する。

図9Aは、シャッタブロックの第1開口パターンを模式的に示す平面図である。

図9 Bは、図9 Aの一部を拡大した平面図である。

図10 Aは、シャッタブロックの第2開口パターンを模式的に示す平面図である。

図10 Bは、図10 Aの一部を拡大した平面図である。

図11 Aは、シャッタブロックの第3開口パターンを模式的に示す平面図である。

図11 Bは、図11 Aの一部を拡大した平面図である。

図12 Aは、シャッタブロック第4開口パターンを模式的に示す平面図である。

図12 Bは、図12 Aの一部を拡大した平面図である。

なお、図9 Aから図12 Bにおいて、シャッタ部52の開閉状態を明確にするため、閉状態のシャッタ部52にはドットパターンを付け、開状態のシャッタ部52にはドットパターンを付けていない。

[0083] 図9 A及び図9 Bに示すように、この第1実施形態のシャッタブロック53は、各々の一部分が平面視で1つの光電変換領域22と重畳する4つのシャッタ部52（52 a，52 b，52 c，52 d）を一単位として含んでいる。

[0084] このため、1つのシャッタブロック53において、図9 A及び図9 Bに示すように、4つのシャッタ部52（52 a，52 b，52 c，52 d）のうち、シャッタ部52 aを開状態とし、残りの3つのシャッタ部52 b，52 c，52 dの各々を閉状態とする第1開口パターンにより、光電変換領域22の重畳領域27 a（第1疑似画素）への光の入射を選択的に行うことができる。

[0085] また、図10 A及び図10 Bに示すように、4つのシャッタ部52（52 a，52 b，52 c，52 d）のうち、シャッタ部52 bを開状態とし、残りの3つのシャッタ部52 a，52 c，52 dの各々を閉状態とする第2開口パターンにより、光電変換領域22の重畳領域7 b（第2疑似画素）への光の入射を選択的に行うことができる。

[0086] また、図 1 1 A 及び図 1 1 B に示すように、4 つのシャッタ部 5 2 (5 2 a, 5 2 b, 5 2 c, 5 2 d) のうち、シャッタ部 5 2 c を開状態とし、残りの 3 つのシャッタ部 5 2 a, 5 2 b, 5 2 d の各々を閉状態とする第 3 開口パターンにより、光電変換領域 2 2 の重畳領域 7 c (第 3 疑似画素) への光の入射を選択的に行うことができる。

[0087] また、図 1 2 A 及び図 1 2 B に示すように、4 つのシャッタ部 5 2 (5 2 a, 5 2 b, 5 2 c, 5 2 d) のうち、シャッタ部 5 2 d を開状態とし、残りの 3 つのシャッタ部 5 2 a, 5 2 b, 5 2 c の各々を閉状態とする第 4 開口パターンにより、光電変換領域 2 2 の重畳領域 2 7 d (第 4 疑似画素) への光の入射を選択的に行うことができる。

[0088] 即ち、この 1 つのシャッタブロック 5 3 は、4 つのシャッタ部 5 2 (5 2 a, 5 2 b, 5 2 c, 5 2 d) で 1 つの光電変換領域 2 2 を 4 回に分けて部分的に開口することができ、1 つの光電変換領域 2 2 への光の入射を 4 回に分けて部分的に行うことができる。

[0089] そして、図 9 A 及び図 9 B に示す第 1 開口パターンで撮った第 1 画像と、図 1 0 A 及び図 1 0 B に示す第 2 開口パターンで撮った第 2 画像と、図 1 1 A 及び図 1 1 B に示す第 3 開口パターンで撮った第 3 画像と、図 1 2 A 及び図 1 2 B に示す第 4 開口パターンで撮った第 4 画像とを得る、即ち開口位置を変えて 4 回画像を得ることにより、実際の画素 3 の半分のピッチの画素で撮影したような 4 倍の解像度をもつ画像を合成することができる。

[0090] これにより、シャッタ部 5 2 の平面サイズが画素 3 (光電変換領域 2 2) の平面サイズと同サイズであっても高解像度化が可能であり、例えば $1\ \mu\text{m}$ ピッチのシャッタ部 5 2 であっても、 $0.5\ \mu\text{m}$ ピッチの画素 3 であるかのような解像度を得ることができる。

[0091] <<第 1 実施形態の主な効果>>

以上のように、この第 1 実施形態に係る固体撮像装置 1 A によれば、高解像度化を図ることができる。

[0092] また、1 つのシャッタブロック 5 3 に一単位として含まれる 4 つのシャッ

タ部52は、X方向及びY方向のそれぞれの方向において、光電変換領域22の配列ピッチ（ $22P_x$ ， $22P_y$ ）の半ピッチ（ $1/2$ ピッチ）に相当する分、光電変換領域22と相対的に位置がずれているため、4回で撮った各画像の精度を均一化することができ、合成した画像の画質性能を高めることができる。

[0093] なお、液晶層58としては、互いに隣り合う画素3間でのクロストーク現象に対して強い、強誘電性液晶を用いることが好ましい。

[0094] 〔第2実施形態〕

この第2実施形態は、カラーフィルタ層65を備えた固体撮像装置に本技術を適用した一例である。

図13は、本技術の第2実施形態に係る固体撮像装置の縦断面構造を模式的に示す縦断面図である。

[0095] 図13に示すように、本技術の第2実施形態に係る固体撮像装置1Bは、基本的に上述の第1実施形態に係る固体撮像装置1Aと同様の構成になっており、以下の構成が異なっている。

[0096] 即ち、この第2実施形態に係る固体撮像装置1Bは、特定の波長の光を透過するカラーフィルタ層65を更に備えている。本技術は、カラーフィルタ層65を備えた固体撮像装置1Bにも適用することができる。

[0097] 図13に示すように、カラーフィルタ層65は、シャッタ層51の半導体層21側とは反対側に設けられている。そして、カラーフィルタ層65は、シャッタ層51とレンズ層71との間に設けられている。カラーフィルタ層65は、複数のフィルタ部（カラーフィルタ部）66を含む。この第2実施形態のカラーフィルタ層65は、これに限定されないが、例えば、赤色（R）、緑色（G）、青色（B）などの特定の波長の光を透過するフィルタ部66をシャッタ部52毎に備えている。また、カラーフィルタ層65は、混色抑制として、互いに隣り合うフィルタ部66の間に分離壁（フィルタ用分離壁）67を備えている。分離壁67の材料としては、フィルタ部66よりも屈折率が低い低屈折材料を用いることが好ましい。

[0098] この第2実施形態に係る固体撮像装置1Bにおいても、上述の第1実施形態に係る固体撮像装置1Aと同様の効果が得られる。

[0099] ≪第2実施形態の変形例≫

次に、第2実施形態の変形例について説明する。

[0100] <変形例2-1>

図14は、本技術の第2実施形態の変形例2-1を模式的に示す縦断面図である。

図14に示すように、この変形例2-1は、透過ムラ抑制として、互いに隣り合うシャッタ部52の間に分離壁（シャッタ用分離壁）64を備えている。分離壁64は、シャッタ部52毎に液晶層58に設けられ、シャッタ部52の平面形状に対応して環状平面パターンで構成されている。換言すれば、分離壁64は、シャッタ部52のマトリックス配置に対応した格子状平面パターンで液晶層58に設けられている。更に換言すれば、液晶層58は、分離壁64によってシャッタ部52毎に区分けされている。即ち、シャッタ部52は、分離壁64で複数のサブ領域に分割されている。分離壁64の材料としては、絶縁性の材料を用いることが好ましい。

[0101] なお、互いに隣り合うシャッタ部52間での液晶の流動を可能にするため、分離壁64の一部に切欠きを設けて置くことや、下側の配向膜57及び上側の配向膜59の何れか一方と分離壁64を離間させる形状とすることが好ましい。

[0102] この変形例2-1においても、上述の第2実施形態に係る固体撮像装置1Bと同様の効果が得られる。

[0103] また、平面視で互いに隣り合うシャッタ部52間での透過ムラを分離壁64で抑制することができるため、より一層の高画質化を図ることができる。

[0104] なお、分離壁64は、図14に示すカラーフィルタ層65を備えていない上述の第1実施形態に係る固体撮像装置1Aにも適用することができる。

[0105] <変形例2-2>

図15は、本技術の第2実施形態の変形例2-2を模式的に示す縦断面図

である。

図15に示すように、この変形例2-2は、1つのシャッタ部52の中にも、入射光の隣接画素への侵入抑制として分離壁64を設けている。この変形例2-2の分離壁64は、1つの光電変換領域22に含まれる4つの重畳領域27の各々の周囲を平面視で個別に取り囲む平面パターンで液晶層58に設けられている。即ち、平面視で1つシャッタ部52と重畳する液晶層58は、分離壁64によって重畳領域27毎に区分けされている。

[0106] この変形例2-2においても、上述の第2実施形態に係る固体撮像装置1Bと同様の効果が得られる。

[0107] また、平面視で1つのシャッタ部52と重畳し、かつ互いに隣り合う画素において、入射光の隣接画素への侵入（混色）を分離壁64で抑制することができるため、合成した画像の画質性能をより一層高めることができる。

[0108] なお、シャッタ部52の中にも分離壁64を配置する構成は、上述の第1実施形態に係る固体撮像装置1Aにも適用することができる。

[0109] <変形例2-3>

図16は、本技術の第2実施形態の変形例2-3を模式的に示す縦断面図である。

図16に示すように、この変形例2-3は、上述の変形例2-2において、カラーフィルタ層65のフィルタ部66の配置を変えたものである。

[0110] 即ち、図15に示す変形例2-2では、カラーフィルタ層65のフィルタ部66が平面視でシャッタ部52毎にシャッタ部52と重畳している。

[0111] これに対し、図16に示すように、この変形例2-3では、カラーフィルタ層65のフィルタ部66が平面視で光電変換領域22毎に光電変換領域22と重畳している。即ち、この変形例2-3のフィルタ部66は、1つのシャッタブロック53に含まれる4つのシャッタ部52の各々の一部分と平面視で重畳している。

[0112] この変形例2-3の場合、全画素で透過状態でも1/4ずつ透過と同様に、各画素に一色の光しか入らない。

[0113] この変形例 2-3 においても、上述の第 2 実施形態に係る固体撮像装置 1 B と同様の効果が得られる。

[0114] なお、この変形例 2-3 におけるフィルタ部 66 の配置は、上述の第 2 実施形態及び上述の変形例 2-1 にも適用することができる。

[0115] <変形例 2-4>

図 17 は、本技術の第 2 実施形態の変形例 2-4 を模式的に示す縦断面図である。

図 17 に示すように、この変形例 2-4 は、上述の変形例 2-2 において、カラーフィルタ層 65 のフィルタ部 66 を平面視で光電変換領域 22 の重畳領域 27 毎に重畳領域 27 と重畳するように配置したものである。そして、互いに隣り合うフィルタ部 66 の間には分離壁 67 が設けられている。

[0116] この変形例 2-4 の場合、光電変換領域 22 における重畳領域 27 の平面サイズを光電変換領域 22 の平面サイズの $1/4$ サイズとすることにより、実際に画素 3 の $1/4$ の平面サイズの微細画素（疑似画素）と同程度のフィルタ部 66 を配置することができる。

[0117] この変形例 2-4 におもいも、上述の第 2 実施形態に係る固体撮像装置 1 B と同様の効果が得られる。

[0118] なお、この変形例 2-4 におけるフィルタ部 66 の配置は、上述の第 2 実施形態及び上述の変形例 2-1 にも適用することができる。

[0119] <変形例 2-5>

図 18 は、本技術の第 2 実施形態の変形例 2-5 を模式的に示す縦断面図である。

[0120] 図 18 に示すように、この変形例 2-5 は、上述の変形例 2-4 において、カラーフィルタ層 65 の位置を変えたものである。

[0121] 即ち、図 17 に示す変形例 2-4 では、シャッタ層 51 の半導体層 21 側とは反対側において、カラーフィルタ層 65 がシャッタ層 51 とレンズ層 71 との間に設けられている。

[0122] これに対し、図 18 に示すように、この変形例 2-5 では、カラーフィル

タ層 6 5 がシャッタ層 5 1 の半導体層 2 1 側に設けられている。そして、この変形例 2-3 のカラーフィルタ層 6 5 は、シャッタ層 5 1 と半導体層 2 1 との間に設けられている。

[0123] この変形例 2-5 においても、上述の第 2 実施形態に係る固体撮像装置 1 B と同様の効果が得られる。

[0124] なお、この変形例 2-5 におけるカラーフィルタ層 6 5 の配置は、上述の第 2 実施形態にも適用することができると共に、上述の変形例 2-1 から 2-3 の何れにも適用することができる。

[0125] [第 3 実施形態]

この第 3 実施形態では、2 つのシャッタ部 5 2 を含むシャッタブロック 5 3 C について説明する。

図 1 9 A は、本技術の第 3 実施形態に係る固体撮像装置 1 C において、1 つのシャッタブロック 5 3 C に含まれる 2 つのシャッタ部 5 2 の各々の一部分が 1 つの光電変換領域 2 2 と重畳した状態を模式的に示す平面図である。

図 1 9 B は、図 1 9 A の一部を拡大した平面図である。

[0126] 本技術の第 3 実施形態に係る固体撮像装置 1 C は、基本的に上述の第 1 実施形態に係る固体撮像装置 1 A と同様の構成になっており、以下の構成が異なっている。

[0127] 即ち、図 1 9 A 及び図 1 9 B に示すように、本技術の第 3 実施形態に係る固体撮像装置 1 C は、上述の第 1 実施形態の図 4 及び図 6 A に示すシャッタブロック 5 3 に替えてシャッタブロック 5 3 C を備えている。また、レンズ層 7 1 に含まれるマイクロレンズ 7 2 の形状及び配置が異なっている。その他の構成は、概ね上述の第 1 実施形態と同様である。

[0128] 図 1 9 A 及び図 1 9 B に示すように、シャッタブロック 5 3 C は、各々の一部分が平面視で 1 つの光電変換領域 2 2 と重畳する複数のシャッタ部 5 2 を一単位として含む。この第 2 実施形態において、シャッタブロック 5 3 C に含まれる複数のシャッタ部 5 2 は、これに限定されないが、例えば、同一平面内で互いに直交する X 方向及び Y 方向のうち、X 方向に互いに隣り合っ

て並ぶ2つのシャッタ部52（52a, 52b）である。そして、シャッタブロック53Cは、X方向及びY方向のそれぞれの方向に繰り返し配置され、シャッタ層51において、シャッタブロックアレイを構築している。即ち、この第3実施形態のシャッタ層51は、X方向に並ぶ1×2配置の2つのシャッタ部52を一単位として含むシャッタブロック53Cが行列状に複数配置されたシャッタブロックアレイを有する。

[0129] 図19Aに示すように、1つのシャッタブロック53Cに一単位として含まれる2つのシャッタ部52の各々は、X方向において、光電変換領域22のX方向の配列ピッチ22Pxの半ピッチに相当する分、光電変換領域22と相対的に位置がずれている。即ち、シャッタブロック53Cに含まれる2つのシャッタ部52の各々は、平面視で1つの光電変換領域22と均等に重畳している。そして、1つの光電変換領域22は、2つのシャッタ部52の各々の一部分がそれぞれ個別に重畳する2つの重畳領域27（27a, 27b）を含む。この2つの重畳領域27（27a, 27b）の各々が疑似画素として機能し、1つの光電変換領域22で2つの疑似画素を構成している。

[0130] なお、図19Bに示すように、平面視で互いに隣り合う2つのシャッタ部52（52a, 52b）は、各々の一部分が1つの光電変換領域22と重畳している。換言すれば、図19Aを参照すれば、X方向において互いに隣り合う2つの光電変換領域22は、各々の一部分が1つのシャッタ部52と重畳している。

[0131] 図19Bに示すように、この第3実施形態のマイクロレンズ72は、1つの光電変換領域22において、2つのシャッタ部52の各々の一部分がそれぞれ個別に重畳する2つの重畳領域27（27a, 27b）毎に設けられている。即ち、この第3実施形態の1つの画素3は、平面視で光電変換領域22の2つの重畳領域27の各々と個別に重畳する2つのマイクロレンズ72を含む。

[0132] 《画像の合成》

次に、画像の合成について、図20Aから図21Bを用いて説明する。

図20Aは、シャッタブロックの第1開口パターンを模式的に示す平面図である。

図20Bは、図20Aの一部を拡大した平面図である。

図21Aは、シャッタブロックの第2開口パターンを模式的に示す平面図である。

図21Bは、図21Aの一部を拡大した平面図である。

なお、図20Aから図21Bにおいて、シャッタ部52の開閉状態を明確にするため、閉状態のシャッタ部52にはドットパターンを付け、開状態のシャッタ部52にはドットパターンを付けていない。

[0133] 図20A及び図20Bに示すように、この第3実施形態のシャッタブロック53Cは、各々の一部分が平面視で1つの光電変換領域22と重畳する2つのシャッタ部52（52a，52b）を一単位として含んでいる。

[0134] このため、1つのシャッタブロック53Cにおいて、図20A及び図20Bに示すように、2つのシャッタ部52（52a，52b）のうち、一方のシャッタ部52aを開状態とし、残りの他方のシャッタ部52bを閉状態とする第1開口パターンにより、光電変換領域22の重畳領域27a（第1疑似画素）への光の入射を選択的に行うことができる。

[0135] また、図21A及び図21Bに示すように、2つのシャッタ部52（52a，52b）のうち、他方のシャッタ部52bを開状態とし、残りの一方のシャッタ部52aを閉状態とする第2開口パターンにより、光電変換領域22の重畳領域7b（第2疑似画素）への光の入射を選択的に行うことができる。

[0136] 即ち、この1つのシャッタブロック53Cは、2つのシャッタ部52（52a，52b）で1つの光電変換領域22を2回に分けて部分的に開口することができ、1つの光電変換領域22への光の入射を2回に分けて部分的に行うことができる。

[0137] そして、図20A及び図20Bに示す第1開口パターンで撮った第1画像と、図21A及び図21Bに示す第2開口パターンで撮った第2画像とを得

る、即ち開口位置を変えて2回画像を得ることにより、実際の画素3の半分のピッチの画素で撮影したような2倍の解像度をもつ画像を合成することができる。

[0138] これにより、シャッタ部52の平面サイズが画素3（光電変換領域22）の平面サイズと同サイズであっても高解像度化が可能であり、例えば1 μm ピッチのシャッタ部52であっても、0.5 μm ピッチの画素3であるかのような解像度を得ることができる。

[0139] なお、シャッタ部52の開状態又は閉状態は、例えば、Y方向に複数のシャッタ部52が並ぶシャッタ列毎に行う。

[0140] ≪第3実施形態の主な効果≫

以上のように、この第3実施形態に係る固体撮像装置1Cによれば、高解像度化を図ることができる。

[0141] また、1つのシャッタブロック53Cに一単位として含まれる2つのシャッタ部52は、X方向において、光電変換領域22の配列ピッチ（22Px）の半ピッチ（1/2ピッチ）に相当する分、光電変換領域22と相対的に位置がずれていたため、2回で撮った各画像の精度を均一化することができ、合成した画像の画質性能を高めることができる。

[0142] なお、液晶層58としては、この第3実施形態においても互いに隣り合う画素3間でのクロストーク現象に対して強い、強誘電性液晶を用いることが好ましい。

[0143] また、この第3実施形態のシャッタブロック53は、上述の第2実施形態にも適用できると共に、上述の変形例2-1から2-5の何れにも適用することができる。

[0144] ≪第3実施形態の変形例≫

<変形例3-1>

図22は、本技術の第3実施形態の変形例3-1において、シャッタブロック53Cの第1開口パターンを模式的に示す平面図である。

図23は、本技術の第2実施形態の変形例3-1において、シャッタブロ

ック53Cの第2開口パターンを模式的に示す平面図である。

なお、図22及び図23において、シャッタ部52の開閉状態を明確にするため、閉状態のシャッタ部52にはドットパターンを付け、開状態のシャッタ部52にはドットパターンを付けていない。

[0145] 図22及び図23に示すように、この変形例3-1は、シャッタ部52の開状態及び閉状態を市松模様（Checkered Pattern）で行うものである。即ち、図20A及び図20Bに示す第1開口パターンでは、図22に示すように、X方向及びY方向のそれぞれの方向に、開状態のシャッタ部52と閉状態のシャッタ部52とが1つ置きに繰り返し並ぶ第1市松模様で行う、そして、図21A及び図21Bに示す第2開口パターンでは、第1市松模様のシャッタ部52の開閉状態を逆（開状態のシャッタ部52を閉状態、閉状態のシャッタ部52を開状態）にした第2市松模様で行う。

[0146] この変形例3-1においても、1つの光電変換領域22への光の入射を2回に分けて部分的に行うことができるため、上述の第3実施形態に係る固体撮像装置1Cと同様に、高解像度化を図ることができる。

<変形例3-2>

[0147] この変形例3-2では、上述の第3実施形態のシャッタブロック53Cに替えて、シャッタブロック53C₂を備えたものである。

[0148] 図24Aは、本技術の第2実施形態の変形例3-2において、シャッタ層51のシャッタ部52と光電変換領域22との位置関係を模式的に示す平面図である。

[0149] 図24Bは、図24Aの一部を拡大した平面図である。

[0150] 図19A及び図19Bに示すように、上述の第3実施形態のシャッタブロック53Cは、各々の一部分が平面視で1つの光電変換領域22と重畳する複数のシャッタ部52として、X方向に互いに隣り合って並ぶ2つのシャッタ部52（52a、52b）を一単位として含むものである。そして、シャッタブロック53Cは、X方向及びY方向のそれぞれの方向に繰り返し配置され、シャッタ層51において、シャッタブロックアレイを構築している。

[0151] これに対し、図24A及び図24Bに示すように、この変形例3-2のシャッタブロック53C₂は、各々の一部分が平面視で1つの光電変換領域22と重畳する複数のシャッタ部52として、Y方向に互いに隣り合って並ぶ2つのシャッタ部52（52a, 52b）を一単位として含むものである。そして、シャッタブロック53C₂は、X方向及びY方向のそれぞれの方向に繰り返し配置され、シャッタ層51において、シャッタブロックアレイを構築している。即ち、この変形例3-2のシャッタ層51は、Y方向に並ぶ1×2配置の2つのシャッタ部52を一単位として含むシャッタブロック53C₂が行列状に複数配置されたシャッタブロックアレイを有する。

[0152] 図24Aに示すように、1つのシャッタブロック53C₂に一単位として含まれる2つのシャッタ部52の各々は、Y方向において、光電変換領域22のY方向の配列ピッチ22P_yの半ピッチに相当する分、光電変換領域22と相対的に位置がずれている。即ち、シャッタブロック53C₂に含まれる2つのシャッタ部52の各々は、平面視で1つの光電変換領域22と均等に重畳している。そして、1つの光電変換領域22は、2つのシャッタ部52の各々の一部分がそれぞれ個別に重畳する2つの重畳領域27（27a, 27b）を含む。この2つの重畳領域27（27a, 27b）の各々が疑似画素として機能し、1つの光電変換領域22で2つの疑似画素を構成している。

[0153] なお、図24Bに示すように、平面視で互いに隣り合う2つのシャッタ部52（52a, 52b）は、各々の一部分が1つの光電変換領域22と重畳している。換言すれば、図24Aを参照すれば、X方向において互いに隣り合う2つの光電変換領域22は、各々の一部分が1つのシャッタ部52と重畳している。

[0154] 図24Bに示すように、この変形例3-2のマイクロレンズ72は、1つの光電変換領域22において、2つのシャッタ部52の各々の一部分がそれぞれ個別に重畳する2つの重畳領域27（27a, 27b）毎に設けられている。即ち、この変形例3-2の1つの画素3は、上述の第3実施形態と同

様に、平面視で光電変換領域 22 の 2 つの重畳領域 27 の各々と個別に重畳する 2 つのマイクロレンズ 72 を含む。

[0155] 図 24 A 及び図 24 B に示すように、この変形例 3-2 のシャッタブロック 53 C₂ は、各々の一部分が平面視で 1 つの光電変換領域 22 と重畳する 2 つのシャッタ部 52 (52 a, 52 b) を一単位として含んでいる。

[0156] このため、詳細に図示していないが、1 つのシャッタブロック 53 C₂ において、2 つのシャッタ部 52 (52 a, 52 b) のうち、一方のシャッタ部 52 a を開状態とし、残りの他方のシャッタ部 52 b を閉状態とする第 1 開口パターンにより、光電変換領域 22 の重畳領域 27 a (第 1 疑似画素) への光の入射を選択的に行うことができる。

[0157] また、2 つのシャッタ部 52 (52 a, 52 b) のうち、他方のシャッタ部 52 b を開状態とし、残りの一方のシャッタ部 52 a を閉状態とする第 2 開口パターンにより、光電変換領域 22 の重畳領域 27 b (第 2 疑似画素) への光の入射を選択的に行うことができる。

[0158] 即ち、この 1 つのシャッタブロック 53 C₂ においても、2 つのシャッタ部 52 (52 a, 52 b) で 1 つの光電変換領域 22 を 2 回に分けて部分的に開口することができ、1 つの光電変換領域 22 への光の入射を 2 回に分けて部分的に行うことができる。

[0159] そして、第 1 開口パターンで撮った第 1 画像と、第 2 開口パターンで撮った第 2 画像とを得る、即ち開口位置を変えて 2 回画像を得ることにより、実際の画素 3 の半分のピッチの画素で撮影したような 2 倍の解像度をもつ画像を合成することができる。

[0160] これにより、シャッタ部 52 の平面サイズが画素 3 (光電変換領域 22) の平面サイズと同サイズであっても高解像度化が可能であり、例えば 1 μm ピッチのシャッタ部 52 であっても、0.5 μm ピッチの画素 3 であるかのような解像度を得ることができる。

[0161] なお、シャッタ部 52 の開状態又は閉状態は、例えば、Y 方向に複数のシャッタ部 52 が並ぶシャッタ列毎に行う。

以上のように、この変形例 3-2 においても、上述の第 3 実施形態と同様に高解像度化を図ることができる。

[0162] また、1つのシャッタブロック 53C₂に一単位として含まれる2つのシャッタ部 52は、Y方向において、光電変換領域 22の配列ピッチ（22P_y）の半ピッチ（1/2ピッチ）に相当する分、光電変換領域 22と相対的に位置がずれていたため、上述の第 3 実施形態と同様に、2回で撮った各画像の精度を均一化することができ、合成した画像の画質性能を高めることができる。

[0163] なお、この変形例 3-2 において、シャッタ部 52の開状態又は閉状態は、上述の第 3 実施形態と同様に、Y方向に複数のシャッタ部 52が並ぶシャッタ列毎に行うことができる。また、シャッタ部 52の開状態又は閉状態は、上述の変形例 3-1と同様に、市松模様で行うことができる。

[0164] [第 4 実施形態]

この第 4 実施形態では、アクティブマトリクス方式のシャッタ層 51D について説明する。

図 25 は、本技術の第 4 実施形態に係る固体撮像装置の縦断面構造を模式的に示す縦断面図である。

図 26 は、本技術の第 4 実施形態に係る固体撮像装置において、シャッタ層に含まれる上部電極及び下部電極の配置状態を模式的に示す斜視図である。

図 27 は、本技術の第 4 実施形態に係る固体撮像装置において、シャッタ層に含まれる上部電極及び下部電極の配置状態を模式的に示す平面図である。

図 28 は、本技術の第 4 実施形態に係る固体撮像装置において、画素間分離領域に含まれる中継電極の平面パターンを模式的に示す平面図である。

[0165] 本技術の第 4 実施形態に係る固体撮像装置 1D は、基本的に上述の第 1 実施形態の固体撮像装置 1A と同様の構成になっており、以下の構成が異なっている。

[0166] 即ち、図25に示すように、本技術の第4実施形態に係る固体撮像装置1Dは、上述の第1実施形態の図5に示す単純マトリックス方式のシャッタ層51に替えてアクティブマトリックス方式のシャッタ層51Dを備えている。そして、画素間分離領域31の構成が異なっている。その他の構成は、概ね上述の第1実施形態と同様である。

[0167] <シャッタ層の構成>

図25に示すように、シャッタ層51Dは、基本的に上述の第1実施形態の図5に示す液晶層51と同様の構成になっており、図5に示す上部電極60及び下部電極56に替えて上部電極60D及び下部電極56Dを備えている。即ち、シャッタ層51Dは、半導体層21の第2の面部S2側から順次設けられた偏光板54、絶縁膜55、下部電極56D、配向膜57、液晶層58、配向光膜59、上部電極60D、絶縁膜61、偏光板62及び絶縁膜63を有する。

[0168] 図26及び図27に示すように、上部電極60Dは、複数のシャッタ部52に亘って広範囲に広がり、複数のシャッタ部で共有されている。下部電極56Dは、シャッタ部52毎に設けられている。上部電極60D及び下部電極56Dの各々は、例えばITO (Indium Tin Oxide) 等の透明導電膜で構成されている。

[0169] この第4実施形態のシャッタ部52は、上部電極60Dと下部電極56Dとを含んでいる。そして、このシャッタ部52は、上部電極60D及び下部電極56Dに電圧を印加し、上部電極60Dと下部電極56Dとの間に電界を発生させて液晶層56の液晶分子を駆動して開状態（透過状態）又は閉状態（遮蔽状態）とすることにより、光電変換領域22への光の入射を制御する。下部電極56Dへの電圧の印加は、下部電極56毎に設けられた駆動トランジスタDRによって行われる。即ち、シャッタ層51Dは、これに限定されないが、例えば、アクティブマトリックス方式で構成されている。アクティブマトリックス方式では、選択したいシャッタ部52を、下部電極56と電氣的に接続された駆動トランジスタDRによって選択する。

[0170] なお、この第4実施形態のシャッタ部及びシャッタブロックに関する構成は、上部電極60D及び下部電極56Dを除いて、概ね上述の第1実施形態のシャッタ部52及びシャッタブロック53と同様である。

[0171] <駆動トランジスタ>

図25に示すように、駆動トランジスタDRは、光電変換領域22において、半導体層21の第1の面部S1側に設けられている。駆動トランジスタDRは、半導体層21の第1の面部S1の外側に設けられたゲート電極43dと、このゲート電極43dと半導体層21の第1の面部S1との間に設けられたゲート絶縁膜42と、を有する。また、駆動トランジスタDRは、半導体層21の第1の面部S1側の表層部に設けられ、かつソース領域及びドレイン領域として機能する一対の主電極領域49a及び49bと、チャンネル形成部として機能するp型のウエル領域23と、を更に有する。一対の主電極領域49a及び49bの各々は、n型の半導体領域24よりも不純物濃度が高いn型の半導体領域で構成されている。

[0172] 図25に示すように、駆動トランジスタDRの一方の主電極領域49aは、層間絶縁膜46に設けられたコンタクト電極47mを介して、配線層48に設けられた配線48mと電氣的に接続されている。そして、駆動トランジスタDRの他方の主電極領域49bは、層間絶縁膜46に設けられたコンタクト電極47nを介して、配線層48に設けられた配線48nと電氣的に接続されている。

[0173] <画素間分離領域>

図25に示すように、この第4実施形態の画素間分離領域31は、中継電極35を含んでいる。即ち、この第4実施形態の画素間分離領域31は、半導体層21の厚さ方向（Z方向）に延伸する掘り込み部32と、この掘り込み部32の側壁に沿って設けられた分離絶縁膜34と、この掘り込み部32に分離絶縁膜34を介して設けられた中継電極35と、を含む。

[0174] <中継電極>

図25に示すように、中継電極35の一端側は、半導体層21の第2の面

部S 2からシャッタ層5 1 Dに突出し、下部電極5 6 Dと電氣的及び機械的に接続されている。また、中継電極3 5の他端側は、層間絶縁膜4 6に設けられたコンタクト電極4 7 pと電氣的及び機械的に接続されている。そして、コンタクト電極4 7 pは、配線層4 8に設けられた配線4 8 nと電氣的及び機械的に接続されている。即ち、下部電極5 6 Dは、中継電極3 5、コンタクト電極4 7 p、配線4 8 n及びコンタクト電極4 7 nを介して駆動トランジスタDRの主電極領域4 9 bと電氣的に接続されている。

[0175] 図28に示すように、中継電極3 5は、シャッタ部5 2毎に設けられ、互いに隣り合う他の中継電極3 5と電氣的及び構造的に分離されている。中継電極3 5は、これに限定されないが、平面視での形状が十字形状で構成され、X方向及びY方向のそれぞれの方向において互いに隣り合う4つの光電変換領域の間に設けられている。

[0176] なお、中継電極3 5は、個々に分離されたドットパターンで構成してもよい。この場合、複数の中継電極3 5は、液晶シャッタ層5 2毎に電氣的に接続する。

[0177] 以上のように、アクティブマトリックス方式のシャッタ層5 1 Dに本技術を適用することができ、この第4実施形態に係る固体撮像装置1 Dにおいても、上述の第1実施形態と同様の効果が得られる。

[0178] なお、この第4実施形態の固体撮像装置1 Dに、上述の第2実施形態及び変形例2-5のカラーフィルタ層6 5を適用することができる。

また、この第4実施形態の固体撮像装置1 Dに、上述の変形例2-1から2-4の分離壁6 4及び6 7に関する技術を適用することができる。

[0179] <第4実施形態の変形例>

<変形例4-1, 4-2>

偏光板5 4, 6 2としては、「0°」、「45°」、「90°」「135°」の直線偏光子をもつ偏光板を組み合わせてもよい。偏光板5 4, 6 2と、シャッタ部5 2（下部電極5 6 D）及び光電変換領域2 2（画素3）との重なり方は、1/4サイズ毎の透過では同じ使い方が可能だが、全画素透過

で使う場合に異なるセンサとして使用することができる。

[0180] 図29は、本技術の第4実施形態の変形例4-1を模式的に示す平面図である。

図30は、本技術の第4実施形態の変形例4-2を模式的に示す平面図である。

図29に示す変形例4-1は、偏光板54、62とシャッタ部52（下部電極56D）とが同一位置で重畳する場合である。この変形例4-1では、全画素透過で、4つの偏光が混ざった、普通のセンサのように使うことができる。

[0181] 図30に示す変形例4-2は、偏光板54、62と光電変換領域22（画素3）とが同一位置で重畳する場合である。この変形例4-2では、全画素透過で、1画素毎に1方向の直線偏光子を持つ偏光センサとして使うことができる。

[0182] <変形例4-3、4-4>

図31は、本技術の第4実施形態の変形例4-3を模式的に示す縦断面図である。

図32は、本技術の第4実施形態の変形例4-3を模式的に示す平面図である。

図33は、本技術の第4実施形態の変形例4-4を模式的に示す平面図である。

図31に示すように、第4実施形態に上述の変形例2-3の図16に示すカラーフィルタ層65及び液晶層58を適用した固体撮像装置において、図32の変形例4-3は、偏光板54、62とシャッタ部52（下部電極56D）とが同一位置で重畳し、フィルタ部66と光電変換領域22（画素3）とが同一位置で重畳する場合である。この変形例4-3の場合、全画素透過では、1/4サイズ毎の透過と同様に、RGBに分光した偏光センサとして使用することができる。

[0183] また、図31に示す固体撮像装置において、図33の変形例4-4は、偏

光板 5 4, 6 2 と光電変換領域 2 2 (画素 3) とが同一位置で重畳し、フィルタ部 6 6 とシャッタ部 5 2 (下部電極 5 6 D) とが同一位置で重畳する場合である。この変形例 4-4 の場合、全画素透過で、R + G + B 光の混ざった偏光センサとして使用することができる。

[0184] 〔第 5 実施形態〕

この第 5 実施形態は、電氣的に光の透過と遮蔽との切り替が可能な材料層としてエレクトロクロミック材料層 5 8 E を用いた場合の一例である。

図 3 4 は、本技術の第 5 実施形態に係る固体撮像装置 1 E の縦断面構造を模式的に示す縦断面図である。

[0185] 本技術の第 5 実施形態に係る固体撮像装置 1 E は、基本的に上述の第 1 実施形態に係る固体撮像装置 1 A と同様の構成になっており、以下の構成が異なっている。

[0186] 即ち、図 3 4 に示すように、本技術の第 5 実施形態に係る固体撮像装置 1 E は、上述の第 1 実施形態の図 5 に示す液晶層 5 8 に替えてエレクトロクロミック材料層 5 8 E を備えている。そして、本技術の第 5 実施形態に係る固体撮像装置 1 E は、図 5 に示す偏光板 5 4 及び 6 2 と、配向膜 5 7 及び 5 9 と、絶縁膜 6 3 と、を省略している。その他の構成及び駆動方法は、概ね上述の第 1 実施形態と同様である。

[0187] この第 5 実施形態において、シャッタ部 5 2 は、電圧を印加してエレクトロクロミック材料層 5 8 E の透過率を変化させることによって光の透過と遮光とを制御する。換言すれば、この第 5 実施形態のシャッタ部 5 2 は、電圧を印加してエレクトロクロミック材料層 5 8 E の透過率を変化させることによって光電変換領域 2 2 への光の入射を制御する。即ち、この第 5 実施形態のシャッタ部 5 2 は、電圧を印加してエレクトロクロミック材料層 5 8 E の透過率を変化させることによって光の透過と遮光とを制御するクロミック・シャッタ部である。

[0188] この第 5 実施形態に係る固体撮像装置 1 E においても、上述の第 1 実施形態に係る固体撮像装置 1 A と同様の効果が得られる。

[0189] また、電氣的に光の透過と遮蔽との切り替が可能な材料層としてエレクトロクロミック材料層 58E を用いた場合、液晶層 58 を用いた場合と比較して、偏光させずに信号を取り出すことができる。

[0190] なお、エレクトロクロミック材料層 58E は、上述の第 2 から第 4 実施形態及びその変形例においても適用することができる。

[0191] 〔第 6 実施形態〕

《電子機器への応用例》

本技術（本開示に係る技術）は、例えば、デジタルスチルカメラ、デジタルビデオカメラ等の撮像装置、撮像機能を備えた携帯電話機、又は、撮像機能を備えた他の機器といった各種の電子機器に適用することができる。

[0192] 図 35 は、本技術の第 6 実施形態に係る電子機器（例えば、カメラ）の概略構成を示す図である。

[0193] 図 35 に示すように、電子機器 100 は、固体撮像装置 101 と、光学レンズ 102 と、シャッタ装置 103 と、駆動回路 104 と、信号処理回路 105 とを備えている。この電子機器 100 は、固体撮像装置 101 として、本技術の第 1 から第 5 実施形態に係る固体撮像装置 1A～1E を電子機器（例えばカメラ）に用いた場合の実施形態を示す。

[0194] 光学レンズ 102 は、被写体からの像光（入射光 106）を固体撮像装置 101 の撮像面上に結像させる。これにより、固体撮像装置 101 内に一定期間にわたって信号電荷が蓄積される。シャッタ装置 103 は、固体撮像装置 101 への光照射期間及び遮光期間を制御する。駆動回路 104 は、固体撮像装置 101 の転送動作及びシャッタ装置 103 のシャッタ動作を制御する駆動信号を供給する。駆動回路 104 から供給される駆動信号（タイミング信号）により、固体撮像装置 101 の電荷転送を行なう。信号処理回路 105 は、固体撮像装置 101 から出力される信号（画素信号（画像信号））に各種信号処理を行う。信号処理が行われた映像信号は、メモリ等の記憶媒体に記憶され、或いはモニタに出力される。

[0195] このような構成により、固体撮像装置 101 において、高解像度化が図ら

れているため、第6実施形態の電子機器100の画質性能の向上を図ることができる。

[0196] なお、上述の実施形態の固体撮像装置を適用できる電子機器100としては、カメラに限られるものではなく、他の電子機器にも適用することができる。例えば、携帯電話機やタブレット端末等のモバイル機器向けカメラモジュール等の撮像装置に適用してもよい。

[0197] また、本技術は、上述したイメージセンサとしての固体撮像装置の他、ToF (Time of Flight) センサと呼称され、距離を測定する測定する測距センサなども含む光検出装置全般に適用することができる。測距センサは、物体に向かって照射光を発光し、その照射光が物体の表面で反射されて返ってくる反射光を検出し、照射光が発光されてから反射光が受光されるまでの飛行時間に基づいて物体までの距離を算出するセンサである。この測距センサにおいても、上述した画素トランジスタを採用することができる。

[0198] なお、本技術は、以下のような構成としてもよい。

(1)

光入射面部を有し、かつ前記光入射面部側から入射した光を信号電荷に光電変換する光電変換領域がマトリックス状に配置された半導体層と、

前記半導体層の前記光入射面部側に設けられ、かつ前記光電変換領域への光の入射を透過と遮蔽とによって制御するシャッタ部が前記光電変換領域と同一の配列ピッチでマトリックス状に配置されたシャッタ層と、

各々の一部分が平面視で1つの前記光電変換領域と重畳する複数の前記シャッタ部を含むシャッタブロックと、を備えている、光検出装置。

(2)

前記シャッタブロックに含まれる複数の前記シャッタ部は、同一平面内で互いに直交するX方向及びY方向の何れか一方の方向において互いに隣り合って並ぶ2つの前記シャッタ部である、上記(1)に記載の光検出装置。

(3)

2つの前記シャッタ部の各々は、前記一方の方向において、前記光電変換

領域の配列ピッチの半ピッチ分、前記光電変換領域と相対的に位置がずれている、上記（２）に記載の光検出装置。

（４）

前記シャッタブロックに含まれる複数の前記シャッタ部は、同一平面内で互いに直交するＸ方向及びＹ方向のそれぞれの方向において互いに隣り合って並ぶ４つの前記シャッタ部である、上記（１）に記載の光検出装置。

（５）

４つの前記シャッタ部の各々は、前記Ｘ方向及びＹ方向のそれぞれの方向において、前記光電変換領域の配列ピッチの半ピッチ分、前記光電変換領域と相対的に位置がずれている、上記（４）に記載の光検出装置。

（６）

前記シャッタ部は、電界を発生させて液晶層の液晶分子を駆動することによって光の透過と遮蔽とを制御する液晶シャッタ部である、上記（１）から（５）の何れかに記載の光検出装置。

（７）

前記シャッタ部は、電圧を印加してエレクトロクロミック材料層の透過率を変化させることによって光の透過と遮蔽とを制御するクロミック・シャッタ部である上記（１）から（５）の何れかに記載の光検出装置。

（８）

互いに隣り合う前記シャッタ部の間に分離壁が設けられている、上記（１）から（７）の何れかに記載の光検出装置。

（９）

前記シャッタ部は、上記分離壁で複数のサブ領域に分割されている、上記（８）に記載の光検出装置。

（１０）

複数のカラーフィルタ部を含み、かつ前記シャッタ層の前記半導体層側、若しくは前記半導体層側とは反対側に設けられたカラーフィルタ層を更に備えている、請求項１から９の何れか一項に記載の光検出装置。

(1 1)

前記シャッタ層の前記半導体層側とは反対側に設けられ、かつ1つの光電変換領域と1つの前記シャッタ部の一部とが重畳する重畳領域毎に設けられたマイクロレンズを含むレンズ層を更に備えている、上記(1)から(10)の何れか請求項1から10の何れかに記載の光検出装置。

(1 2)

光検出装置と、

被写体からの像光を前記光検出装置の撮像面上に結像させる光学レンズと

、

前記光検出装置から出力される信号に信号処理を行う信号処理回路と、

を備え、

前記光検出装置は、

光入射面部を有し、かつ前記光入射面部側から入射した光を信号電荷に光電変換する光電変換領域がマトリックス状に配置された半導体層と、

前記半導体層の前記光入射面部側に設けられ、かつ前記光電変換領域への光の入射を透過と遮蔽とによって制御するシャッタ部が前記光電変換領域と同一の配列ピッチでマトリックス状に配置されたシャッタ層と、

各々の一部分が平面視で1つの前記光電変換領域と重畳する複数の前記シャッタ部を含むシャッタブロックと、

を備えている、電子機器。

[0199] 本技術の範囲は、図示され記載された例示的な実施形態に限定されるものではなく、本技術が目的とするものと均等な効果をもたらす全ての実施形態をも含む。さらに、本技術の範囲は、請求項により画される発明の特徴の組み合わせに限定されるものではなく、全ての開示されたそれぞれの特徴のうち特定の特徴のあらゆる所望する組み合わせによって画されうる。

符号の説明

[0200] 1 A, 1 B, 1 C, 1 D, 1 E…固体撮像装置

2…半導体チップ

- 2 A …画素アレイ部
- 2 B …周辺部
- 3 …画素
- 4 …垂直駆動回路
- 5 …カラム信号処理回路
- 6 …水平駆動回路
- 7 …出力回路
- 8 …制御回路
- 1 0 …画素駆動線
- 1 1 …垂直信号線
- 1 2 …水平信号線
- 1 3 …ロジック回路
- 1 4 …ボンディングパッド
- 1 5 …画素回路（読出し回路）
- 2 1 …半導体層
- 2 2 …光電変換領域
- 2 2 P x, 2 2 P y …配列ピッチ
- 2 3 …p型のウエル領域（p型の半導体領域）
- 2 4 …n型の半導体領域
- 2 5 …光電変換部（PD）
- 2 7, 2 7 a, 2 7 b, 2 7 c, 2 7 d …重畳領域（疑似画素）
- 3 1 …画素間分離領域
- 3 2 …掘り込み部
- 3 4 …分離絶縁膜
- 3 5 …中継電極
- 4 2 …ゲート絶縁膜
- 4 3, 4 3 d …ゲート電極
- 4 6 …層間絶縁膜

4 7 f, 4 7 m, 4 7 n, 4 7 p, 4 7 t …コンタクト電極（導電プラグ）

4 8 …配線層

4 8 f, 4 8 m, 4 8 n, 4 8 p, 4 8 t …配線

5 1, 5 1 D …シャッタ層

5 2, 5 2 a, 5 2 b, 5 2 c, 5 2 d …シャッタ部

5 2 P x, 5 2 P y …配列ピッチ

5 3, 5 3 C₂ …シャッタブロック

5 4 …偏光板

5 5 …絶縁膜

5 6, 5 6 D …下部電極

5 7 …配向膜

5 8 …液晶層

5 8 E …エレクトロクロミック材料層

5 9 …配向膜

6 0, 6 0 D …上部電極

6 1 …絶縁膜、

6 2 …偏光板

6 3 …絶縁膜

6 4 …分離壁（シャッタ用分離壁）

6 5 …カラーフィルタ層

6 6 …フィルタ部

6 7 …分離壁（フィルタ用分離壁）

7 1 …レンズ層

7 2 …マイクロレンズ

D R …駆動トランジスタ

請求の範囲

- [請求項1] 光入射面部を有し、かつ前記光入射面部側から入射した光を信号電荷に光電変換する光電変換領域がマトリックス状に配置された半導体層と、
- 前記半導体層の前記光入射面部側に設けられ、かつ前記光電変換領域への光の入射を透過と遮蔽とによって制御するシャッタ部が前記光電変換領域と同一の配列ピッチでマトリックス状に配置されたシャッタ層と、
- 各々の一部分が平面視で1つの前記光電変換領域と重畳する複数の前記シャッタ部を含むシャッタブロックと、を備えている、光検出装置。
- [請求項2] 前記シャッタブロックに含まれる複数の前記シャッタ部は、同一平面内で互いに直交するX方向及びY方向の何れか一方の方向において互いに隣り合って並ぶ2つの前記シャッタ部である、請求項1に記載の光検出装置。
- [請求項3] 2つの前記シャッタ部の各々は、前記一方の方向において、前記光電変換領域の配列ピッチの半ピッチ分、前記光電変換領域と相対的に位置がずれている、請求項2に記載の光検出装置。
- [請求項4] 前記シャッタブロックに含まれる複数の前記シャッタ部は、同一平面内で互いに直交するX方向及びY方向のそれぞれの方向において互いに隣り合って並ぶ4つの前記シャッタ部である、請求項1に記載の光検出装置。
- [請求項5] 4つの前記シャッタ部の各々は、前記X方向及びY方向のそれぞれの方向において、前記光電変換領域の配列ピッチの半ピッチ分、前記光電変換領域と相対的に位置がずれている、請求項4に記載の光検出装置。
- [請求項6] 前記シャッタ部は、電界を発生させて液晶層の液晶分子を駆動することによって光の透過と遮蔽とを制御する液晶シャッタ部である、請

求項 1 に記載の光検出装置。

[請求項7] 前記シャッタ部は、電圧を印加してエレクトロクロミック材料層の透過率を変化させることによって光の透過と遮蔽とを制御するクロミック・シャッタ部である請求項 1 に記載の光検出装置。

[請求項8] 互いに隣り合う前記シャッタ部の間に分離壁が設けられている、請求項 1 に記載の光検出装置。

[請求項9] 前記シャッタ部は、前記分離壁で複数のサブ領域に分割されている、請求項 8 に記載の光検出装置。

[請求項10] 複数のカラーフィルタ部を含み、かつ前記シャッタ層の前記半導体層側、若しくは前記半導体層側とは反対側に設けられたカラーフィルタ層を更に備えている、請求項 1 に記載の光検出装置。

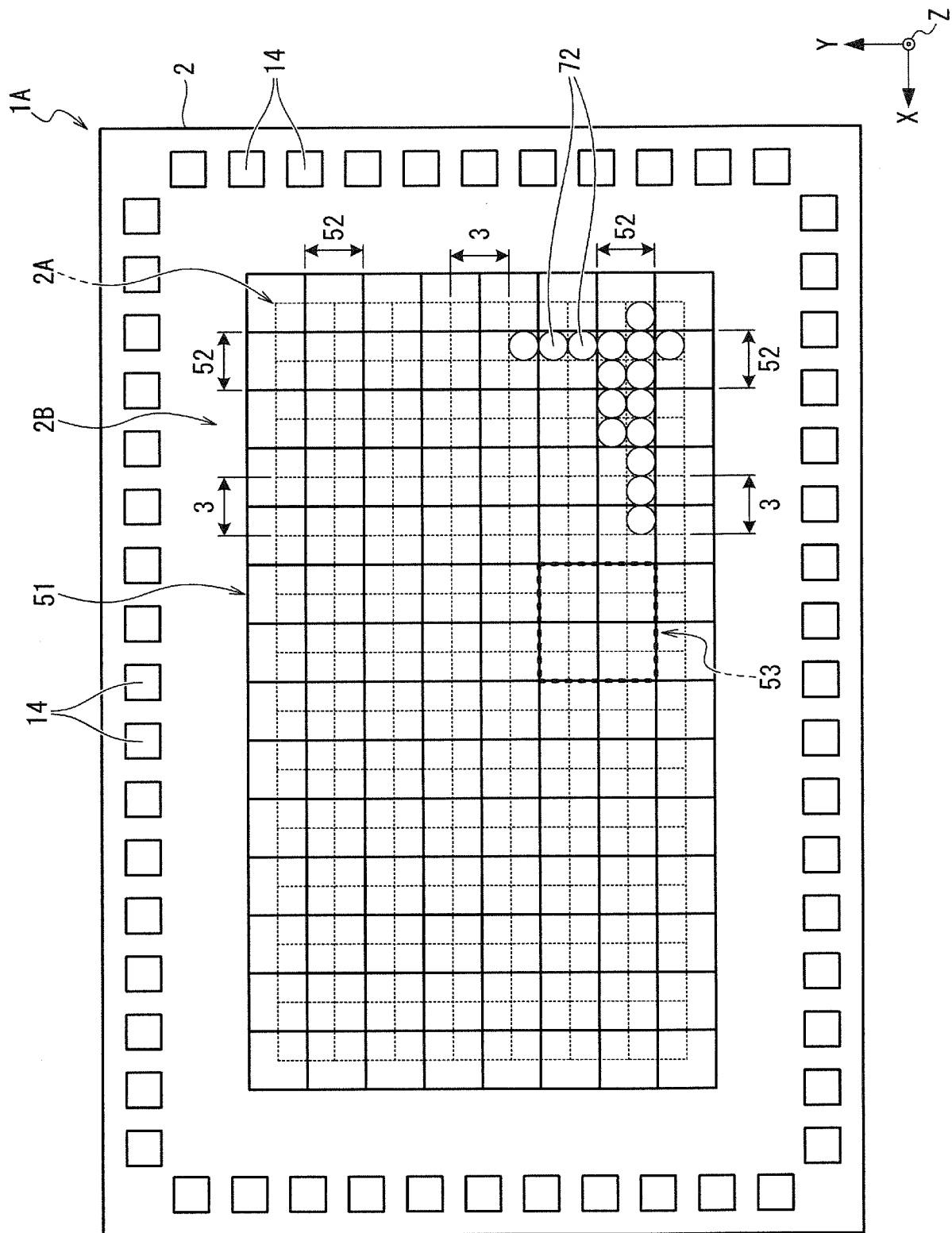
[請求項11] 前記シャッタ層の前記半導体層側とは反対側に設けられ、かつ1つの光電変換領域と1つの前記シャッタ部の一部とが重畳する重畳領域毎に設けられたマイクロレンズを含むレンズ層を更に備えている、請求項 1 に記載の光検出装置。

[請求項12] 光検出装置と、
被写体からの像光を前記光検出装置の撮像面上に結像させる光学レンズと、
前記光検出装置から出力される信号に信号処理を行う信号処理回路と、
を備え、
前記光検出装置は、
光入射面部を有し、かつ前記光入射面部側から入射した光を信号電荷に光電変換する光電変換領域がマトリックス状に配置された半導体層と、
前記半導体層の前記光入射面部側に設けられ、かつ前記光電変換領域への光の入射を透過と遮蔽とによって制御するシャッタ部が前記光電変換領域と同一の配列ピッチでマトリックス状に配置されたシャッ

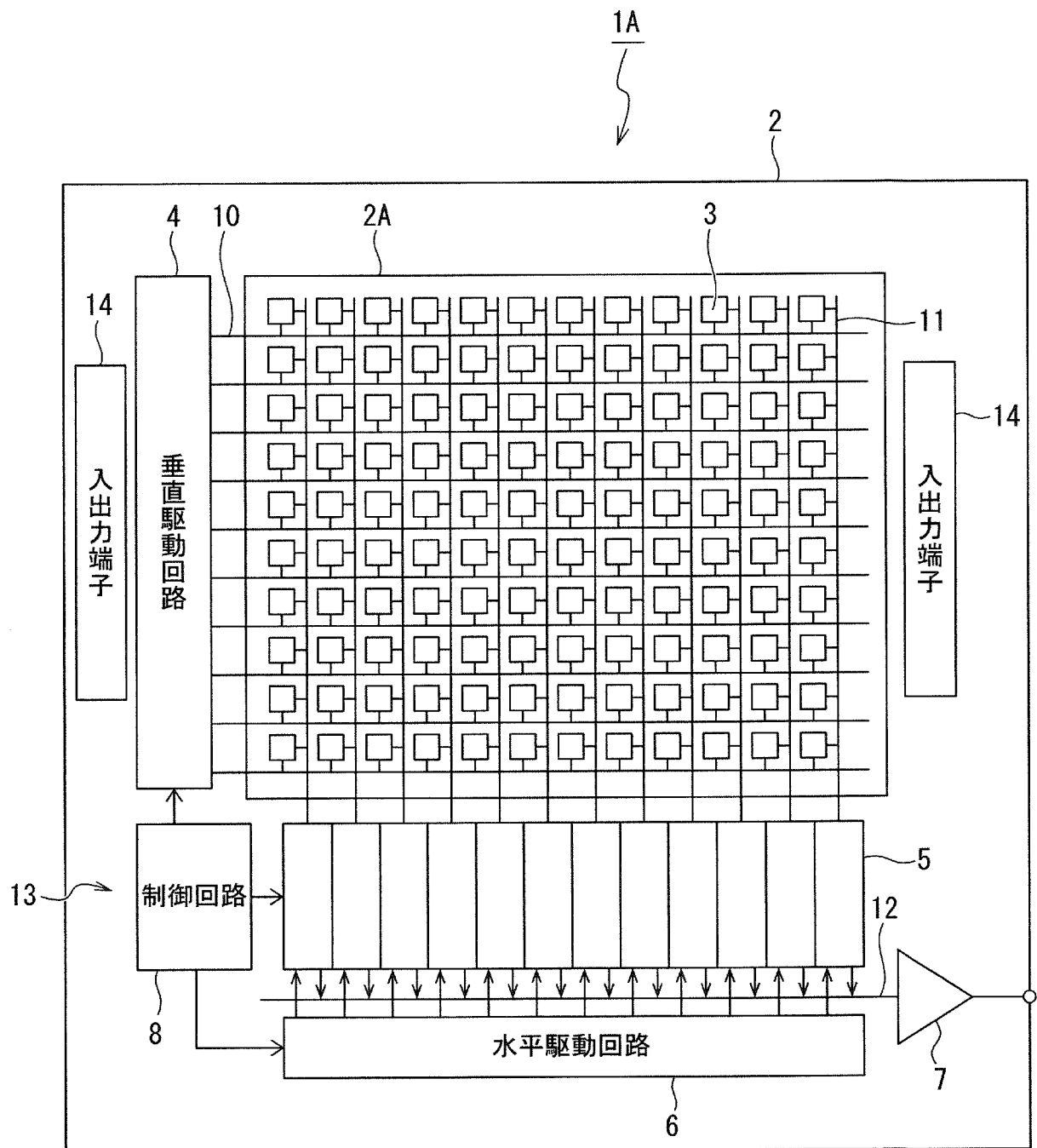
タ層と、

各々の一部分が平面視で1つの前記光電変換領域と重畳する複数の
前記シャッタ部を含むシャッタブロックと、
を備えている、電子機器。

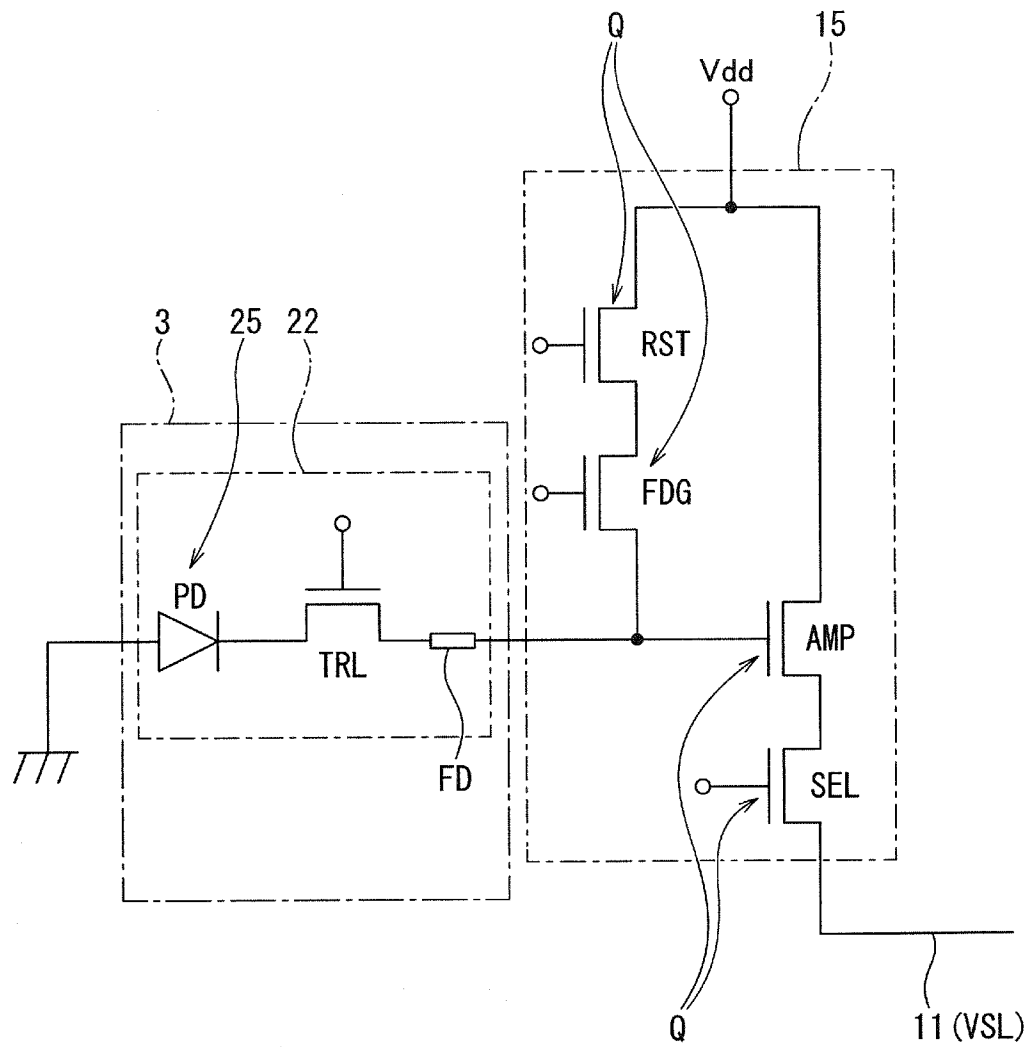
[図1]



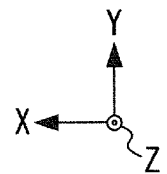
[図2]

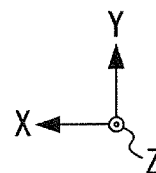


[図3]

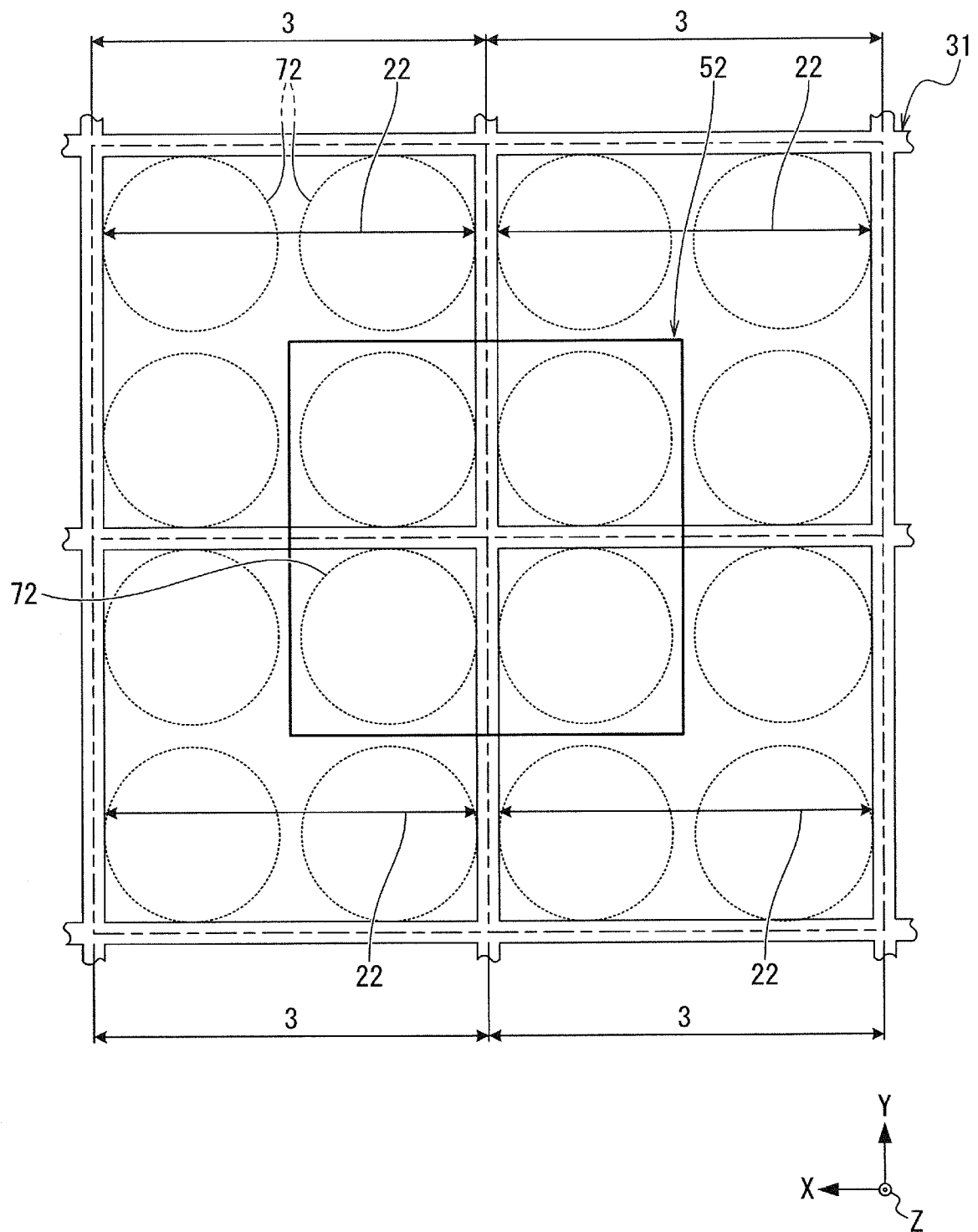


1A

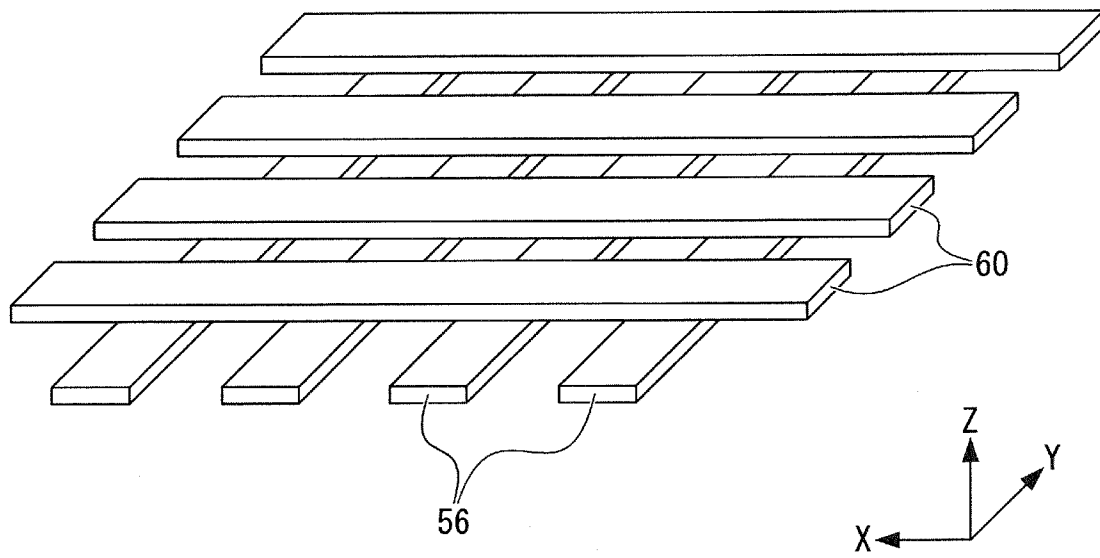




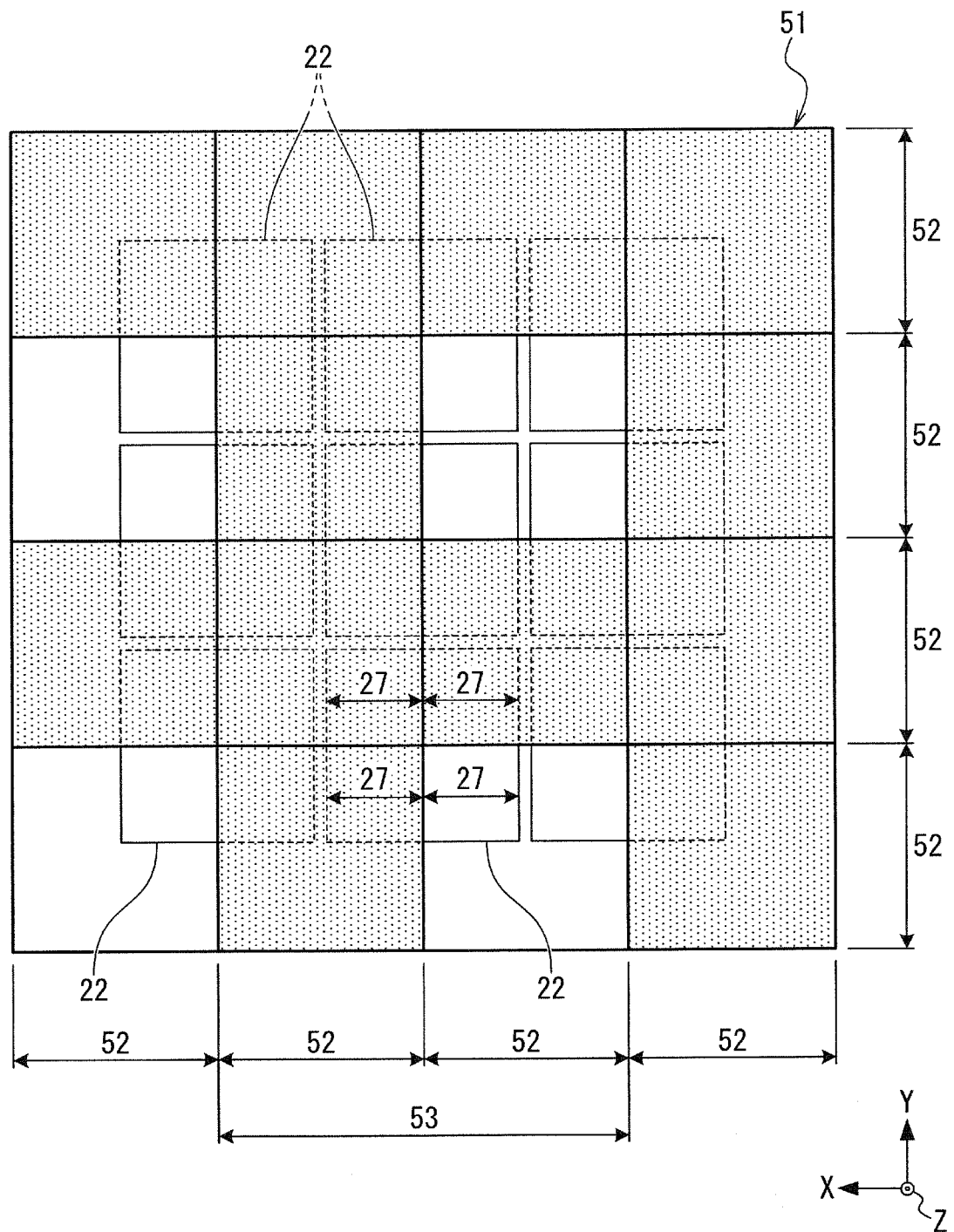
[図6B]



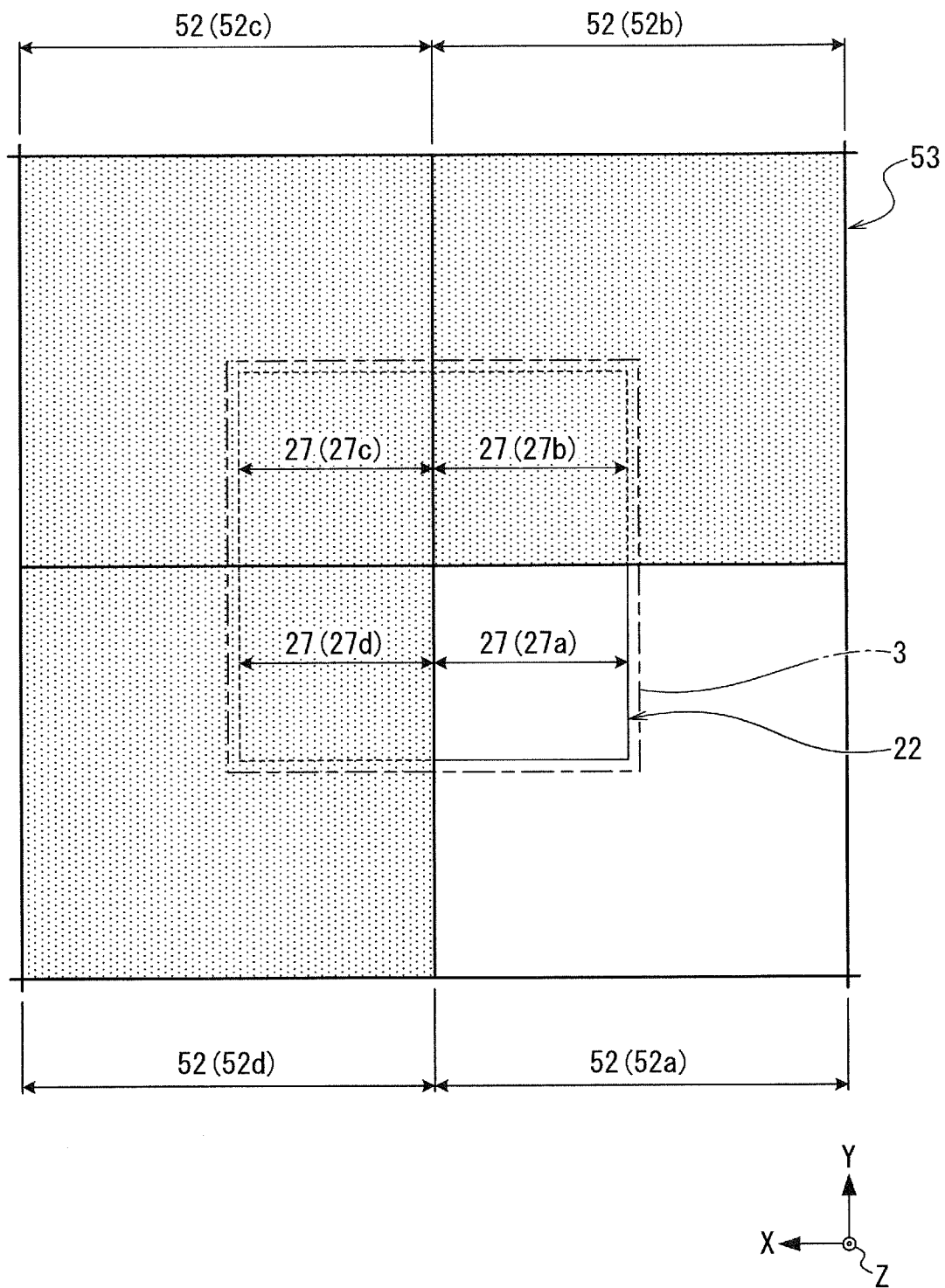
[図7]



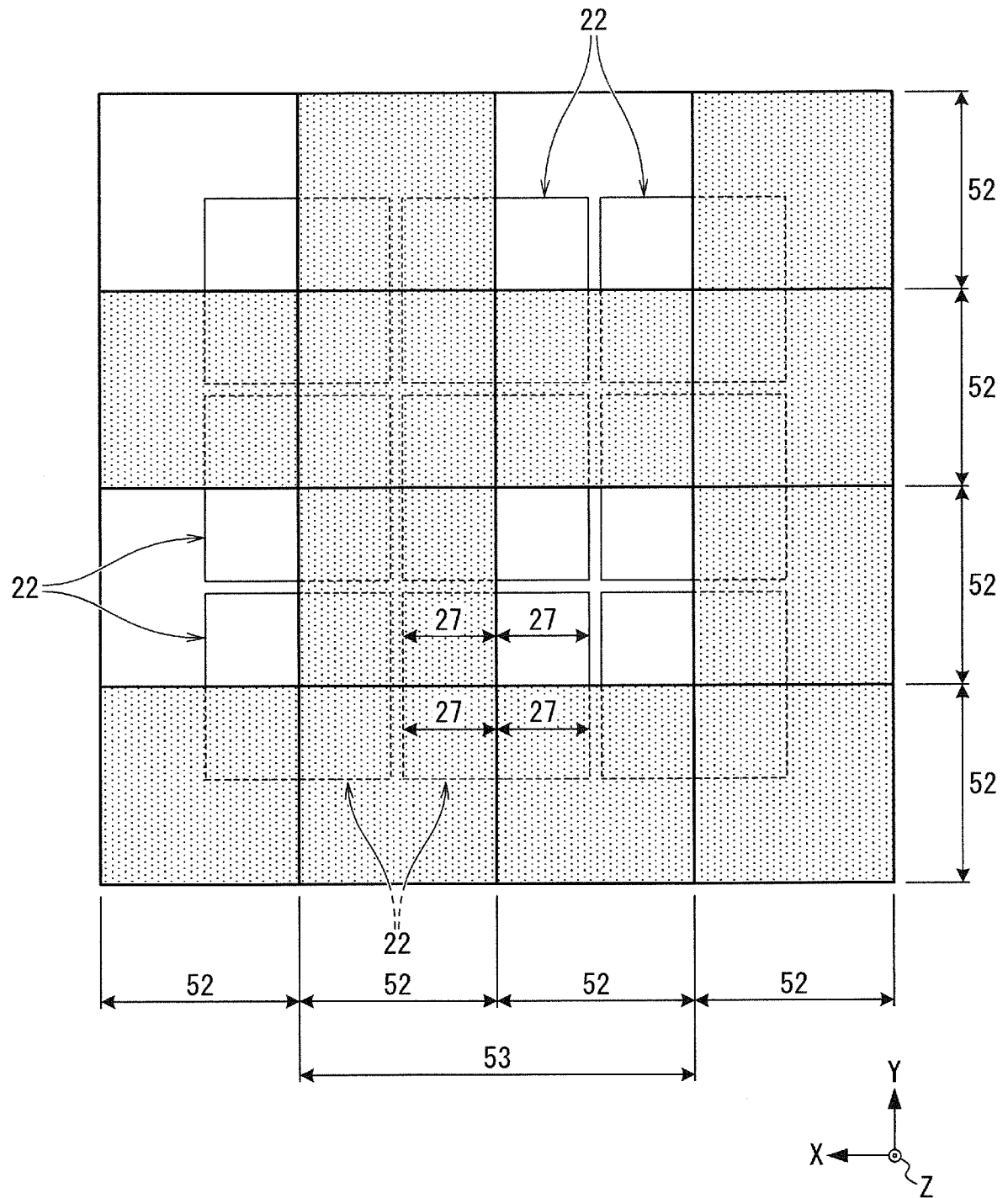
[図9A]



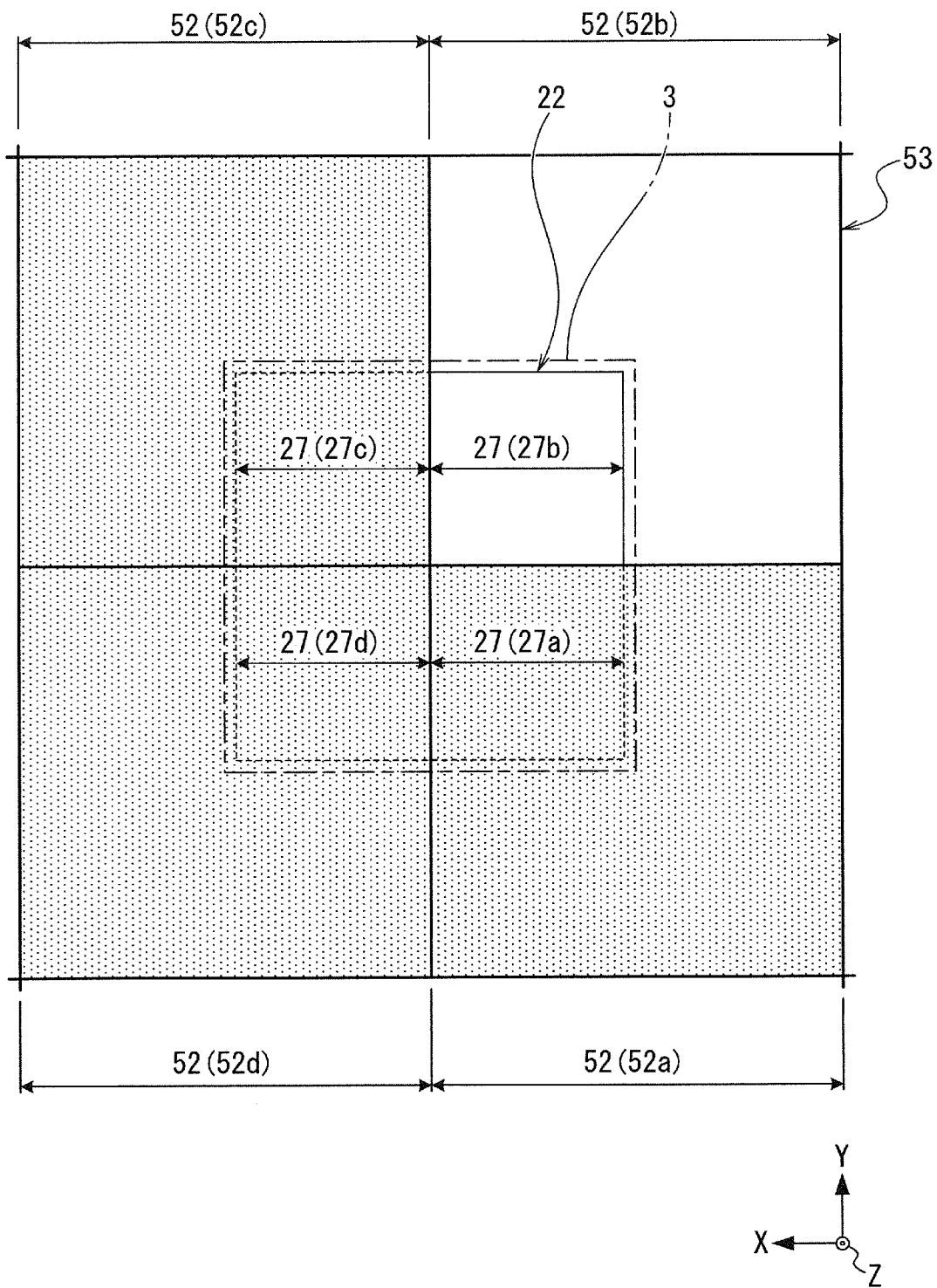
[図9B]

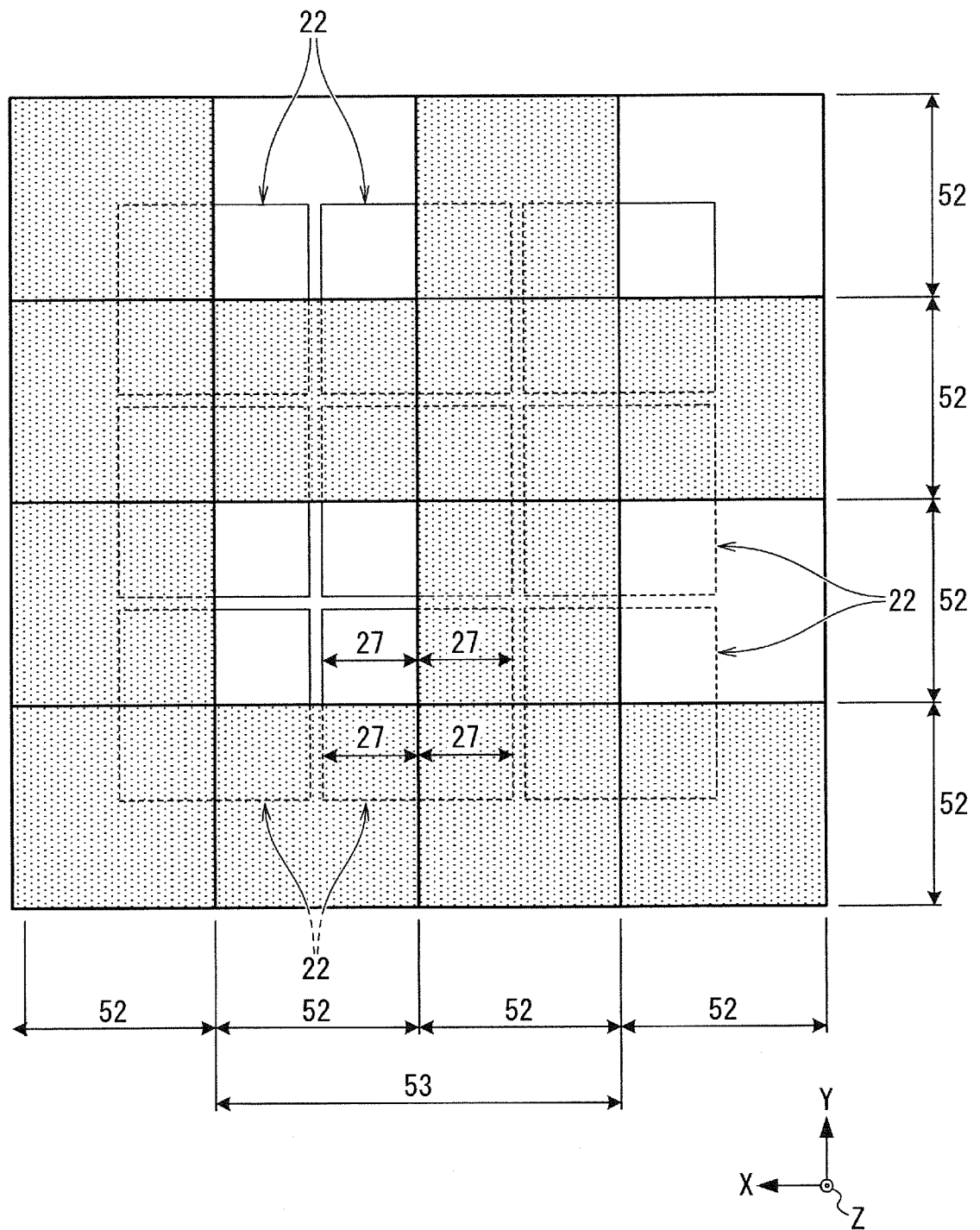


[図10A]

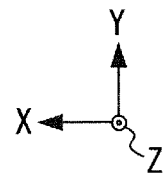
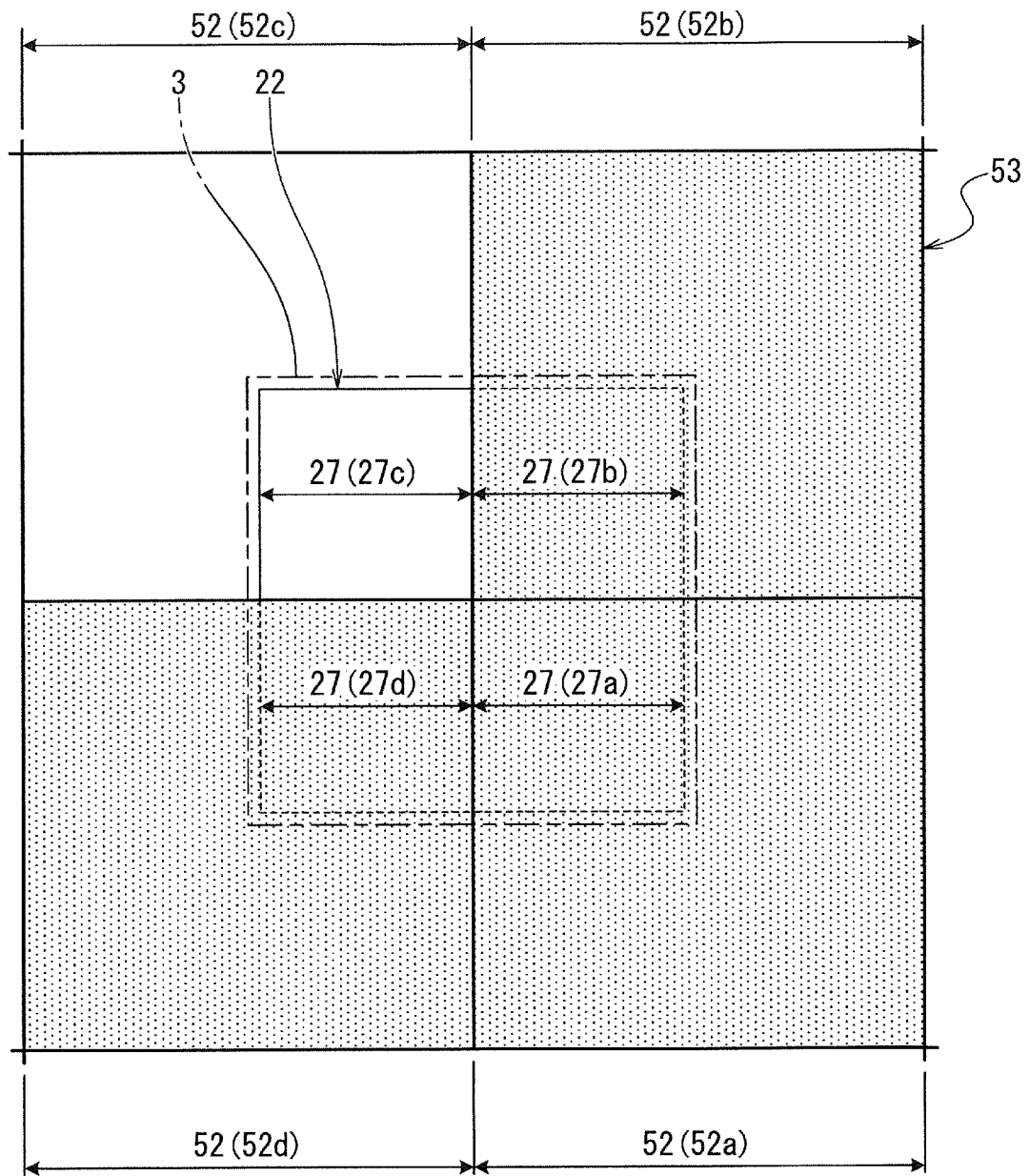


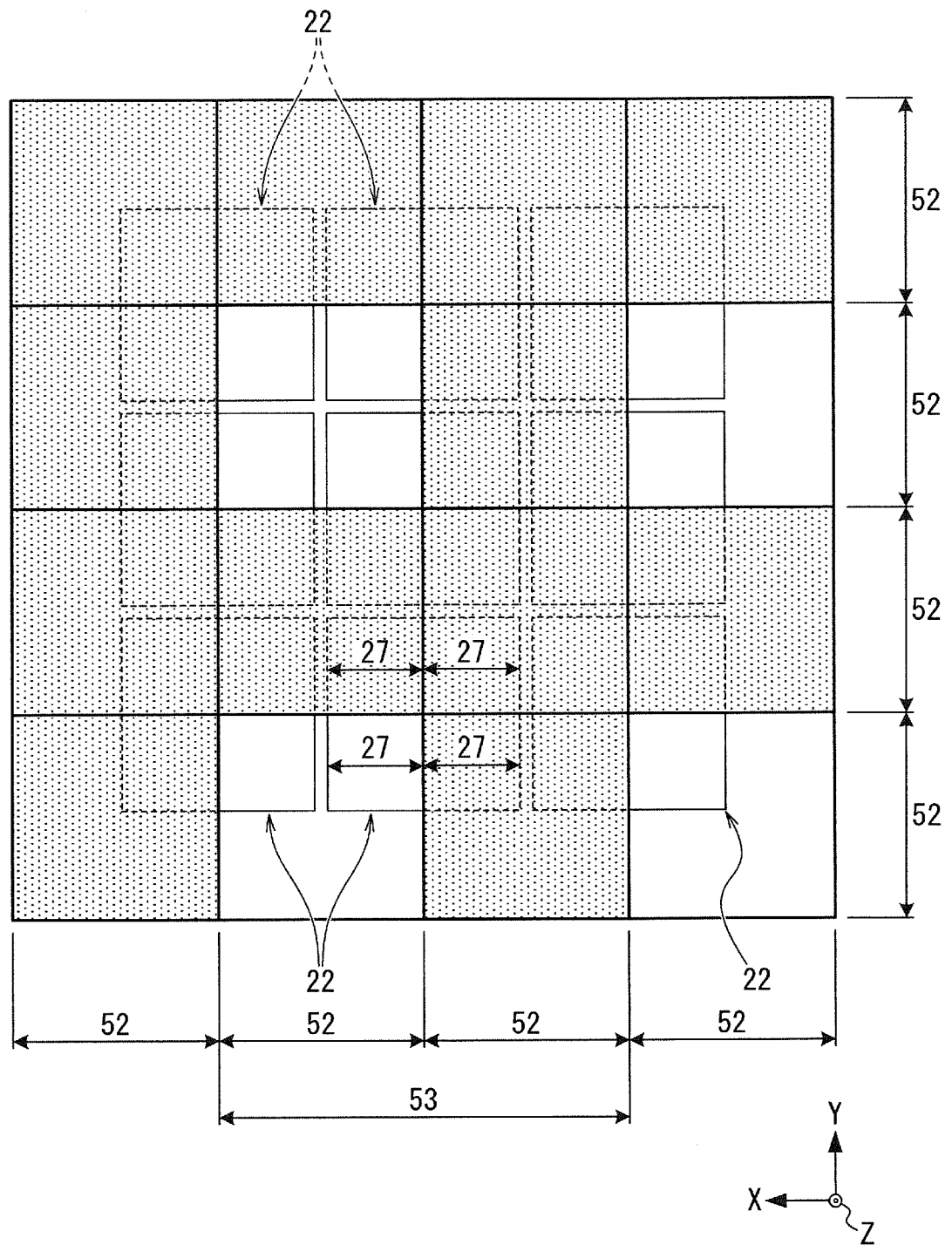
[図10B]



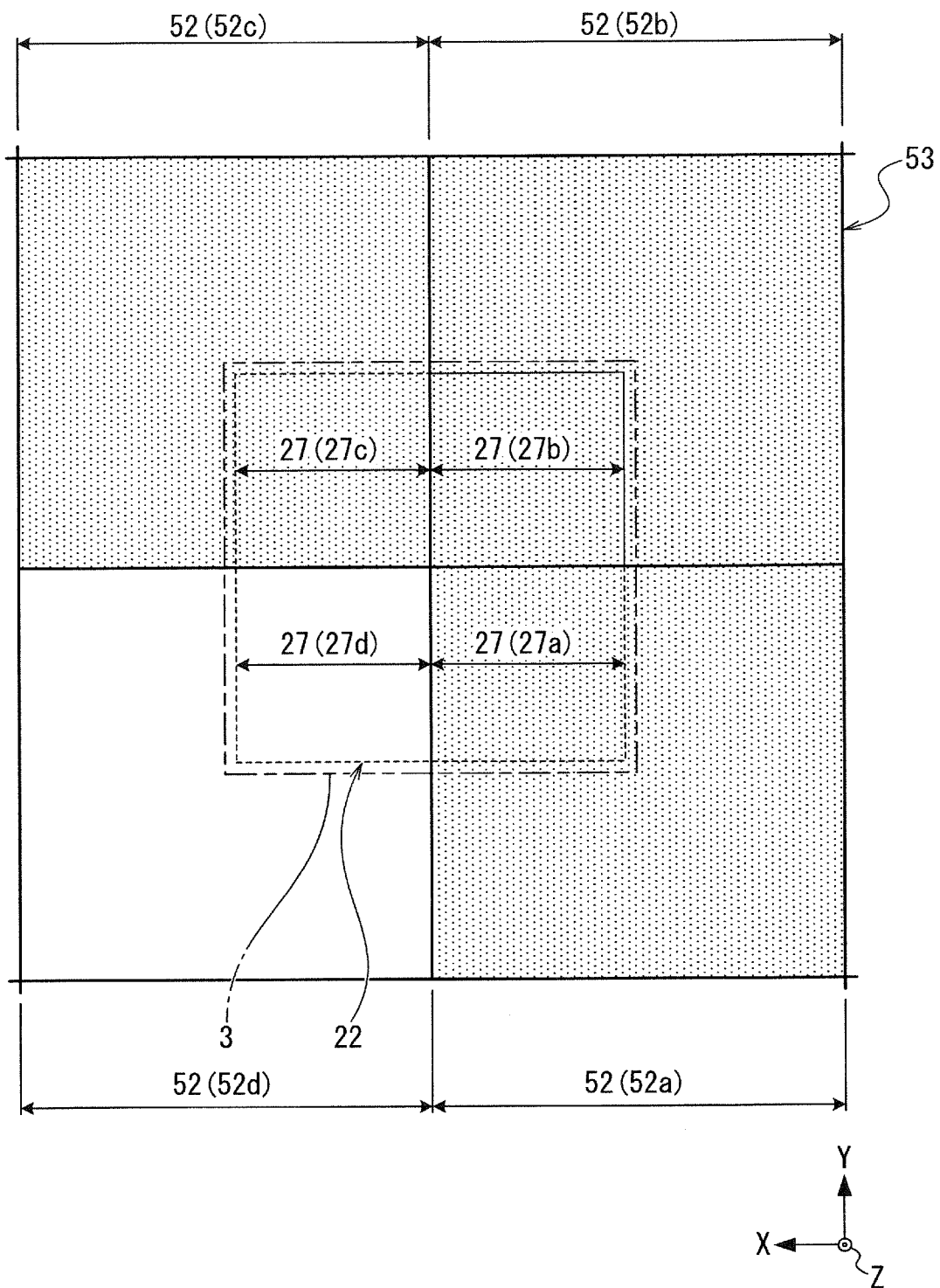


[図11B]





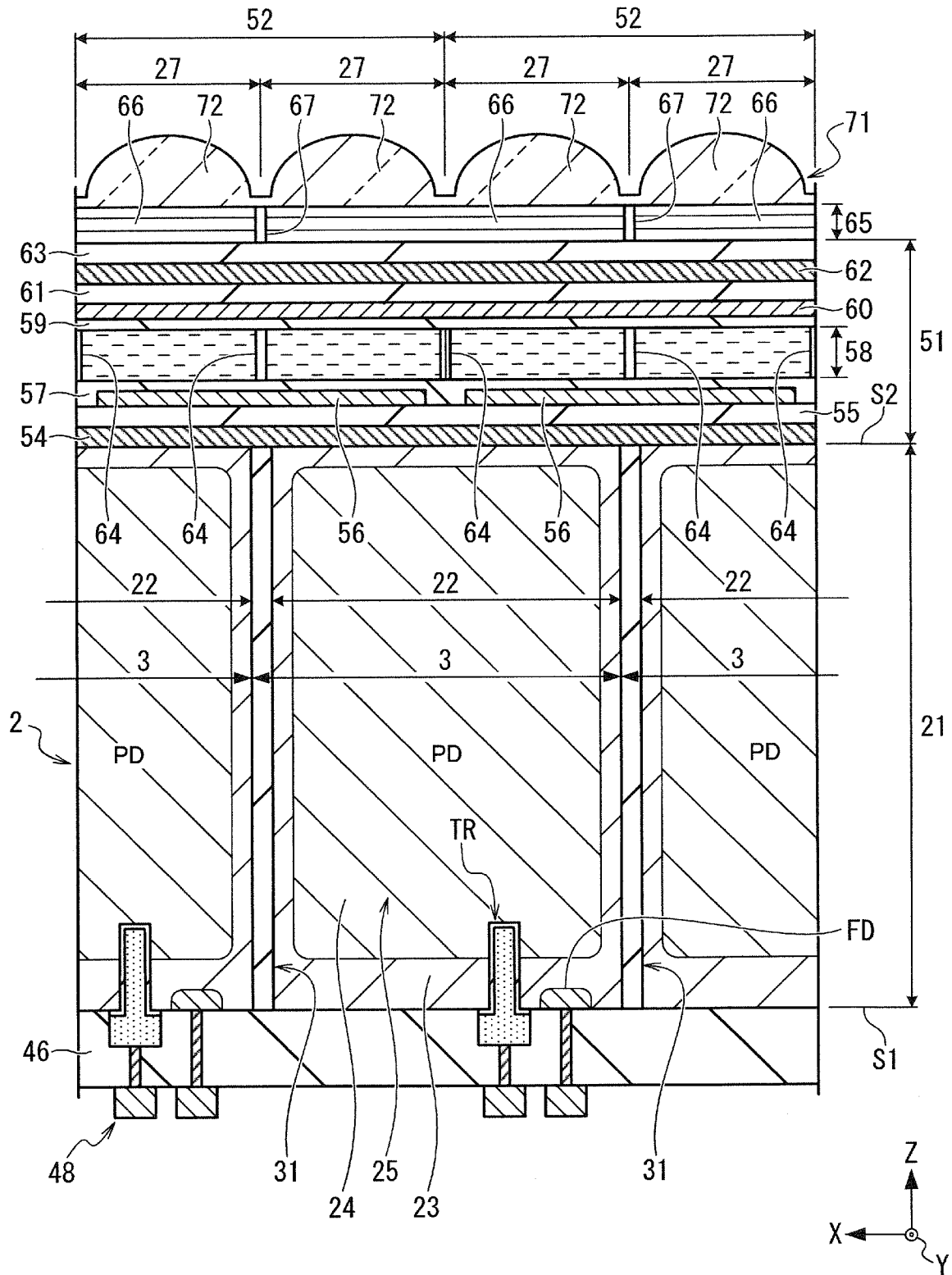
[図12B]



[illegible]

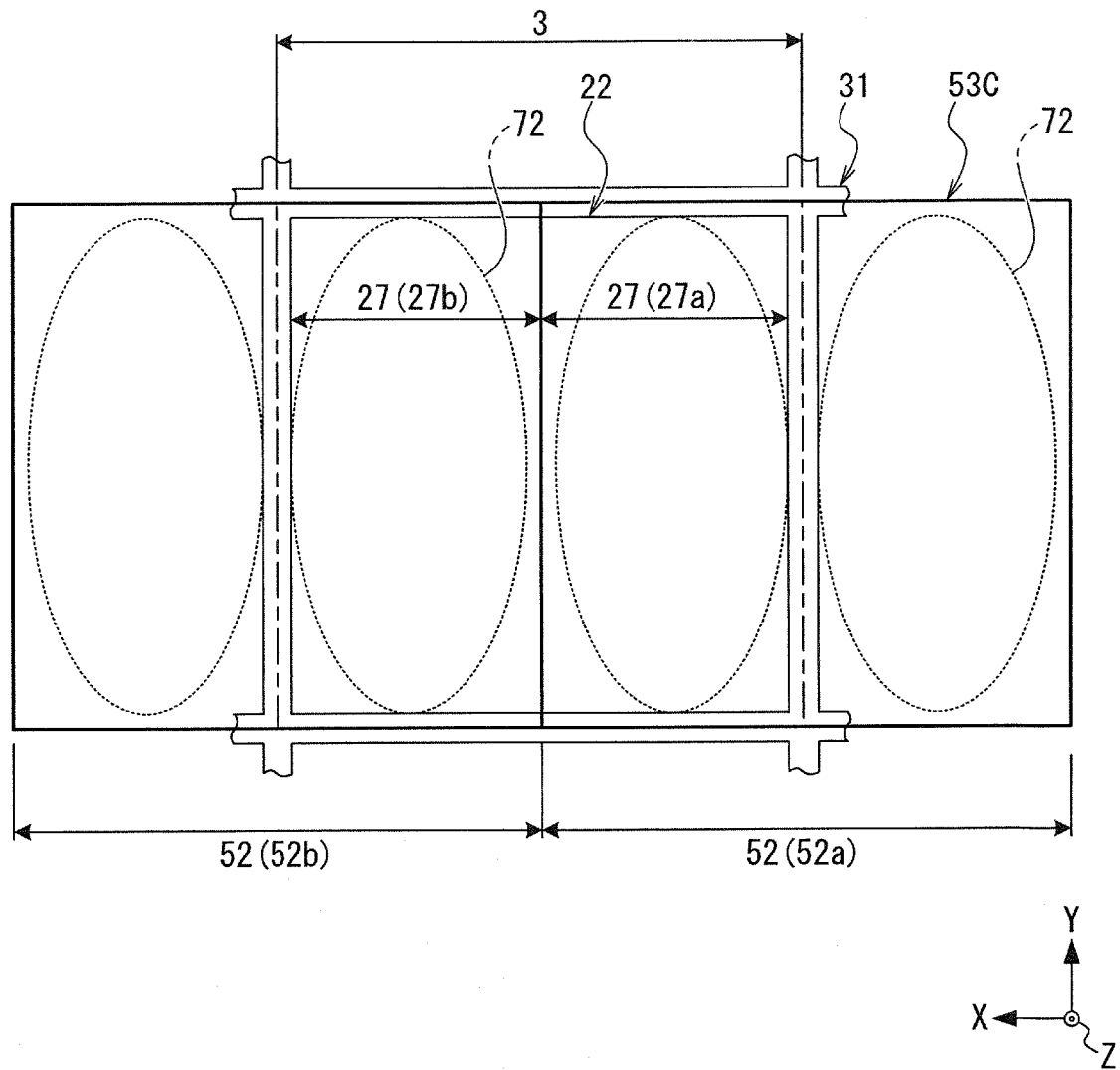
[illegible]

[図16]

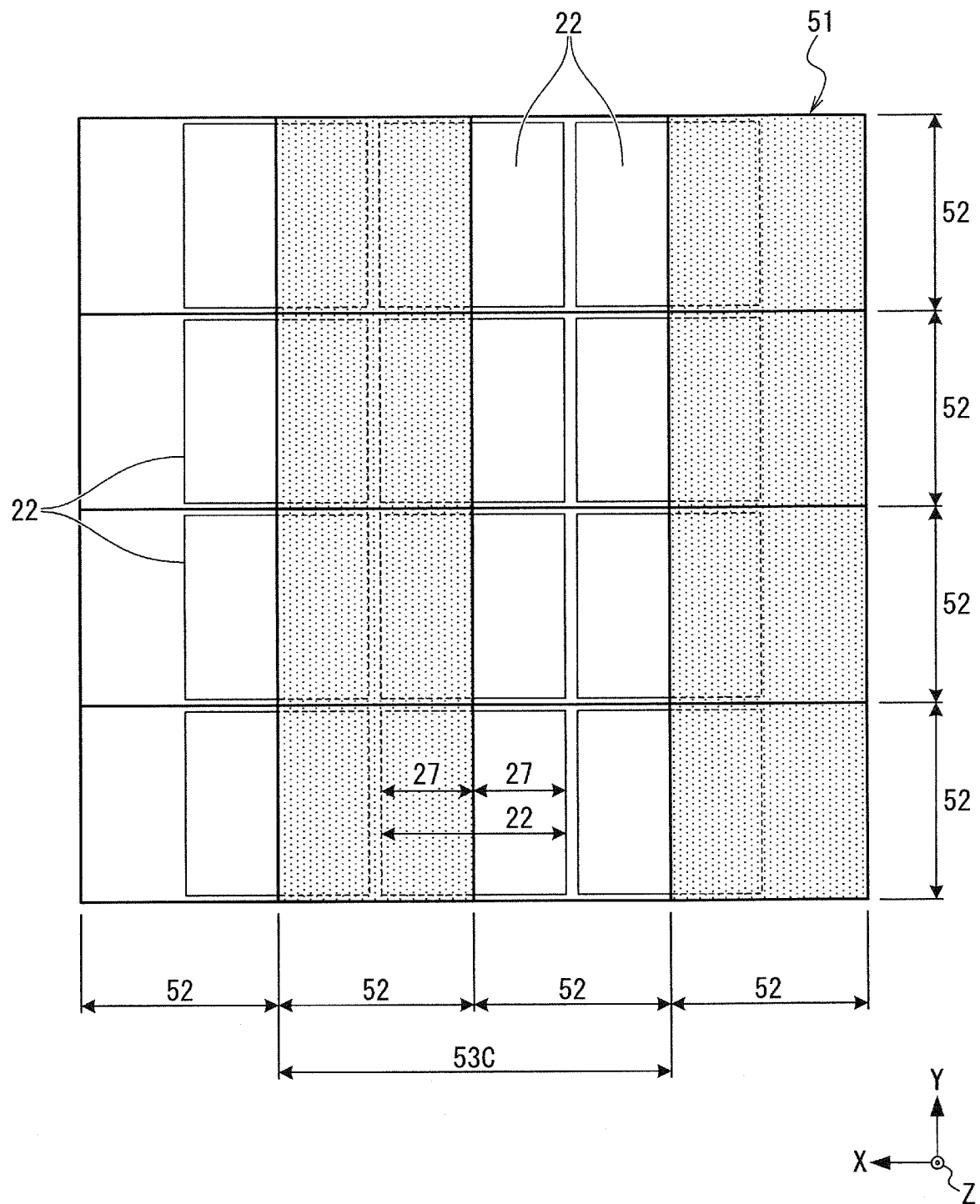


A detailed cross-sectional diagram of a semiconductor device. The top layer consists of four repeating units, each containing a dome-shaped feature labeled 71. Dimensions are indicated at the top: a total width of 52 is divided into two sections of 27 each, which are further subdivided into segments of 67, 66, and 72. Below the top layer is a series of horizontal layers labeled 63, 62, 61, 60, 59, 58, 57, and 54. A vertical dimension of 65 is shown for the top section, and 51 for the middle section. A dashed line indicates a boundary between layers 58 and 57. Below these layers is a large central region labeled PD (Pixel Driver) with diagonal hatching. This region is divided by vertical structures labeled 22 and 3. Other labels include 64, 56, 3, 2, 21, TR, FD, S1, 46, 48, 31, 24, 25, 23, and X. A coordinate system is shown at the bottom right with Z pointing up and X pointing left.

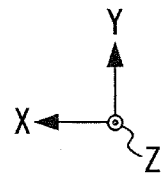
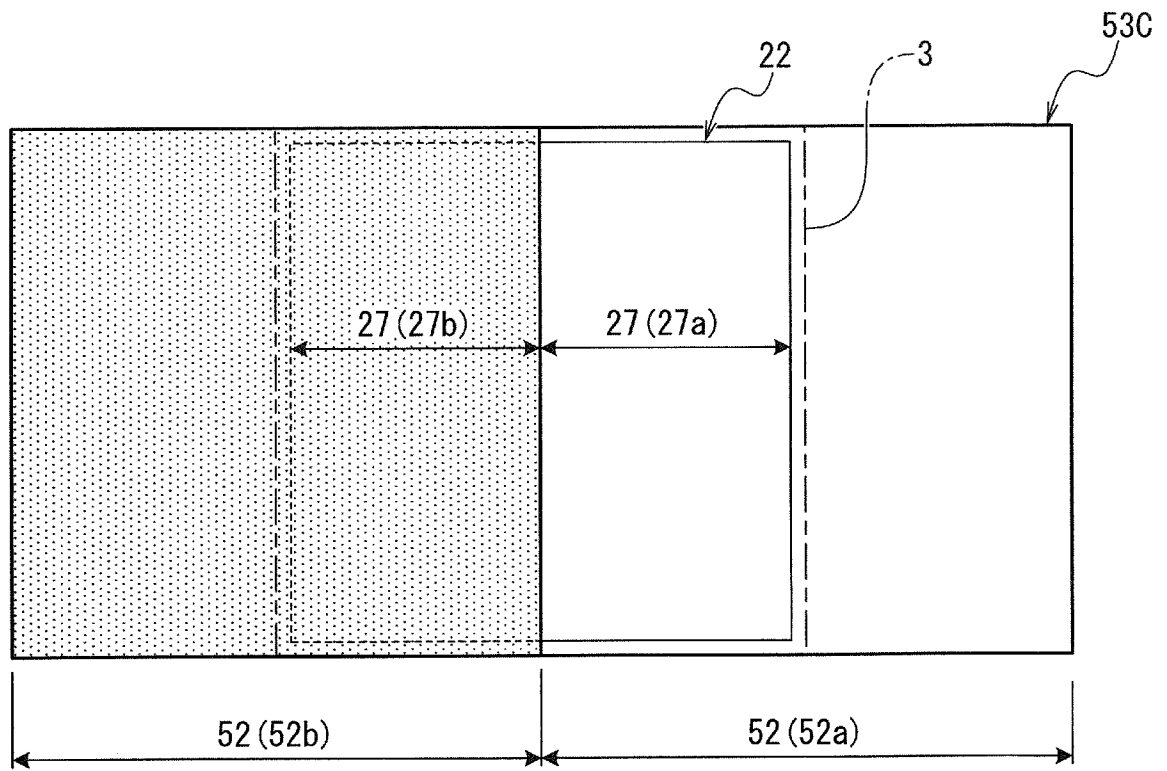
[図19B]



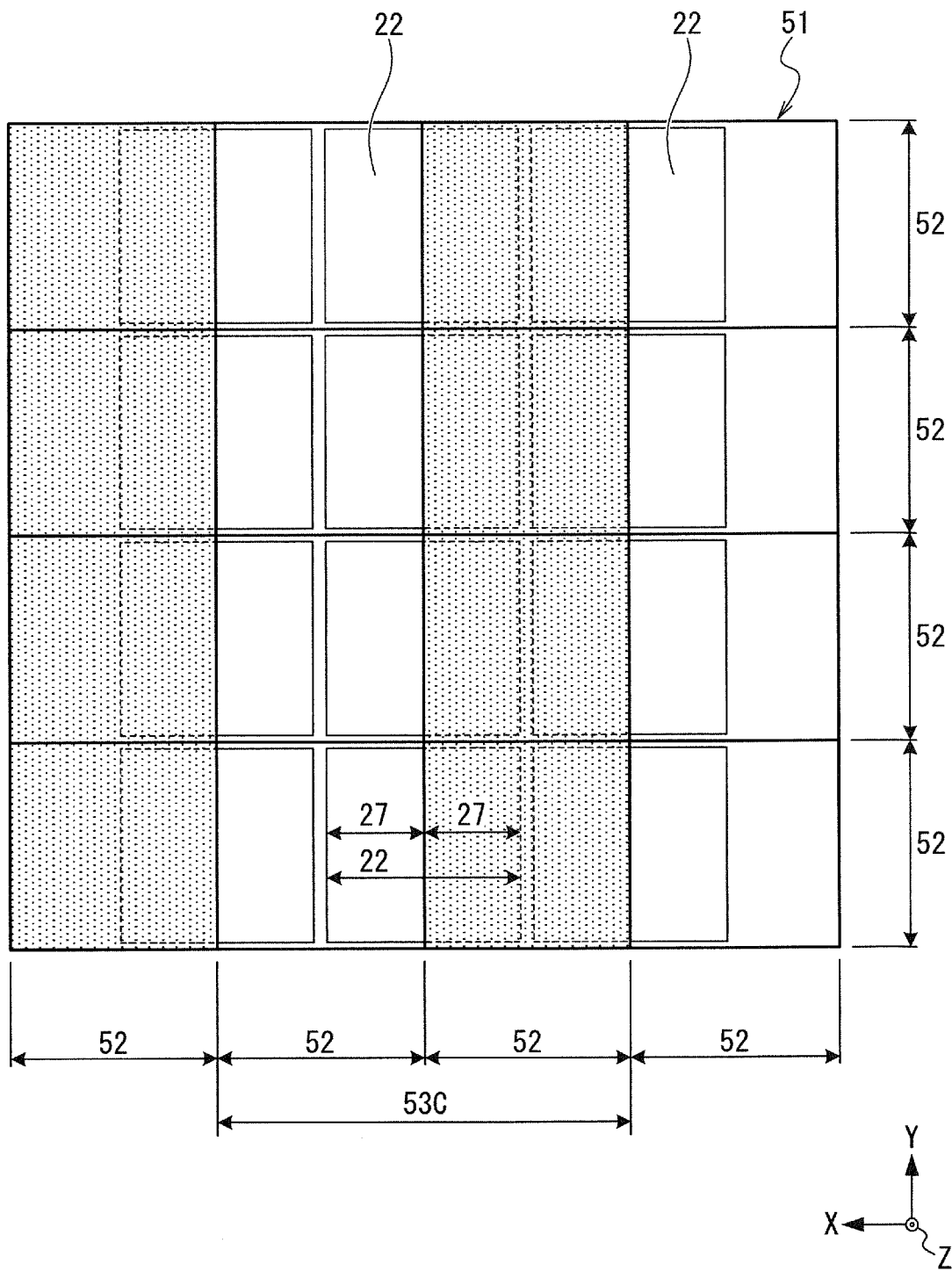
[図20A]



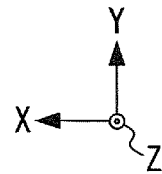
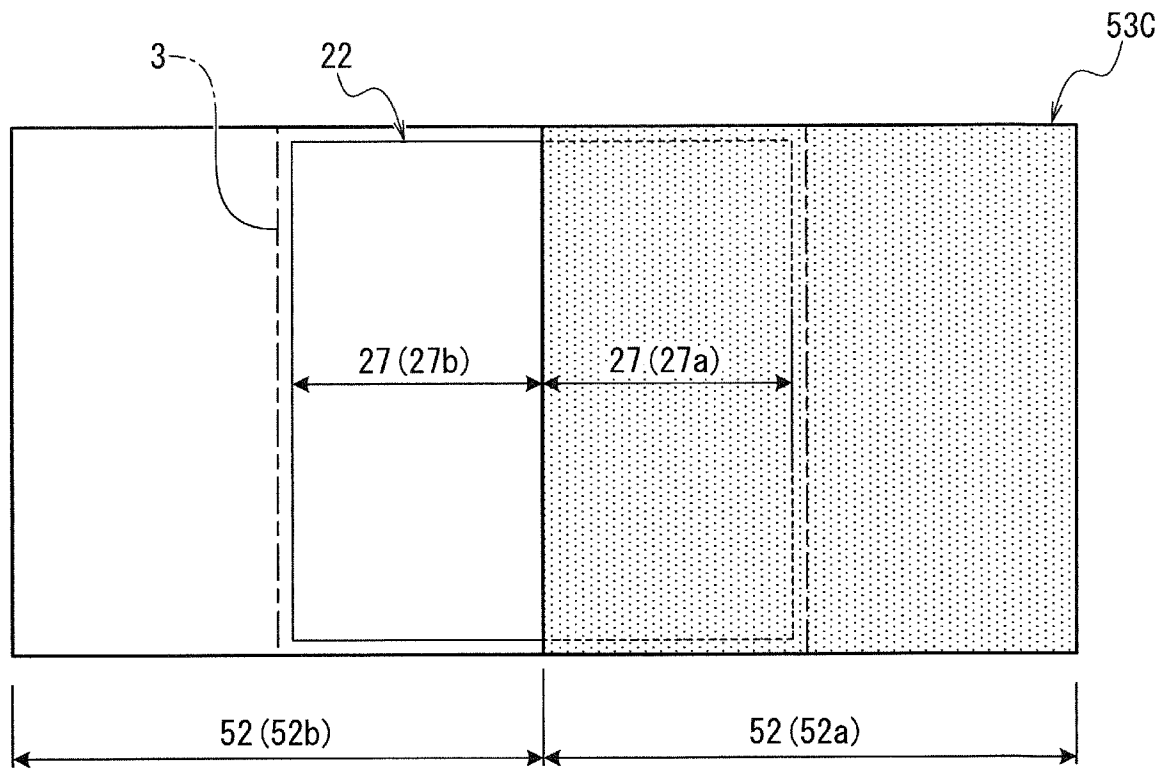
[図20B]



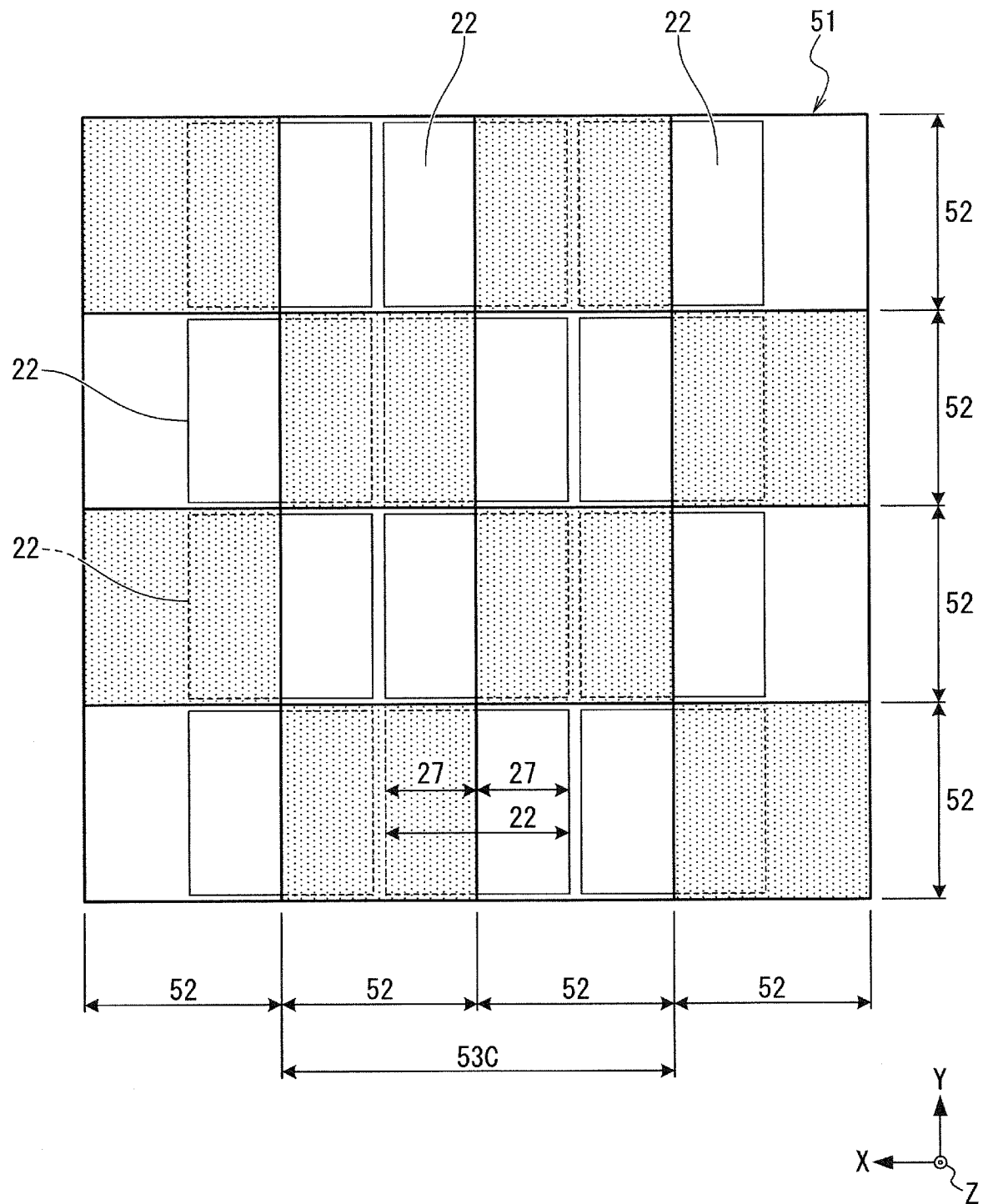
[図21A]



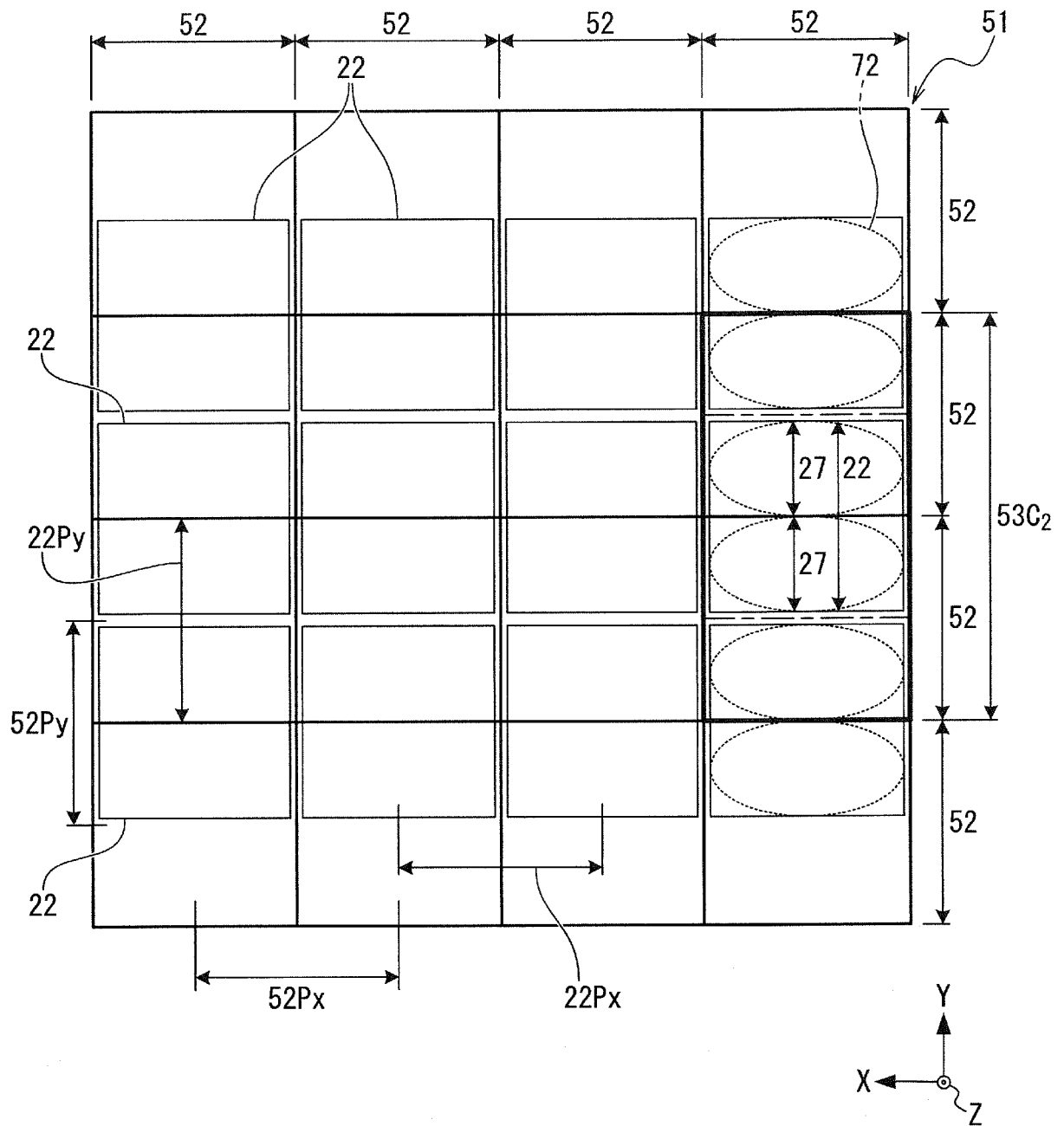
[図21B]



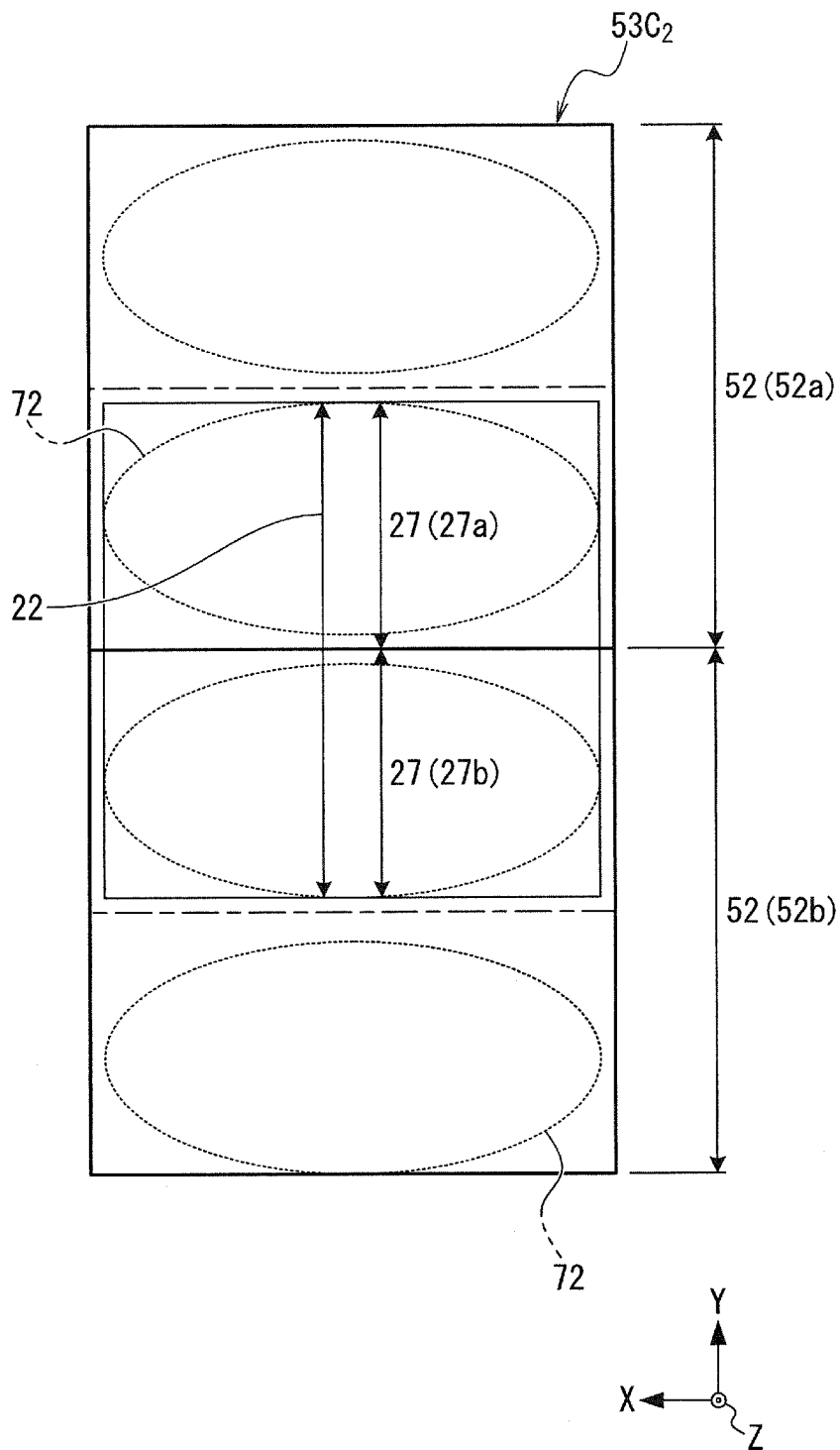
[図22]



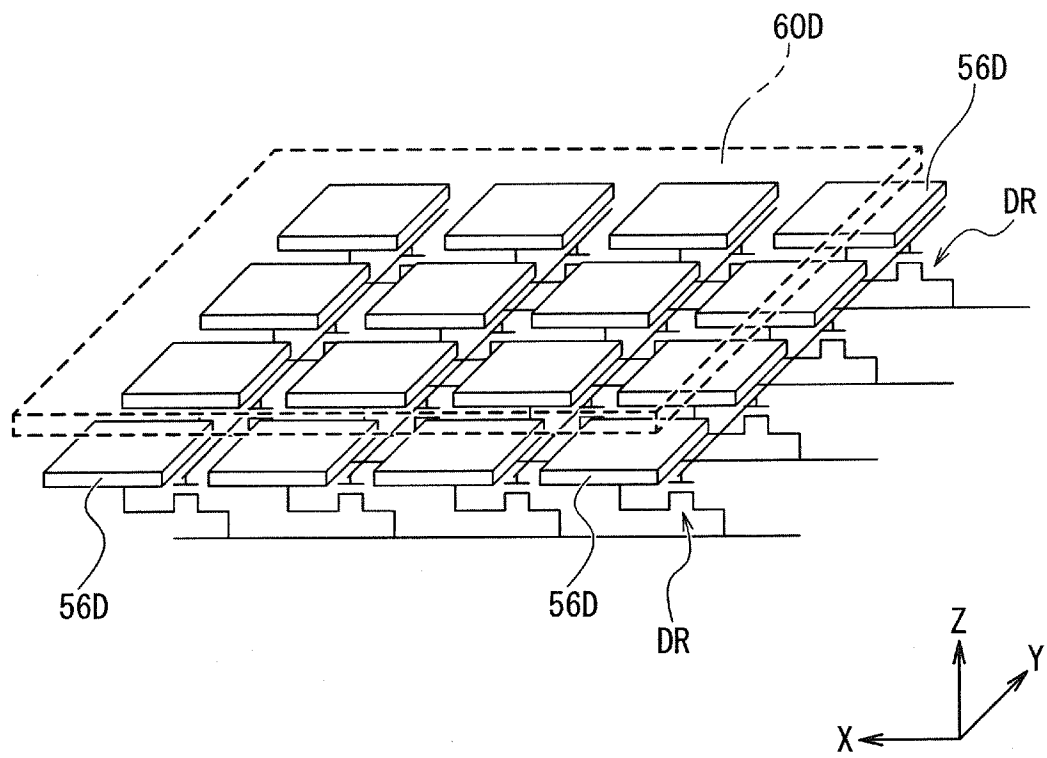
[図24A]



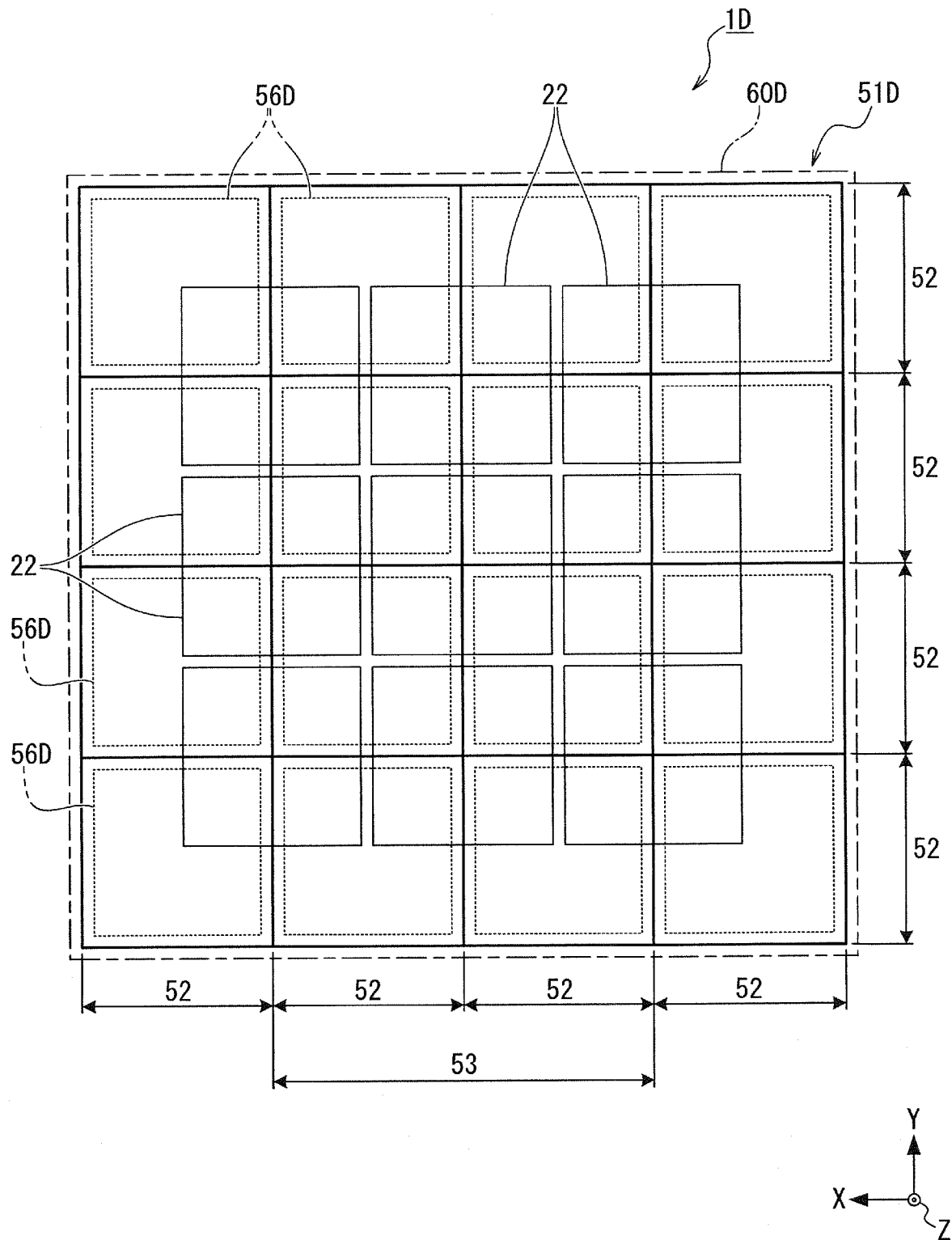
[図24B]



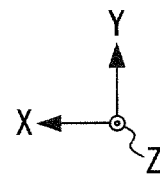
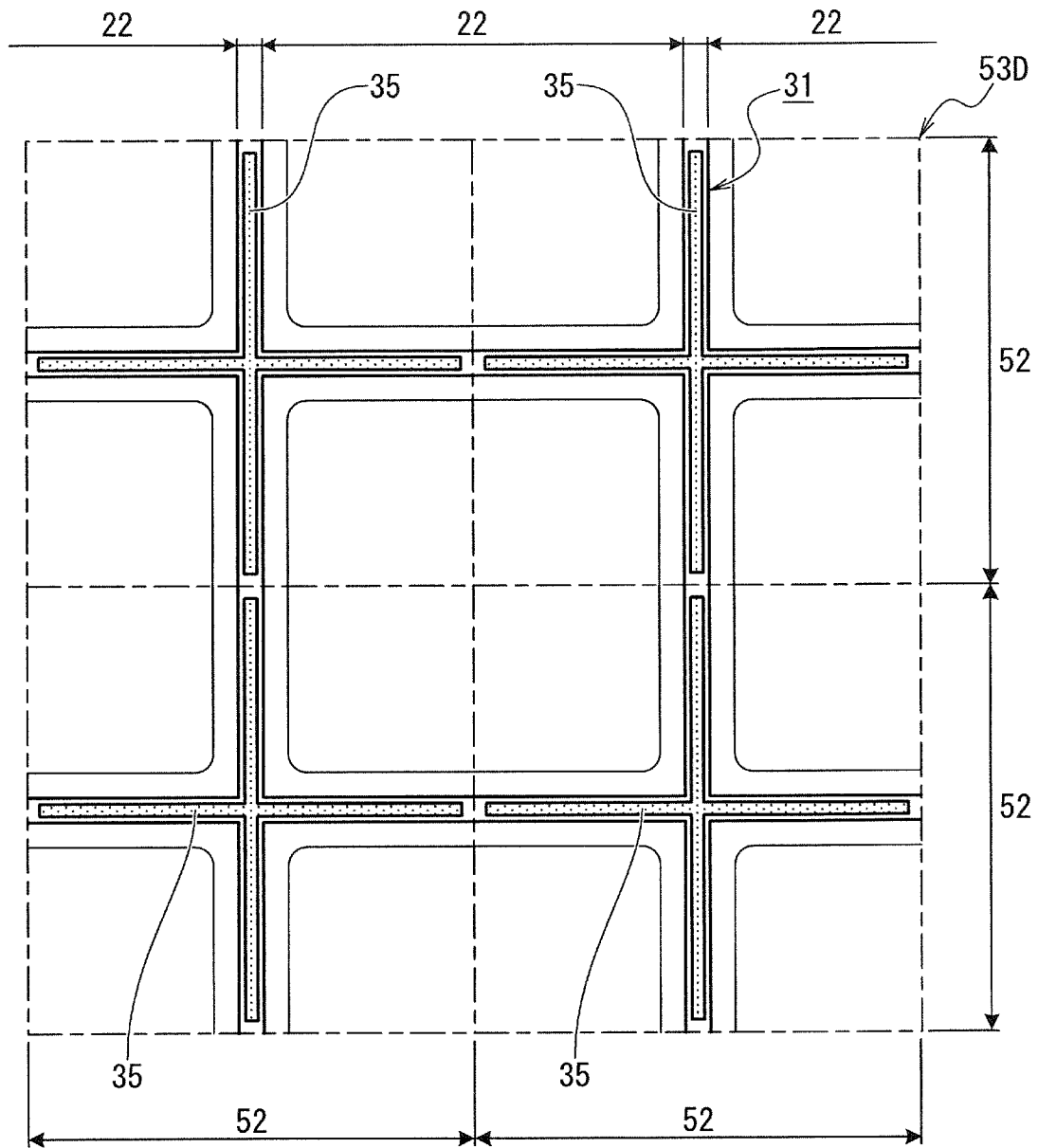
[図26]



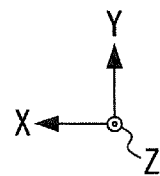
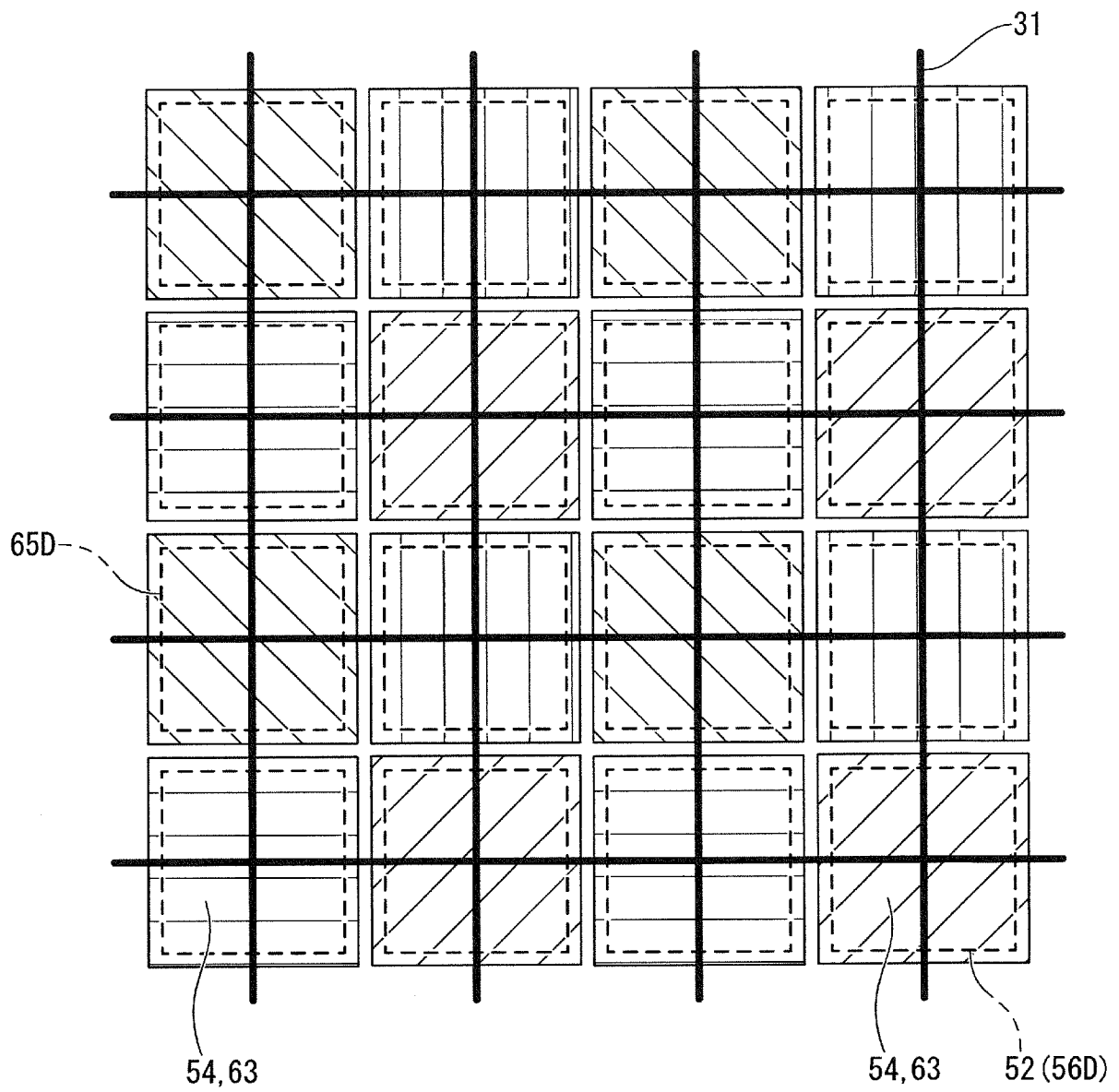
[図27]



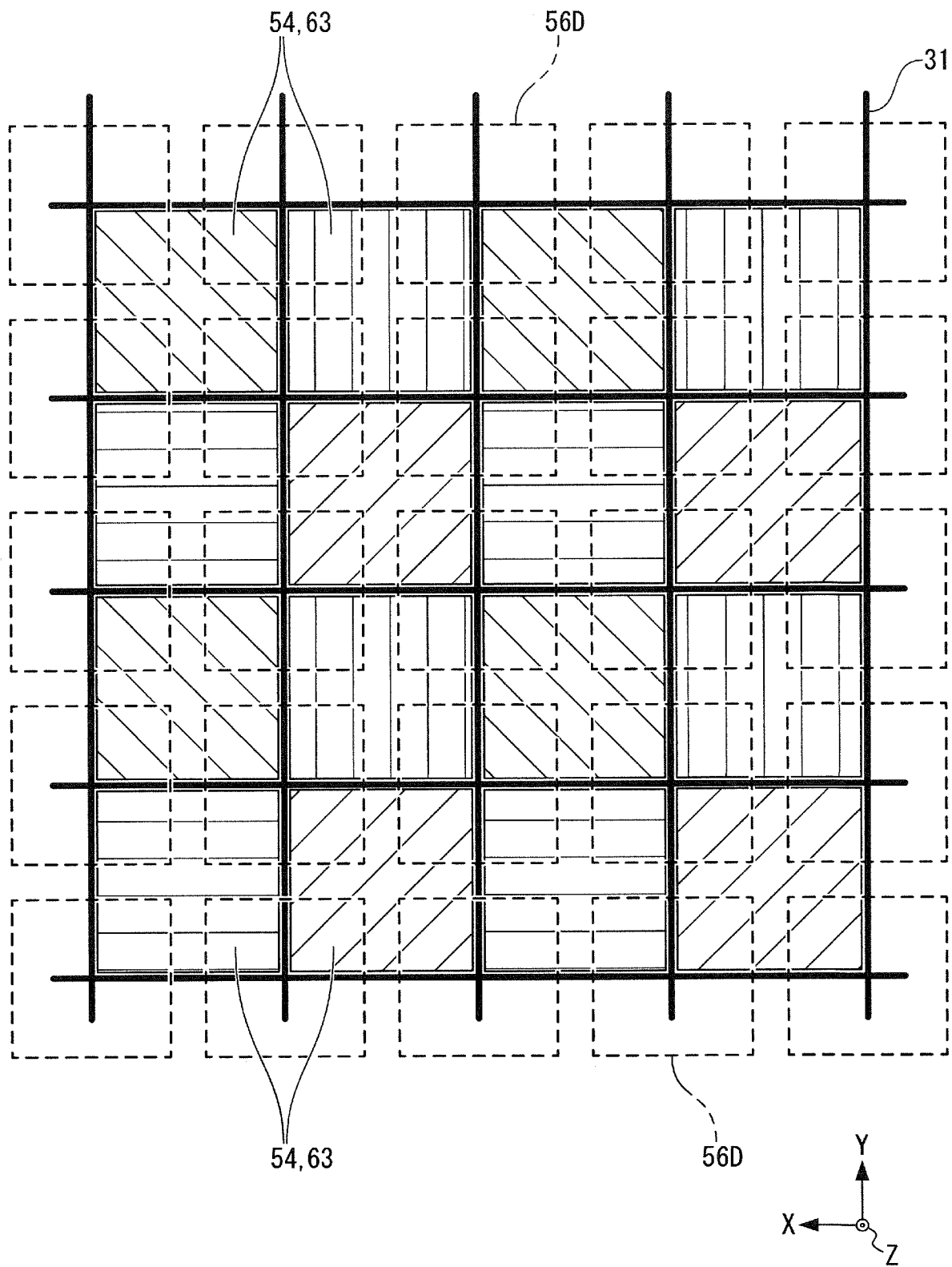
[図28]



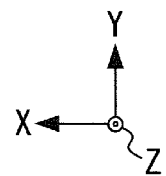
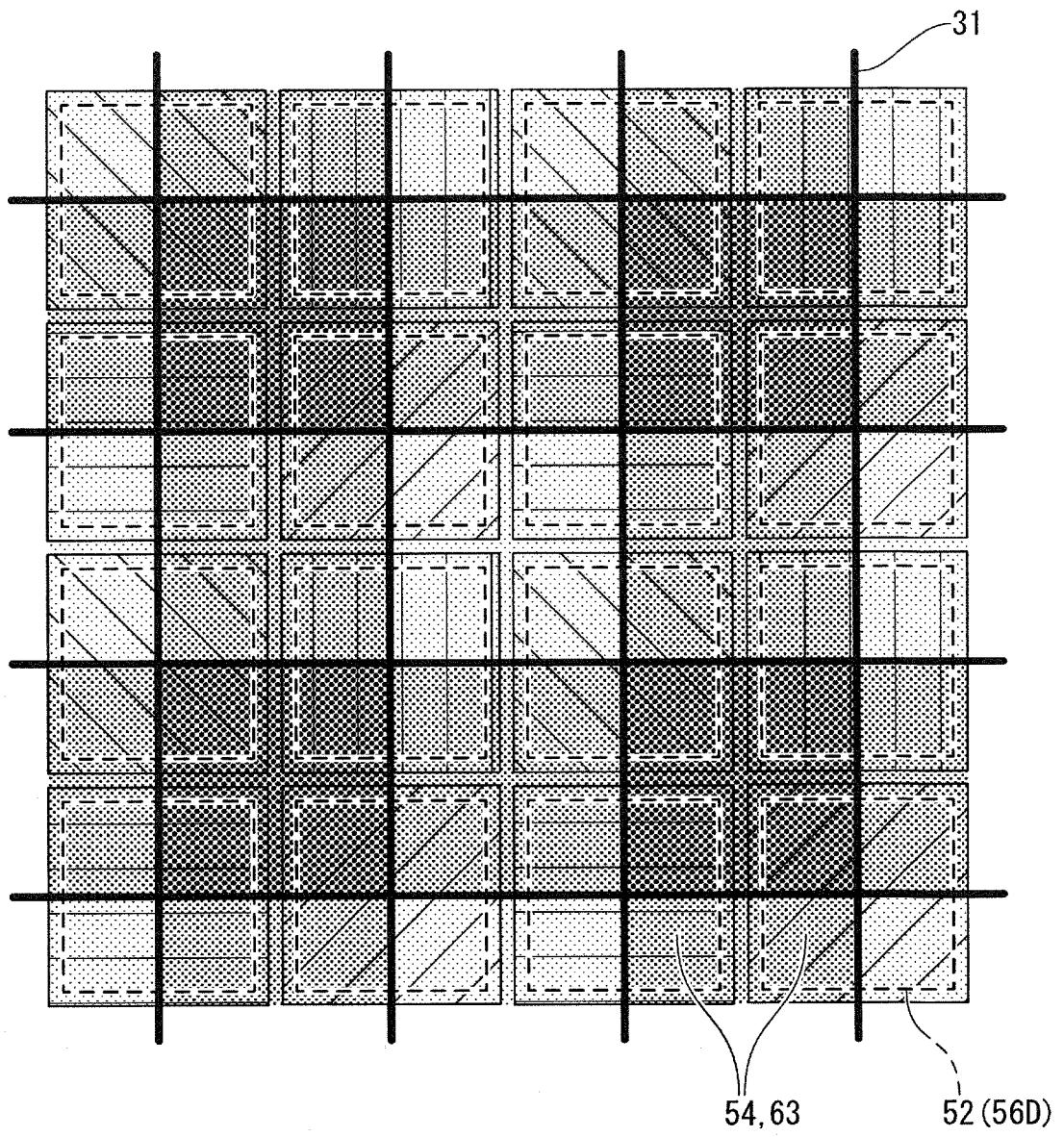
[図29]



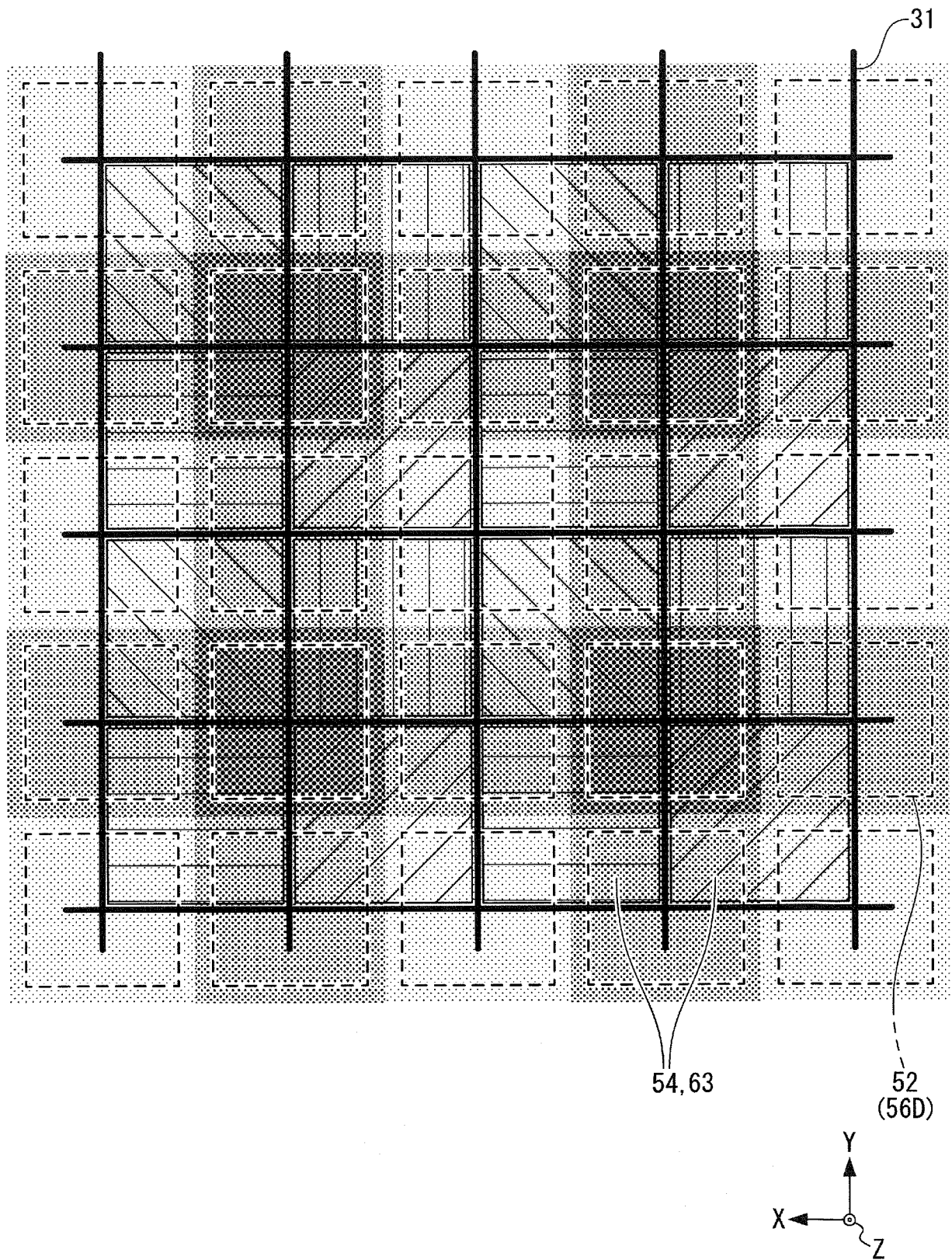
[図30]



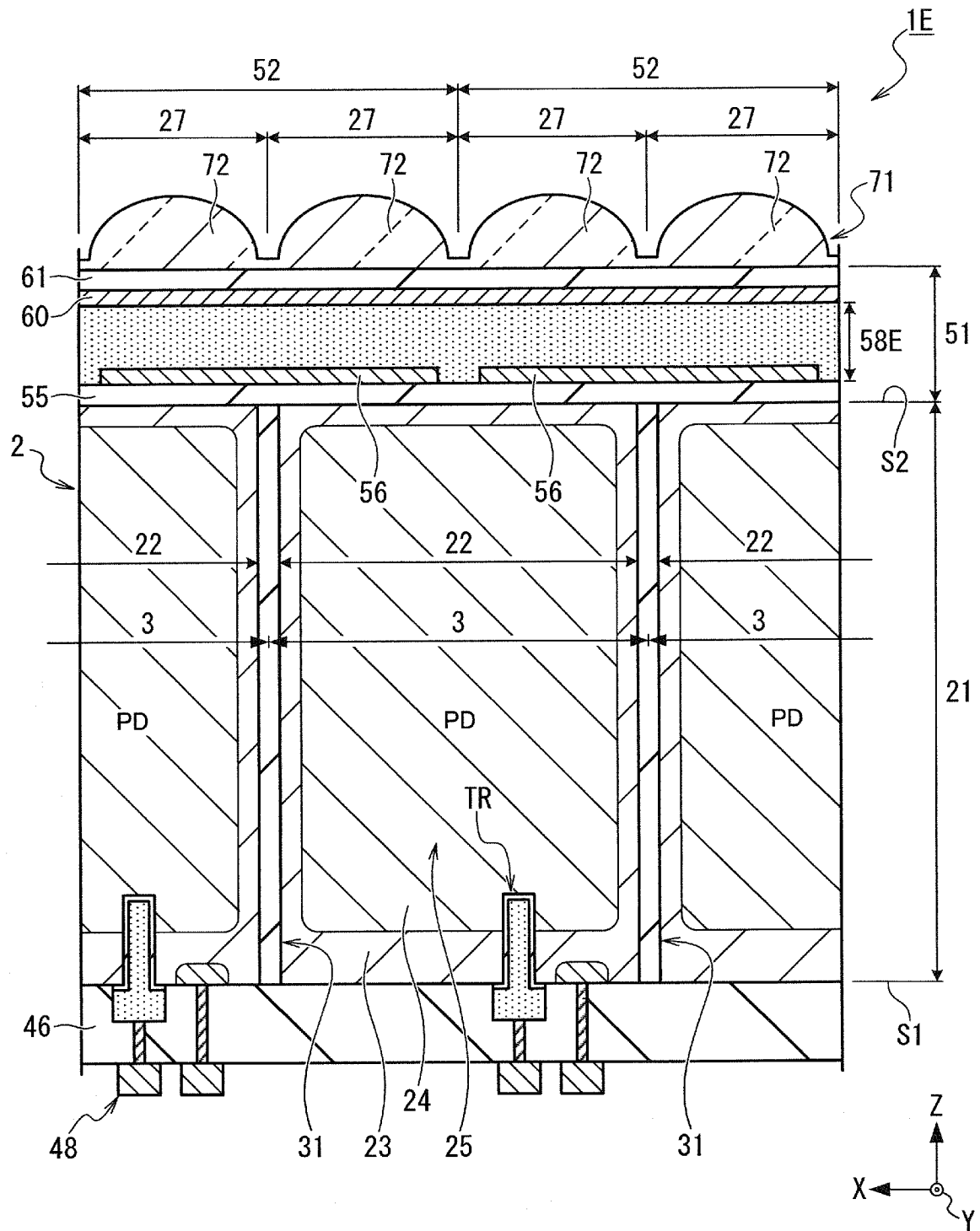
[図32]



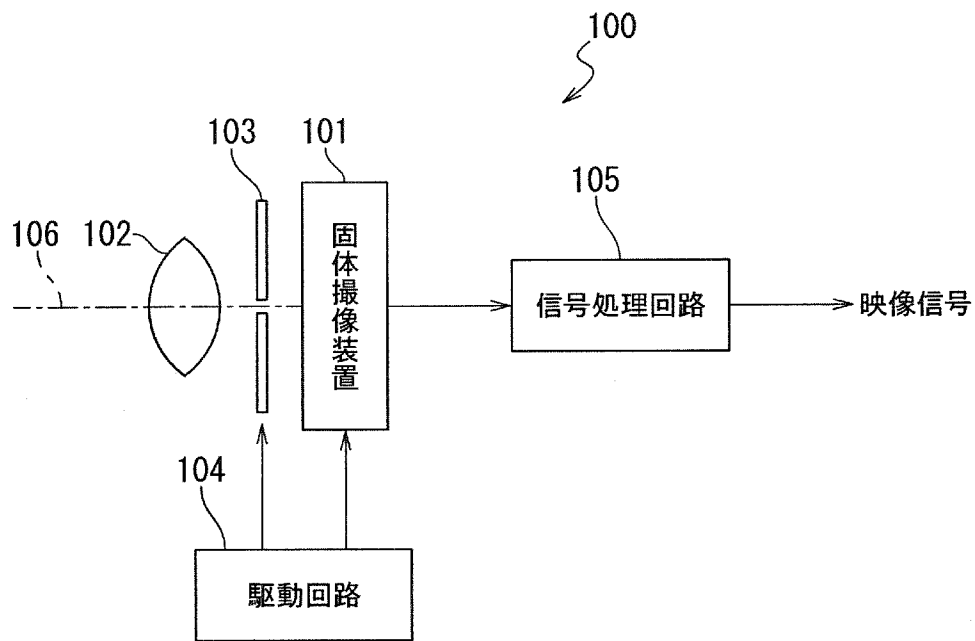
[図33]



[図34]



[図35]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/038210

A. CLASSIFICATION OF SUBJECT MATTER**H10F 39/12**(2025.01)i; **H04N 1/028**(2006.01)i

FI: H01L27/146 D; H04N1/028 Z

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/146; H04N1/028

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2024

Registered utility model specifications of Japan 1996-2024

Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2014-135452 A (FUJIFILM CORPORATION) 24 July 2014 (2014-07-24)	1-12
A	JP 2014-135451 A (FUJIFILM CORPORATION) 24 July 2014 (2014-07-24)	1-12
A	JP 7-99297 A (CANON KABUSHIKI KAISHA) 11 April 1995 (1995-04-11)	1-12
A	JP 2004-14802 A (SONY CORPORATION) 15 January 2004 (2004-01-15)	1-12
A	JP 2013-46013 A (SONY CORPORATION) 04 March 2013 (2013-03-04)	1-12
A	US 2018/0288298 A1 (SK HYNIX INC.) 04 October 2018 (2018-10-04)	1-12
A	JP 2019-80305 A (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 23 May 2019 (2019-05-23)	1-12



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“D” document cited by the applicant in the international application

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

25 November 2024

Date of mailing of the international search report

03 December 2024

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2024/038210

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2014-135452	A	24 July 2014	(Family: none)	
JP	2014-135451	A	24 July 2014	(Family: none)	
JP	7-99297	A	11 April 1995	(Family: none)	
JP	2004-14802	A	15 January 2004	(Family: none)	
JP	2013-46013	A	04 March 2013	US 2013/0050548	A1
				CN 102956656	A
US	2018/0288298	A1	04 October 2018	KR 10-2018-0112502	A
JP	2019-80305	A	23 May 2019	US 2020/0260026	A1
				WO 2019/078110	A1

A. 発明の属する分野の分類（国際特許分類（IPC））

H10F 39/12(2025.01)i; H04N 1/028(2006.01)i

FI: H01L27/146 D; H04N1/028 Z

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

H01L27/146; H04N1/028

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報

1922 - 1996年

日本国公開実用新案公報

1971 - 2024年

日本国実用新案登録公報

1996 - 2024年

日本国登録実用新案公報

1994 - 2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2014-135452 A（富士フイルム株式会社）24.07.2014（2014 - 07 - 24）	1-12
A	JP 2014-135451 A（富士フイルム株式会社）24.07.2014（2014 - 07 - 24）	1-12
A	JP 7-99297 A（キヤノン株式会社）11.04.1995（1995 - 04 - 11）	1-12
A	JP 2004-14802 A（ソニー株式会社）15.01.2004（2004 - 01 - 15）	1-12
A	JP 2013-46013 A（ソニー株式会社）04.03.2013（2013 - 03 - 04）	1-12
A	US 2018/0288298 A1（SK HYNIX INC.）04.10.2018（2018 - 10 - 04）	1-12
A	JP 2019-80305 A（ソニーセミコンダクタソリューションズ株式会社）23.05.2019（2019 - 05 - 23）	1-12

☐ C欄の続きにも文献が列挙されている。

☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

“A” 特に関連のある文献ではなく、一般的技術水準を示すもの

“D” 国際出願で出願人が先行技術文献として記載した文献

“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

“O” 口頭による開示、使用、展示等に言及する文献

“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの

“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

“&” 同一パテントファミリー文献

国際調査を完了した日

25. 11. 2024

国際調査報告の発送日

03. 12. 2024

名称及びあて先

日本国特許庁(ISA/JP)

〒100-8915

日本国

東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

柴山 将隆 5F 3035

電話番号 03-3581-1101 内線 3514

様式 PCT/ISA/210（第2ページ）（2022年7月）

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2024/038210

引用文献			公表日	パテントファミリー文献			公表日
JP	2014-135452	A	24.07.2014	(ファミリーなし)			
JP	2014-135451	A	24.07.2014	(ファミリーなし)			
JP	7-99297	A	11.04.1995	(ファミリーなし)			
JP	2004-14802	A	15.01.2004	(ファミリーなし)			
JP	2013-46013	A	04.03.2013	US	2013/0050548	A1	
				CN	102956656	A	
US	2018/0288298	A1	04.10.2018	KR	10-2018-0112502	A	
JP	2019-80305	A	23.05.2019	US	2020/0260026	A1	
				WO	2019/078110	A1	