



(12)发明专利

(10)授权公告号 CN 103971632 B

(45)授权公告日 2018.04.17

(21)申请号 201410039844.7

(51) Int.Cl.

(22)申请日 2014.01.27

G09G 3/32(2016.01)

(65)同一申请的已公布的文献号

宙查员 勒海

申请公布号 CN 103971632 A

(43)申请公布日 2014.08.06

(30) 优先权数据

2013-019290 2013.02.04 JP

(73)专利权人 索尼半导体解决方案公司

地址 日本神奈川県

(72)发明人 菊地健 杉山高明 御园生丈裕

大賀玄一郎 北尚浩

(74) 专利代理机构 北京信慧永光知识产权代理

有限责任公司 11290

代理人 曹正建 陈桂香

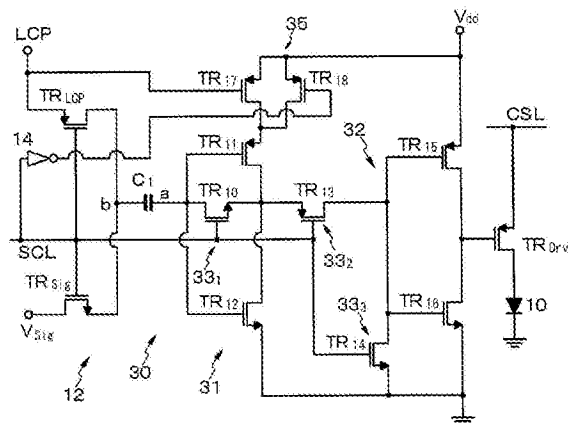
权利要求书3页 说明书22页 附图14页

(54)发明名称

比较器单元、显示器、以及驱动显示器的方法

(57)摘要

本发明涉及比较器单元、包括该比较器单元的显示器以及驱动该显示器的方法。所述比较器单元包括：比较部，其用于将控制脉冲与基于信号电压的电位相比较；以及控制部，其用于基于所述控制脉冲来控制所述比较部的操作和非操作。利用本发明的比较器单元能够减小流过的暗电流或贯通电流。



1. 一种比较器单元,其包括:
比较部,其用于将控制脉冲与基于信号电压的电位相比较;以及
控制部,其用于基于所述控制脉冲来控制所述比较部的操作和非操作。
2. 根据权利要求1所述的比较器单元,其中,所述比较部包括:
信号写入晶体管,其用于接收所述信号电压,
控制脉冲晶体管,其用于接收所述控制脉冲,并且与所述信号写入晶体管使用反相的信号来执行开通/关断操作,
反相器电路,以及
电容器部,其具有第一端和第二端,并用于基于所述信号写入晶体管的操作来保持基于所述信号电压的电位,所述第一端连接到所述信号写入晶体管和所述控制脉冲晶体管,并且所述第二端连接到所述反相器电路。
3. 根据权利要求2所述的比较器单元,其中,
所述控制脉冲具有锯齿波形电压变化,并且
所述控制部包括第一开关电路,所述第一开关电路串联连接到所述反相器电路,并用于基于所述控制脉冲的所述锯齿波形电压变化来执行开通/关断操作。
4. 根据权利要求3所述的比较器单元,其中,所述控制部包括第二开关电路,所述第二开关电路并联连接到所述第一开关电路,并用于在所述比较器单元的操作时段期间处于开通状态。
5. 根据权利要求3或4所述的比较器单元,其中,所述控制部包括串联连接到所述反相器电路的电阻元件。
6. 根据权利要求3或4所述的比较器单元,其中,所述控制部包括恒定电流源,所述恒定电流源串联连接到所述反相器电路,并用于抑制流经所述反相器电路的电流。
7. 根据权利要求6所述的比较器单元,其中,
所述反相器电路包括两级以上的级联连接的反相器,并且
用于第一级所述反相器的所述恒定电流源连接在第一级所述反相器的被提供高电位侧电源和低电位侧电源中的一者的一侧,并且用于第二级所述反相器的所述恒定电流源连接在第二级所述反相器的被提供所述高电位侧电源和所述低电位侧电源中的另一者的一侧。
8. 根据权利要求1所述的比较器单元,其中,所述比较部包括:
差分电路,其用于接收所述信号电压和所述控制脉冲作为两个输入,以及
恒定电流源,其用于向所述差分电路提供恒定电流。
9. 根据权利要求8所述的比较器单元,其中,所述比较部还包括:
信号写入晶体管,其用于接收所述信号电压,以及
电容器部,其连接到所述信号写入晶体管,并用于基于所述信号写入晶体管的操作来保持基于所述信号电压的电位。
10. 根据权利要求8或9所述的比较器单元,其中,
所述控制脉冲具有锯齿波形电压变化,并且
所述控制部包括第一开关电路,所述第一开关电路串联连接到所述恒定电流源,并用于基于所述控制脉冲的所述锯齿波形电压变化来执行开通/关断操作。

11. 根据权利要求10所述的比较器单元, 其中, 所述控制部包括第二开关电路, 所述第二开关电路串联连接到恒定电压电路, 并用于基于所述控制脉冲的所述锯齿波形电压变化来执行开通/关断操作, 所述恒定电压电路用于向用于构成所述恒定电流源的晶体管的栅电极施加恒定电压。

12. 一种显示器, 其包括:

多个像素, 其被布置成二维矩阵, 每个所述像素包括发光部和用于驱动所述发光部的驱动电路,

其中, 所述驱动电路包括: 比较器单元, 其用于将控制脉冲与基于信号电压的电位相比较, 并且基于比较结果输出预定电压; 以及发光部驱动晶体管, 其用于响应于来自所述比较器单元的所述预定电压向所述发光部提供电流, 从而使所述发光部发光, 并且

所述比较器单元是权利要求1-11中任一项所述的比较器单元。

13. 根据权利要求12所述的显示器, 其中,

所述多个像素在第一方向和第二方向上被布置成二维矩阵, 并且在所述第一方向上被划分成P个像素块, 并且

按照从第1个像素块至第P个像素块的顺序, 以像素块为单位依次使属于第1个像素块至第P个像素块中的像素的所述发光部同时发光, 并且在使属于一部分像素块的像素的所述发光部发光时, 不使属于其余像素块的像素的所述发光部发光。

14. 根据权利要求12所述的显示器, 其中, 所述发光部基于多个所述控制脉冲来多次发光。

15. 根据权利要求14所述的显示器, 其中, 所述多个控制脉冲的时间间隔是固定的。

16. 根据权利要求14所述的显示器, 其中, 在一个显示帧中被提供到所述驱动电路的所述控制脉冲的数量小于一个显示帧中的所述控制脉冲的数量。

17. 根据权利要求14所述的显示器, 其中, 在一个显示帧中总有任意的像素块发光。

18. 根据权利要求14所述的显示器, 其中, 在一个显示帧中存在不发光的像素块。

19. 根据权利要求14所述的显示器, 其中, 每个所述控制脉冲的电压的绝对值随时间先增大后减小。

20. 根据权利要求19所述的显示器, 其中, 基于随时间变化的所述控制脉冲的电压来执行伽玛校正。

21. 根据权利要求19所述的显示器, 其中, 所述控制脉冲的电压的以时间作为变量的变化率的绝对值与常量2.2成正比。

22. 根据权利要求13所述的显示器, 其中, 其中,

属于布置在所述第二方向上的一行的所述像素连接到控制脉冲线, 并且在所述控制脉冲线中以预定距离插入地设置电压跟随器电路。

23. 根据权利要求12-22中任一项所述的显示器, 其中, 所述发光部包括发光二极管。

24. 一种驱动显示器的方法, 所述显示器具有布置成二维矩阵的多个像素, 每个所述像素包括发光部以及用于驱动所述发光部的驱动电路, 所述驱动电路包括:

比较器单元, 其用于将控制脉冲与基于信号电压的电位相比较, 并基于比较结果输出预定电压, 以及

发光部驱动晶体管, 其用于响应于来自所述比较器单元的所述预定电压向所述发光部

提供电流,从而使所述发光部发光,

所述方法包括:

基于所述控制脉冲来控制所述比较器单元的操作和非操作。

比较器单元、显示器、以及驱动显示器的方法

技术领域

[0001] 本发明涉及比较器单元、显示器以及驱动该显示器的方法。

背景技术

[0002] 使用发光二极管(LED)作为发光器件的LED显示器目前正在积极地开发。在LED显示器中,包括红色LED的发光部充当发出红光的子像素,包括绿色LED的发光部充当发出绿光的子像素,且包括蓝色LED的发光部充当发出蓝光的子像素。LED显示器基于上述三种子像素的发光状态来显示彩色图像。例如,在对角线为40英寸的全高清晰度(high definition)全色彩(full color)显示器中,屏幕水平方向的像素数为1920个,且屏幕垂直方向的像素数为1080个。因此,在这种情况下,安装的LED的数量约为六百万个,即, $1920 \times 1080 \times (\text{LED的类型数}3)$,也就是构成一个像素所需要的红色LED、绿色LED以及蓝色LED)。

[0003] 在使用有机电致发光器件(以下仅简称为“有机EL器件”)作为发光部的有机电致发光显示器(以下仅简称为“有机EL显示器”)中,用于驱动发光部的驱动电路广泛地使用使发光占空比(light emission duty)固定的可调恒定电流驱动方法。另外,从降低发光不均的角度来看,例如,在日本未经审查的专利申请2003-223136(JP2003-223136A)中公开了PWM驱动型有机EL显示器。在JP2003-223136A中公开的驱动有机EL显示器的方法中,在一个帧时段之初的第一时段中,在停止所有像素中的每个像素的电流驱动型发光器件的发光的状态下,将图像信号电压写入到所有像素中的每个像素。另外,在一个帧时段中的第一时段之后的第二时段中,允许所有像素的电流驱动型发光器件在由被写入到每个像素的图像信号电压确定的一个或多个发光时段内同时发光。

[0004] 在LED中,由于驱动电流量的增加,在光谱波长中出现了蓝色偏移(blue shift),这导致发光波长的变化。因此,在可调恒定电流的驱动中,具有这样的缺点,即,单色色度点随亮度(驱动电流的量)而变化。为了避免这种缺点,需要基于PWM的驱动方法来驱动LED。可将上文提到的JP2003-223136A所公开的有机EL器件的驱动电路应用到包括LED的发光部的驱动电路,但是,这种情况具有以下缺陷。即,在上文提到的JP2003-223136A所公开的有机EL器件的驱动电路中,需要在每个像素中均提供一个比较器电路。因此,在全高清晰度全色彩显示器中,需要提供约六百万个比较器电路。相应地,即使比较器电路中的暗电流是1微安培,也仍有约6安培的暗电流流过整个显示器,造成大的功率消耗。

发明内容

[0005] 鉴于此,期望提供一种具有能够减小流过的暗电流或贯通电流的结构和构造的比较器单元。另外,期望提供如下显示器以及驱动该显示器的方法,该显示器的用于驱动发光部的驱动电路使用这种比较器单元。

[0006] 根据本发明的一个实施例,提供一种比较器单元,其包括:比较部,其用于将控制脉冲与基于信号电压的电位相比较;以及控制部,其用于基于所述控制脉冲来控制所述比较部的操作和非操作。

[0007] 根据本发明的实施例,提供一种显示器,其包括:多个像素,它们被布置成二维矩阵,每个所述像素包括发光部和用于驱动所述发光部的驱动电路。所述驱动电路包括:(a)比较器单元,其用于将控制脉冲与基于信号电压的电位相比较,并且基于比较结果输出预定电压,以及(b)发光部驱动晶体管,其用于响应于来自所述比较器单元的所述预定电压向所述发光部提供电流,从而使所述发光部发光。并且,所述比较器单元包括:比较部,其用于将所述控制脉冲与基于所述信号电压的电位相比较,以及控制部,其用于基于所述控制脉冲来控制所述比较部的操作和非操作。

[0008] 根据本发明的实施,提供一种驱动显示器的方法,所述显示器具有布置成二维矩阵的多个像素,每个所述像素包括发光部以及用于驱动所述发光部的驱动电路。所述驱动电路包括:(a)比较器单元,其用于将控制脉冲与基于信号电压的电位相比较,并基于比较结果输出预定电压,以及(b)发光部驱动晶体管,其用于响应于来自所述比较器单元的所述预定电压向所述发光部施加电流,从而使所述发光部发光。该方法包括:基于所述控制脉冲来控制所述比较器单元的操作和非操作。

[0009] 根据本发明的上述实施例,在不需要操作比较器单元时,通过控制脉冲不使比较部操作。因此,尽管比较器单元具有简单的电路构造,但能够减小流经该比较器单元的暗电流或贯通电流。

[0010] 应当理解,前述的一般性说明和下面的具体说明均是示例性的,旨在提供所要求的技术的进一步的解释。

附图说明

[0011] 包括附图以提供对本发明的进一步理解,附图被并入并构成本说明书的一部分。附图示出实施例,并与说明书一起用来说明本发明的原理。

[0012] 图1是使用示例1的显示器中的发光部和包括斩波器型比较器单元的驱动电路构成的像素的等效电路图。

[0013] 图2是像素等的概念图,该像素是使用示例1的显示器中的发光部和驱动电路来构成。

[0014] 图3是示例1的显示器中包括的电路的概念图。

[0015] 图4是用于说明示例1的显示器中的斩波器型比较器单元的操作的时序波形图。

[0016] 图5是用于说明参照例的显示器中的斩波器型比较器单元中的缺陷的时序波形图。

[0017] 图6是使用示例2的显示器中的发光部和包括差分型比较器单元的驱动电路来构成的像素的等效电路图。

[0018] 图7是使用示例3的显示器中的发光部和包括斩波器型比较器单元的驱动电路来构成的像素的等效电路图。

[0019] 图8是使用示例4的显示器中的发光部和包括斩波器型比较器单元的驱动电路来构成的像素的等效电路图。

[0020] 图9是用于说明示例4的显示器中的一个斩波器型比较器单元的功能与效果的波形图。

[0021] 图10是示出了控制脉冲等的原理图,该原理图用于说明示例5的显示器中一个像

素的操作。

[0022] 图11是图解地说明了示例5的显示器中的到像素块的多个控制脉冲的施加的示意图。

[0023] 图12是图解地说明了示例5的显示器的变形例中的到像素块的多个控制脉冲的施加的示意图。

[0024] 图13是用于构成示例6的显示器的电路的概念图。

[0025] 图14A和14B分别是根据本发明实施例的显示器中控制脉冲生成电路的概念图以及示例6的显示器中电压跟随器电路的电路图(缓冲电路)。

具体实施方式

[0026] 下面,将基于示例并参照附图来说明本发明的一些实施例。然而,本发明的实施例不局限于示例,将示例中的各种数值与材料中的每者作为例子来提供。值得注意的是,将以下的顺序来给出说明。

[0027] 1.根据本发明的实施例的比较器单元以及根据本发明的实施例的显示器和驱动显示器的方法的总体说明

[0028] 2.示例1(根据本发明的实施例的比较器单元[具有第一构造的比较器单元],以及根据本发明的一些实施例的显示器和驱动该显示器的方法)

[0029] 3.示例2(示例1的变形例[具有第二构造的比较器单元])

[0030] 4.示例3(示例1和2中任一者的变形例)

[0031] 5.示例4(示例1至3中任一者的变形例)

[0032] 6.示例5(示例1至4中任一者的变形例)

[0033] 7.示例6(示例1至5中任一者的变形例),以及其他

[0034] 1.根据本发明的实施例的比较器单元以及根据本发明的一些实施例的显示器和驱动显示器的方法的总体说明

[0035] 在根据本发明的实施例的比较器单元以及根据本发明的一些实施例(在下文中共同地被简称为“本发明实施例”)的显示器和驱动显示器的方法中,比较部包括:信号写入晶体管,其用于接收信号电压;控制脉冲晶体管,其用于接收控制脉冲,并且与信号写入晶体管使用反相的信号来执行开通/关断操作;反相器电路;以及电容器部,其具有第一端和第二端,并且用于基于信号写入晶体管的操作来保持基于信号电压的电位,第一端连接到信号写入晶体管和控制脉冲晶体管,并且第二端连接到反相器电路。

[0036] 值得注意的是,为了方便起见,将具有这种构造的比较器单元称作“具有第一构造的比较器单元”。

[0037] 在具有第一构造的比较器单元中,控制部可以包括第一开关电路,第一开关电路串联连接到反相器电路,并基于控制脉冲的锯齿波形电压变化来执行开通/关断操作。另外,在这种情况下,控制部还可以包括第二开关电路,第二开关电路并联连接到第一开关电路,并在比较器单元的操作时段期间处于开通状态。另外,在具有包括上述形式的第一构造的任一比较器单元中,控制部可以包括串联连接到反相器电路的电阻元件。另外,在具有包括上述形式的第一构造的任一比较器单元中,控制部可以包括串联连接到反相器电路的恒定电流源,该恒定电流源用于抑制流经反相器电路的电流。另外,反相器电路可以包括两级

或更多级的级联连接(cascade connection)的反相器,并且用于第一级反相器的恒定电流源可连接到第一级反相器的被提供了高电位侧电源和低电位侧电源中的一者的那一侧,并且用于第二级反相器的恒定电流源可连接到第二级反相器的被提供了高电位侧电源和低电位侧电源中的另一者的那一侧。

[0038] 可选地,根据本发明的实施例,比较部可以包括:差分电路,其用于接收信号电压和控制脉冲作为两个输入,以及恒定电流源,其用于向差分电路提供恒定电流。

[0039] 值得注意的是,为了方便起见,具有这种构造的比较器单元是指“具有第二构造的比较器单元”。

[0040] 在具有第二构造的比较器单元中,比较部还可以包括:信号写入晶体管,其用于接收信号电压,以及电容器部,其连接到所述信号写入晶体管,并用于基于信号写入晶体管的操作来保持基于信号电压的电位。

[0041] 另外,在具有包括上述形式的第二构造的比较器单元中,控制部可以包括第一开关电路,第一开关电路串联连接到恒定电流源,并基于控制脉冲的锯齿波形电压变化来执行开通/关断操作。在这种情况下,控制部可以包括第二开关电路,第二开关电路串联连接到恒定电压电路,并基于控制脉冲的锯齿波形电压变化来执行开通/关断操作,恒定电压电路用于向构成恒定电流源的晶体管的栅电极施加恒定电压。

[0042] 在根据本发明的一些包括上述各种优选的构造和形式的实施例的显示器和驱动该显示器的方法中,多个像素在第一方向和第二方向上被布置成二维矩阵。在一些情况下,布置在第一方向上的像素群组可以是指“列方向像素群组”,并且在一些情况下,布置在第二方向上的像素群组可以是指“行方向像素群组”。在将第一方向假设成显示器中的垂直方向并且将第二方向假设成显示器中的水平方向时,列方向像素群组是指布置在垂直方向上的像素群组,并且行方向像素群组是指布置在水平方向上的像素群组。

[0043] 在根据本发明的一些包括上述各种优选的构造和形式的实施例的显示器和驱动该显示器的方法中,多个像素可以在第一方向和第二方向上被布置成二维矩阵,并且在第一方向上被划分成P个像素块。并且,按照从第一个像素块至第P个像素块的顺序,以每个像素块为单位依次使属于第一个至第P个像素块的像素的发光部同时发光,并且在使属于一部分像素块的像素的发光部发光时,不使属于其余像素块的像素的发光部发光。

[0044] 在根据本发明的一些包括上述各种优选的构造和形式的实施例的显示器和驱动该显示器的方法中,发光部可以基于多个控制脉冲来多次发光。另外,在这种情况下,多个控制脉冲的时间间隔优选是恒定的。

[0045] 另外,在根据本发明的一些包括上述各种优选的构造和形式的实施例的显示器和驱动该显示器的方法中,在一个显示帧中被提供到驱动电路的控制脉冲的数量可以小于一个显示帧中的控制脉冲的数量。这种形式可以通过如下方式实现,即,在一个显示帧中生成一系列的多个控制脉冲,并且属于一个像素块的像素的发光部不被允许发光时,掩蔽该系列的多个控制脉冲的一部分,以不将控制脉冲提供到属于该一个像素块的像素的驱动电路。

[0046] 此外,在根据本发明的一些包括上述各种优选的构造和形式的实施例的显示器和驱动该显示器的方法中,在一个显示帧中总有任意的像素块发光,或者在一个显示帧中,存在不发光的像素块。

[0047] 此外,在根据本发明的一些包括上述各种优选的构造和形式的实施例的显示器和驱动该显示器的方法中,每个控制脉冲的电压的绝对值可优选地随时间先增大后减小。这允许所有属于每个像素块的像素的发光部以相同的时序发光。换言之,允许属于每个像素块的所有像素中的发光部的发光的时间重心彼此同步(一致)。在这种情况下,优选地,可以基于随时间变化的控制脉冲的电压来执行伽玛校正,这允许显示器的整个电路的简化。值得注意的是,优选地,控制脉冲的电压的以时间为变量的变化率(导数值)的绝对值可以与常量2.2成正比。

[0048] 此外,在根据本发明的一些包括上述各种优选的构造和形式的实施例的显示器和驱动该显示器的方法中,发光部可以包括发光二极管(LED)。LED可以是具有已知的构造和结构的LED。换言之,可以根据LED的发光颜色来选择具有最佳构造和结构并且使用恰当的材料来制造的LED。在使用LED作为发光部的显示器中,包括红色LED的发光部充当发出红光的子像素,包括绿色LED的发光部充当发出绿光的子像素,且包括蓝色LED的发光部充当发出蓝光的子像素。一个像素可以使用这三种类型的子像素来构成,并且可以基于三种类型的子像素的发光状态来显示彩色图像。值得注意的是,本发明实施例中的“一个像素”对应于这种显示器中的“一个子像素”。因此,这种显示器中“一个子像素”可以被理解成“一个像素”。在一个像素是使用三种类型的子像素来构成的时,三角型布置、带状布置、对角线布置以及矩形布置中的任意一种可被用作三种类型的子像素的布置方式。此外,通过基于PWM驱动方法并且同时经由恒定电流驱动来驱动LED,能够防止LED的光谱波长中的蓝色偏移的出现。另外,也能够应用到投影仪。在这种投影仪中,配备有三块面板,第一面板是通过使用包括红色LED的发光部来构成的,第二面板是通过使用包括绿色LED的发光部来构成的,第三面板是通过使用包括蓝色LED的发光部来构成的,且可使用例如二向棱镜(dichroic prism)将源自这三块面板的光线聚集在一起。

[0049] 值得注意的是,在根据本发明的包括上述各种优选的构造和形式的实施例的显示器中,属于布置在第二方向上布置成一行(线)的像素可以连接到控制脉冲线,并且电压跟随器电路(缓冲电路)可以以预定的间隔(每预定数量的像素)被布置在控制脉冲线上。这使得不太可能在由控制脉冲线传输的控制脉冲中引起波形钝度(waveform dullness)。这里,例如,将如下构造作为示例进行说明,但是,这并非限制性的:在该构造中,针对属于布置在第二方向上的一行(线)的十至二十个像素(行方向像素群组中的像素)提供一个电压跟随器电路。

[0050] 此外,在根据本发明的包括上述各种优选的构造和形式的实施例的显示器中,在每个像素块中,可以使属于布置在第二方向上的一行(线)的所有像素(行方向像素群组)中的信号写入晶体管同时处于操作状态。在这种构造中,在每个像素块中,按照从第一行的行方向像素群组中的信号写入晶体管至最后一行的行方向像素群组中的信号写入晶体管的顺序执行如下操作,在该操作中,以使行方向像素群组中的信号写入晶体管同时处于操作状态。换言之,在每个像素块中,可以从在第一方向上布置的属于第一行的所有像素中的信号写入晶体管至属于最后一行的所有像素中的信号写入晶体管来执行这种操作。另外,可以在每个像素块中从第一行的行方向像素群组中的信号写入晶体管至最后一行的行方向像素群组中的信号写入晶体管顺序地执行这种操作(即,在该操作中,使行方向像素群组中的信号写入晶体管同时处于操作状态),并且随后可将控制脉冲提供到该像素块。值得注意

的是,在一些情况下可以将如下时间段称作“信号电压写入时段”,在该时间段中,在每个像素块中,从第一行的行方向像素群组中的信号写入晶体管至最后一行的行方向像素群组中的信号写入晶体管顺序地执行操作以使行方向像素群组中的信号写入晶体管同时处于操作状态。另外,在一些情况下可以将如下时间段被称作“像素块发光时段”,在该时间段中,允许属于每个像素块的所有像素的发光部同时发光。

[0051] 此外,在根据本发明的包括上述各种优选的构造和形式的实施例的显示器中,可以提供生成具有锯齿波形电压变化的控制脉冲的控制脉冲生成电路。通过采取这种形式,精确地控制发光部的发光,而不会引起一系列控制脉冲的变化。可选地,在根据本发明的包括上述各种优选的构造和形式的实施例的显示器中,可以设置多个控制脉冲生成电路,每个控制脉冲生成电路生成具有锯齿波形电压变化的控制脉冲。通过采取这种形式,允许采取较大的值作为P值。值得注意的是,由多个控制脉冲生成电路所生成的控制脉冲的形状优选地尽可能地相似,并且优选地,由多个控制脉冲生成电路所生成的控制脉冲的相位可以彼此偏移(具有相位差)。

[0052] 2. 示例1

[0053] 示例1涉及根据本发明的实施例的比较器单元,特别地涉及具有第一构造的比较器单元。示例1还涉及根据本发明实施例的显示器以及驱动该显示器的方法。图1示出了示例1的比较器单元的等效电路图。图2示出了示例1的显示器中的像素等的概念图。像素包括发光部以及驱动电路。图3示出了示例1的显示器中所包括的电路的概念图。为了简化制图,在图3以及稍后说明的图13中示出 3×5 个像素。

[0054] 示例1的比较器单元12包括比较部和控制部35。比较部用于比较控制脉冲LCP和基于信号电压 V_{sig} 的电位。控制部35用于基于控制脉冲LCP来控制比较部的操作和非操作。

[0055] 示例1的显示器包括布置成二维矩阵的多个像素(更具体地,子像素,并且这同样适用于下面的说明)1。每个像素1包括发光部10以及用于驱动发光部10的驱动电路11。具体地,多个像素1在第一方向和第二方向上布置成二维矩阵。在第一方向上将多个像素1划分成P个像素块。每个驱动电路11包括:(a)比较器单元,其用于将控制脉冲LCP与基于信号电压(发光强度信号) V_{sig} 的电位进行比较,并基于比较结果输出预定的电压(为了方便起见,将其称作“第一预定电压”),以及(b)发光部驱动晶体管 TR_{drv} ,其响应于来自比较器单元的第一预定电压向发光部10提供电流,从而允许发光部10发光。

[0056] 值得注意的是,具体地,信号电压 V_{sig} 是控制像素的发光状态(亮度)的图像信号电压。在本例中,具体地,比较器单元连接到控制脉冲线PSL和数据线DTL。比较器单元将从控制脉冲线PSL发送且具有锯齿波形电压变化的控制脉冲LCP与基于来自数据线DTL的信号电压 V_{sig} 的电位进行比较,并且基于比较结果输出预定的电压。另外,通过来自比较器单元的第一预定电压的输出使发光部驱动晶体管 TR_{drv} 操作。这使得发光部驱动晶体管 TR_{drv} 将来自电流供应线CSL的电流提供到发光部10,从而使发光部10发光。比较器单元由示例1的比较器单元12构成。

[0057] 示例1的比较器单元12由斩波器型(chopper-type)比较器单元构成。另外,示例1的显示器包括用于生成具有锯齿波形电压变化的控制脉冲LCP的控制脉冲生成电路103。

[0058] 可选地,示例1的显示器可以是多个像素1以二维矩阵的方式布置的显示器,其中每个像素1中包括发光部10以及驱动电路11,并且驱动电路11使发光部10只在与基于信号

电压 V_{Sig} 的电位相对应的时间段发光。在本例中,例如,驱动电路11可以包括示例1的上述比较器单元12。控制脉冲LCP以及信号电压 V_{Sig} 被输入到比较器单元12,从而使发光部10根据比较器单元12的基于控制脉冲LCP的锯齿波形电压和基于信号电压 V_{Sig} 的电位之间的比较结果的输出进行操作。

[0059] 在本例中,如上所述,示例1的比较器单元12由具有第一构造的比较器单元构成。具体地,比较部包括:信号写入晶体管 TR_{Sig} ,其接收信号电压 V_{Sig} ;控制脉冲晶体管 TR_{LCP} ,其用于接收控制脉冲LCP,并基于由信号写入晶体管 TR_{Sig} 使用的信号的反相信号来执行开通/关断操作;反相器电路30,以及具有第一端和第二端的电容器部 C_1 ,其基于信号写入晶体管 TR_{Sig} 的操作来保持基于信号电压 V_{Sig} 的电位,第一端连接到信号写入晶体管 TR_{Sig} 以及控制脉冲晶体管 TR_{LCP} ,第二端连接到反相器电路30。

[0060] 另外,还提供了均作为操作电源的高电位侧电源 V_{dd} 以及低电位侧电源(示例1中的接地GND)。

[0061] 信号写入晶体管 TR_{Sig} 、控制脉冲晶体管 TR_{LCP} 以及发光部驱动晶体管 TR_{Drv} 均由包括栅电极、沟道形成区域以及源电极和漏电极的普通场效应晶体管构成。信号写入晶体管 TR_{Sig} 是n沟道型场效应晶体管,并且控制脉冲晶体管 TR_{LCP} 和发光部驱动晶体管 TR_{Drv} 均为p沟道型场效应晶体管,然而信号写入晶体管 TR_{Sig} 、控制脉冲晶体管 TR_{LCP} 以及发光部驱动晶体管 TR_{Drv} 并不局限于这些沟道类型。

[0062] 信号写入晶体管 TR_{Sig} 的栅电极经由扫描线SCL连接到包括在显示器中的扫描电路102。另外,信号写入晶体管 TR_{Sig} 的源电极和漏电极中的一者经由数据线DTL连接到包括在显示器中的图像信号输出电路104。此外,信号写入晶体管 TR_{Sig} 的源电极和漏电极中的另一者连接到电容器部 C_1 的第一端。

[0063] 控制脉冲晶体管 TR_{LCP} 的栅电极经由扫描线SCL连接到包括在显示器中的扫描电路102。另外,控制脉冲晶体管 TR_{LCP} 的源电极和漏电极中的一者经由控制脉冲线PSL连接到包括在显示器中的控制脉冲生成电路103。此外,控制脉冲晶体管 TR_{LCP} 的源电极和漏电极中的另一者连接到电容器部 C_1 的第一端。

[0064] 发光部驱动晶体管 TR_{Drv} 的栅电极连接到反相器电路30的输出端子。另外,发光部驱动晶体管 TR_{Drv} 的源电极和漏电极中的一者经由电流供应线CSL连接到包括在显示器中的恒定电流供应部101。此外,发光部驱动晶体管 TR_{Drv} 的源电极和漏电极中的另一者连接到发光部10。

[0065] 将信号电压(发光强度信号) V_{Sig} 输入到信号写入晶体管 TR_{Sig} 。另一方面,将具有锯齿波形电压变化的控制脉冲LCP输入到控制脉冲晶体管 TR_{LCP} 。

[0066] 电容器部 C_1 的第二端连接到反相器电路30的输入端子(输入节点)。另外,发光部10包括LED。值得注意的是,可以将恒定电流供应部101、扫描电路102、控制脉冲生成电路103以及图像信号输出电路104等布置在显示器中或布置在显示器外部。

[0067] 信号写入晶体管 TR_{Sig} 以及控制脉冲晶体管 TR_{LCP} 均根据经由扫描线SCL从扫描电路102提供的扫描信号的逻辑(电平)执行开通/关断操作。信号写入晶体管 TR_{Sig} 与控制脉冲晶体管 TR_{LCP} 由具有彼此相反的导电型的晶体管构成,并且因此使用彼此反相的信号(相反逻辑)来执行开通/关断操作。

[0068] 电容器部 C_1 的第一端连接到信号写入晶体管 TR_{Sig} 和控制脉冲晶体管 TR_{LCP} 中每者

的另一端,即,连接到n沟道型的信号写入晶体管 TR_{Sig} 的源电极以及p沟道型的控制脉冲晶体管 TR_{LCP} 的漏电极。接着,基于信号写入晶体管 TR_{Sig} 的操作,电容器部 C_1 保持基于信号电压 V_{Sig} 的电位。

[0069] 例如,反相器电路30可以具有反相器为两级级联连接的构造。另外,反相器电路30的输出端子(输出节点)连接到发光部驱动晶体管 TR_{Drv} 的栅电极。使用CMOS反相器31来构造反相器电路30的第一级。第一级CMOS反相器31包括p沟道型场效应晶体管 TR_{11} 和n沟道型场效应晶体管 TR_{12} ,p沟道型场效应晶体管 TR_{11} 和n沟道型场效应晶体管 TR_{12} 具有彼此相连的栅电极,并且串联连接在高电位侧电源 V_{dd} 和低电位侧电源GND之间。在第一级CMOS反相器31的输入端子(输入节点)与输出端子(输出节点)之间,可以例如布置作为第一开关部33₁的n沟道型场效应晶体管 TR_{10} ,其选择性地将这些输入端子和输出端子之间短接或断路。第一开关部33₁根据经由扫描线SCL提供的扫描信号的逻辑(电平)执行开通/关断(短接或断路)操作。

[0070] 使用CMOS反相器32来构造反相器电路30的第二级。第二级CMOS反相器32包括p沟道型场效应晶体管 TR_{15} 和n沟道型场效应晶体管 TR_{16} ,p沟道型场效应晶体管 TR_{15} 和n沟道型场效应晶体管 TR_{16} 具有彼此相连的栅电极,并且串联连接在高电位侧电源 V_{dd} 和低电位侧电源GND之间。

[0071] 在第一级CMOS反相器31的输出端子与第二级CMOS反相器32的输入端子之间,可例如布置作为第二开关部33₂的p沟道型场效应晶体管 TR_{13} ,其选择性地将这些输入端子和输出端子之间短接或断路。第二开关部33₂根据经由扫描线SCL提供的扫描信号的逻辑(电平)执行开通/关断(短接或断路)操作。在本例中,第一开关部33₁和第二开关部33₂为具有彼此相反的导电型的晶体管,并且使用彼此反相的信号(相反逻辑)来执行开通/关断操作。

[0072] 在第二级CMOS反相器32的输入端子与低电位侧电源GND之间,可以布置作为第三开关部33₃的n沟道型场效应晶体管 TR_{14} ,其选择性地将第二级CMOS反相器32的输入端子接地。第三开关部33₃根据经由扫描线SCL提供的扫描信号的逻辑(电平)执行开通/关断(接地/断开)操作。在本例中,第二开关部33₂和第三开关部33₃为具有彼此相反的导电型的晶体管,并且因此使用彼此反相的信号(相反逻辑)来执行开通/关断操作。

[0073] 第二级CMOS反相器32的输出端子(反相器电路30的输出端子)充当示例1的斩波器型比较器单元12的输出端子,并且发光部驱动晶体管 TR_{Drv} 的栅电极连接到该输出端子。当从反相器电路30输出第一预定电压(L)时,发光部驱动晶体管 TR_{Drv} 变成开通状态,并且向发光部10提供电流。由此,通过发光部驱动晶体管 TR_{Drv} 的驱动使发光部10发光。

[0074] 上述构造的斩波器型比较器单元12是参照例。将参照图5中的时序波形图来说明该参照例中的斩波器型比较器单元12的操作。

[0075] 将稍后说明的图5和图4均示出了扫描线SCL的电位(扫描信号的电位)、控制脉冲LCP的电位、数据线DTL的电位(信号电压 V_{Sig} 的电位)、“b”点(电容器部 C_1 的第一端)的电位,“a”点(电容器部 C_1 的第二端)的电位,贯通电流以及发光部10的发光状态等。值得注意的是,为了容易理解,将说明一个像素块中的一个像素的操作。同样,稍后将说明的图5和图4均仅示出了一个显示帧中的一个控制脉冲LCP。

[0076] 首先,在扫描线SCL的电位处于高电平的时段期间,信号写入晶体管 TR_{Sig} 、第一开关部33₁以及第三开关部33₃处于开通状态,并且控制脉冲晶体管 TR_{LCP} 以及第二开关部33₂处

于关断状态。相应地,数据线DTL的电位(信号电压 V_{Sig} 的电位)被信号写入晶体管 TR_{Sig} 引入并且被施加到电容器部 C_1 。因此,“b”点的电位变为数据线DTL的电位。另外,第一开关部33₁在第一级CMOS反相器31的输入端子与输出端子之间形成短路。因此,“a”点的电位变为第一级CMOS反相器31的阈值(反转电平),即,高电位侧电源 V_{dd} 与低电位侧电源GND之间的中点电位。结果,在电容器部 C_1 中积累了与数据线DTL的电位相对应的电荷(基于信号电压 V_{Sig} 的电位)。

[0077] 接着,在扫描线SCL的电位处于低电平的时段期间,信号写入晶体管 TR_{Sig} 、第一开关部33₁以及第三开关部33₃处于关断状态,并且控制脉冲晶体管 TR_{LCP} 以及第二开关部33₂处于开通状态。相应地,控制脉冲LCP的电位被控制脉冲晶体管 TR_{LCP} 引入并且被施加到电容器部 C_1 。因此,“b”点的电位变为控制脉冲LCP的电位。这时,控制脉冲LCP的电位被施加到已积累了与基于信号电压 V_{Sig} 的电位相对应的电荷的电容器部 C_1 ,且结果,“a”点的电位,即,第一级CMOS反相器31的输入电压变为基于信号电压 V_{Sig} 的电位与控制脉冲LCP的电位之间的差值电压。

[0078] 基于信号电压 V_{Sig} 的电位与控制脉冲LCP的电位之间的差值电压在第一级CMOS反相器31中被反转,并且由于第二开关部33₂处于开通状态而在第二级CMOS反相器32中被进一步反转。接着,经反转的该电压差被作为第一预定电压(L)输出,并且被提供到发光部驱动晶体管 TR_{Drv} 的栅电极。随后,基于第一预定电压(L),在发光部驱动晶体管 TR_{Drv} 的控制下驱动发光部10。结果,在“a”点的电位低于中点电位(其是第一级CMOS反相器31的阈值)的时段期间,发光部10处于发光状态。

[0079] 同时,在上面说明了斩波器型比较器单元的操作的参照例中,如图5的时序波形图中的第三显示帧所示,在白色显示时,“a”点的电位总是处于第一级CMOS反相器31的反转电平(中点电位)附近。因此,换言之,在控制脉冲LCP的高电平时段(锯齿波形电压超过阈值电压的时段)中,贯通电流在不需要操作比较器单元时流经第一级CMOS反相器31的场效应晶体管 TR_{11} 和 TR_{12} 。值得注意的是,在图5的时序波形图中,第一显示帧代表黑色显示时的电位关系。

[0080] 这种贯通电流不仅对于斩波器型比较器单元,而且对于稍后说明的示例2的差分型比较器单元都是问题。换言之,在稍后说明的示例2的差分型比较器单元的情况下,使用了恒定电流源42,且因此,贯通电流总是流动。在示例1中,基于控制脉冲LCP来控制比较器单元的操作和非操作。这使得流经驱动电路11的暗电流或贯通电流减小。

[0081] 换言之,在示例1中,比较器单元12包括基于控制脉冲LCP来控制比较器单元12的操作和非操作的控制部35。具体地,控制部35通过控制比较部的操作和非操作,尤其是控制反相器电路30的操作和非操作,来控制比较器单元12的操作和非操作。而且,在驱动示例1的显示器的方法中,也基于控制脉冲LCP来控制比较器单元12的操作和非操作。

[0082] 控制部35可例如包括作为开关电路(为了方便,将被称为“第一开关电路”)的p沟道型场效应晶体管 TR_{17} ,p沟道型场效应晶体管 TR_{17} 串联连接到反相器电路30,更具体地,其串联连接到第一级CMOS反相器31。该开关电路基于控制脉冲LCP的锯齿波形电压执行开通/关断操作。在不需要操作比较器单元12时,换言之,在控制脉冲LCP的高电平时段(锯齿波形电压超过阈值电压的时段)期间,p沟道型场效应晶体管 TR_{17} 处于关断状态,并通过将第一级CMOS反相器31与高电位侧电源 V_{dd} 分离来使比较器单元12处于非操作状态。

[0083] 在本例中,只要控制脉冲LCP的锯齿波形的振幅处于信号电压(发光强度信号) V_{Sig} 的变化范围内就足够了,且其电位的绝对值是任意值。因此,在图1所示的示例中,控制脉冲LCP的高电平时段的电位被设置成约是电源 V_{dd} 的电位,并且在控制脉冲LCP的高电平时段中,p沟道型场效应晶体管 TR_{17} 被设置成关断状态以将第一级CMOS反相器31与电源 V_{dd} 分离。

[0084] 然而,即使在控制脉冲LCP的高电平时段中,当经由扫描线SCL提供的扫描信号位于高电平时也需要操作比较器单元12。因此,除了p沟道型场效应晶体管 TR_{17} 之外,控制部35还可以具有例如p沟道型场效应晶体管 TR_{18} 作为第二开关电路。p沟道型场效应晶体管 TR_{18} 并联连接到用于构成第一开关电路的p沟道型场效应晶体管 TR_{17} 。经由反相器14将扫描信号施加到p沟道型场效应晶体管 TR_{18} 的栅电极。这使得当扫描信号处于高电平时用于构成第二开关电路的p沟道型场效应晶体管 TR_{18} 变成开通状态,从而将第一级CMOS反相器31连接到电源 V_{dd} 。

[0085] 在关注白色显示时的第三显示帧的情况下,参照图4的时序波形图来说明具有上述构造的示例1的斩波器型比较器单元12。

[0086] 如上所述,白色显示时的“a”点的电位总是处于第一级CMOS反相器31的反转电平(中点电位)附近。与此相反,在控制脉冲LCP的锯齿波形电压超过阈值电压的时段中,控制部35的第一开关电路(p沟道型场效应晶体管 TR_{17})处于关断状态,并且将第一级CMOS反相器31与电源 V_{dd} 分离,从而使比较器单元12处于非操作状态。这使得能够当不需要操作比较器单元12时防止贯通电流在第一级CMOS反相器31中流动。值得注意的是,如图4中的虚线所示,当不使比较器单元12处于非操作状态时,贯通电流流经第一级CMOS反相器31的场效应晶体管 TR_{11} 以及 TR_{12} 。

[0087] 另外,当经由扫描线SCL提供的扫描信号变成处于高电平时,响应于扫描信号的经由反相器14反转的反转信号,控制部35的第二开关电路(p沟道型场效应晶体管 TR_{18})变成开通状态。这使得第一级CMOS反相器31经由第二开关电路(p沟道型场效应晶体管 TR_{18})连接到高电位侧电源 V_{dd} ,从而使比较器单元12处于操作状态。结果,即使在控制脉冲LCP的高电平时段中,当需要操作比较器单元12时,仍使比较器单元12可靠地处于操作状态。

[0088] 如上所述,在示例1中,在需要操作比较器单元时能够基于控制脉冲使比较部处于非操作状态。因此,即使是简单的电路构造,也能够减小流经比较器单元的暗电流或贯通电流。

[0089] 3. 示例2

[0090] 示例2是示例1的变形例。在示例2中,使用具有第二构造的比较器单元来构造比较器单元,并且该比较器单元为差分型比较器单元,在图6中示出其等效电路图。

[0091] 示例2的差分型比较器单元12'包括比较部,比较部包括:差分电路41,其接收信号电压 V_{Sig} 以及控制脉冲LCP作为两个输入;以及恒定电流源42,其向差分电路41提供恒定电流。

[0092] 比较部进一步包括:信号写入晶体管 TR_{Sig} ,其接收信号电压(发光强度信号) V_{Sig} ,以及电容器部 C_2 ,其连接到信号写入晶体管 TR_{Sig} ,并且基于信号写入晶体管 TR_{Sig} 的操作来保持基于信号电压 V_{Sig} 的电位。

[0093] 在差分型比较器单元12'中,提供了均作为操作电源的高电位侧电源 V_{dd} 以及低电位侧电源(示例2中的接地GND)。

[0094] 差分电路41可以使用例如p沟道型场效应晶体管(一对差分晶体管) TR_{21} 和 TR_{22} 以及n沟道型场效应晶体管 TR_{23} 和 TR_{24} 来构造。p沟道型场效应晶体管 TR_{21} 和 TR_{22} 的源电极彼此连接,并且执行差分操作。n沟道型场效应晶体管 TR_{23} 和 TR_{24} 用于构成成为有源负载的电流镜像电路(current mirror circuit)。

[0095] n沟道型场效应晶体管 TR_{23} 的漏电极和栅电极均连接到p沟道型场效应晶体管 TR_{21} 的漏电极,并且n沟道型场效应晶体管 TR_{23} 的源电极连接到低电位侧电源GND。n沟道型场效应晶体管 TR_{24} 的栅电极连接到n沟道型场效应晶体管 TR_{23} 的栅电极,n沟道型场效应晶体管 TR_{24} 的漏电极连接到p沟道型场效应晶体管 TR_{22} 的漏电极,并且n沟道型场效应晶体管 TR_{24} 的源电极连接到低电位侧电源GND。

[0096] 响应于经由扫描线SCL从扫描电路102提供的扫描信号(见图2),信号电压 V_{Sig} 被信号写入晶体管 TR_{Sig} 引入。在本例中,p沟道型场效应晶体管用作信号写入晶体管 TR_{Sig} 。电容器部 C_2 保持由信号写入晶体管 TR_{Sig} 引入的基于信号电压 V_{Sig} 的电位。

[0097] 电容器部 C_2 连接在p沟道型场效应晶体管 TR_{21} 的栅电极与低电位侧电源GND之间。由电容器部 C_2 保持的基于信号电压 V_{Sig} 的电位被施加到p沟道型场效应晶体管 TR_{21} 的栅电极。另外,具有锯齿波形电压变化的控制脉冲LCP被施加到p沟道型场效应晶体管 TR_{22} 的栅电极。

[0098] 恒定电流源42可以使用例如p沟道型场效应晶体管 TR_{27} 来构造。恒定电流源42通过将恒定电压电路43产生的恒定电压施加到p沟道型场效应晶体管 TR_{27} 的栅电极来向差分电路41提供恒定电流。恒定电压电路43可以例如使用串联连接在高电位侧电源 V_{dd} 与低电位侧电源GND之间的p沟道型场效应晶体管 TR_{31} 和 TR_{32} 以及n沟道型场效应晶体管 TR_{33} 和 TR_{34} 来构造。值得注意的是,p沟道型场效应晶体管 TR_{32} 以及n沟道型场效应晶体管 TR_{33} 和 TR_{34} 均为其漏电极与其栅电极彼此相连的二极管连接构造(diode-connection configuration)。

[0099] 在差分电路41中,p沟道型场效应晶体管 TR_{22} 的漏电极与n沟道型场效应晶体管 TR_{24} 的漏电极之间的公共连接点(节点)充当输出端子(输出节点),并且公共源电路44的输入端子连接到该输出端子。公共源电路44包括串联连接在高电位侧电源 V_{dd} 和低电位侧电源GND之间的p沟道型场效应晶体管 TR_{25} 和n沟道型场效应晶体管 TR_{26} 。来自恒定电压电路43的恒定电压被施加到场效应晶体管 TR_{25} 的栅电极,并且场效应晶体管 TR_{26} 的栅电极连接到差分电路41的输出端子。

[0100] p沟道型场效应晶体管 TR_{25} 的漏电极以及n沟道型场效应晶体管 TR_{26} 的漏电极之间的公共连接点(节点)充当示例2的差分型比较器单元的输出端子(输出节点),并且发光部驱动晶体管 TR_{Drv} 的栅电极连接到该输出端子。当从公共源电路44输出第一预定电压(L)时,发光部驱动晶体管 TR_{Drv} 变成开通状态,并且向发光部10提供电流。由此,通过发光部驱动晶体管 TR_{Drv} 的驱动,使发光部10发光。

[0101] 如上所述,在示例2的差分型比较器单元的情况下,因为使用了恒定电流源42,所以贯通电流总是流动。因此,在示例2中,比较器单元12'包括控制部45,控制部45基于控制脉冲LCP来控制具有差分电路41和恒定电流源42的比较部的操作和非操作。

[0102] 控制部45可以包括例如p沟道型场效应晶体管 TR_{28} 作为串联连接到恒定电流源42的开关电路(为了方便,将其称作“第三开关电路”,以与控制部35的开关电路区分开)。第三开关电路基于控制脉冲LCP的锯齿波形电压执行开通/关断操作。在不需要操作比较器单元

时,换言之,在控制脉冲LCP的高电平时段中,用于构成第三开关电路的p沟道型场效应晶体管TR₂₈处于关断状态,从而阻挡了到差分电路41的电流供应路径。

[0103] 在本例中,采用了如下构造,即,将用于构成第三开关电路的p沟道型场效应晶体管TR₂₈串联连接在差分电路41与恒定电流源42之间。然而,还可以采用如下构造,即,将p沟道型场效应晶体管TR₂₈串联连接在电源V_{dd}与恒定电流源42之间。

[0104] 控制部45还可以包括例如作为第二开关电路(为了方便,以下将其称作“第四开关电路”,以与控制部35的第二开关电路区分)的p沟道型场效应晶体管TR₂₉。第二开关电路串联连接到用于向构成恒定电流源42的p沟道型场效应晶体管TR₂₇的栅电极提供恒定电压的恒定电压电路43。第二开关电路基于控制脉冲LCP的锯齿波形电压执行开通/关断操作。正如用于构成第三开关电路的p沟道型场效应晶体管TR₂₈一样,在控制脉冲LCP的高电平时段中,用于构成第四开关电路的p沟道型场效应晶体管TR₂₉处于关断状态,从而阻挡了恒定电压电路43的电流供应路径。

[0105] 以这种方式,同样,在将差分型比较器单元用作比较器单元时,通过阻挡至差分电路41的电流供应路径以及恒定电压电路43的电流供应路径,能够可靠地防止贯通电流的流动,从而能够在控制脉冲LCP的高电平时段中使比较器单元处于非操作状态。

[0106] 4. 示例3

[0107] 示例3为示例1或示例2的变形例。在示例3中,控制部35在示例1的斩波器型比较器单元中包括串联连接到反相器电路30的电阻元件。这能够抑制在控制脉冲的高电平时段之外的时段中流动的贯通电流并且因此能够减小流经驱动电路11的暗电流或贯通电流。具体地,在示例3中,将斩波器型比较器单元被用作比较器单元,在图7中示出其等效电路图。

[0108] 在示例3的斩波器型比较器单元中,将具有栅电极和漏电极彼此相连的二极管连接构造的场效应晶体管用作串联连接到反相器电路30的电阻元件。除了具有二极管连接构造的场效应晶体管之外,还可以将二极管元件以及电阻元件等作为电阻元件使用。

[0109] 在反相器电路30中,具有二极管连接构造的p沟道型场效应晶体管TR₄₁串联连接到第一级CMOS反相器31的被提供高电位侧电源V_{dd}的一侧。均具有二极管连接构造的n沟道型场效应晶体管TR₄₂与TR₄₃串联连接在被提供低电压侧电源GND的一侧。而且,以类似于第一级的方式,具有二极管连接构造的p沟道型场效应晶体管TR₄₄与均具有二极管连接构造的n沟道型场效应晶体管TR₄₅和TR₄₆中的每者与第二级CMOS反相器32串联连接。

[0110] 以这种方式,在示例3的斩波器型比较器单元中,将电阻元件以串联方式插入到反相器电路30中,从而增加了电路的电阻值。这使得除了能够实现示例1的功能与效果之外,还能够抑制在控制脉冲的高电平时段之外的时段中流动的贯通电流,尤其是在反转操作时流动的贯通电流。然而,这存在如下担忧,即,当电路的电阻值增加时,反相器电路30的输出电压可能没有完全达到电源V_{dd}或电源GND的电压。

[0111] 因此,在示例3的斩波器型比较器单元中,对于反相器电路30,可采取如下构造构造,即,例如,添加两级的CMOS反相器36和37,作为第二级CMOS反相器32的随后级的反相器。使用栅电极互相连接并且串联连接在高电位侧电源V_{dd}和低电位侧电源GND之间的p沟道型场效应晶体管TR₅₁和n沟道型场效应晶体管TR₅₂来构造第三级CMOS反相器36。同样地,使用栅电极彼此相连并且串联连接在高电位侧电源V_{dd}和低电位侧电源GND之间的p沟道型场效

应晶体管TR₅₃和n沟道型场效应晶体管TR₅₄来构造第四级反相器37。

[0112] 在示例3的斩波器型比较器单元中,将电阻元件以串联方式插入到第三级CMOS反相器36以及第四级CMOS反相器37中的每者,从而抑制了流经第三级CMOS反相器36和第四级CMOS反相器37的贯通电流。具体地,将均具有二极管连接构造的n沟道型场效应晶体管TR₅₅和TR₅₆作为电阻元件以串联方式插入到第三级CMOS反相器36的被提供低电压侧电源GND的一侧。另外,还将具有二极管连接构造的n沟道型场效应晶体管TR₅₇作为电阻元件以串联方式插入到第四级CMOS反相器37的被提供低电压侧电源GND的一侧。

[0113] 5. 示例4

[0114] 示例4为示例1至3中任一示例的变形例。在示例4中,控制部35在示例1的斩波器型比较器单元中包括串联连接到反相器电路30并且抑制(减小)流经反相器电路30的电流的恒定电流源。这抑制了在除了控制脉冲的高电平时段之外的时段中流动的贯通电流,这能够进一步减小流经驱动电路11的暗电流或贯通电流。具体地,在示例4中,将斩波器型比较器单元被用作比较器单元,在图8中示出其等效电路图。

[0115] 在示例4的斩波器型比较器单元中,向第一级CMOS反相器31和第二级CMOS反相器32分别设置均具有减小的电流量的恒定电流源38和39。然而,即使通过采用如下结构也能够实现合理的功能和效果,即,在该结构中,只向第一级CMOS反相器31或第二级CMOS反相器32设置具有减小的电流量的恒定电流源38或39。

[0116] 恒定电流源38包括连接在n沟道型场效应晶体管TR₁₂和低电位侧电源GND之间的n沟道型场效应晶体管TR₆₁。恒定电流源39包括连接在p沟道型场效应晶体管TR₁₅和高电位侧电源V_{dd}之间的p沟道型场效应晶体管TR₆₂。来自恒定电压电路40的恒定电压被施加到恒定电流源晶体管TR₆₁和TR₆₂中每者的栅电极。

[0117] 恒定电压电路40包括串联连接在高电位侧电源V_{dd}和低电位侧电源GND之间的p沟道型场效应晶体管TR₇₁和TR₇₂以及n沟道型场效应晶体管TR₇₃和TR₇₄。p沟道型场效应晶体管TR₇₂和n沟道型场效应晶体管TR₇₃均具有栅电极和漏电极彼此相连的二极管连接构造。恒定电压电路40还包括串联连接在电路内的p沟道型场效应晶体管TR₇₅。p沟道型场效应晶体管TR₇₅根据控制脉冲的锯齿波形电压来执行开通/关断操作。更具体地,p沟道型场效应晶体管TR₇₅通过在控制脉冲的低电平时段(其中锯齿波形电压小于或等于阈值电压的时段)中变成开通状态来使恒定电压电路40操作。结果,来自恒定电压电路40的恒定电压被施加到恒定电流源晶体管TR₆₁和TR₆₂中每者的栅电极,并且与该电压相对应的电流被提供到第一级CMOS反相器32和第二级CMOS反相器33。

[0118] 以这种方式,将恒定电流源38和39串联连接到反相器电路30,并且根据由恒定电压电路40施加的电压减小(抑制/降低)了恒定电流源38和39中每者的电流量。这除了能够实现示例1的功能与效果之外,还能够抑制在控制脉冲的高电平时段之外的时段中流动的贯通电流,尤其是在反转操作时流动的贯通电流。

[0119] 此外,可以采取如下构造,即,将恒定电流源38布置在第一级CMOS反相器31的电源GND侧,并且将恒定电流源39布置在第二级CMOS反相器32的电源V_{dd}侧。因此,这使第一级CMOS反相器32和第二级CMOS反相器33的操作点电压变得不同。这能够获得以下的功能和效果。即,如图9的波形图所示,由于第一级CMOS反相器32和第二级CMOS反相器33的操作点电压之间的电压差,使得比较器单元的输出电压的脉宽w₂变得小于如下时间间隔w₁,其中在时

间间隔 w_1 期间,控制脉冲被发光强度信号 V_{Sig} 截断。这意味着,不需要使控制脉冲的波形的尖端在时间上过于精细。换言之,为了获得比较器单元的具有脉宽 w_1 的输出电压,可以只需要所生成的控制脉冲的波形的尖端宽于图9所示的控制脉冲即可。以这种方式,生成具有宽的尖端的波形的控制脉冲。因此,具有以下优势,即,由于传输控制脉冲的控制脉冲线PSL的阻抗,不容易出现稍后说明的波形钝度。

[0120] 值得注意的是,与在低电平下引起有效状态(active state)的控制脉冲相对应地,恒定电流源38与39分别布置在反相器电路30的第一级CMOS反相器31的电源GND一侧以及第二级CMOS反相器32的电源 V_{dd} 一侧。然而,在高电平下处于有效状态的控制脉冲的情况下,恒定电流源38和39可以分别布置在第一级CMOS反相器31的电源 V_{dd} 侧以及第二级CMOS反相器32的电源GND侧。

[0121] 6. 示例5

[0122] 示例5为示例1至4中任一示例的变形例。图10示出了用于说明示例5的显示器中的操作的控制脉冲等的原理图。另外,图11示意地示出向示例5的显示器的像素块提供多个控制脉冲的操作。此外,图14A示出了根据本发明实施例的显示器中的控制脉冲生成电路的概念图。在稍后说明的图11和图12中,为了方便,控制脉冲的锯齿波形由三角形来表示。

[0123] 在示例5的显示器中,或在示例5的显示器的驱动方法中的显示器中,将多个像素1在第一方向和第二方向上布置成二维矩阵,其中,每个像素1包括发光部10和驱动发光部10的驱动电路11。在第一方向上将像素群组划分成P个像素块。按照从属于第一个像素块的像素1的发光部10至属于第P个像素块的像素1的发光部10的顺序,以每个像素块为单位依次使发光部10同时发光。此外,当使属于部分像素块的像素1的发光部10发光时,不使属于其余像素块的像素1的发光部10发光。

[0124] 例如,作如下假定,可存在如下全高清全色彩显示器,在该显示器中,屏幕的水平方向(第二方向)上的像素数为1920,并且屏幕的垂直方向(第一方向)上的像素数为1080。在第一方向上将像素群组划分成P个像素块,并且假设P为6。在这种情况下,第一像素块包括第1行的像素群组至第180行的像素群组。第二像素块包括第181行的像素群组至第360行的像素群组。第三像素块包括第361行的像素群组至第540行的像素群组。第四像素块包括第541行的像素群组至第720行的像素群组。第五像素块包括第721行的像素群组至第900行的像素群组。第六像素块包括第901行的像素群组至第1080行的像素群组。

[0125] 下面将说明第一像素块中的每个像素的操作。

[0126] 信号电压写入时段

[0127] 如在示例1至示例4中所说明,与数据线DTL的电位相对应的电荷(基于信号电压 V_{Sig} 的电位)被积累在电容器部 C_1 和 C_2 中的每者中。换言之,每个电容器部 C_1 和 C_2 均保持了基于信号电压 V_{Sig} 的电位。在本例中,在第一像素块中,使属于布置在第二方向上的一行(线)的所有像素(行方向像素群组)中的驱动电路11(具体地,信号写入晶体管 TR_{Sig})同时处于操作状态。另外,在第一像素块中,按照从属于第一方向上的第一行(第一行的行方向像素群组)的所有像素中的驱动电路11(具体地,信号写入晶体管 TR_{Sig})至属于最后一行(具体地,第180行)(最后一行的行方向像素群组)的顺序进行操作,以使属于布置在第二方向上的一行(线)的所有像素(行方向像素群组)中的驱动电路11(具体地,信号写入晶体管 TR_{Sig})同时处于操作状态。

[0128] 像素块发光时段

[0129] 当在第一像素块中完成了上述操作时,将控制脉冲LCP从控制脉冲生成电路103提供到第一像素块。换言之,使第一像素块中的所有像素1的驱动电路11(具体地,发光部驱动晶体管 TR_{Drv})同时处于操作状态,从而使属于第一像素块的所有像素1中的发光部发光。单个控制脉冲LCP的电压绝对值随时间先增大然后再减小。值得注意的是,在图10示出的示例中,单个控制脉冲LCP的电压随时间先减小接着再增大。基于随时间变化的控制脉冲LCP的电压来执行伽玛校正。换言之,控制脉冲LCP的电压的以时间为变量的变化率(导数值)的绝对值与常量2.2成正比。

[0130] 在图10示出的示例中,在信号电压写入时段期间,控制脉冲LCP的电压例如可以是3伏特或更高。因此,在信号电压写入时段期间,因为比较器单元12或12'从输出部输出第二预定电压(H),所以发光部驱动晶体管 TR_{Drv} 处于关断状态。在像素块发光时段期间,当控制脉冲LCP的电压开始下降并且控制脉冲的锯齿波形电压LCP变成等于或小于基于信号电压 V_{Sig} 的电位时,比较器单元12或12'从输出部输出第一预定电压(L)。结果,发光部驱动晶体管 TR_{Drv} 变为开通状态,来自电流供应线CSL的电流被提供到发光部10,并且发光部10发光。控制脉冲LCP的电压降至1伏特左右,然后上升。当控制脉冲的锯齿波形电压LCP超过基于信号电压 V_{Sig} 的电位时,比较器单元12或12'从输出部输出第二预定电压(H)。结果,发光部驱动晶体管 TR_{Drv} 变成关断状态,并且阻挡了电流供应线CSL向发光部10提供电流,这导致发光部10停止发光。换言之,只在控制脉冲LCP的锯齿波被基于信号电压(发光强度信号) V_{Sig} 的电位截断的时间段期间才使发光部10发光。在这种情况下,发光部10的亮度取决于截断时间的长度。

[0131] 换言之,发光部10发光的时间段是基于由电容器部 C_1 和 C_2 中的每者保持的电位以及来自控制脉冲生成电路103的控制脉冲LCP的电压的。基于随时间变化的控制脉冲的锯齿波形电压LCP来执行伽玛校正。换言之,控制脉冲LCP的电压的以时间为变量的变化率的绝对值与常量2.2成正比,并且因此,不需要提供用于伽玛校正的电路。例如,可想到的方法是采用了使用具有线性锯齿波形(三角波形)的电压的控制脉冲的方法,并且信号电压 V_{Sig} 以线性亮度信号的2.2次幂的方式变化。然而,事实上,在低亮度时电压变化非常小,尤其是为了通过数字处理来实现这种电压变化,需要大的位数。因此,很难说这是有效的方法。

[0132] 在示例5中,提供了控制脉冲生成电路103。如图10示意地示出,控制脉冲LCP的电压的变化在低灰阶部分(低电压部分)处相当陡峭,并且尤其地对这部分的控制脉冲波形的波形质量敏感。因此,需要考虑控制脉冲生成电路中生成的控制脉冲LCP中的变化。然而,在示例5的显示器中,因为只提供了一个控制脉冲生成电路103,所以在控制脉冲生成电路中生成的控制脉冲LCP中,并未实质上引起变化。换言之,通过相同的控制脉冲波形来使在整个显示器中发光,并且因此能够防止出现发光状态的变化。此外,控制脉冲LCP电压的绝对值随时间先增大,然后减小。因此,使属于一个像素块的所有像素(具体地,所有子像素)中的发光部以相同的时序发光。换言之,使属于每一个像素块的所有像素中的发光部的发光的时间重心彼此同步(一致)。因此,能够可靠地防止由列方向像素群组中的发光的延迟导致的图像上的垂直线(垂直条纹)的生成。

[0133] 在示例5的显示器和驱动该显示器的方法中,发光部10基于多个控制脉冲LCP而多次发光。可选地,发光部10基于被提供到驱动电路11的均具有锯齿波形电压变化的多个控

制脉冲LCP以及基于信号电压 V_{sig} 的电位而多次发光。可选地,在控制脉冲生成电路103中,发光部10基于多个控制脉冲LCP而多次发光。多个控制脉冲LCP之间的时间间隔是恒定的。具体地,在示例5中,在像素块发光时段中,四个控制脉冲LCP被发送到所有的每个像素块的像素1,并且每个像素1发光四次。

[0134] 如图11示意地示出,在示例5的显示器以及驱动该显示器的方法中,在一个显示帧中,将十二个控制脉冲LCP提供到六个像素块。在一个显示帧中被提供到驱动电路11的控制脉冲LCP的数量小于一个显示帧中的控制脉冲LCP的数量。可选地,在控制脉冲生成电路103中,在一个显示帧中被提供到驱动电路11的控制脉冲LCP的数量小于一个显示帧中的控制脉冲LCP的数量。具体地,在图11示出的示例中,一个显示帧中的控制脉冲LCP的数量是12,并且在一个显示帧中被提供到驱动电路11的控制脉冲LCP的数量是4。在相邻的像素块中,一个像素块的两个控制脉冲LCP与另一像素块的两个控制脉冲LCP重叠。换言之,相邻的两个像素块同时处于发光状态。另外,第一像素块和最后一个像素块也同时处于发光状态。这种构造可以通过如下方式来实现,即,当一个显示帧中生成一系列的多个控制脉冲LCP并且不使属于一个像素块的像素1的发光部10发光时,通过掩蔽该一系列的多个控制脉冲LCP中的一部分,不将控制脉冲LCP提供到属于该一个像素块的像素1的驱动电路11。具体地,例如,可使用多路复用器在一个显示帧中将此一系列的控制脉冲LCP的一部分(四个连续的控制脉冲LCP)从此一系列的控制脉冲LCP中抽出,并然后将其提供到驱动电路11。

[0135] 换言之,示例5的控制脉冲生成电路103为控制脉冲生成电路,其生成具有锯齿波电压变化的控制脉冲LCP来控制如下构造的显示器中的驱动电路11。在该显示器中,在第一方向和第二方向上将多个像素1布置成二维矩阵,每个像素1包括发光部10和使发光部10只在与基于信号电压 V_{sig} 的电位相对应的时间段发光的驱动电路11。在该显示器中,在第一方向上将像素群组划分成P个像素块。按照从属于第一像素块的像素1的驱动电路11至属于第P个像素块的像素1的驱动电路11的顺序,控制脉冲生成电路103以像素块为单位依次向驱动电路11同时提供控制脉冲LCP。此外,当将控制脉冲LCP提供到属于一部分像素块的像素1的驱动电路11时,控制脉冲生成电路103不向属于其余像素块的像素1的驱动电路11提供控制脉冲LCP。在本例中,在控制脉冲生成电路103中,当在一个显示帧中生成该一系列的多个控制脉冲LCP时,不使属于一个像素块的像素1的发光部10发光,掩蔽该一系列的多个控制脉冲LCP的一部分,以不向属于该一个像素块的像素1的驱动电路11提供控制脉冲LCP。

[0136] 更加具体地,如图14A的概念图中示出,在控制脉冲生成电路103中,由控制器22读取存储在存储器21中的控制脉冲的波形信号数据,并且将所读取的波形信号数据发送到D-A转换器23以将其在D-A转换器23中转换成电压。获得的电压在低通滤波器24中积分以产生具有2.2次幂曲线的控制脉冲。接着,控制脉冲经由放大器25被分配到多个(示例5中是六个)多路复用器26。随后,在控制器22的控制下,只使该一系列控制脉冲LCP的必要部分通过,而其余部分被多路复用器26掩蔽,以产生所期望的控制脉冲群组(具体地,六组的控制脉冲群组,其中每组包括四个连续的控制脉冲LCP)。值得注意的是,原始的锯齿波形是一个,并因此能够可靠地抑制控制脉冲生成电路103中产生的控制脉冲LCP的变化的出现。

[0137] 随后,从第一像素块到第六像素块顺序地执行信号电压写入时段期间和像素块发光时段期间所执行的上述操作。换言之,如图11示出,按照从属于第一像素块的像素1的发光部10至属于第P像素块的像素1的发光部10的顺序,以像素块为单位依次使发光部10同时

发光。此外,当使属于一部分像素块的像素1的发光部10发光时,不使属于其余像素块的像素1的发光部10发光。值得注意的是,在一个显示帧中,总有任意的像素块发光。

[0138] 同时,在当前可用的驱动方法中,在一个显示帧时段的开始的第一时段期间,在所有像素停止发光的状态下将图像信号电压写入到所有像素。在第二时段期间,在至少一个由写入到各个像素的图像信号电压确定的发光时段内,使所有像素的发光部发光。这种驱动方法具有下面的缺陷。即,在许多情况下,在一个显示帧的整个时间段中统一地发送图像信号。因此,在电视接收器系统中,如果将垂直消隐时段(vertical blanking period)应用到第二时段,那么,可以想到的是采取使所有像素同时发光的方法。然而,垂直消隐时段通常具有约为一个显示帧的4%的时间长度。因此,获得了具有相当低的发光效率的显示器。此外,为了在第一时段期间将在一个显示帧内持续发送的图像信号写入到所有像素,需要准备大的信号缓冲器。此外,为了以高于接收图像信号的传送率将图像信号传输到每个像素,需要设计出用于信号传输电路的技术。此外,还具有如下缺陷,即,因为在第二时段期间使所有的像素同时发光,所以发光所需的电功率集中于短时间内,这使电源设计变得复杂。

[0139] 与此相反,在示例5中,当使属于部分像素块的像素的发光部(例如,第一像素块和第二像素块)发光时,不使属于其余像素块的像素的发光部(例如,第三像素块至第六像素块)发光。因此,在基于PWM的驱动方法来驱动显示器时,能够增加发光时段,并且可以改善发光效率。此外,不需要在某个时段内将在一个显示帧内持续发送的图像信号同时写入所有像素。换言之,如同当前可用的显示器,只需以行方向像素群组为单位将在一个显示帧内持续发送的图像信号顺序地写入。所以,不需要准备大的信号缓冲器,并且也不需要设计出用于信号传输电路的技术以用于以高于接收图像信号的传送率将图像信号传输到每个像素。此外,在像素的发光时段期间,不使所有的像素同时发光。换言之,例如,在使属于第一像素块和第二像素块的像素的发光部发光时,不使属于第三至第六像素块的像素的发光部发光。因此,发光所需的电功率没有集中在短时间内,因而,容易实现电源设计。

[0140] 图12示意地示出了向示例5的显示器的变形例中的像素块提供多个控制脉冲LCP的操作,并且在本例中,P是5。换言之,第一像素块包括第一行中的像素群组至第216行的像素群组。第二像素块包括第217行的像素群组至第432行的像素群组。第三像素块包括第433行的像素群组至第648行的像素群组。第四像素块包括第649行的像素群组至第864行的像素群组。第五像素块包括第865行的像素群组至第1080行的像素群组。

[0141] 并且,在图12示出的示例中,在像素块发光时段期间,将四个控制脉冲LCP发送到每个像素块的所有像素1,且每个像素1发光四次。在一个显示帧中,将十二个控制脉冲LCP提供到五个像素块。在一个显示帧中被提供到驱动电路11的控制脉冲LCP的数量小于一个显示帧中的控制脉冲LCP的数量。具体地,在图12所示的示例中,同样地,一个显示帧中的控制脉冲LCP的数量是12,并且在一个显示帧中被提供到驱动电路11的控制脉冲LCP的数量是4。然而,与图11中示出的示例不同的是,在一个显示帧中存在不发光的像素块。在相邻的像素块中,一个像素块的三个控制脉冲LCP与其他的像素块的三个控制脉冲LCP重叠。在五个像素块中,至多四个像素块的发光状态彼此重叠。以这种方式,使比图11中示出的示例的那些像素块更多的像素块同时发光。因此,能够进一步改善图像显示质量。

[0142] 7. 示例6

[0143] 示例6是示例1至5中任一示例的变形例。顺便一提,经由作为长距离布线的控制脉

冲线PSL来传送或传输控制脉冲LCP。在控制脉冲线PSL中,存在诸如电阻分量、电容分量、电抗分量等阻抗。因此,传送距离越长,波形钝度就越容易出现。尤其,在控制脉冲LCP中,波形迟钝更容易出现在图10中示出的较低电压的部分。远离控制脉冲线PSL的控制脉冲输入端子的像素预计将具有阴影,在阴影中,低灰阶变为黑色。提供具有小阻抗的控制脉冲线PSL是规避这种缺陷的有效措施。然而,制造以及制造成本方面的约束是巨大的,并且显示器的屏幕尺寸越大,就越难采取这种措施。

[0144] 在示例6的显示器中,如用于构成图13中的显示器的电路的概念图中示出,电压跟随器电路(缓冲电路)13以预定间隔(每隔预定数量的像素)插入地布置在控制脉冲线PSL中。值得注意的是,属于布置在第二方向的一行(线)的所有像素连接到控制脉冲线PSL。图14B示出了电压跟随器电路(缓冲电路)13的电路。利用这种构造来执行经由控制脉冲线PSL传输的控制脉冲LCP的波形整形,且不容易出现波形钝度。换言之,能够将由控制脉冲线PSL的阻抗引起的锯齿波形的劣化减到最低。例如,可以针对属于第二方向的一行(线)的十至二十个像素(在行方向上布置的像素)布置一个电压跟随器电路13。除了上述要点之外,示例6的显示器的构造与结构可以与示例1至5中说明的显示器的结构相似,并且因此,将略去其详细的说明。

[0145] 上面已经参照一些优选的示例对本发明进行了说明,但是本发明并不限于这些示例。显示器的构造与结构以及发光部中包括的各种电路、驱动电路和示例中说明的显示器作为示例而被提供,并且可以视情况被修改。在示例中,信号写入晶体管为沟道型晶体管,并且发光部驱动晶体管为p沟道型晶体管。然而,晶体管的沟道形成区域的导电型不限于这些类型,并且控制脉冲的波形也不限于示例中说明的波形。此外,在示例中,n沟道型晶体管或者p沟道型晶体管被用作开关部和开关电路中的每者。然而,用作开关部和开关电路的晶体管的沟道形成区的导电型可以是相反的类型。可选地,可以使用n沟道型晶体管与p沟道型晶体管并联连接的转换开关。

[0146] 此外,在示例中,将根据本发明的技术的实施例应用到显示器的像素的驱动电路的比较器单元,但并不限于此。还可以将根据本发明的技术的实施例应用到所有种类的利用基于信号电压的电位来比较具有锯齿波形电压变化的控制脉冲的锯齿波形电压的比较器单元(比较器电路)。

[0147] 能够根据本发明的上述实施例与变形例来实现至少下面的构造。

[0148] [A01] (比较器单元) 一种比较器单元,其包括:

[0149] 比较部,其用于将控制脉冲与基于信号电压的电位相比较;以及

[0150] 控制部,其用于基于所述控制脉冲来控制所述比较部的操作和非操作。

[0151] [A02] (比较器单元:第一构造) 根据[A01]的比较器单元,其中,所述比较部包括:

[0152] 信号写入晶体管,其用于接收所述信号电压,

[0153] 控制脉冲晶体管,其用于接收所述控制脉冲,并与所述信号写入晶体管使用反相的信号来执行开通/关断操作,

[0154] 反相器电路,以及

[0155] 电容器部,其具有第一端和第二端,并且用于基于所述信号写入晶体管的操作来保持所述基于信号电压的电位,所述第一端连接到所述信号写入晶体管和所述控制脉冲晶体管,并且所述第二端连接到所述反相器电路。

- [0156] [A03]根据[A02]的比较器单元,其中,
- [0157] 所述控制脉冲具有锯齿波形电压变化,并且
- [0158] 所述控制部包括第一开关电路,所述第一开关电路串联连接到所述反相器电路,并用于基于所述控制脉冲的所述锯齿波形电压变化来执行开通/关断操作。
- [0159] [A04]根据[A03]的比较器单元,其中,所述控制部包括第二开关电路,所述第二开关电路并联连接到所述第一开关电路,并用于在所述比较器单元的操作时段期间处于开通状态。
- [0160] [A05]根据[A03]或[A04]的比较器单元,其中,所述控制部包括串联连接到所述反相器电路的电阻元件。
- [0161] [A06]根据[A03]至[A05]中任一项的比较器单元,其中,所述控制部包括恒定电流源,所述恒定电流源串联连接到所述反相器电路,并用于抑制流经所述反相器电路的电流。
- [0162] [A07]根据[A06]的比较器单元,其中,
- [0163] 所述反相器电路包括两级以上的级联连接的反相器,并且
- [0164] 用于第一级所述反相器的所述恒定电流源连接在第一级所述反相器的被提供高电位侧电源和低电位侧电源中的一者的一侧,并且用于所述第二级所述反相器的所述恒定电流源连接在第二级所述反相器的被提供高电位侧电源和低电位侧电源中的另一者的一侧。
- [0165] [A08] (比较器单元:第二构造)根据[A01]的比较器单元,其中,所述比较部包括:
- [0166] 差分电路,其用于接收所述信号电压和所述控制脉冲作为两个输入,以及
- [0167] 恒定电流源,其用于向所述差分电路提供恒定电流。
- [0168] [A09]根据[A08]的比较器单元,其中,所述比较部还包括:
- [0169] 信号写入晶体管,其用于接收所述信号电压,以及
- [0170] 电容器部,其连接到所述信号写入晶体管,并用于基于所述信号写入晶体管的操作来保持基于所述信号电压的电位。
- [0171] [A10]根据[A08]或[A09]的比较器单元,其中,
- [0172] 所述控制脉冲具有锯齿波形电压变化,并且
- [0173] 所述控制部包括第一开关电路,所述第一开关电路串联连接到所述恒定电流源,并用于基于所述控制脉冲的所述锯齿波形电压变化来执行开通/关断操作。
- [0174] [A11]根据[A10]的比较器单元,其中,所述控制部包括第二开关电路,所述第二开关电路串联连接到恒定电压电路,并用于基于所述控制脉冲的所述锯齿波形电压变化来执行开通/关断操作,所述恒定电压电路用于向构成所述恒定电流源的晶体管的栅电极提供恒定电压。
- [0175] [B01] (显示器)
- [0176] 一种显示器,其包括:
- [0177] 多个像素,它们被布置成二维矩阵,每个所述像素包括发光部和用于驱动所述发光部的驱动电路,
- [0178] 所述驱动电路包括:比较器单元,其用于将控制脉冲与基于信号电压的电位相比较,并且基于比较结果输出预定电压,以及发光部驱动晶体管,其用于响应于来自所述比较器单元的所述预定电压向所述发光部提供电流,从而使所述发光部发光,并且

[0179] 所述比较器单元包括:比较部,其用于将所述控制脉冲与基于所述信号电压的电位相比较,以及控制部,其用于基于所述控制脉冲来控制所述比较部的操作和非操作。

[0180] [B02]根据[B01]的显示器,其中,

[0181] 所述多个像素在第一方向和第二方向上被布置成二维矩阵,并且在所述第一方向上被划分成P个像素块,并且

[0182] 按照从第1个像素块至第P个像素块的顺序,依次使属于第1个像素块至第P个像素块中每个像素块的所述像素的所述发光部同时发光,并且在使属于一部分像素块的所述像素的所述发光部发光时,不使属于其余像素块的所述像素的所述发光部发光。

[0183] [B03]根据[B01]或[B02]的显示器,其中,所述发光部基于多个所述控制脉冲来多次发光。

[0184] [B04]根据[B03]的显示器,其中,所述多个控制脉冲的时间间隔是固定的。

[0185] [B05]根据[B01]至[B04]中任一项的显示器,其中,在一个显示帧中被提供到所述驱动电路的所述控制脉冲的数量小于一个显示帧中的所述控制脉冲的数量。

[0186] [B06]根据[B01]至[B05]中任一项的显示器,其中,在一个显示帧中总有任意的像素块发光。

[0187] [B07]根据[B01]至[B05]中任一项的显示器,其中,在一个显示帧中存在不发光的像素块。

[0188] [B08]根据[B01]至[B07]中任一项的显示器,其还包括用于生成具有锯齿波形电压变化的所述控制脉冲的控制脉冲生成电路。

[0189] [B09]根据[B01]至[B08]中任一项的显示器,其中,每个所述控制脉冲的电压的绝对值随时间先增大后减小。

[0190] [B10]根据[B09]的显示器,其中,基于随时间变化的所述控制脉冲的电压来执行伽玛校正。

[0191] [B11]根据[B10]的显示器,其中,所述控制脉冲的电压的以时间作为变量的变化率的绝对值与常量2.2成正比。

[0192] [B12]根据[B01]至[B11]中任一项的显示器,其中,所述发光部包括发光二极管。

[0193] [B13] (显示器:第一构造)根据[B01]至[B12]中任一项的显示器,其中,所述比较部包括:

[0194] 信号写入晶体管,其用于接收所述信号电压,

[0195] 控制脉冲晶体管,其用于接收所述控制脉冲,并与所述信号写入晶体管使用反相的信号来执行开通/关断操作,

[0196] 反相器电路,以及

[0197] 电容器部,其具有第一端和第二端,并且用于基于所述信号写入晶体管的操作来保持基于所述信号电压的电位,所述第一端连接到所述信号写入晶体管和所述控制脉冲晶体管,并且所述第二端连接到所述反相器电路。

[0198] [B14]根据[B13]的显示器,其中,

[0199] 所述控制脉冲具有锯齿波形电压变化,并且

[0200] 所述控制部包括第一开关电路,所述第一开关电路串联连接到所述反相器电路,并且用于基于所述控制脉冲的所述锯齿波形电压变化来执行开通/关断操作。

[0201] [B15]根据[B14]的显示器,其中,所述控制部包括第二开关电路,所述第二开关电路并联连接到所述第一开关电路,并且用于在所述比较器单元的操作时段期间处于开通状态。

[0202] [B16]根据[B14]或[B15]的显示器,其中,所述控制部包括串联连接到所述反相器电路的电阻元件。

[0203] [B17]根据[B14]至[B16]中任一项的的显示器,其中,所述控制部包括恒定电流源,所述恒定电流源串联连接到所述反相器电路,并用于抑制流经所述反相器电路的电流。

[0204] [B18]根据[B17]的显示器,其中,

[0205] 所述反相器电路包括两级以上的级联连接的反相器,并且

[0206] 所述恒定电流源在第一级所述反相器的被提供高电位侧电源和低电位侧电源中的一者的一侧处连接到第一级所述反相器,并且所述恒定电流源在第二级所述反相器的被提供所述高电位侧电源和所述低电位侧电源中的另一者的一侧处连接到第二级所述反相器。

[0207] [B19] (显示器:第二构造)根据[B01]至[B12]中任一项的显示器,其中,所述比较部包括:

[0208] 差分电路,其用于接收所述信号电压和所述控制脉冲作为两个输入,以及

[0209] 恒定电流源,其用于向所述差分电路提供恒定电流。

[0210] [B20]根据[B19]的显示器,其中,所述比较部还包括:

[0211] 信号写入晶体管,其用于接收所述信号电压,以及

[0212] 电容器部,其连接到所述信号写入晶体管,并用于基于所述信号写入晶体管的操作来保持基于所述信号电压的电位。

[0213] [B21]根据[B19]或[B20]的显示器,其中,

[0214] 所述控制脉冲具有锯齿波形电压变化,并且

[0215] 所述控制部包括第一开关电路,所述第一开关电路串联连接到所述恒定电流源的,并用于基于所述控制脉冲的所述锯齿波形电压变化来执行开通/关断操作。

[0216] [B22]根据[B21]的显示器,其中,所述控制部包括第二开关电路,所述第二开关电路串联连接到恒定电压电路,并用于基于所述控制脉冲的所述锯齿波形电压变化来执行开通/关断操作,所述恒定电压电路用于向构成所述恒定电流源的晶体管的栅电极提供恒定电压。

[0217] [B23]根据[B13]至[B22]中任一项的显示器,其中,在每个所述像素块中,属于布置在所述第二方向上的一行的所有像素的所述信号写入晶体管同时处于操作状态。

[0218] [B24]根据[B23]的显示器,其中,在每个所述像素块中,按照从属于第一行的所有像素的所述信号写入晶体管至属于最后一行的所有像素的所述信号写入晶体管的顺序执行操作,以使得属于布置在第二方向上的一行的所有像素的所述信号写入晶体管同时处于操作状态,所述第一行至所述最后一行布置在第一方向上。

[0219] [B25]根据[B24]的显示器,其中,

[0220] 在每个所述像素块中,按照从属于第一行的所有像素的所述信号写入晶体管至属于最后一行的所有像素的所述信号写入晶体管的顺序执行操作,以使得属于布置在第二方向上的一行的所有像素的所述信号写入晶体管同时处于操作状态,所述第一行至所述最后

一行布置在第一方向上,并且

[0221] 接着,控制脉冲被施加到每个所述像素。

[0222] [B26]根据[B01]至[B25]中任一项的显示器,其中,

[0223] 属于布置在第二方向的一行的所述像素连接到控制脉冲线,并且

[0224] 在所述控制脉冲线中以预定距离插入地设置电压跟随器电路(缓冲电路)。

[0225] [C01](驱动显示器的方法)一种驱动显示器的方法,所述显示器具有布置成二维矩阵的多个像素,每个所述像素包括发光部以及用于驱动所述发光部的驱动电路,所述驱动电路包括:

[0226] 比较器单元,用于将控制脉冲与基于信号电压的电位相比较,并基于比较结果输出预定电压,以及

[0227] 发光部驱动晶体管,用于响应于来自所述比较器单元的所述预定电压向所述发光部提供电流,从而允许所述发光部来发光,

[0228] 所述方法包括:

[0229] 基于所述控制脉冲来控制所述比较器单元的操作和非操作。

[0230] 本领域技术人员应当理解,在附加的权利要求或其等同物的范围内根据设计需要和其他因素可以出现不同的修改、合并、子合并以及变更。

[0231] 本申请要求于2013年2月4日提交的日本在先专利申请JP2013-19290的权益,其全部内容通过引用的方式合并入本文。

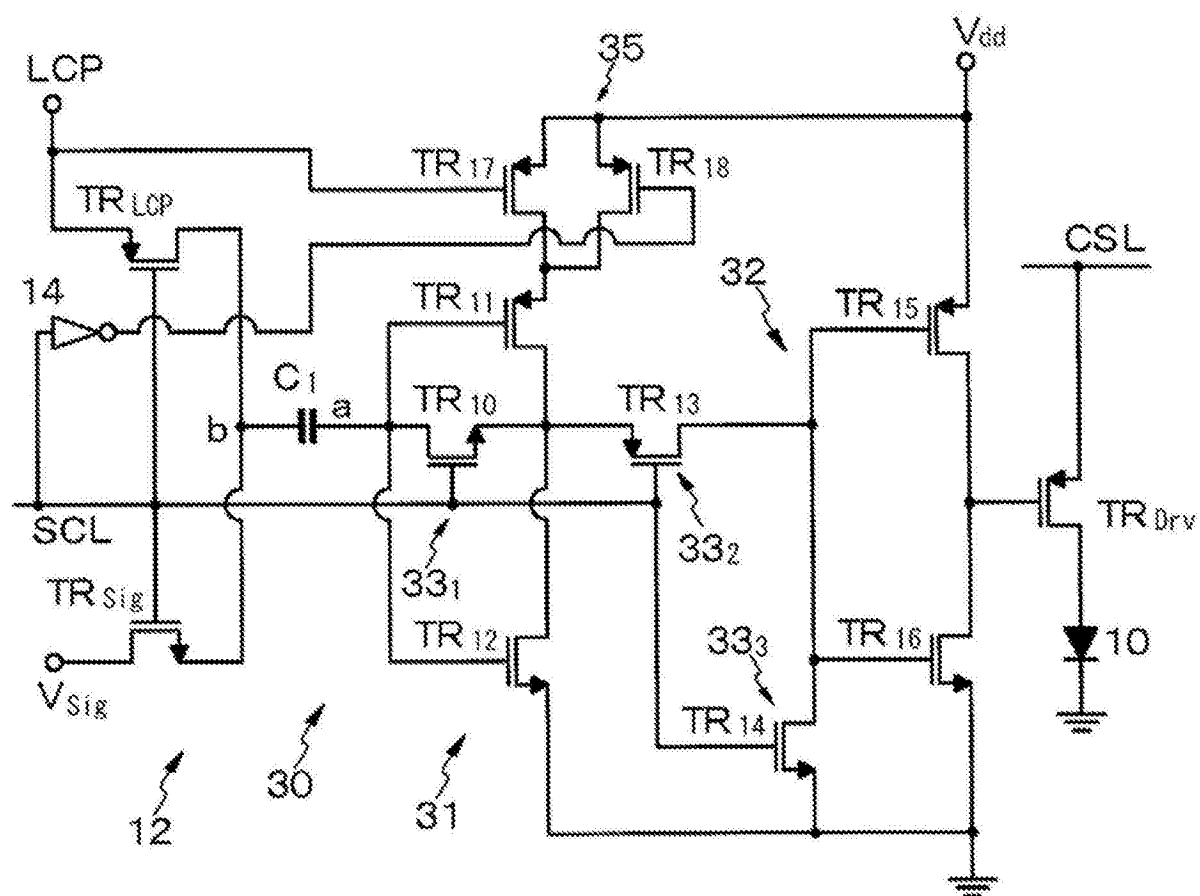


图 1

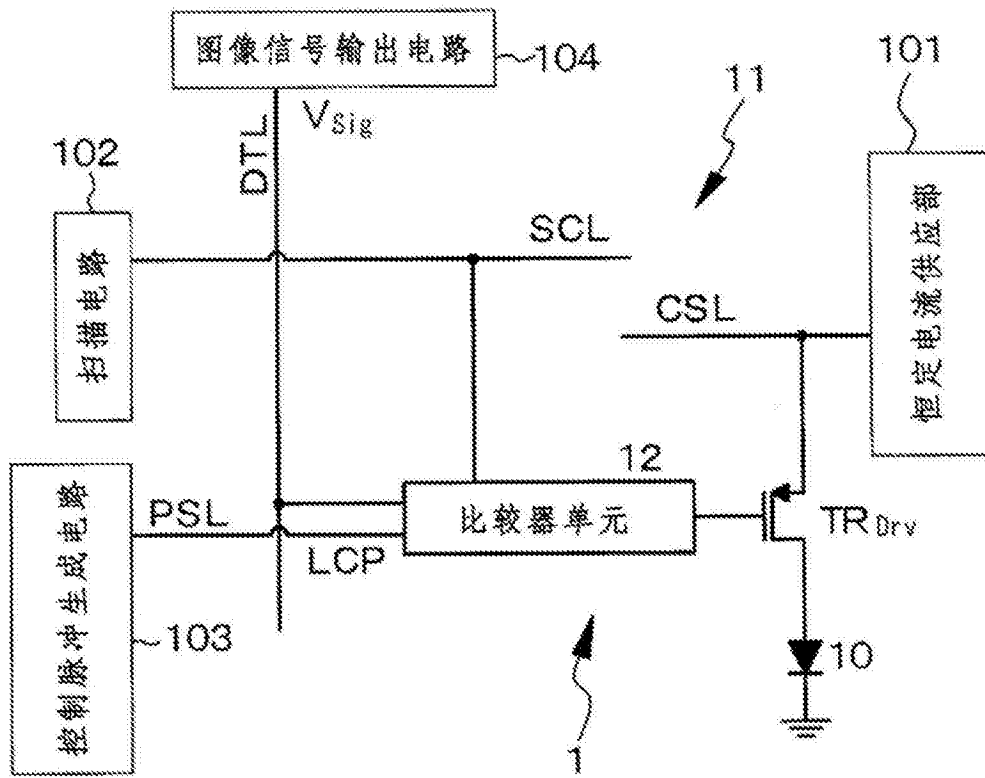


图2

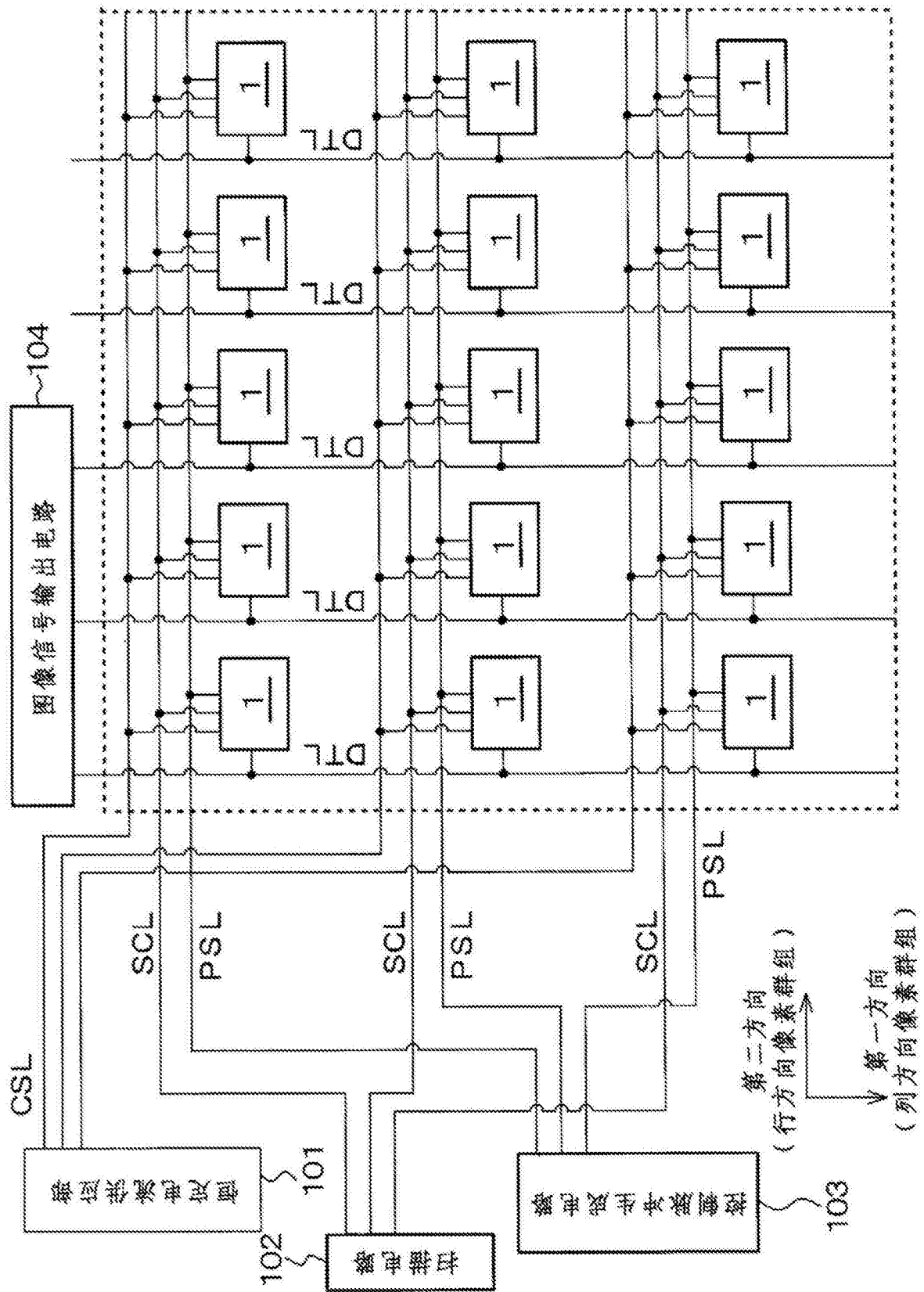


图3

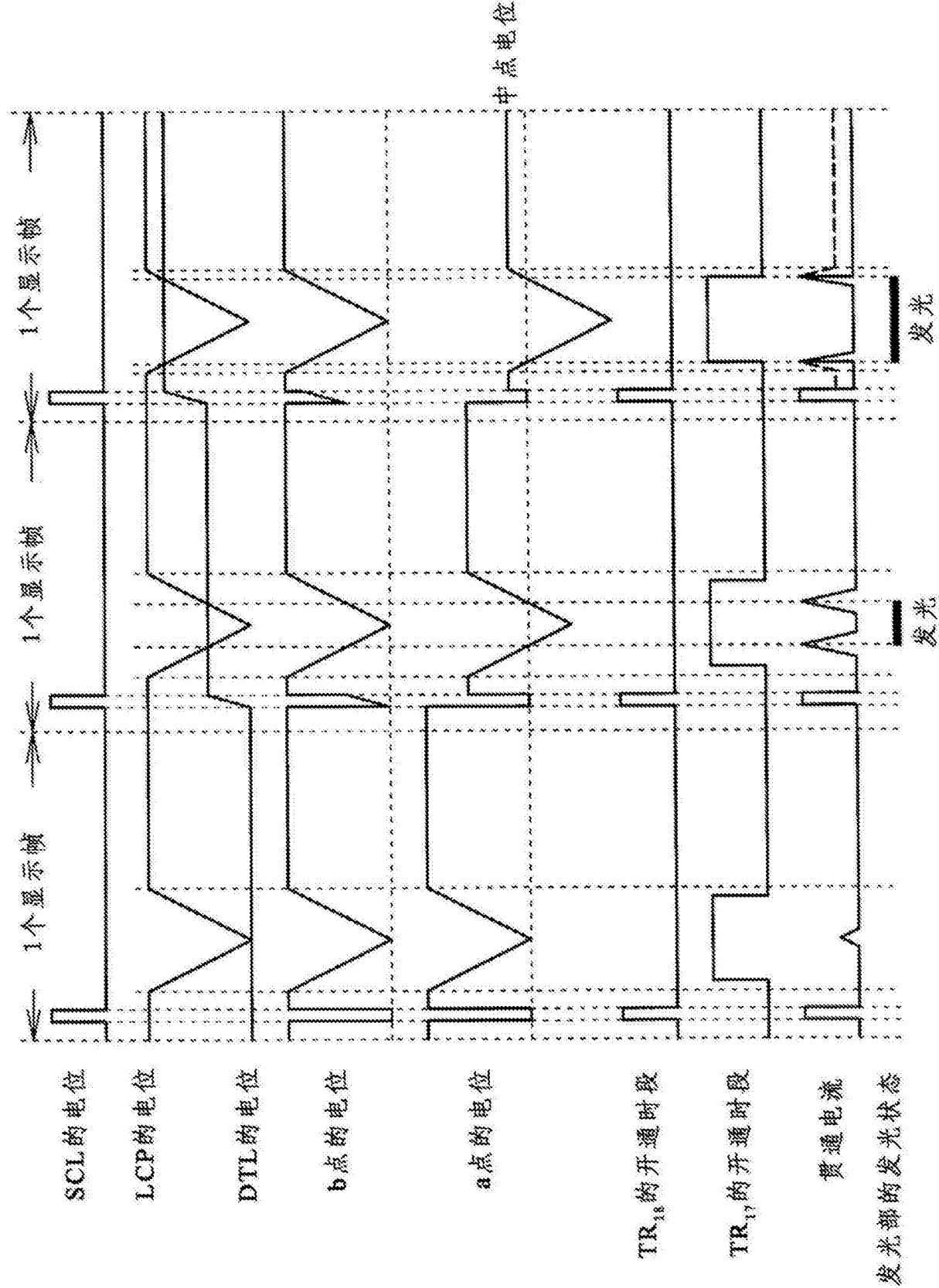


图4

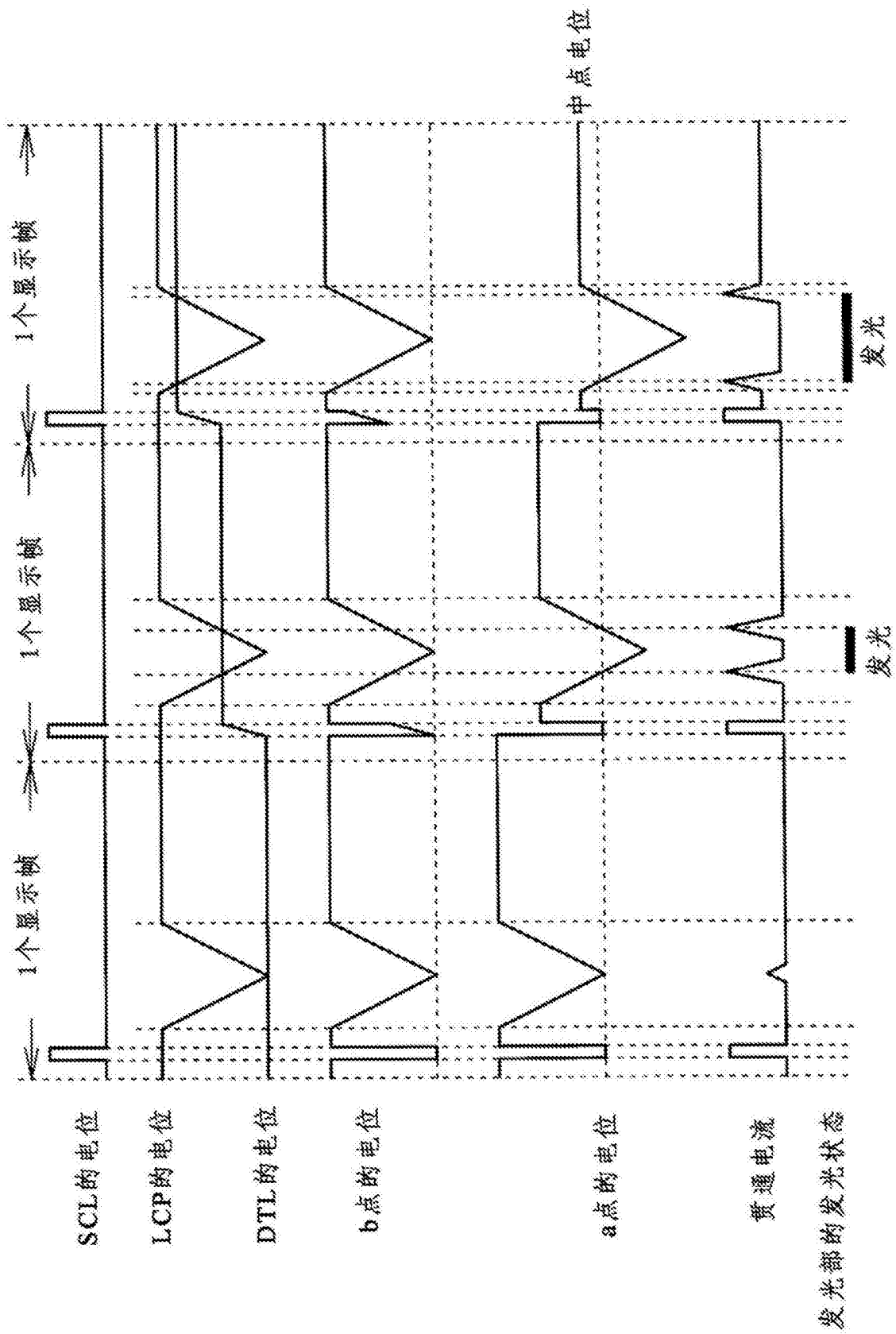


图5

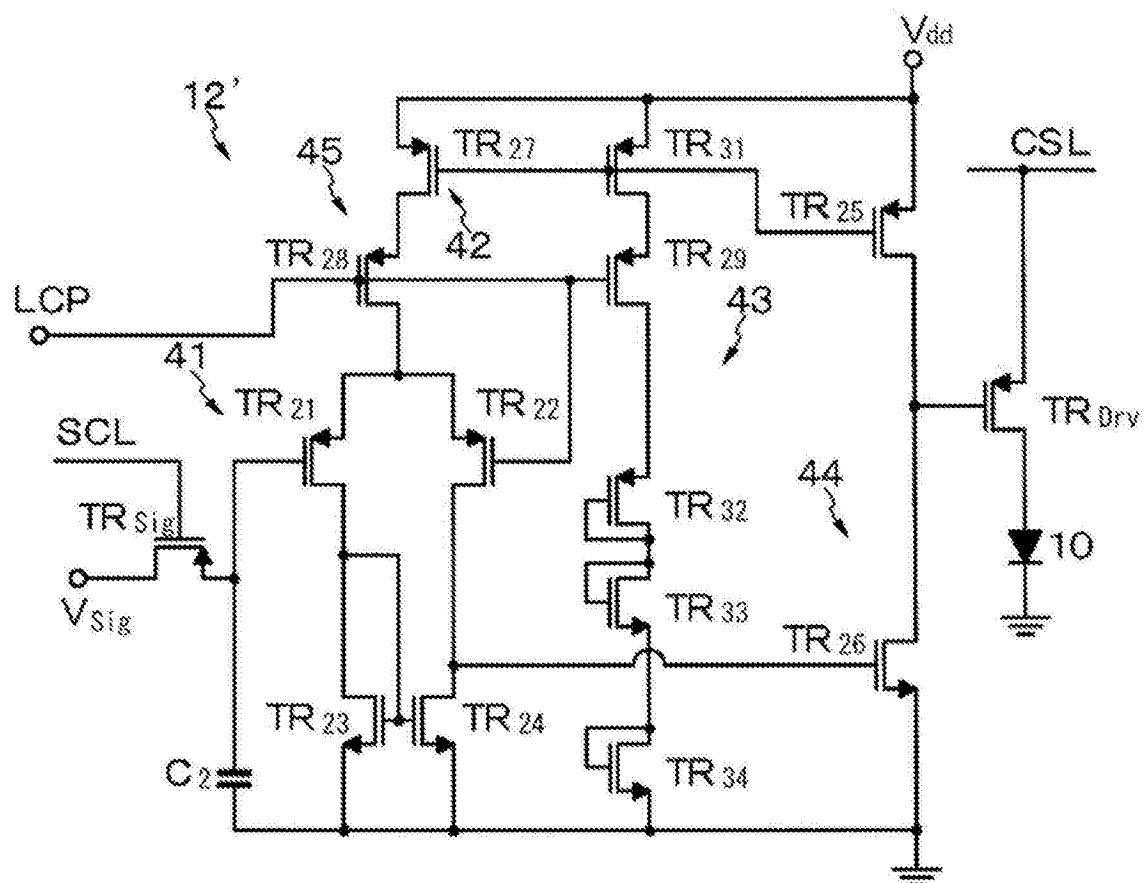


图6

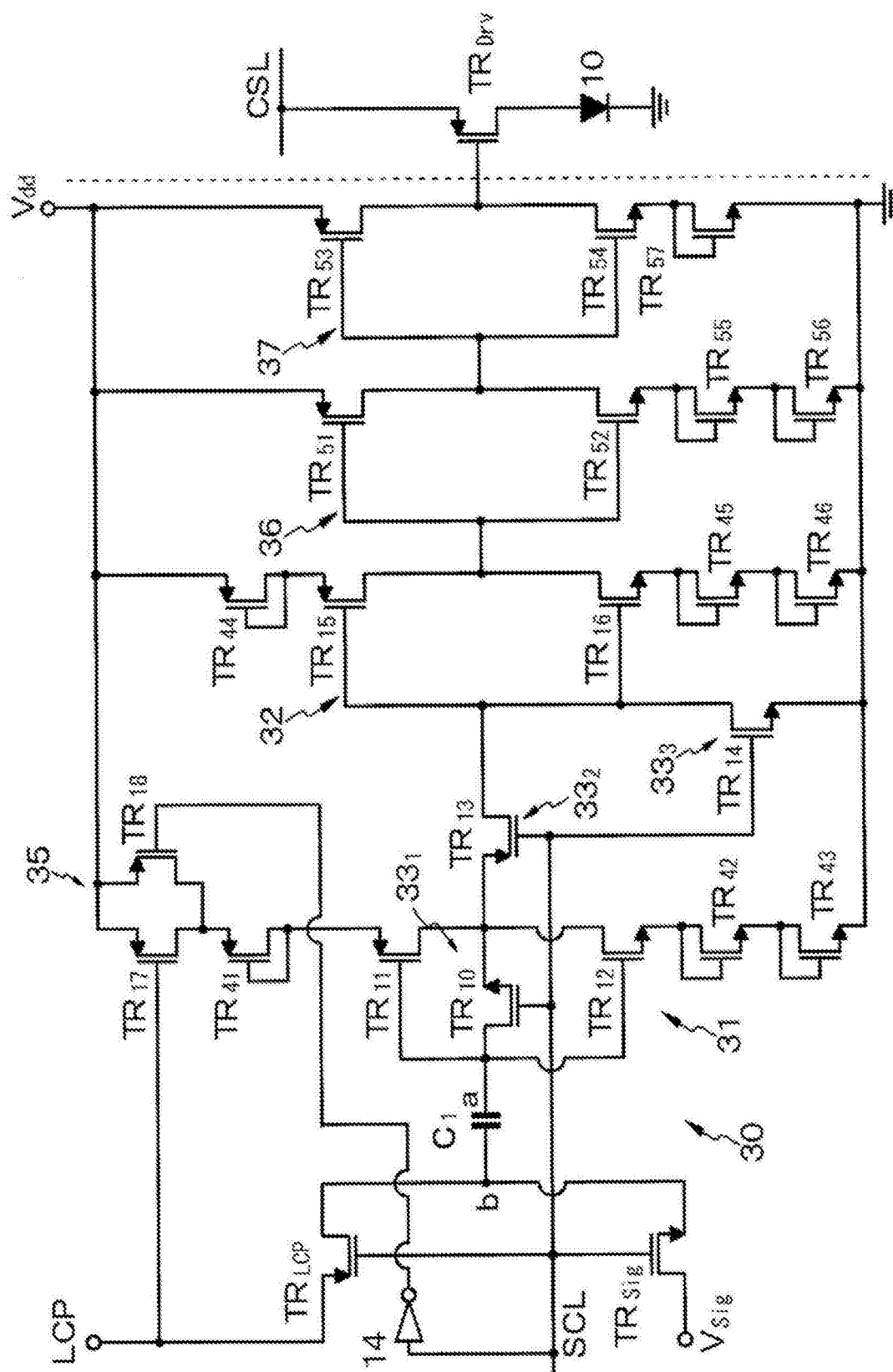


图7

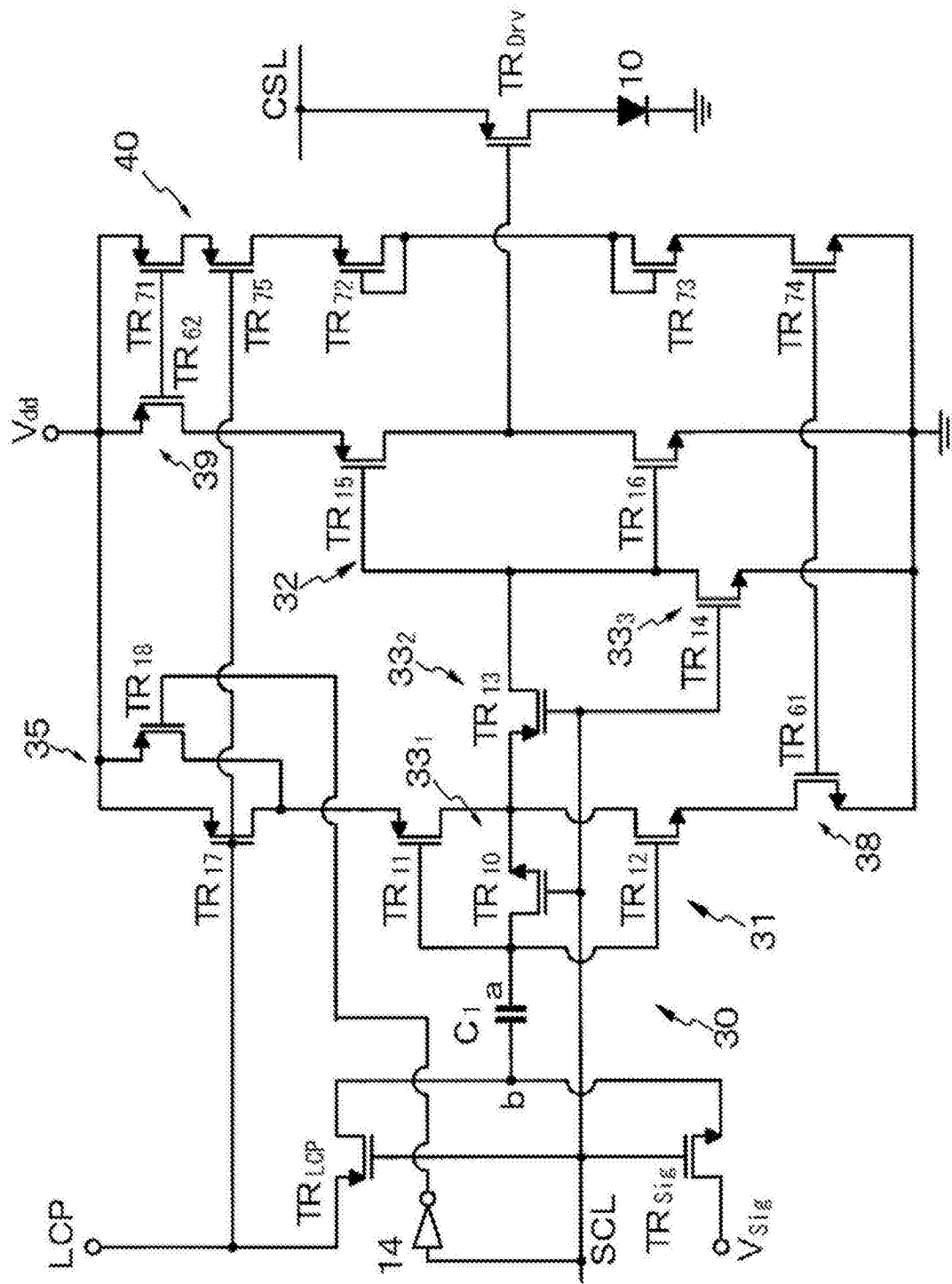


图8

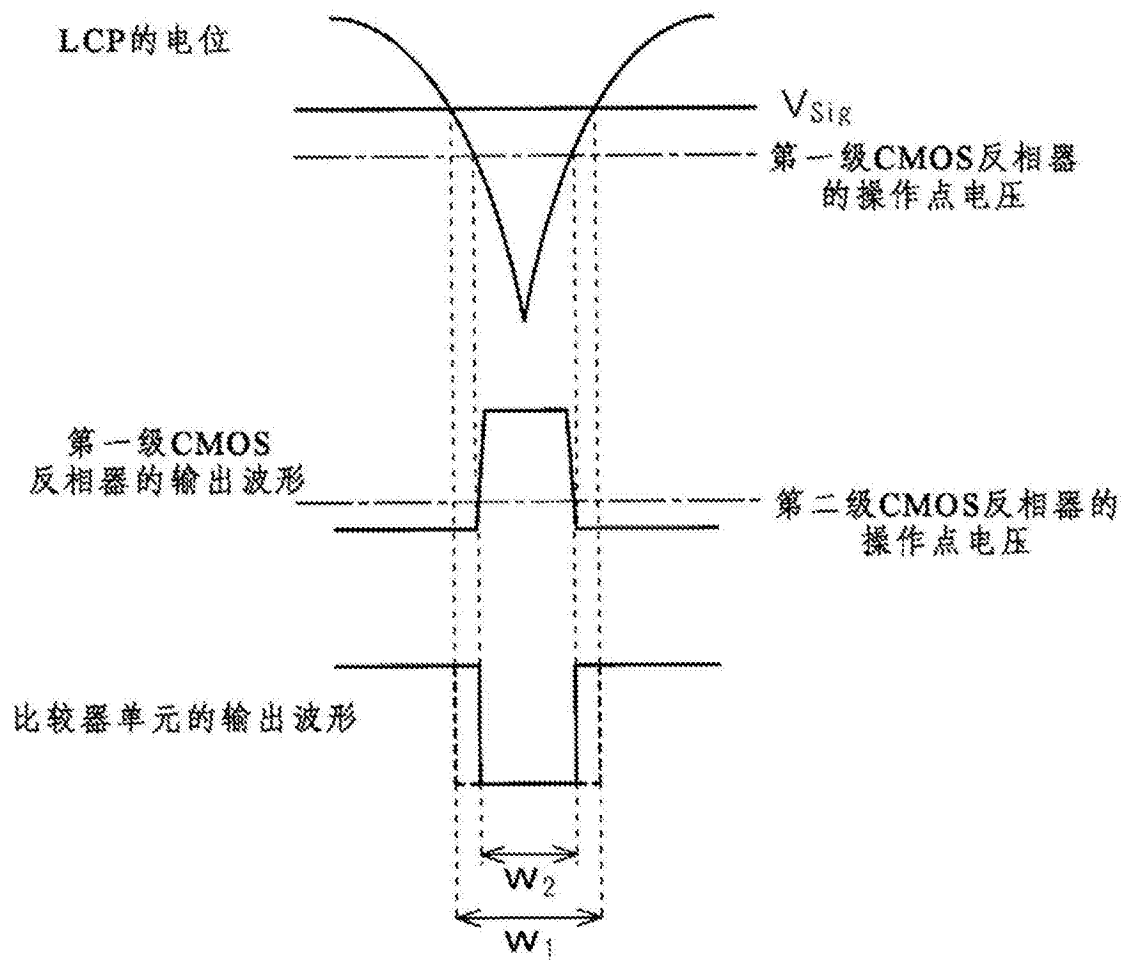


图9

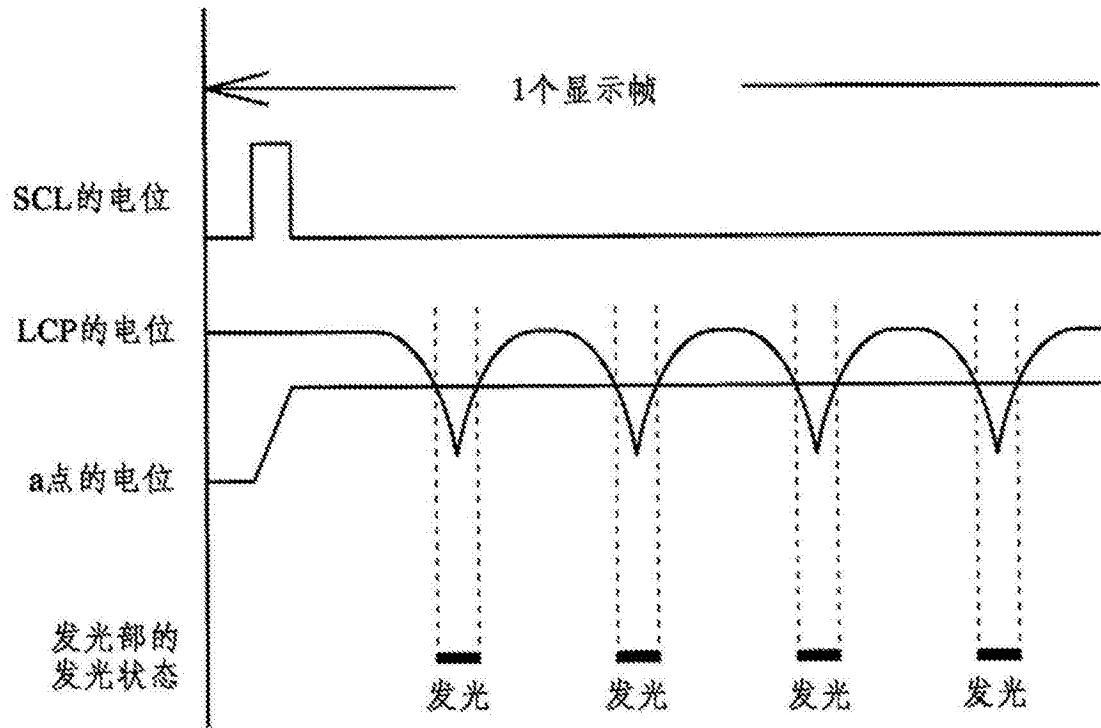


图10

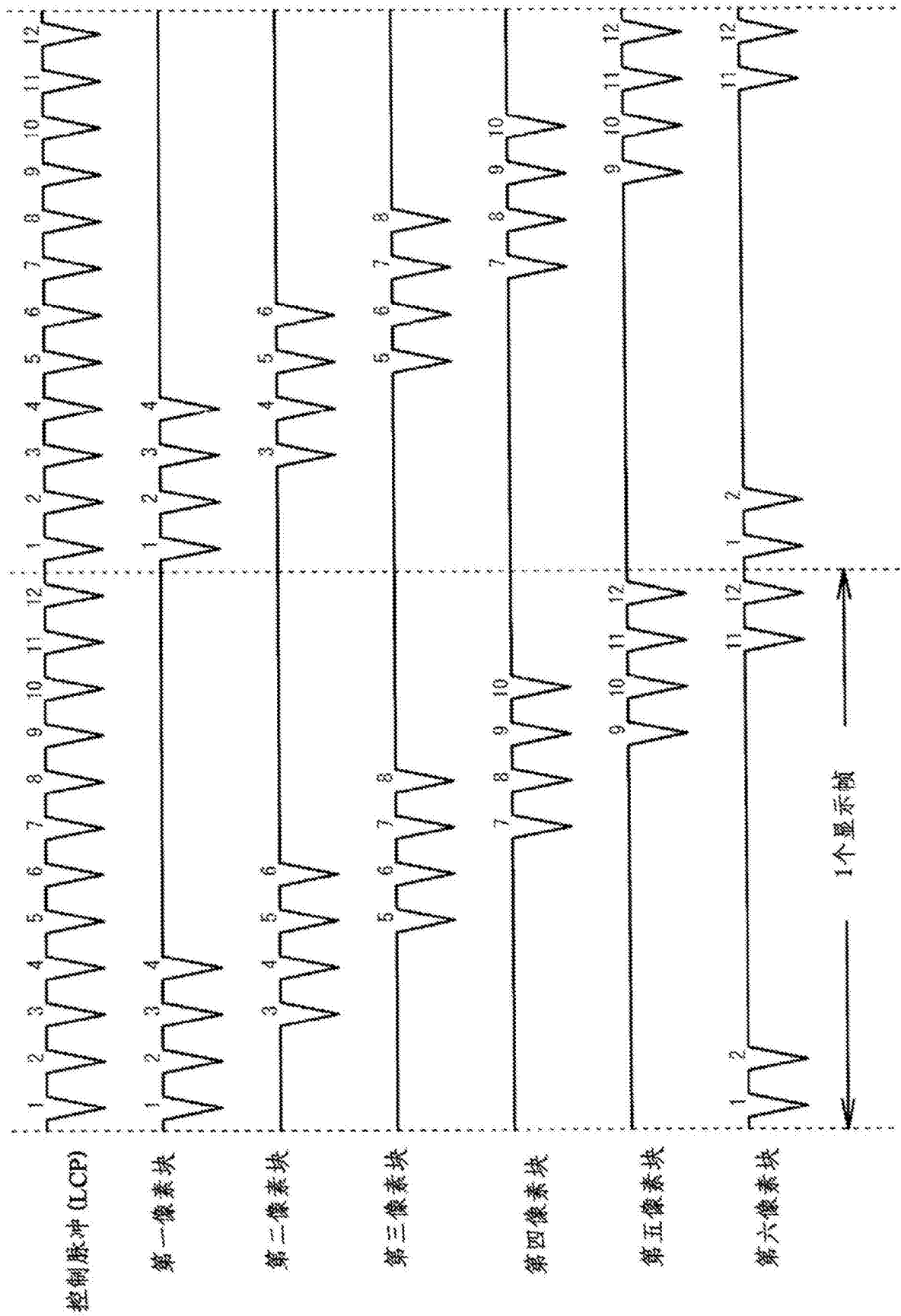


图11

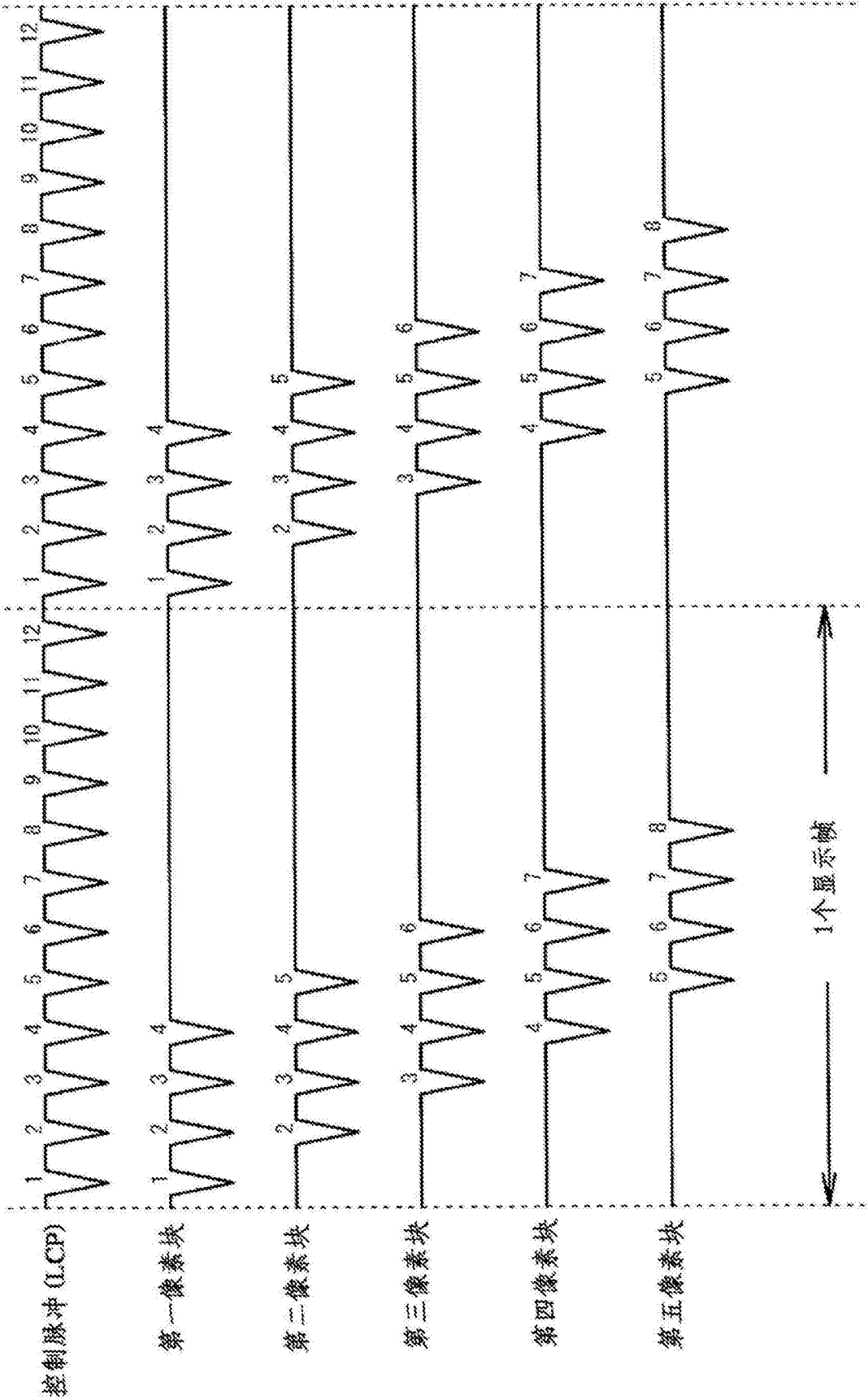


图12

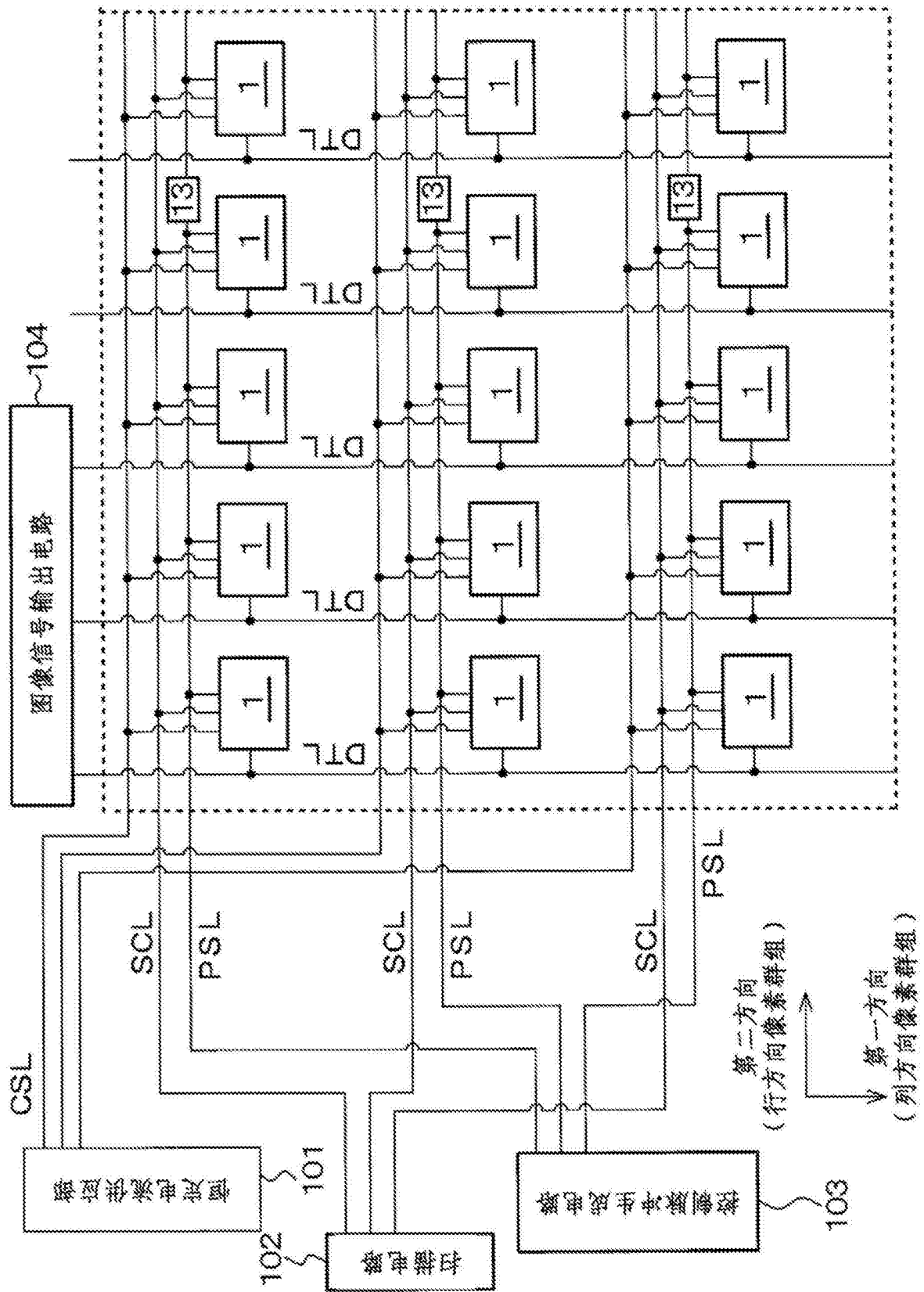


图13

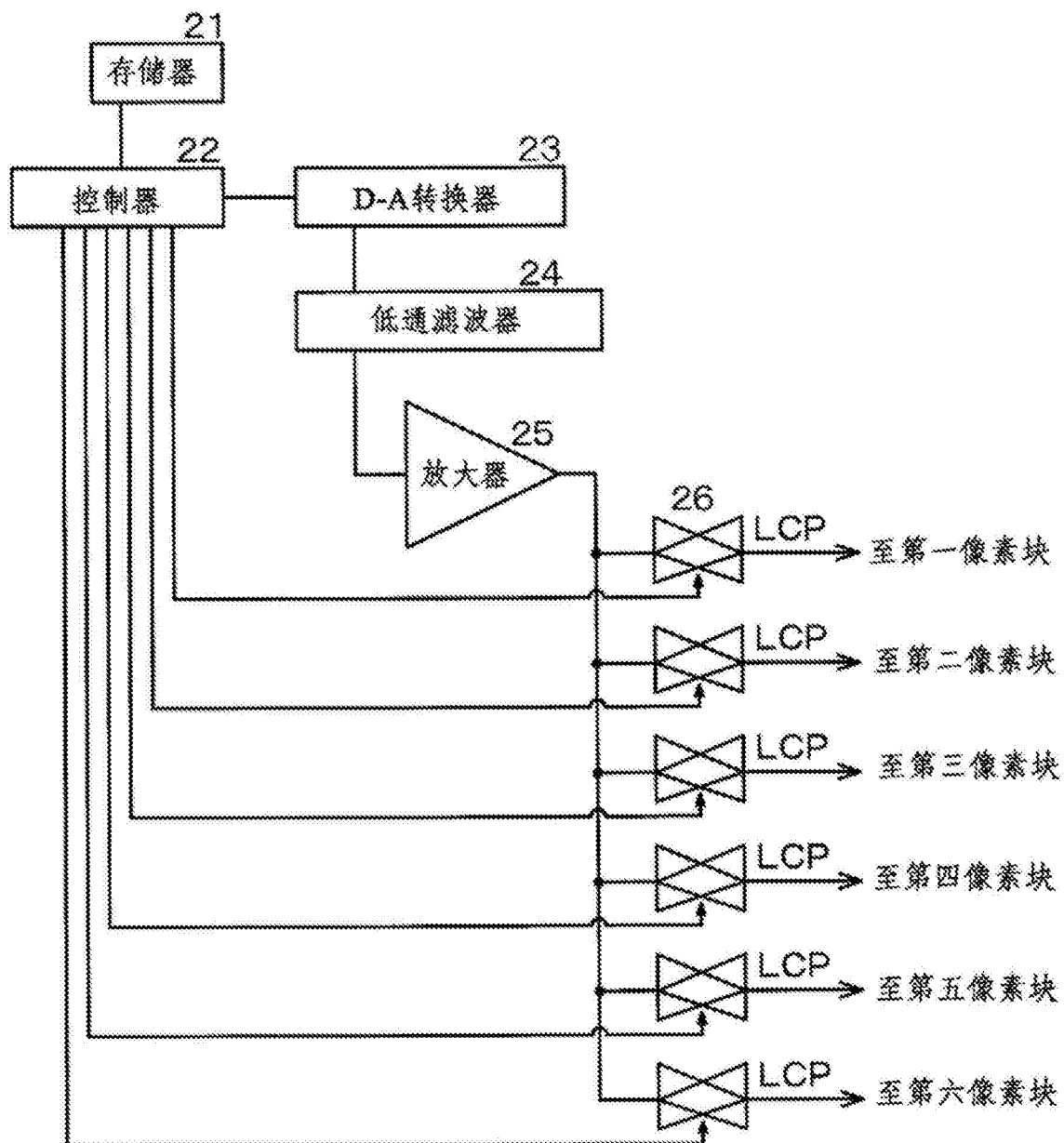


图14A

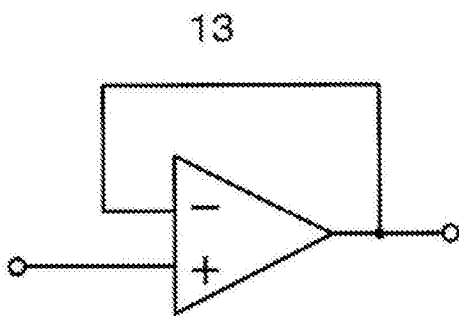


图14B