

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5035902号  
(P5035902)

(45) 発行日 平成24年9月26日(2012.9.26)

(24) 登録日 平成24年7月13日(2012.7.13)

(51) Int.Cl. F I  
 HO4N 7/173 (2011.01) HO4N 7/173 610Z  
 HO4L 12/56 (2006.01) HO4L 12/56 100Z

請求項の数 14 (全 12 頁)

(21) 出願番号	特願2007-535883 (P2007-535883)	(73) 特許権者	501263810
(86) (22) 出願日	平成17年10月7日(2005.10.7)		トムソン ライセンシング
(65) 公表番号	特表2008-516535 (P2008-516535A)		Thomson Licensing
(43) 公表日	平成20年5月15日(2008.5.15)		フランス国, 92130 イッシー レ
(86) 国際出願番号	PCT/US2005/036385		ムーリノー, ル ジャンヌ ダルク,
(87) 国際公開番号	W02006/042207		1-5
(87) 国際公開日	平成18年4月20日(2006.4.20)		1-5, rue Jeanne d' A
審査請求日	平成20年10月6日(2008.10.6)		rc, 92130 ISSY LES
(31) 優先権主張番号	60/616,808		MOULINEAUX, France
(32) 優先日	平成16年10月7日(2004.10.7)	(74) 代理人	100115864
(33) 優先権主張国	米国 (US)		弁理士 木越 力
		(72) 発明者	ホーク, マイケル トーマス
			アメリカ合衆国 カリフォルニア州 ネバ
			ダ・シテイ レクター・ロード 2065
			3

最終頁に続く

(54) 【発明の名称】 オーディオ／ビデオ・ルータ

(57) 【特許請求の範囲】

【請求項1】

オーディオ／ビデオ・ルータとによってデジタル・オーディオ信号およびデジタル・ビデオ信号をルーティングする方法であって、

(a) 前記オーディオ／ビデオ・ルータの少なくとも1つのビデオ出力部にデジタル・ビデオ信号をルーティングするステップと、

(b) 所定のタイミング形式を有する、少なくとも1つのデジタル・オーディオ信号をバッファリングするステップと、

(c) 前記デジタル・オーディオ信号を所定量バッファリングする際に、所定のタイミング形式に、前記デジタル・オーディオ信号のタイミングを合わせなおすステップと

10

(d) 前記オーディオ／ビデオ・ルータの少なくとも1つのオーディオ出力部に前記デジタル・オーディオ信号をルーティングするステップと、

(e) 前記デジタル・ビデオ信号および前記デジタル・オーディオ信号がそれぞれ前記少なくとも1つのビデオ出力部および前記少なくとも1つのオーディオ出力部にルーティングされたときに、前記デジタル・オーディオ信号を前記デジタル・ビデオ信号に埋め込むステップと、

を含む、前記方法。

【請求項2】

前記デジタル・オーディオ信号は、バッファリングを行う前に前記ビデオ信号から取

20

り出されてなる請求項 1 に記載の方法。

【請求項 3】

複数のソースからのオーディオ信号が、前記少なくとも 1 つのビデオ出力部にルーティングされ、当該ビデオ出力部におけるチャンネルの複数の異なるグループ内に埋め込まれる請求項 1 に記載の方法。

【請求項 4】

前記グループの順番が動的に変化する請求項 3 に記載の方法。

【請求項 5】

前記グループ内のチャンネルを入れ替えるステップをさらに含む請求項 3 に記載の方法

。

【請求項 6】

前記グループ内のチャンネルを合算して前記グループのチャンネルの少なくとも 1 つに挿入されるモノラルの信号を供給する請求項 3 に記載の方法。

【請求項 7】

前記 (b) ~ (e) の各々のステップが前記ビデオ信号に埋め込まれた複数のオーディオ信号の各々のために繰り返される請求項 2 に記載の方法。

【請求項 8】

前記デジタル・オーディオ信号のタイミングが A E S 形式に準拠するように合わせなおされる請求項 1 に記載の方法。

【請求項 9】

入来するビデオ信号からのビット・クロックおよびシリアル・データ・ストリームを復元するステップと、

前記ビット・クロックおよびシリアル・データ・ストリームをデシリアライズすることによってワード・クロック、さらに、ビデオおよび埋め込まれたオーディオを含むパラレル・データ・ストリームを発生させるステップと、

前記パラレル・データ・ストリームからオーディオ・データを抽出するステップと、  
により埋め込みされた前記デジタル・オーディオが取り出される請求項 2 に記載の方法。

【請求項 10】

少なくとも 1 つの脱埋め込み回路であって、入来するビデオ信号に埋め込まれた少なくとも 1 つのデジタル・オーディオを取り出し、所定のタイミング形式を有し、ビデオ信号と、当該脱埋め込み回路内で十分な量のオーディオ・データを確保するためにバッファリングされた少なくとも 1 つのデジタル・オーディオ信号を生成する、前記脱埋め込み回路と、

ビデオ・クロスポイント・スイッチであって、当該ビデオ・クロスポイント・スイッチの別個の入力部で受信された各脱埋め込み回路からのビデオ信号を少なくとも 1 つの当該ビデオ・クロスポイント・スイッチの出力部にルーティングする、当該ビデオ・クロスポイント・スイッチと、

オーディオ・クロスポイント・スイッチであって、当該オーディオ・クロスポイント・スイッチの入力部で受信された、少なくとも 1 つのバッファリングされたデジタル・オーディオ信号を、少なくとも 1 つの当該オーディオ・クロスポイント・スイッチの出力部にルーティングする、当該オーディオ・クロスポイント・スイッチと、

少なくとも 1 つの埋め込み回路であって、前記オーディオ・クロスポイント・スイッチによってルーティングされた前記少なくとも 1 つのデジタル・オーディオ信号をバッファリングし、前記デジタル・ビデオ信号および少なくとも 1 つのデジタル・オーディオ信号が互に関連する各出力部にルーティングされたときに、前記デジタル・ビデオ信号内に少なくとも 1 つのデジタル・オーディオ信号を埋め込む、当該埋め込み回路と

、

を含む、オーディオ/ビデオ・ルータ。

【請求項 11】

10

20

30

40

50

前記少なくとも1つの脱埋め込み回路は、  
 前記入来するビデオ信号からのビット・クロックおよびシリアル・データ・ストリームを復元する手段と、  
 前記ビット・クロックおよびシリアル・データ・ストリームをデシリアライズすることによってワード・クロック、さらに、ビデオおよび埋め込まれたオーディオを含むパラレル・データ・ストリームを生成する手段と、  
 前記パラレル・データ・ストリームからオーディオ・データを抽出する手段と、  
 前記抽出されたデジタル・オーディオ信号をバッファリングする手段と、  
 バッファリングの後、前記抽出されたデジタル・オーディオ信号をフォーマットする手段と、  
 をさらに含む請求項10に記載のオーディオ/ビデオ・ルータ。

10

【請求項12】

前記少なくとも1つの埋め込み回路は、  
 前記ビデオ・クロスポイント・スイッチによってルーティングされるビデオ信号からビット・クロックおよびシリアル・データ・ストリームを復元する手段と、  
 前記ビット・クロックおよびシリアル・データ・ストリームをデシリアライズしてワード・クロック、さらに、ビデオおよび埋め込まれたオーディオを含むパラレル・データ・ストリームを生成する手段と、  
 前記オーディオ・クロスポイント・スイッチによってルーティングされた前記デジタル・オーディオ信号をデシリアライズする手段と、  
 前記デシリアライズされたデジタル・オーディオ信号をバッファリングする手段と、  
 前記パラレル・ストリーム内で、前記デシリアライズおよびバッファリングされたオーディオを挿入する手段と、  
 デジタル・ビデオおよびデジタル・オーディオを含む前記パラレル・データ・ストリームをシリアライズする手段と、  
 を含む請求項10に記載のオーディオ/ビデオ・ルータ。

20

【請求項13】

前記バッファリングする手段が先入れ先出しデバイスである請求項11に記載のオーディオ/ビデオ・ルータ。

【請求項14】

前記バッファリングする手段が先入れ先出しデバイスである請求項10に記載のオーディオ/ビデオ・ルータ。

30

【発明の詳細な説明】

【技術分野】

【0001】

(関連出願とのクロスリファレンス)

本出願は、米国特許法第119条(e)項の下で2004年10月7日付で出願された米国仮特許出願第60/616,808号の優先権を主張するものであり、その開示内容を本明細書中に盛り込むものとする。

【0002】

本発明は、オーディオ信号およびビデオ信号をルーティングする技術に関する。

40

【背景技術】

【0003】

デジタル符号化技術の到来により、現在、ビットストリームにおいて1つ以上のオーディオ信号を符号化することが可能となっており、「デジタル・オーディオ」または「デジタル・オーディオ信号」が作成される。例えば、AES(Audio Engineering Society)は、デジタル・オーディオ信号のための特定の規格(AES3-1992、1997年改定)を制定している。この規格は、2つのチャンネルのグループを定義し、これらのチャンネルは、ステレオ・ペアの2つのチャンネルを表すことが多い。このようなデジタル・オーディオ信号の伝送および配送は、専用のリンク

50

、即ち、デジタル・オーディオ信号のみを搬送するリンクを介する信号の伝送によって行われる。代替的には、このようなデジタル・オーディオ信号は、デジタル・ビデオ信号に多重化され、即ち、埋め込まれ、単一の経路を介してルーティングされるオーディオおよびビデオが組み合わされた信号を生み出す。通常、幾つかのAESグループを単一のビデオ信号に多重化させることができ、このようなグループは一緒になって、マルチチャンネルのサラウンド・サウンドや、幾つかの言語のオーディオ（音声）や、メイン・プログラムおよび視覚障害者に対する説明としてのオーディオ（音声）など、特別のオーディオ信号を表す。オーディオ信号が埋め込まれたこのようなビデオ信号は、ビデオ・ルータによってルーティングされるが、このアプローチでは、ビデオおよびオーディオを独立してルーティングしたり、各グループの再割り当てを行ったり、特定の言語を選択したり、必要な場合にステレオ・ペアを入れ替えたりすることが可能ではない。

10

#### 【0004】

現在、上述した機能を達成するためにデジタル・オーディオ信号およびデジタル・ビデオ信号をフレキシブルにルーティングすることは、別個のオーディオ・ルータおよびビデオ・ルータをそれぞれ使用することによって行われる。入力ビデオ信号の各々には、1つ以上のデジタル・オーディオ信号が埋め込まれているが、このビデオ信号には、通常、埋め込まれたデジタル・オーディオ信号を取り出す脱埋め込み処理（*de-embedding*）が施される。この処理は、クロック信号を復元すること、さらに、デジタル・ビデオ信号からデジタル・オーディオ信号を多重分離（*demultiplexing*）により分離することを含む。デジタル・ビデオ信号およびデジタル・オーディオ信号は同一の送信先にルーティングされる。特定のデジタル・ビデオ信号と同一の送信先にルーティングされるデジタル・オーディオ信号は、通常、このデジタル・ビデオ信号に多重化される。例えば、オーディオ・ルータの第1の送信先にルーティングされたデジタル・オーディオ信号を、ビデオ・ルータの第1の送信先でデジタル・ビデオ信号に埋め込むことができ、結果として、必要なオーディオが埋め込まれた単一のビデオ出力を得ることができる。好ましくは、デジタル・オーディオ・ルータは、米国特許第6,104,997号に開示されたマルチチャンネルのスイッチング（*multi-channel switching*）を可能にする受信機を備えている。このアプローチでは、或るソースからのビデオに対し、1つ以上の別のソースから生じたオーディオを埋め込んだものを出力とすることができる。さらに、出力されるビデオにおける各オーディオ・グループの順番を、ソースでの順番とは別にすることができ、オプションとして、必要な場合には、ステレオ・ペアを入れ替えることができる。

20

30

#### 【0005】

オーディオをルーティングし、送信先で多重化されたものをアセンブリーする処理においては、様々な他の処理を実行することもできる。例えば、或る多重化においては、英語がオーディオ・グループ#1に存在しなければならず、フランス語がオーディオ・グループ#2に存在する伝送回路に対して信号を供給するが、別の伝送回路では同じビデオを必要とするものの、言語グループが逆にされ、フランス語が第1の位置に現れる場合がある。別の送信先では、モノラル・オーディオが要求される伝送回路に対して信号を供給する場合がある。この場合、グループの2つのチャンネルが合算され、合算されたものが、出力の多重化されたものにおけるグループのチャンネル「A」および/または「B」に存在することになる。これらの処理、さらに多くの同様の処理は、本発明を使用し、さらに、米国特許第6,104,997号明細書に開示されたマルチチャンネルのスイッチングを可能にする受信機を備えるルータによって実行可能である。

40

#### 【0006】

デジタル・オーディオ信号およびデジタル・ビデオ信号をルーティングする本アプローチでは、ビデオ・ルータの各入力の前段に、埋め込まれたデジタル・オーディオを取り出すための脱埋め込み回路（*de-embedder*）が設けられ、ビデオ・ルータの各出力の後段に、埋め込み回路（*embedder*）が設けられることが必要である。各脱埋め込み回路は、クロック・タイミングの復元、デシリアライゼーション（*de-seriali-*

50

realization)、およびオーディオの抽出を行うための複数の別個のブロックを含む。各埋め込み回路は、クロック・タイミングの復元、デシリアライズ、デジタル・オーディオ信号の挿入、およびシリアライゼーション(serialization)を行う。今日のオーディオ・ルータおよびビデオ・ルータ自体、脱埋め込み回路および埋め込み回路と同様のタスクの幾らかを実行するため、これらのデバイスの機能を重複させて設けることにより、コストが増加し、複雑さが増大している。

【0007】

従って、オーディオ信号およびビデオ信号のルーティングを簡略化し、1つ以上のソースの1つ以上のグループからのオーディオを多重化された出力におけるグループに仕向ける際のフレキシビリティを向上させる技術に対する需要が存在する。

10

【特許文献1】米国特許第6,104,997号明細書

【発明の開示】

【0008】

(発明の概要)

簡潔に言えば、本原理に係る例示的な実施の形態に従って、デジタル・オーディオ信号およびデジタル・ビデオ信号をルーティングする技術が提供される。この方法は、デジタル・ビデオ信号を、通常、ビデオ・クロスポイント・スイッチによって、少なくとも1つの出力にルーティングすることによって開始される。少なくとも1つのデジタル・オーディオ信号がバッファリングされる。バッファリング、即ち、オーディオを遅延させる目的は、十分なデータをバッファリングし、ビデオ・ラインにオーディオ・データが少なくなっているか、オーディオ・データが存在しないアンダーフローの状態が起こらないようにすることである。バッファリングされたオーディオ・データのタイミングは、所定のタイミング形式に合わせなおされる。バッファリングおよびタイミングの合わせなおしの後、デジタル・オーディオ信号は、通常、オーディオ・クロスポイント・スイッチによって、少なくとも1つの送信先にルーティングされる。互いに関連する送信先にルーティングされると、デジタル・オーディオ信号は、多重化された信号の出力となる前にデジタル・ビデオに埋め込まれる。

20

【発明を実施するための最良の形態】

【0009】

後述するように、本原理のデジタル・オーディオ/ビデオ・ルータは、オーディオ信号およびビデオ信号を所与の送信先に好適にルーティングし、デジタル・オーディオ信号をデジタル・ビデオ信号に埋め込む際の複雑さが低減されている。本原理のデジタル・オーディオ/ビデオ・ルータがどのように従来技術のものと異なるかを理解するために、2つの従来技術に係るルータの概略的な説明が有用になるであろう。

30

【0010】

図1は、従来技術に係るオーディオ/ビデオ・ルータ・システム100を概略的に示すブロック図である。従来技術に係るオーディオ/ビデオ・ルータ・システム100は、複数のマルチプレクサ140<sub>1</sub>~140<sub>n</sub>からなるマルチプレクサ・バンク120を含む。nは整数である。各マルチプレクサ140<sub>1</sub>~140<sub>n</sub>は、デジタル・オーディオが埋め込まれた入力デジタル・ビデオ信号を多重分離し、ビデオ・ルータ160およびオーディオ・ルータ180の別個の入力に供給される別個のデジタル・ビデオ信号およびデジタル・オーディオ信号を発生させる。デジタル・ビデオ・ルータ160は、1つ以上の所与の入力または1つ以上の所与の出力において各デジタル・ビデオ信号をルーティングし、デジタル・オーディオ・ルータ180は、1つ以上の所与の入力または1つ以上の所与の出力において、各デジタル・オーディオ信号をルーティングする。複数のマルチプレクサ200<sub>1</sub>~200<sub>m</sub>(mは整数)は、関連するデジタル・ビデオ・ルータ160の出力とデジタル・オーディオ・ルータ180の対応する出力からの1つ以上のデジタル・オーディオ信号を多重化する。従って、例えば、マルチプレクサ200<sub>1</sub>は、デジタル・ビデオ・ルータ160の第1の出力からのデジタル・ビデオ信号とデジタル・オーディオ・ルータ180の第1の出力からのデジタル・オーディオ

40

50

信号を多重化する。同様に、マルチプレクサ200<sub>2</sub>は、デジタル・ビデオ・ルータ160の第2の出力からのデジタル・ビデオ信号とデジタル・オーディオ・ルータ160の第2の出力のデジタル・オーディオ信号を多重化する。

【0011】

図1のビデオ・ルータ160およびオーディオ・ルータ180には、機能の重複という短所がある。ビデオ・ルータ160およびオーディオ・ルータ180の各々は、それぞれの入力での等化処理を実行するが、このような等化処理は、各デマルチプレクサ140<sub>1</sub>~140<sub>n</sub>の内部で行われる。同様に、ビデオ・ルータ160およびオーディオ・ルータ180の各々は、各デマルチプレクサ140<sub>1</sub>~140<sub>n</sub>が行うように、それぞれの入力信号のクロッキングをやりなおす(デジタル信号タイミングの同期をやりなおす)。さらに、ビデオ・ルータ160およびオーディオ・ルータ180の各々は、それぞれの出力信号のクロッキングをやりなおす。このようなクロッキングのやりなおしは、各ビデオ/オーディオ・マルチプレクサ200<sub>1</sub>~200<sub>m</sub>によっても実行される。このような機能の重複により、コストが増加し、その他の問題も生じる。

【0012】

図2は、本発明の原理の例示的な実施の形態に係るオーディオ/ビデオ・ルータ200を概略的に示すブロック図である。ルータ200は、ビデオ・クロスポイント・スイッチ202およびオーディオ・クロスポイント・スイッチ204を含み、それぞれのスイッチは、そのスイッチの入力での信号をそのスイッチの1以上の出力にルーティングすることができる。ビデオ・ルータ160およびオーディオ・ルータ180とは異なり、ビデオ・クロスポイント・スイッチ202およびオーディオ・クロスポイント・スイッチ204は、等化機能やクロッキングをやりなおす機能を有さず、これにより、後述した内容から良好に理解されるように、システムの複雑さが低減される。

【0013】

ビデオ・クロスポイント・スイッチ202によってルーティングされることになる入来するデジタル・ビデオ信号は、まず、通常は、等化回路206によって等化処理される。脱埋め込み回路205は、図3を参照して詳細に説明するが、等化回路206によって等化処理されたデジタル・ビデオ信号に埋め込まれているデジタル・オーディオ信号が存在する場合には、このデジタル・オーディオ信号を多重分離する機能を有する。図2にははっきりと示されていないが、ビデオ・クロスポイント・スイッチ202の入力および出力の各々には、関連する埋め込み回路および脱埋め込み回路がそれぞれ存在する。実際には、入来するビデオ信号は、オーディオが埋め込まれると、少なくとも1つであり、4つもの別個のグループのオーディオ・グループを含むこととなり、各グループは、AES3規格に従った2つのチャンネルを含む。従って、各グループは、2つの信号の「ストリーム」または「ペア」からなり、各ストリームは、2つまでのオーディオ・チャンネル、通常は、左右のステレオ・チャンネルからなる。なお、各グループにおける各信号は、他のものと独立して存在することができる。通常、デジタル・ビデオ信号は、1つまたは2つの埋め込みされたステレオ・デジタル・オーディオ・グループを有する。グループ内のチャンネルは、合算(summing)されて、グループのチャンネルのうち少なくとも1つに挿入されるモノラルの信号を提供することもできる。

【0014】

このビデオ信号は、埋め込まれたオーディオが取り出されている場合があり、ビデオ・クロスポイント・スイッチ202の入力の1つに受け渡される。一方、デジタル・ビデオ信号に埋め込まれていたが、取り出されたデジタル・オーディオ信号は、オーディオ・クロスポイント・スイッチ204の入力に受け渡される。各デジタル・ビデオ信号からのデジタル・オーディオ信号は、単一のエンティティとしてルーティングことができ、複数の入力からのオーディオを、送信先で多重化されたものの複数の異なるグループにルーティングすることができる。代替的には、例えば、オーディオ・クロスポイント・スイッチ204の各入力における1つまたは2つのステレオ・デジタル・オーディオ・チャンネルを、同一の送信先にルーティングすることができる。なお、オーディオは、

10

20

30

40

50

「抽出」されるか、取り出されてデジタル・オーディオ・ストリームが得られるが、この処理は、コピーする処理としてもよく、必ずしも、オーディオはビデオ・ストリームから削除されない。別個のオーディオのルーティングが不要である場合には、多重化されたオーディオをそのままにしてもよく、既存のオーディオ・データを新たなオーディオが挿入されるときに出力で削除してもよい。

【0015】

なお、オーディオは、ビデオから抽出されるか、取り出されてデジタル・オーディオ・ストリームが得られるが、この処理は、コピーする処理としてもよく、必ずしも、オーディオはビデオ・ストリームから削除されない。別個のオーディオのルーティングが不要である場合には、多重化されたものをそのままにしてもよく、既存のオーディオ・データを新たなオーディオが挿入されるときに出力で削除してもよい。

10

【0016】

各入力デジタル・ビデオ信号から抽出されたデジタル・オーディオ信号のルーティングに加えて、さらに、オーディオ・クロスポイント・スイッチ204は、ビデオ信号とは独立して受信されるデジタル・オーディオ信号のルーティングを行う。例えば、オーディオ・クロスポイント・スイッチ204は、スイッチ入力を受信した受信回路207からのオーディオ信号のルーティングを行う。

【0017】

ビデオ・クロスポイント・スイッチ202およびオーディオ・クロスポイント・スイッチ204によるデジタル・ビデオ信号およびデジタル・オーディオ信号のルーティングは、通常、独立して行われる。従って、例えば、ビデオ・クロスポイント・スイッチ202の第1の入力でデジタル・ビデオ信号は、スイッチの出力Mにルーティングされる。逆に、ビデオ信号に当初埋め込まれたデジタル・オーディオは、オーディオ・クロスポイント・スイッチ204の出力Nにルーティングされる。通常、 $M = N$ ではないが、このことは必須ではない。

20

【0018】

実際には、各オーディオ・クロスポイント・スイッチ204の出力のデジタル・オーディオ信号は、ビデオ・クロスポイント・スイッチ202の関連する出力に現れるデジタル・ビデオ信号に埋め込まれる。このような埋め込みは、図4を参照して詳細に説明する埋め込み回路208を介して行われる。従って、例えば、オーディオ・クロスポイント・スイッチ204の出力#1のデジタル・オーディオ信号は、ビデオ・クロスポイント・スイッチ202の出力#1にルーティングされたビデオ信号に、必要であれば、既に埋め込み済のオーディオに差し替えて埋め込まれる。ドライバ回路210はデジタル・ビデオと埋め込み回路208によって埋め込まれたオーディオ信号出力を同軸ケーブルまたはその他の伝送媒体に結合させる機能を有する。図2にははっきりと示していないが、オーディオ・クロスポイント・スイッチ204の出力#2のデジタル・オーディオ信号は、ビデオ・クロスポイント・スイッチ202の出力#2のデジタル・ビデオ信号に埋め込まれる。同様に、例えば、オーディオ・クロスポイント・スイッチ204の出力#3のデジタル・オーディオ信号は、ビデオ・クロスポイント・スイッチ202の出力#3のデジタル・ビデオ信号に埋め込まれる。

30

40

【0019】

図3は、図2のルータ200と共に使用される脱埋め込み回路205を概略的に示すブロック図である。図3の脱埋め込み回路205は、1つ以上のデジタル・オーディオ信号のグループが埋め込まれた入力デジタル・ビデオ信号を受信するクロック/タイミング・ビット復元回路300を含む。クロック/タイミング・ビット復元回路300は、クロック信号を復元し、出力にビット・クロックおよびシリアル・データの信号を生成する。デシリアライザ回路302は、クロック/タイミング・ビット復元回路300からのビット・クロックおよびシリアル・データの信号を、デジタル・ビデオ信号および埋め込まれたデジタル・オーディオ信号を生成するワード・クロック信号およびパラレル・データ・ストリームに変換する。

50

## 【 0 0 2 0 】

ワード・クロック信号およびパラレル・データ・ストリームは、オーディオ・データ削除回路304、第1のオーディオ・データ抽出回路306、第2のオーディオ・データ抽出回路308、およびAESクロック/タイミング発生回路310の各々に受け渡される。オーディオ削除回路304は、デシリアライザ回路302から受信したパラレル・データ・ストリーム内に埋め込まれたデジタル・オーディオを除去し、ビデオ・クロスポイント・スイッチ202の入力での受信のためにワード・クロックと同期したデジタル・ビデオ信号を発生させる。オーディオ・データ抽出回路306、308の各々は、デシリアライザ回路302によって生成されたパラレル・データ・ストリーム内に埋め込まれたオーディオ信号の別個のグループを抽出する機能を有する。実際には、埋め込まれたオーディオは、AESデジタル・オーディオ信号の2つのグループを含むため、2つの抽出回路306、308が存在する。埋め込まれたデジタル・オーディオ信号のグループの数の増減により、抽出回路の数が増減する。

10

## 【 0 0 2 1 】

AESクロック/タイミング発生回路310は、デシリアライザ回路302からのワード・クロックおよびパラレル・データ・ストリームを使用してクロック信号を発生させ、AES (Audio Engineering Society) に準拠したデジタル・オーディオ信号の適切なタイミングを維持する。放送、専門の動画業界で使用されるデジタル・オーディオ信号は、通常、AES規格に準拠している。従って、入力ビデオ信号に埋め込まれていたが、取り出されたAES準拠のデジタル・オーディオ信号を同期させなおす機能が重要である。入力デジタル・ビデオから除去されたデジタル・オーディオ信号がAES規格に準拠しないが、異なるタイミングの条件を有する別の規格に準拠している場合には、クロック/タイミング回路310は、このような規格にデジタル・オーディオ信号を同期させなおす。実際には、AESクロック/タイミング発生回路310には、位相ロックド・ループまたは直接合成回路が含まれる。

20

## 【 0 0 2 2 】

オーディオ・データ抽出回路306、308によって抽出されたデジタル・オーディオ信号のグループは、バッファ312および314のそれぞれでバッファリングされ、それぞれのバッファ312、314は、先入れ先出し (FIFO: First in First out) デバイスの形態をとり、デジタル・オーディオ信号のグループのバッファリングを行う。抽出回路306、308の場合と同様に、埋め込まれるデジタル・オーディオ信号のグループの数が増加すれば、バッファの数が増加することになる。バッファ312および314の各々は、新たな入力デジタル・ビデオ信号の各々から抽出されたデジタル・オーディオ信号を受信する。始動の際、または、オーディオ・データが切換えられるか、壊れている場合には、バッファ312および314がクリアされ、バッファが所定のレベルに達するように、十分な量のデータが受信されるまで、データが蓄積される。これにより、出力において、所定のレベルに至ったことを示す信号が発生する。通常、各バッファは、十分なサイズを有し、入来するビデオ信号に埋め込まれたデジタル・オーディオの伝送の変化により、アンダーフローやオーバーフローは発生しない。

30

## 【 0 0 2 3 】

AESフォーマッタ回路316および318の各々は、バッファ回路312および314の各々における適切なレベルに達した旨の信号を受信すると、それぞれ、関連するバッファ回路312および314からデータの読み出しを開始する。AESフォーマッタ/シリアライズ回路316および318は、関連するバッファから受信された各グループ内のデジタル・オーディオ信号をAES形式にフォーマットし、信号を回路310からのAESクロック信号に同期させる。バッファリングされたデジタル信号がAES形式とは異なる形式であれば、フォーマッタ/シリアライズ回路が信号を適切にフォーマットする。AESフォーマッタ/シリアライズ回路316および318によって出力された各グループ内のAES形式にフォーマットされたデジタル・オーディオ信号は、図2のオーディオ・クロスポイント・スイッチ204の入力に受け渡される。

40

50

## 【 0 0 2 4 】

図 4 は、埋め込み回路 2 0 8 を概略的に示すブロック図である。埋め込み回路 2 0 8 は、図 3 の クロック/タイミング・ビット復元回路 3 0 0 と同様の クロック/タイミング・ビット復元回路 4 0 0 を含む。クロック/タイミング・ビット復元回路 4 0 0 は、図 2 のビデオ・クロスポイント・スイッチ 2 0 2 の特定の出力（例えば、出力 # 1）からデジタル・ビデオ信号出力を受信する。クロック/タイミング・ビット復元回路 4 0 0 は、このデジタル・ビデオからのクロック信号を復元し、回路出力でビット・クロック信号およびシリアル・データ信号を提供する。デシリアライザ回路 4 0 2 は、クロック・タイミング・ビット復元回路 4 0 0 からのビット・クロック信号およびシリアル・データ信号を、オーディオ・データ挿入回路 4 0 4 に入力するためのワード・クロック信号およびパラレル・データ・ストリームに変換する。

10

## 【 0 0 2 5 】

オーディオ・データ挿入回路 4 0 4 は、ビデオ・クロスポイント・スイッチ 2 0 2 の特定の出力から受信し、その後、クロック・タイミング・ビット復元回路 4 0 0 およびデシリアライザ回路 4 0 2 によって処理されたビデオ信号にデジタル・オーディオのグループを挿入する（即ち、埋め込む）機能を有する。オーディオ挿入回路 4 0 4 によって挿入されるデジタル・オーディオ信号のグループは、一対の F I F O デバイス 4 0 6 および 4 0 8 から得られる。F I F O デバイス 4 0 6 および 4 0 8 の各々は、別々の A E S 受信機/デシリアライザ回路 4 1 0 および 4 1 2 のから受信されるオーディオ・データをバッファリングする。A E S 受信機/デシリアライザ回路 4 1 0 および 4 1 2 の各々は、入力においてオーディオ・クロスポイント・スイッチ 2 0 4 の出力に現れるそれぞれの A E S デジタル・オーディオ信号グループを受信する。このオーディオ・クロスポイント 2 0 4 の出力は、デジタル・ビデオ信号をクロック/タイミング・ビット復元回路 4 0 0 に供給したビデオ・クロスポイント・スイッチ 2 0 2 の出力に対応する。バッファ 3 1 2 および 3 1 4 と同様に、F I F O デバイス 4 0 6 および 4 0 8 は特定のレベルまで満たされ、オーディオ伝送の変化によるバッファのアンダーフローを防止する。

20

## 【 0 0 2 6 】

オーディオ挿入回路 4 0 4 に A E S デジタル信号の 2 つのグループ（例えば、デジタル・オーディオ信号の 2 つのグループ（例えば、2 つのステレオ A E S デジタル信号））を提供するためには、2 つの A E S 受信機/デシリアライザ回路 4 1 0 および 4 1 2 、さらに、2 つの F I F O デバイス 4 0 6 および 4 0 8 をそれぞれ使用することが必要となる。デジタル・オーディオ信号のグループの数が増加すると、より多くのデバイスが必要となる。

30

## 【 0 0 2 7 】

オーディオ・データ挿入回路 4 0 4 は、F I F O デバイス 4 0 6 および 4 0 8 によってバッファリングされたデジタル・オーディオ信号のグループをデシリアライザ回路 4 0 2 からオーディオ・データ挿入回路 4 0 4 によって受信されたパラレル・データ・ストリームの形態のビデオに挿入する。通常のプラクティスにおいては、オーディオ・データ挿入回路 4 0 4 は、必要なオーディオを挿入する前に、既に埋め込まれたオーディオを削除する。シリアライザ回路 4 1 4 は、オーディオ・データ挿入回路 4 0 4 によって出力されたワード・クロックおよびパラレル・データ・ストリームからシリアライズされたデジタル・ビデオ信号を生成する。

40

## 【 0 0 2 8 】

脱埋め込み回路 2 0 5 内のバッファ 3 1 2 および 3 1 4 および埋め込み回路 2 0 8 内のバッファ 4 0 6 および 4 0 8 は、信号をバッファリング、または遅延させ、A E S ストリームまたは埋め込まれたオーディオにおけるアンダーフロー（ギャップ）またはオーバーフロー（欠落）の発生を阻止する。これらのバッファは、初期化処理を施され、この間に、データを読み出す前に半分ほど満たされる。初期化の後、埋め込み回路 2 0 8 中のバッファ 4 0 6 および 4 0 8 は、一定のレートでバッファに書き込まれるオーディオ信号を受信するが、ビデオ信号内で配送されるオーディオに一致するように可変のレートでデー

50

タを出力する。ビデオ・ラインのアクティブな部分の間にはオーディオは存在せず、オーディオは、大部分のラインの水平方向の補助スペースにおいて現れることができるが、スイッチ・ラインなどの特定のライン上には現れない。脱埋め込み回路205の場合には、バッファ312および314は、異なるレートでデータを受信するが、一定のレートでデータを読み出す。

【0029】

フレームに渡って、バッファのレベルは、初期化が完了したポイントの上下を上昇、下降する。異なる機器/ベンダーは、ビデオ信号におけるオーディオの伝送が異なるため、脱埋め込み回路205内のバッファ312および314は、通常、不十分に伝送されたオーディオを取り扱うために余分のスペースを有する。埋め込み回路208では、伝送につ

10

【0030】

上述した内容は、従来技術のデバイスの余分な機能を取り除くことによって複雑さを低減させるオーディオ/ビデオのルーティングに関するものであり、オーディオのグループまたはチャンネルを独立してルーティングする際のフレキシビリティを向上させる。

【図面の簡単な説明】

【0031】

【図1】従来技術に係るオーディオ/ビデオ・ルータを概略的に示すブロック図である。

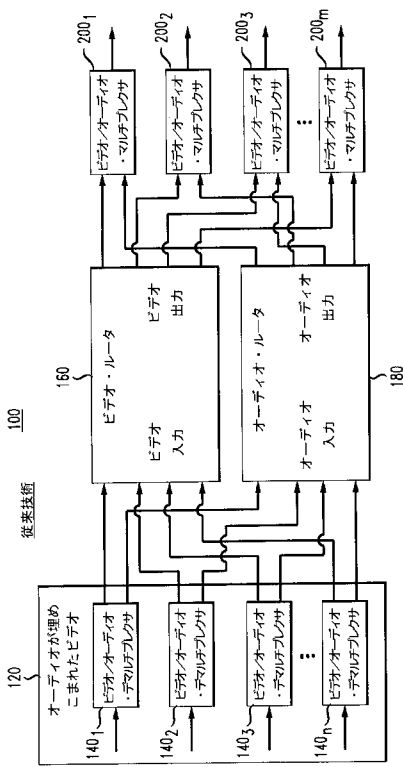
20

【図2】本発明の原理の好ましい実施の形態に係るオーディオ/ビデオ・ルータを概略的に示すブロック図である。

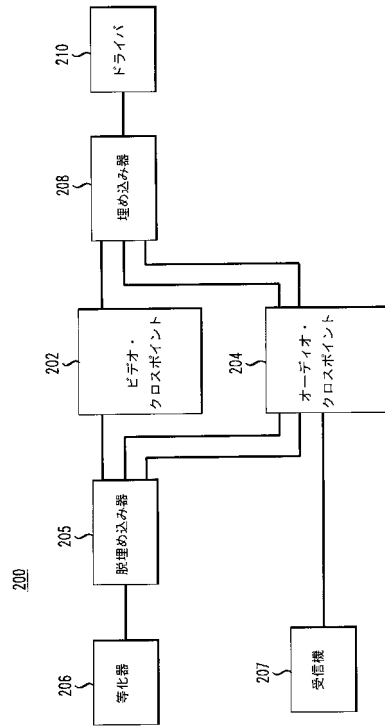
【図3】図2のオーディオ/ビデオ・ルータと共に使用される脱埋め込み回路を概略的に示すブロック図である。

【図4】図2のオーディオ/ビデオ・ルータと共に使用される埋め込み回路を概略的に示すブロック図である。

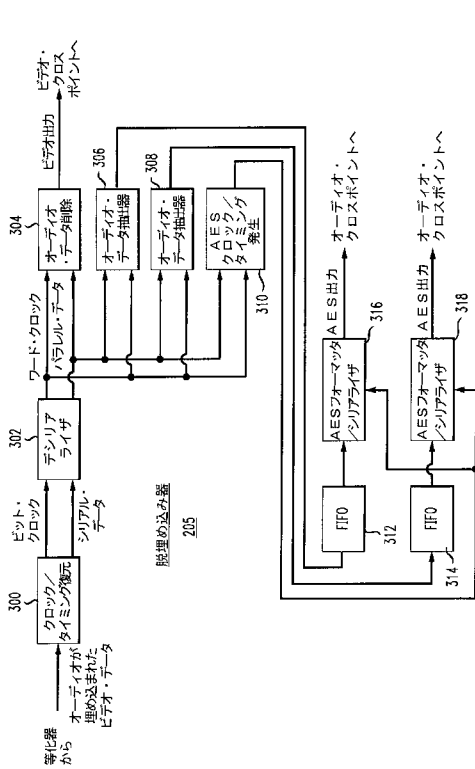
【図1】



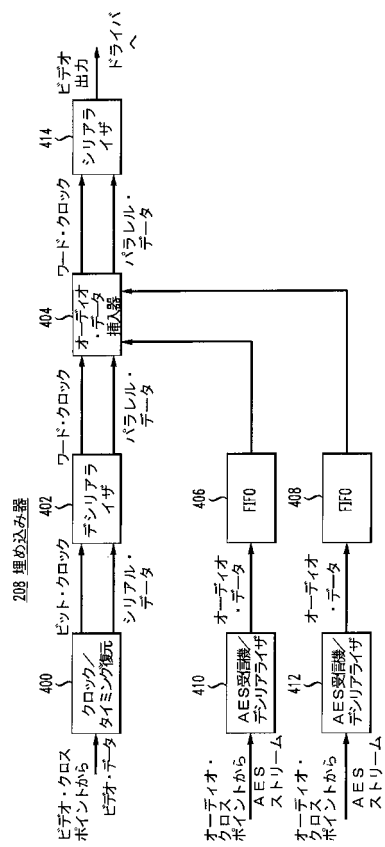
【図2】



【図3】



【図4】



---

フロントページの続き

審査官 竹中 辰利

(56)参考文献 米国特許第06104997 (US, A)  
特開平10-108292 (JP, A)  
特開平07-067087 (JP, A)  
特開2000-174814 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H04N 7/173

H04L 12/56