



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I500070 B

(45)公告日：中華民國 104 (2015) 年 09 月 11 日

(21)申請案號：098121903

(22)申請日：中華民國 98 (2009) 年 06 月 29 日

(51)Int. Cl. : H01L21/027 (2006.01)

G03F7/26 (2006.01)

H01L27/115 (2006.01)

(30)優先權：2008/06/30 美國

12/216,108

(71)申請人：桑迪士克 3 D 公司 (美國) SANDISK 3D LLC (US)

美國

(72)發明人：史契爾 羅伊 E SCHEUERLEIN, ROY E. (US)；雷迪根 史蒂芬 RADIGAN, STEVEN (US)

(74)代理人：黃章典；樓穎智

(56)參考文獻：

US 2002/0052068A1

US 2007/0197014A1

審查人員：湯欽全

申請專利範圍項數：19 項 圖式數：17 共 47 頁

(54)名稱

藉由利用正型光阻以雙重圖案化用於製造高密度柱結構之方法

METHOD FOR FABRICATING HIGH DENSITY PILLAR STRUCTURES BY DOUBLE PATTERNING USING POSITIVE PHOTORESIST

(57)摘要

本發明揭示一種製作一半導體裝置之方法，其包含：在一下伏層上方形成一第一光阻層；將該第一光阻層圖案化成一第一光阻圖案，其中該第一光阻圖案包括位於該下伏層上方之複數個間隔開的第一光阻特徵；利用該第一光阻圖案作為一遮罩來蝕刻該下伏層，以形成複數個第一間隔開之特徵。該方法進一步包含：移除該第一光阻圖案；在該複數個第一間隔開之特徵上方形成一第二光阻層；及將該第二光阻層圖案化成一第二光阻圖案，其中該第二光阻圖案包括覆蓋該複數個第一間隔開之特徵之邊緣部分的複數個第二光阻特徵。該方法亦包含：利用該第二光阻圖案作為一遮罩，蝕刻該複數個第一間隔開之特徵的曝露部分，以保留該複數個第一間隔開之特徵之複數個間隔開的邊緣部分；及移除該第二光阻圖案。

A method of making a semiconductor device includes forming a first photoresist layer over an underlying layer, patterning the first photoresist layer into a first photoresist pattern, wherein the first photoresist pattern comprises a plurality of spaced apart first photoresist features located over the underlying layer, and etching the underlying layer using the first photoresist pattern as a mask to form a plurality of first spaced apart features. The method further includes removing the first photoresist pattern, forming a second photoresist layer over the plurality of first spaced apart features, and patterning the second photoresist layer into a second photoresist pattern, wherein the second photoresist pattern comprises a plurality of second photoresist features covering edge portions of the plurality of first spaced apart features. The method also includes etching exposed portions of the plurality of first spaced apart features using the second photoresist pattern as a mask, such that a plurality of spaced apart edge portions of the plurality of first spaced apart features remain, and removing the second photoresist pattern.

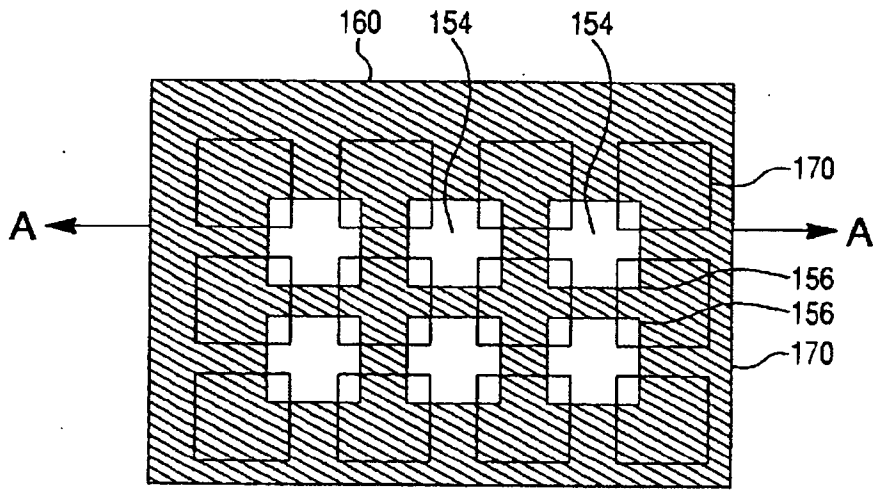


圖 9D

- 154 . . . 遮蔽特徵
- 156 . . . 邊緣部分/
拐角部分/邊緣遮蔽特
徵
- 160 . . . 填充物材料
層/填充物材料
- 170 . . . 第二光阻特
徵/正方形特徵

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：98(21)903

※申請日：98.6.29

※IPC 分類：H01L 21/027 "2006.01

G03F 7/26

一、發明名稱：(中文/英文)

H01L 27/115 "2006.01

藉由利用正型光阻以雙重圖案化用於製造高密度柱結構之方法 "2006.01

METHOD FOR FABRICATING HIGH DENSITY PILLAR STRUCTURES
BY DOUBLE PATTERNING USING POSITIVE PHOTORESIST

二、中文發明摘要：

本發明揭示一種製作一半導體裝置之方法，其包含：在一下伏層上方形成一第一光阻層；將該第一光阻層圖案化成一第一光阻圖案，其中該第一光阻圖案包括位於該下伏層上方之複數個間隔開的第一光阻特徵；利用該第一光阻圖案作為一遮罩來蝕刻該下伏層，以形成複數個第一間隔開之特徵。該方法進一步包含：移除該第一光阻圖案；在該複數個第一間隔開之特徵上方形成一第二光阻層；及將該第二光阻層圖案化成一第二光阻圖案，其中該第二光阻圖案包括覆蓋該複數個第一間隔開之特徵之邊緣部分的複數個第二光阻特徵。該方法亦包含：利用該第二光阻圖案作為一遮罩，蝕刻該複數個第一間隔開之特徵的曝露部分，以保留該複數個第一間隔開之特徵之複數個間隔開的邊緣部分；及移除該第二光阻圖案。

三、英文發明摘要：

A method of making a semiconductor device includes forming a first photoresist layer over an underlying layer, patterning the first photoresist layer into a first photoresist pattern, wherein the first photoresist pattern comprises a plurality of spaced apart first photoresist features located over the underlying layer, and etching the underlying layer using the first photoresist pattern as a mask to form a plurality of first spaced apart features. The method further includes removing the first photoresist pattern, forming a second photoresist layer over the plurality of first spaced apart features, and patterning the second photoresist layer into a second photoresist pattern, wherein the second photoresist pattern comprises a plurality of second photoresist features covering edge portions of the plurality of first spaced apart features. The method also includes etching exposed portions of the plurality of first spaced apart features using the second photoresist pattern as a mask, such that a plurality of spaced apart edge portions of the plurality of first spaced apart features remain, and removing the second photoresist pattern.

四、指定代表圖：

(一)本案指定代表圖為：第(9D)圖。

(二)本代表圖之元件符號簡單說明：

- | | |
|-----|------------------|
| 154 | 遮蔽特徵 |
| 156 | 邊緣部分/拐角部分/邊緣遮蔽特徵 |
| 160 | 填充物材料層/填充物材料 |
| 170 | 第二光阻特徵/正方形特徵 |

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

六、發明說明：

【發明所屬之技術領域】

本發明一般而言係關於一種製作一半導體裝置之方法，且更特定而言，係關於一種製作半導體柱結構之方法。

本申請案主張2008年6月30日申請之美國專利申請案第12/216,108號之權益，該案之全文以引用方式併入本文中。

【先前技術】

利用由半導體材料製成之裝置來形成電組件及系統中之記憶體電路。記憶體電路因資料及指令集皆儲存於其中而係此等裝置之骨幹。最大化此等電路上每單位面積之記憶體元件數目可最小化其成本且因此係此等電路設計中之一主要動機。

隨著形成於一半導體晶圓上之結構尺寸縮小，當前可用於形成此等裝置之工具達到其限度。舉例而言，當前可用之193奈米浸漬工具將不能形成具有小於約80 nm之一間距(亦即，具有小於約40 nm之一半間距)之結構。為藉助當前可用工具製造比此小之特徵，人們必須利用更加複雜之製程。一種此製程係雙重曝露/雙重圖案化技術。另一種製程係利用形成於接著被移除之一模板圖案上之側壁間隔件。接著在蝕刻下伏膜期間利用該等側壁間隔件作為遮罩。

對於簡單的一維規則線及空間圖案而言，此兩種技術皆具有將以光微影方式產生之間距一分為二之效應。以此方

式，可擴展一既定光微影工具之解析能力。

然而，對於具有規則間隔柱之一二維圖案而言，雙重圖案化方案藉由一為2的平方根之因子來擴展間距。根本不可按原狀利用側壁間隔件方法，此乃因此一方案將產生規則間隔圓柱環而非實心柱。

【發明內容】

一種製作一半導體裝置之方法包含：在一下伏層上方形成一第一光阻層；將該第一光阻層圖案化成一第一光阻圖案，其中該第一光阻圖案包括位於該下伏層上方之複數個間隔開之第一光阻特徵；及利用該第一光阻圖案作為一遮罩蝕刻該下伏層以形成複數個第一間隔開之特徵。該方法進一步包括：移除該第一光阻圖案；在該複數個第一間隔開之特徵上方形成一第二光阻層；及將該第二光阻層圖案化成一第二光阻圖案，其中該第二光阻圖案包括覆蓋該複數個第一間隔開之特徵之邊緣部分之複數個第二光阻特徵。該方法亦包含：利用該第二光阻圖案作為一遮罩蝕刻該複數個第一間隔開之特徵之所曝露部分，以便保留該複數個第一間隔開之特徵之複數個間隔開之邊緣部分；及移除該第二光阻圖案。

一種非揮發性記憶體裝置包含：複數個字線，其沿一第一方向延伸；複數個位元線，其沿一第二方向延伸；及具有一不規則橢圓形橫截面形狀之複數個柱形非揮發性記憶體胞，其位於該等字線與該等位元線之間。該複數個字線包括一組第一字線及一組第二字線。每一第一字線位於兩

個第二字線之間且該第一方向與該第二方向相差約60度。每一第一字線電接觸的記憶體胞多達每一第二字線的兩倍。

【實施方式】

本發明人認識到若利用一第一光阻圖案作為一遮罩以圖案化複數個第一間隔開之特徵，繼而在此等第一間隔開之特徵上形成一第二光阻圖案以使得該第二光阻圖案僅覆蓋該等第一間隔開之特徵之邊緣部分，則可藉由一雙重圖案化方法形成一高密度柱陣列。接著，利用該第二光阻圖案作為一遮罩圖案化該等第一間隔開之特徵，以留下該複數個第一間隔開之特徵的複數個間隔開之邊緣部分。經雙重圖案化之邊緣部分之大小小於該等第一間隔開之特徵且可包括一密集柱陣列或被用作用於圖案化一密集下伏柱陣列之一遮蔽層。

舉例而言，首先在一基板上方形形成一個或多個裝置層。可利用任一合適基板，例如一半導體晶圓(包含矽或化合物半導體晶圓)或一金屬、玻璃、陶瓷或塑膠基板。該基板可係由一個或多個絕緣層及/或可形成於該基板上或中之一個或多個裝置(例如，驅動器電路)覆蓋。該等裝置層可包括：用於半導體裝置之半導體層、形成電極之一個或多個導電層，及/或用於隔離該等裝置之半導體或導電部分之絕緣層。

接著，直接在該(等)裝置層上方或在位於該(等)裝置層上方之一個或多個遮蔽層上方形成一第一光阻層。如本文

中所用，將該(等)裝置層及/或該(等)遮蔽層稱為「一下伏層」。該第一光阻層較佳係一正型光阻層。

接著，以光微影方式將該第一光阻層圖案化成一第一光阻圖案。可利用任一合適光微影方法，例如浸漬或非浸漬微影。該第一光阻圖案包括位於該下伏層上方之複數個間隔開之第一光阻特徵。當自上面觀察時，該等第一光阻特徵可具有任一形狀，例如多邊形(正方形、三角形、矩形等)、橢圓形、圓形或不規則形狀。接著，利用該第一光阻圖案作為一遮罩蝕刻該下伏層以形成具有與該第一光阻圖案近似相同之形狀之複數個第一間隔開之特徵。舉例而言，該等第一間隔開之特徵可包括位於該(等)裝置層上方之遮蔽特徵或其可包括直接形成於該(等)裝置層中之特徵。接著移除該第一光阻圖案。

接著，在該複數個第一間隔開之特徵上方形成一第二光阻層。該第二光阻層宜係一正型光阻層。利用任一合適光微影方法將該第二光阻層圖案化成一第二光阻圖案。該第二光阻圖案包括複數個第二光阻特徵。該等第二光阻特徵可具有與該等第一光阻特徵相同或不同之形狀。當自上面觀察時，該等第二光阻特徵可具有任一形狀，例如多邊形(正方形、三角形、矩形等)、橢圓形、圓形或不規則形狀。該等第二光阻特徵可具有一小於該等第一光阻特徵之大小、等於該等第一光阻特徵之大小或一大於該等第一光阻特徵之大小。

該等第二光阻特徵覆蓋該複數個第一間隔開之特徵的邊

緣部分。如本文中所用之「邊緣部分」意指每一第二光阻特徵覆蓋該等下伏第一間隔開之特徵之一個或多個邊緣的至少一部分，同時使該等第一間隔開之特徵的至少一部分曝露。因此，每一第二光阻特徵可覆蓋該等下伏第一間隔開之特徵之一整體邊緣或整體兩個或更多個邊緣。另一選擇為，每一第二光阻特徵可覆蓋該等下伏第一間隔開之特徵之一個或多個邊緣的一部分。因此，如本文中所用，術語「邊緣部分(edge portion)」包含當自頂部觀察每一第一間隔開之特徵時每一第一間隔開之特徵自此特徵之一個端延伸但未到達此特徵之相對端的一部分。因此，當自頂部觀察時，每一間隔開之特徵的至少一部分保持曝露。

接著，利用該第二光阻圖案作為一遮罩來圖案化(例如，蝕刻)該複數個第一間隔開之特徵的曝露部分。在該圖案化步驟之後，保留該複數個第一間隔開之特徵之複數個間隔開的邊緣部分。接著移除該第二光阻圖案。

該複數個間隔開之邊緣部分可包括位於該(等)裝置層上方之複數個間隔開的邊緣遮蔽特徵。每一邊緣遮蔽特徵具有小於每一相應第一間隔開之遮蔽特徵之一大小。接著，利用該等邊緣遮蔽特徵作為一遮罩以圖案化(例如，蝕刻)該(等)下伏裝置層，以在該(等)裝置層中形成柱形裝置。另一選擇為，該複數個間隔開之邊緣部分可包括位於該(等)裝置層中之複數個間隔開的邊緣特徵(亦即，該等邊緣部分自身包括該等柱形裝置)。當自上面觀察時，該等邊緣部分可具有任一合適形狀，例如多邊形形狀(包含正方

形、三角形或矩形形狀)、橢圓形形狀、圓形形狀或其他不規則形狀。

舉例而言，如下文將更加詳細地闡述，該等柱形裝置可具有一圓柱形狀。然而，若欲形成矩形或三角形裝置，則亦可利用其他形狀，例如矩形或三角形形狀。上文所闡述之特徵及柱形裝置可具有任一所需大小。若該等特徵係遮蔽特徵，則其應具有一充分高度或厚度以充當一蝕刻遮罩。該等遮蔽特徵可包括一硬遮罩材料，例如：一絕緣材料，例如氧化矽、氮化矽、氧氮化矽及/或非晶碳(亦稱為一高級圖案化膜或「APF」)；一半導體材料，例如多晶矽；或一導電材料，例如鎢；或其一組合，例如由一氮化矽、氮化鈦覆蓋之鎢；或其他硬遮罩材料。亦可利用其他材料。

可利用各向同性或各向異性蝕刻來蝕刻該等遮蔽特徵及該等裝置層。可將該等邊緣遮蔽特徵保持在一完工裝置中，或在蝕刻該等裝置層之後將其移除。舉例而言，若此等特徵包含一導電材料(例如鎢)，則可保持此等特徵作為上部電極之部分。

可形成任何合適裝置。端視特徵之形狀，該等裝置可具有一大致圓柱形及/或大致矩形柱形狀，下文將對此進行更加詳細的闡述。亦可形成非柱形裝置。該等裝置可包括：二極體、電晶體、電阻器、反熔絲電介質、熔絲、電阻率切換材料、電容器等。可形成邏輯、揮發性記憶體或非揮發性記憶體裝置或陣列。在一實施例中，該等柱形裝

置包括複數個非揮發性記憶體胞，其中每一胞包含一柱二極體引導元件及一電阻率切換元件(例如，一儲存元件)。舉例而言，可形成闡述於Petti等人於2007年12月17日申請之美國申請案序列號12/000,758中之柱結構，該案之全文以引用方式併入本文中。

在一較佳非限制性實施例中，形成複數個柱形裝置，該等柱形裝置包括含有非揮發性記憶體胞之複數個二極體。參照圖1，以下美國專利揭示一種可藉由本發明之實施例之方法形成之例示性非揮發性記憶體胞：頒予Herner等人且標題為「High-Density Three-Dimensional Memory Cell」之下文中為「'030專利」且其全文以引用方式併入本文中之美國專利第6,952,030號。

記憶體胞20包含一經垂直定向之圓柱形柱形接面二極體。術語接面二極體(*junction diode*)在本文中係用以指代具有非歐姆導電性質之一半導體裝置，該半導體裝置具有兩個端子電極，且由在一個電極處為p型且在另一電極處為n型的半導體材料製成。實例包含：p-n二極體及n-p二極體，該等二極體具有相接觸之一p型半導體材料及一n型半導體材料，例如齊納二極體；及p-i-n二極體，其中一本徵(未經摻雜)半導體材料係插入在該p型半導體材料與該n型半導體材料之間。在其他實施例中，可採用包含金屬-絕緣體1-絕緣體2-金屬(m-il-i2-m)穿隧二極體之層。在又一些實施例中且更一般而言，可利用任一非線性導電裝置。

二極體22及電阻率切換元件24皆係插入於頂部導體或電

極26與底部導體或電極28之間。經垂直定向之接面二極體22包含具有一第一導電率類型(例如，n型)之一經重摻雜半導體區域30、係未經摻雜半導體材料或經輕摻雜半導體材料之一中間區域32(其將稱為一本徵區域)及具有第二導電率類型(例如，p型)之一經重摻雜半導體區域34以形成一p-i-n二極體。若需要，則可反轉p及n型區域之位置。接面二極體22之半導體材料一般係矽、鍺、或一矽及/或鍺合金。亦可利用其他半導體材料。接面二極體22及元件24串聯地配置在底部導體28與頂部導體26之間，該等導體可由一金屬或其他導體(例如，鎢及/或TiN)形成。元件24可位於二極體22上面或下面。

記憶體胞可包括一一次性可程式化(OTP)或可重寫非揮發性記憶體胞。舉例而言，每一二極體22可充當一記憶體胞之引導元件且元件24包括充當一電阻率切換材料(亦即，其儲存資料)之另一材料或層，該元件與該二極體串聯地提供於導體之間。具體而言，元件24可包括一反熔絲電介質、一熔絲、多晶矽記憶體效應材料、金屬氧化物或可切換複合金屬氧化物(例如，鎳或鈦氧化物、鈣鈦礦材料等)、碳電阻率切換材料(例如，碳奈米管、微晶碳、非晶碳、石墨或石墨烯)、相變材料、導電橋接元件或可切換聚合物。元件24之電阻率切換材料之電阻率可回應於提供在該等電極或導體之間的一正向及/或反向偏壓而增加或減小。

簡言之，胞20如下運作。當元件24係一反熔絲電介質

時，在初始狀態中，當在頂部導體26與底部導體28之間施加一讀取電壓時，極小電流流過接面二極體22，此乃因反熔絲電介質24阻礙電流流動。在頂部導體26與底部導體28之間施加一程式化電壓引起該反熔絲材料之電介質擊穿，從而永久地形成穿過反熔絲24之一導電路徑。若最初將該二極體半導體材料形成於一高電阻率狀態中，則亦可改動二極體22之半導體材料，從而將其改變為一較低電阻率狀態。在程式化之後，在施加一讀取電壓時，一較高讀取電流在頂部導體26與底部導體28之間流動。以此方式，可將一經程式化胞與一未經程式化胞區分開。另一選擇係，不是利用一反熔絲電介質作為元件24，而是提供另一電阻率切換材料(例如，一碳材料)。此材料之電阻率回應於一所施加之偏壓而改變，而非形成穿過該反熔絲之一導電鏈路。

在替代實施例中，可省略元件24。而是，將二極體22之多晶半導體材料形成於一相對高電阻率狀態中，該狀態亦往往阻礙電流流動，如以下專利申請案中所闡述：Herner等人於2004年9月29日申請且在下文中為「'549申請案」之具有序列號10/955,549之美國專利申請案「Nonvolatile Memory Cell Without a Dielectric Antifuse Having High- and Low-Impedance States」；及Herner等人於2005年6月8日申請且在下文中為「'530申請案」之具有序列號11/148,530之美國專利申請案「Nonvolatile Memory Cell Operating by Increasing Order in Polycrystalline Semiconductor Material」，該兩個專利申請案皆以引用方式併入本文中。

施加一程式化電壓降低二極體之電阻率狀態。因此，在此實施例中，該二極體充當一電阻率切換材料。

參照圖2，其顯示類似於圖1之胞20之記憶體胞20之一第一記憶體層級36之一部分。可形成兩個、三個、四個或更多個此等記憶體層級(例如，八個層級)，使一者堆疊於另一者頂部上，以形成一單片式三維記憶體陣列，較佳形成於例如一單晶矽晶圓之一基板上面，且該等記憶體層級闡述於'030專利及'549以及'530申請案中。二極體柱22較佳地具有小於100 nm之一間距，例如78 nm或更小之間距；及100 nm或更小之一直徑，例如50 nm或更小，例如32 nm。

可藉由減性方法或藉由大馬士革鑲嵌方法形成底部電極或導體28。在一減性方法中，將一導電層或膜圖案化成間隔開之電極且接著用一絕緣材料填充該等電極之間の間隙。在一大馬士革鑲嵌方法中，在一絕緣材料中形成凹槽，在該等凹槽中及在該絕緣層上方形成一導電層或膜，且接著平坦化該導電層或膜以在該等凹槽中留下間隔開之電極。

圖3A-3D圖解闡釋形成軌道形電極或導體28之減性方法。如圖3A中所示，在一基板上方沈積一個或多個導電層40(例如，一W及/或一TiN層)，且將一光阻層42旋塗至導電層40上。如圖3B中所示，接著以光微影方式將光阻層42圖案化成所需形式。如圖3C中所示，一蝕刻步驟移除導電層40中不受經蝕刻光阻層42保護之部分。如圖3D中所示，在該蝕刻之後，剝除光阻層42，從而留下導體或電極軌道

40。用例如氧化矽、氮化矽或其他絕緣材料之一絕緣材料44填充軌道40之間的間隙。若需要，則可例如藉由化學機械拋光(CMP)移除任何過填充之絕緣材料44，以在絕緣層44之經平坦化表面中曝露軌道40之上表面。

圖4A至4D圖解闡釋用以形成電極或導體28之大馬士革鑲嵌方法之一實例。首先，將一光阻層48旋塗至一經沈積絕緣層50(例如，一氧化矽層)上。如圖4B中所示，圖案化光阻層48。一蝕刻步驟接著在絕緣層50中形成凹槽或溝槽52。在圖4C中，在移除光阻層48之後，沈積一個或多個導電層46(例如，一W及/或TiN層)以填充凹槽或溝槽52。例如藉由CMP或回蝕將一個或多個導電層46與該絕緣層之上表面一起平坦化以在該等凹槽中留下軌道形導體，如圖4D中所示。

圖5顯示根據本發明一個實施例之一半導體裝置(例如一柱形非揮發性記憶體胞陣列)之一初始製造階段。該陣列含有複數個裝置層120，包含藉由上文分別結合圖3或4闡述之減性方法或大馬士革鑲嵌方法形成的底部電極。該等電極對應於圖1及2中所示之軌道形導體28。該等電極可包括任一合適導電材料，例如鎢、鋁、其合金等等。可藉由一絕緣材料(例如，氧化矽)將該等電極彼此分離。可在該等電極上面形成一可選黏著層。該黏著層可包括氮化鈦或氮化鎢。在該等電極上方形成圖1中所示的電阻率切換元件24及二極體22。該二極體包括一個或多個半導體層。舉例而言，該等半導體層可包括一下部n型層、一中間本徵

層及一上部p型層。可藉由將p型摻雜劑離子植入至該本徵層之上部部分中或藉由在該本徵層上沈積一p型經摻雜半導體層來形成該p型層。該等半導體層可係多晶、非晶或單晶，且可具有一在約1000 Å與約3000 Å之間的厚度，例如在約1800 Å與2000 Å之間。可在該等半導體層上方形成(例如)一TiN層之一可選上部黏著層。該黏著層可具有一在約100 Å與約300 Å之間的厚度，例如在約150 Å與約200 Å之間。在其他實施例中，二極體係一包括包含金屬-絕緣體1-絕緣體2-金屬(m-il-i2-m)穿隧二極體之層的穿隧二極體。在又一些實施例中且更一般而言，可利用任一非線性導電裝置。

在裝置層120上方形成至少一個遮蔽層140。舉例而言，如圖5中所示，遮蔽層140包括：位於裝置層120上方之一硬遮罩層142，例如一鎢或一氧化矽層；位於該硬遮罩層上方之一非晶碳高級圖案化膜(APF)144；位於該非晶碳膜上方之一抗反射塗層146，例如一氧氮化矽層及/或一有機底部抗反射塗料(BARC)；及位於該抗反射層上方之一頂蓋層148，例如一氧化矽層。頂蓋層148相對較薄，例如200至400埃，舉例而言約300埃厚。可利用其他遮蔽層組合。若需要，可在裝置層120與遮蔽層140之間形成一可選蝕刻停止層。

在遮蔽層140上方形成一第一光阻層。將該第一光阻層圖案化成具有間隔開之第一光阻特徵150之第一光阻圖案，如圖5、6A及6B中所示。圖6B係沿圖6A之俯視圖中之

線 A-A 截取之一側視橫截面圖。

在本發明之一第一可選實施例中，增加第一光阻特徵之大小以便減小毗鄰第一光阻特徵 150 之間的一距離。可藉由一回流製程或藉由一化學收縮輔助之解析度增強微影（「RELACS」）製程增加光阻特徵 150 之大小。在一回流製程中，將光阻特徵 150 退火以使得其側向流動從而增加其大小。若利用一回流製程，則特徵 150 之拐角可被修圓，使得當自頂部觀察時該等特徵可具有一大體橢圓形或大體圓形形狀。在一 RELACS 製程中，將一液體塗料提供至特徵 150 上且接著使其與特徵 150 交聯以增加特徵大小。AZ Electronic Materials 出售由 Mitsubishi Chemicals 許可之此等塗料之實例。特徵 150 之增加之大小之部分 152 顯示於圖 7A 中。另一選擇係，為增加特徵 150 之大小，可在特徵 150 上形成側壁間隔件 152。可藉由在不使該等特徵塌陷之情形下於該等特徵上方塗佈一材料層繼而進行對該層之選擇性各向異性間隔件蝕刻來形成該等側壁間隔件。

舉例而言，每一圖案 150 可具有帶有 $2F$ 之一邊長（其中 F 係最小特徵大小（例如，一 0.18 微米半導體製程中之 0.18 微米及一 0.25 微米半導體製程中之 0.25 微米））之一正方形形狀（當自上面觀察時）。毗鄰圖案 150 可分離一距離 $2F$ 。在特徵 150 之大小增加至添加部分 152 之後，毗鄰第一光阻特徵 150/152 之間的距離自約 $2F$ 減小至約 $1F$ ，而每一特徵 150/152 之一邊長自 $2F$ 增加至 $3F$ ，如圖 7A 中所示。

在本發明之一第二可選實施例中，可省略圖 7A 之大小增

加步驟。而是，如圖7B中所示，在光阻層曝光及圖案化步驟期間形成較大光阻特徵150而此等特徵之間具有較小間隔。舉例而言，不是利用回流或RELACS來形成具有 $3F$ 之一邊長及在毗鄰特徵之間具有 $1F$ 之一距離的光阻特徵150/152，而是改為僅圖案化第一光阻層以形成具有 $3F$ 之一邊長及 $1F$ 之一距離的特徵150。當然，可利用其他邊長及距離。

接著，利用圖6B或7A或7B中所示之光阻特徵150(或150/152)作為一遮罩以蝕刻至少一個遮蔽層140，例如以至少蝕刻頂蓋層148以形成第一間隔開之遮蔽特徵154，如圖8A及8B中所示。圖8A圖解闡釋利用圖7A之特徵150/152作為一遮罩以蝕刻遮蔽特徵154。圖8B圖解闡釋利用圖7B之特徵150作為一遮罩以蝕刻遮蔽特徵154。視情況，亦可蝕刻層142-146中之一者或多者且可包含層142-146中之一者或多者作為第一遮蔽特徵154之部分。在形成遮蔽特徵154之後移除第一光阻特徵150或150/152，如圖8C中之一俯視圖中所示。

較佳地，每一第一間隔開之特徵154之長度或寬度係大於毗鄰第一間隔開之特徵154之間の間隔。舉例而言，每一第一間隔開之特徵154之寬度係約 $3F$ 且毗鄰第一間隔開之特徵之間的一間隔係約 $1F$ ，如圖8C中所示。

在一第三可選實施例中，在複數個第一間隔開之特徵154上方及在複數個第一間隔開之特徵154之間の間隔中形成一填充物材料層160。填充物材料層160可係與該等特徵

之材料相比可優先被蝕刻之任一材料層。舉例而言，若特徵154包括鎢，則層160可包括氧化矽。另一選擇係，若特徵154包括氧化矽，則層160可包括氮化矽。接著，藉由化學機械拋光(CMP)或其他平坦化方法平坦化填充物材料層160以曝露複數個第一間隔開之特徵154之上表面，如圖9A中所示。另一選擇係，可省略填充物材料160，如圖9B中所示。

接著，在複數個第一間隔開之特徵154上方形成一第二光阻層162。若存在填充物材料160，則在複數個第一間隔開之特徵154上方及在填充物材料160上方形成第二光阻層162，如圖9A中所示。若省略填充物材料160，則僅在複數個第一間隔開之特徵154上方形成第二光阻層162且第二光阻層162填充毗鄰第一間隔開之特徵154之間的時間隔，如圖9B中所示。

將該第二光阻層圖案化成包括複數個第二光阻特徵170之一第二光阻圖案，如圖9C及9D中所示。圖9C係沿圖9D中之俯視圖中之線A-A截取之一側視橫截面圖。圖案化該第二光阻層以使得複數個第二光阻特徵170覆蓋複數個第一間隔開之特徵154之邊緣部分且覆蓋填充物材料160之至少一部分(若存在材料160)。換言之，第二光阻特徵170僅覆蓋填充物材料160之一部分，如圖9D中所示。

如圖9C及9D中所示，第二光阻特徵170可覆蓋複數個第一間隔開之特徵154之邊緣部分156。舉例而言，如圖9D中所示，正方形特徵170覆蓋正方形遮蔽特徵154之拐角部分

156。亦可利用其他形狀之特徵154及170及邊緣部分156。可利用不同方法形成覆蓋邊緣部分156之特徵170。

在一第四可選實施例中，在形成第二光阻特徵170之後可增加特徵170之大小以便減小毗鄰第二光阻特徵170之間的一距離。可藉由回流或RELACS製程增加特徵170之大小，如上文結合圖7A所闡述。特徵170之增加之大小之部分172顯示於圖9C中。在特徵170之大小增加至添加部分172之後，毗鄰第一光阻特徵170/172之間的距離自約 $2F$ 減小至約 $1F$ ，而每一特徵170/172之一邊長自 $2F$ 增加至 $3F$ 。視情況，在此實施例中，原始第二光阻特徵170未延伸出第一間隔開之特徵154(例如，遮蔽特徵154)之邊緣部分156之一可察覺量。然而，增加第二光阻特徵170大小之步驟形成延伸出複數個第一間隔開之特徵154之邊緣部分156的側部分172，如圖9C中所示。

在本發明之一第五可選實施例中，省略大小增加步驟。而是，類似於圖7B中所示之用於第一光阻特徵150之製程，在光阻層曝光及圖案化步驟期間形成較大光阻特徵170，而此等特徵之間具有較小間隔。舉例而言，不是利用回流或RELACS來形成具有 $3F$ 之一邊長及在毗鄰特徵之間具有 $1F$ 之一距離的光阻特徵170/172，而是改為僅圖案化第二光阻層以形成具有 $3F$ 之一邊長及 $1F$ 之一距離的特徵170，如圖9D中所示。當然，可利用其他邊長及距離。

接著，利用光阻特徵170(或170/172)作為一遮罩圖案化(例如，蝕刻)複數個第一間隔開之特徵154之所曝露部分。

在該圖案化步驟之後，保留複數個第一間隔開之特徵154之複數個間隔開之邊緣部分156，如圖10中所示。接著移除第二光阻圖案(亦即，特徵170或170/172)。

若存在填充物材料160，則可在移除光阻特徵170或170/172之後選擇性地移除該填充物材料以留下複數個間隔開之邊緣部分156，如圖11A及11B中所示。圖11A係沿圖11B中之線A-A截取之一側視橫截面圖。

邊緣遮蔽部分156可包括遮蔽邊緣特徵，例如具有一1F之大小且分離一1F之距離之正方形形狀，如圖11B中所示。接著，利用遮蔽邊緣特徵156作為一遮罩以蝕刻下伏裝置層120(如圖12A及12B中所示)及/或以蝕刻額外遮蔽層142-146。較佳地，邊緣遮蔽特徵156包括頂蓋層148之若干部分。若需要，則特徵156亦可包含APF層144及抗反射層146。可將層148中或層144/146/148中之邊緣特徵156圖案轉移至硬遮罩層142。接著，在移除任何一個或多個層144、146或148之前或之後利用層142中之圖案作為一遮罩將此圖案轉移至裝置層120，如圖12A及12B中所示。如圖12A及12B中所示，在軌道形底部電極28上由裝置層120形成柱形裝置180。舉例而言，柱形裝置180可包括一包括圖1中所示之二極體引導元件22及記憶體儲存元件24之記憶體胞。雖然顯示了正方形柱形裝置180，但當自上面觀察時該等柱可具有其他形狀，例如其他多邊形、橢圓形、不規則或圓形形狀。

在形成柱裝置之後，可將硬遮罩層142之遮蔽特徵156保

持在最終裝置180中或將其移除。舉例而言，若層142係導電的，則其特徵156可保持與柱形裝置180之上部部分接觸。接著，與層142之特徵接觸地形成圖1中所示之上部導體或電極26。舉例而言，可將400-500 Å之鎢特徵保留在該裝置中。另一選擇係，可在形成圖1中所示之上部導體或電極26之前移除硬遮罩層142之遮蔽特徵。可藉由上文結合圖3或4所闡述之減性方法或大馬士革鑲嵌方法在裝置180上形成上部導體或電極26。可在形成上部電極26之前在該等柱之間形成例如氧化矽之一絕緣填充物材料。

在第二及第五可選實施例中，3F及1F量測僅係例示性且可利用其他量測。光阻特徵較佳在形狀大小上大於2F且在毗鄰特徵之間的間隔或距離上小於2F，以使得在光阻中或蝕刻該等層所達成之偏差小於所需之二分之一F。光阻蝕刻中之偏差量主要由材料及處理工具確定。隨著製程按比例調整為越來越小之幾何形狀，偏差變為F之一較大分數。在30 nm特徵大小時，可利用約2.7F之特徵大小及特徵之間的1.3F之間隔(具有9 nm之一總偏差)以在光阻圖案下面的遮蔽層中達成約3F之特徵大小及1F之間隔。在較小幾何形狀時(舉例而言15 nm)，遮罩圖案將係在遮蔽層中產生一最終3F之形狀的2.4F(具有9 nm之相同總偏差)。可利用微影形狀及總偏差之其他組合在硬遮罩中達成所需形狀及間隔。最佳選擇取決於具體光微影工具及處理設備以及材料選擇且此最佳化在此項技術中係眾所周知的。

在上文所闡述之實施例中，複數個第一間隔開之遮蔽特

徵154中之每一者具有一正方形或矩形形狀。將此等特徵154配置於一柵格組態中。複數個間隔開之邊緣遮蔽特徵156包括複數個第一間隔開之遮蔽特徵154之拐角部分。因此，在此等方法中，第一及第二光阻特徵150、170兩者皆包括配置於一棋盤型柵格中之正方形或矩形特徵。第二光阻特徵170相對於毗鄰第一光阻特徵150沿對角線偏移以使得其在基板上方之相應位置在其中形成邊緣遮蔽特徵156之拐角區域中重疊。舉例而言，特徵156可具有一寬度及長度皆為1F之一正方形形狀且間隔開1F之一距離。亦可利用其他形狀、大小及距離。對正方形形狀進行拐角修圓可使最終裝置柱180在兩個對角拐角上修圓出一1F×1F特徵以使得其具有包括一具有兩個尖角邊緣之不規則橢圓形狀之一「足球」或「橄欖球」形狀。此在以下情形下發生：光阻特徵150、170兩者藉由回流被修圓且因此特徵156之四個拐角中之兩者因圓形特徵150、170之位置之一重疊而被修圓，如圖14中所示。

下文闡述利用圓形或橢圓形特徵替代正方形或矩形特徵之一替代實施例。

圖13圖解闡釋當自上面觀察時具有一圓形形狀之複數個第一特徵254。該等第一特徵配置於假想等邊三角形之各個頂點處以使得三個毗鄰特徵254形成一假想等邊三角形255，其中兩個等邊三角形共享一共同邊緣從而構成該圖案之最小重複單元。較大圖案可視為一重複六邊形圖案，其中六個特徵254中之一者位於每一六邊形頂點處且一第

七特徵位於每一六邊形之中間處。

每一圓形特徵254可具有約 $3F$ 之一直徑且與六個毗鄰圓形圖案分離約 $1F$ 之一距離(允許光微影中之變化及公差)。毗鄰特徵254之中心之間的一距離係約 $4F$ 。因此，假想等邊三角形255可具有其中具有約 $4F$ 之一大小的邊，如圖13中所示。

可藉由首先形成具有 $2F$ 之一直徑之第一光阻特徵且接著藉由一RELACS、回流或側壁間隔件製程將該等第一光阻特徵之直徑增加至 $3F$ 來形成此等特徵254，如先前實施例中所闡述。另一選擇係，可藉由初始圖案化形成具有一 $3F$ 直徑之光阻特徵。接著利用此等第一光阻特徵作為一遮罩以圖案化該(等)下伏層以在該(等)下伏層中形成特徵254。

接著在第一特徵254上方形成包括第二光阻特徵270之第二光阻圖案，如圖14及15中所示。圖15係圖14中所示之一個第一特徵254之一特寫鏡頭。第二次圖案化可沿如圖15中所示之三角形之一中垂線移位約 $2.3F(0.8F+0.7F+0.8F)$ 。在每一第一特徵254與三個毗鄰第二光阻特徵270之三個重疊處形成邊緣特徵256。密度係每 $4.6 F^2$ 一個邊緣特徵256。每一不規則橢圓形邊緣部分256之一較小直徑係約 $0.7F$ 。亦可利用其他尺寸。

圖14及15中所示之配置給出一稍微不密集之柱配置但允許更接近光微影限度進行圖案化。邊緣特徵256可包括用以圖案化該(等)下伏裝置層以形成柱之任何邊緣遮蔽特徵，或邊緣特徵256可包括裝置柱，如結合先前實施例所

闡述。藉由此實施例之方法形成之柱可因邊緣特徵之形狀而具有不規則橢圓形(例如,「足球」或「橄欖球」)形狀。

概言之,在上文所闡述之實施例中,複數個第一間隔開之特徵254中之每一者具有一圓形形狀。將複數個第一間隔開之特徵254配置於一六邊形組態中,其中每一第一間隔開之特徵254皆由六個等距離最近鄰第一間隔開之特徵254環繞。在複數個第一間隔開之特徵254上方配置複數個第二光阻特徵270以使得三個第二光阻特徵270形成覆蓋每一第一間隔開之特徵254之三個邊緣部分256之一等邊三角形255。因此,複數個間隔開之邊緣部分256包括複數個第一間隔開之特徵254之不規則橢圓形邊緣部分。

圖16及17顯示一較佳陣列線配置(例如圖16中所示之字線28及圖17中所示之位元線26)。應注意可反轉字線及位元線之相對定向。此外,雖然將字線顯示為位於柱裝置下面且將位元線顯示為位於柱裝置上面,但可反轉該等字線及位元線之位置。陣列線之間隔比在先前實施例之陣列線之一垂直配置中更加緊密,但藉由平行於三角形255之一個邊定向該等字線且平行於三角形255之另一邊定向該等位元線而使毗鄰柱之間隔鬆弛。舉例而言,可沿三角形之「水平」邊(或若使基板旋轉90度則沿三角形之「垂直」邊)配置字線28且位元線26相對於字線方向以約60度之一角度延伸(或反之亦然)。當然,位元線及字線兩者皆可沿圖16及17中所示之三角形255之兩個「對角線」邊(但不沿「水平」邊)延伸。

與偶數陣列線相比，與奇數陣列線相關聯之胞(例如，圖1中所示之記憶體胞柱22)係其兩倍之多。因此，複數個字線28包括一組第一字線及一組第二字線。每一第一字線(例如，圖16中所示之字線WL1及WL3)位於兩個第二字線(例如，字線WL2與WL4)之間。每一第一字線(WL1、WL3)電接觸之柱裝置多達每一第二字線(WL2、WL4)的兩倍。此適用於圖17中所示之位元線26。藉由預先計算支援邏輯中所需陣列線選擇針對一陣列線上變化之胞數目調整胞位址解碼。可利用此項二進制解碼電路技術中眾所周知方法中的任一種方法。

已闡述了一第一記憶體層級之形成。可在此第一記憶體層級上面形成額外記憶體層級以形成一單片式三維記憶體陣列。在某些實施例中，可在若干記憶體層級之間共享導體；亦即，頂部導體將充當下一記憶體層級之底部導體。在其他實施例中，在第一記憶體層級上面形成一層級間電介質(未顯示)，平坦化其表面，且一第二記憶體層級之構造在此經平坦化之層級間電介質上開始，其中無共享導體。

一單片式三維記憶體陣列係一種其中多個記憶體層級形成於一單個基板上面(例如，一晶圓)而無中間基板之記憶體陣列。在一個或多個現有層級之層上方直接沈積或生長形成一個記憶體層級之層。相反地，如在Leedy之美國專利第5,915,167號「Three dimensional structure memory」中，藉由在單獨基板上形成記憶體層級且將該等記憶體層級黏著在彼此頂部上來構造堆疊式記憶體。可在結合之前

使該等基板變薄或將其自記憶體層級移除，但由於該等記憶體層級最初係形成於單獨基板上方，因此此等記憶體並非係真正的單片式三維記憶體陣列。

一形成於一基板上之單片式三維記憶體陣列至少包括形成於該基板上第一高度處之一第一記憶體層級及形成於不同於該第一高度之一第二高度處之一第二記憶體層級。三個、四個、八個或實際上任一數目之記憶體層級可在該基板上形成於此一多層級陣列中。

在此說明之通篇中，已將一個層闡述為位於另一個層「上面」或「下面」。應理解，此等術語闡述層及元件相對於該等層及元件形成於其上之基板(在大多數實施例中係一單晶矽晶圓基板)之位置；當一個特徵較遠離該晶圓基板時該特徵位於另一特徵上面，且當一個特徵較接近時該特徵位於另一特徵下面。雖然明顯地可沿任一方向旋轉晶圓或晶粒，但該晶圓或晶粒上特徵之相對定向將不會改變。另外，該等圖式有意未按比例顯示且僅表示層及所處理之層。

已經以一圖解說明方式闡述了本發明。應理解，已使用之術語意欲具有闡述性而非限制性字之性質。

依據上文之教示內容可能對本發明做出若干修改及變化。因此，在隨附申請專利範圍之範疇內，可以不同於所具體闡述之方式實踐本發明。

【圖式簡單說明】

圖1係一非揮發性記憶體胞之一透視圖；

圖 2 係圖 1 之一記憶體胞陣列之一透視圖；

圖 3A 至 3D 係圖解闡釋藉由一減性方法形成導電軌道之製程中之步驟之橫截面側視圖；

圖 4A 至 4D 係圖解闡釋藉由一大馬士革鑲嵌方法形成導電軌道之製程中之步驟之橫截面側視圖；

圖 5 係在形成柱結構之前的裝置層之一橫截面側視圖；

圖 6B、7A、7B、8A、8B、9A、9B、9C、10、11A 及 12A 係根據本發明之實施例製作一裝置陣列之製程步驟之側視橫截面圖且圖 6A、8C、9D、11B 及 12B 係該等製程步驟之俯視圖；及

圖 13、14、15、16 及 17 係根據本發明之一替代實施例製作一裝置之製程步驟之俯視圖。

【主要元件符號說明】

20	記憶體胞
22	二極體/二極體柱/二極體引導元件
24	電阻率切換元件/記憶體儲存元件/反熔絲電介質
26	頂部導體或電極/位元線
28	底部導體或電極/軌道形導體/字線
30	經重摻雜半導體區域
32	中間區域
34	經重摻雜半導體區域
36	第一記憶體層級
40	導電層/導體或電極軌道
42	光阻層

44	絕緣材料/絕緣層
46	導電層
48	光阻層
50	絕緣層
52	溝槽
120	裝置層
140	遮蔽層
142	硬遮罩層
144	非晶碳高級圖案化膜
146	抗反射塗敷層
148	頂蓋層
150	第一光阻特徵
152	部分/側壁間隔件
154	遮蔽特徵
156	邊緣部分/拐角部分/邊緣遮蔽特徵
160	填充物材料層/填充物材料
162	第二光阻層
170	第二光阻特徵/正方形特徵
172	部分
180	柱形裝置
254	第一特徵/圓周特徵
255	等邊三角形
256	邊緣特徵
270	第二光阻特徵

七、申請專利範圍：

1. 一種製作一半導體裝置之方法，其包括：

在一下伏層上方形成一第一光阻層；

將該第一光阻層圖案化成一第一光阻圖案，其中該第一光阻圖案包括位於該下伏層上方之複數個間隔開的第一光阻特徵；

利用該第一光阻圖案作為一遮罩來蝕刻該下伏層，以形成複數個第一間隔開之特徵；

移除該第一光阻圖案；

在該複數個第一間隔開之特徵上方形成一第二光阻層；

將該第二光阻層圖案化成一第二光阻圖案，其中該第二光阻圖案包括覆蓋該複數個第一間隔開之特徵之邊緣部分的複數個第二光阻特徵；

利用該第二光阻圖案作為一遮罩，蝕刻該複數個第一間隔開之特徵之所曝露部分，以保留該複數個第一間隔開之特徵之複數個間隔開的邊緣部分；及

移除該第二光阻圖案，其中：

該下伏層包括位於一裝置層上方之至少一個遮蔽層；

該複數個第一間隔開之特徵包括複數個間隔開之遮蔽特徵；

該複數個間隔開之邊緣部分包括複數個間隔開之邊緣遮蔽特徵；且

每一邊緣遮蔽特徵具有比每一相應遮蔽特徵小之一大

小。

2. 如請求項1之方法，進一步包括利用該複數個邊緣遮蔽特徵作為一遮罩來蝕刻該裝置層以形成複數個柱裝置。
3. 如請求項2之方法，其中該複數個柱裝置包括複數個非揮發性記憶體胞，每一胞包括一柱二極體引導元件及一電阻率切換元件。
4. 如請求項2之方法，其中該至少一個遮蔽層包括：位於該裝置層上方之一硬遮罩層、位於該硬遮罩層上方之一非晶碳圖案化膜、位於該非晶碳圖案化膜上方之一抗反射層及位於該抗反射層上方之一頂蓋層。
5. 一種製作一半導體裝置之方法，其包括：

在一下伏層上方形成一第一光阻層；

將該第一光阻層圖案化成一第一光阻圖案，其中該第一光阻圖案包括位於該下伏層上方之複數個間隔開的第一光阻特徵；

利用該第一光阻圖案作為一遮罩來蝕刻該下伏層，以形成複數個第一間隔開之特徵；

移除該第一光阻圖案；

在該複數個第一間隔開之特徵上方形成一第二光阻層；

將該第二光阻層圖案化成一第二光阻圖案，其中該第二光阻圖案包括覆蓋該複數個第一間隔開之特徵之邊緣部分的複數個第二光阻特徵；

利用該第二光阻圖案作為一遮罩，蝕刻該複數個第一

間隔開之特徵之所曝露部分，以保留該複數個第一間隔開之特徵之複數個間隔開的邊緣部分；

移除該第二光阻圖案在該蝕刻該下伏層之步驟之前增加該等第一光阻特徵之一大小，以減小毗鄰第一光阻特徵之間的距離；及

在該蝕刻該第一複數個間隔之特徵之該等所曝露部分之步驟之前增加該等第二光阻特徵之一大小，以減小毗鄰第二光阻特徵之間的距離。

6. 如請求項5之方法，其中增加該等第一及該等第二光阻特徵之該大小之該等步驟包括藉由一回流製程或一RELACS製程增加該等第一及該等第二光阻特徵之該大小。

7. 如請求項5之方法，其中：

將毗鄰第一光阻特徵之間之該距離自約 $2F$ 減小至約 $1F$ ；且

將毗鄰第二光阻特徵之間之該距離自約 $2F$ 減小至約 $1F$ 。

8. 如請求項5之方法，其中增加該等第二光阻特徵之該大小之該步驟包括使該等第二光阻特徵延伸出該複數個第一間隔開之特徵之該等邊緣部分。

9. 一種製作一半導體裝置之方法，其包括：

在一下伏層上方形成一第一光阻層；

將該第一光阻層圖案化成一第一光阻圖案，其中該第一光阻圖案包括位於該下伏層上方之複數個間隔開的第

一 光阻特徵；

利用該第一光阻圖案作為一遮罩來蝕刻該下伏層，以形成複數個第一間隔開之特徵；

移除該第一光阻圖案；

在該複數個第一間隔開之特徵上方形成一第二光阻層；

將該第二光阻層圖案化成一第二光阻圖案，其中該第二光阻圖案包括覆蓋該複數個第一間隔開之特徵之邊緣部分的複數個第二光阻特徵；

利用該第二光阻圖案作為一遮罩，蝕刻該複數個第一間隔開之特徵之所曝露部分，以保留該複數個第一間隔開之特徵之複數個間隔開的邊緣部分；及

移除該第二光阻圖案，其中形成該第二光阻層之該步驟包括在該複數個第一間隔開之特徵上方形成該第二光阻層，且以該第二光阻層填充毗鄰第一間隔開之特徵之間的間隔。

10. 一種製作一半導體裝置之方法，其包括：

在一下伏層上方形成一第一光阻層；

將該第一光阻層圖案化成一第一光阻圖案，其中該第一光阻圖案包括位於該下伏層上方之複數個間隔開的第一光阻特徵；

利用該第一光阻圖案作為一遮罩來蝕刻該下伏層，以形成複數個第一間隔開之特徵；

移除該第一光阻圖案；

在該複數個第一間隔開之特徵上方形成一第二光阻層；

將該第二光阻層圖案化成一第二光阻圖案，其中該第二光阻圖案包括覆蓋該複數個第一間隔開之特徵之邊緣部分的複數個第二光阻特徵；

利用該第二光阻圖案作為一遮罩，蝕刻該複數個第一間隔開之特徵之所曝露部分，以保留該複數個第一間隔開之特徵之複數個間隔開的邊緣部分；

移除該第二光阻圖案在該複數個第一間隔開之特徵上方及該複數個第一間隔開之特徵之間的間隔中形成一填充物材料；

平坦化該填充物材料以曝露該複數個第一間隔開之特徵的上表面；及

在該移除該第二光阻圖案之步驟之後，選擇性地移除該填充物材料。

11. 如請求項10之方法，其中：

該形成該第二光阻層之步驟包括在該複數個第一間隔開之特徵上方及在該填充物材料上方形成該第二光阻層；且

該圖案化該第二光阻層之步驟包括形成覆蓋該複數個第一間隔開之特徵之邊緣部分且覆蓋該填充物材料之至少一部分的複數個第二光阻特徵。

12. 一種製作一半導體裝置之方法，其包括：

在一下伏層上方形成一第一光阻層；

將該第一光阻層圖案化成一第一光阻圖案，其中該第一光阻圖案包括位於該下伏層上方之複數個間隔開的第一光阻特徵；

利用該第一光阻圖案作為一遮罩來蝕刻該下伏層，以形成複數個第一間隔開之特徵；

移除該第一光阻圖案；

在該複數個第一間隔開之特徵上方形成一第二光阻層；

將該第二光阻層圖案化成一第二光阻圖案，其中該第二光阻圖案包括覆蓋該複數個第一間隔開之特徵之邊緣部分的複數個第二光阻特徵；

利用該第二光阻圖案作為一遮罩，蝕刻該複數個第一間隔開之特徵之所曝露部分，以保留該複數個第一間隔開之特徵之複數個間隔開的邊緣部分；及

移除該第二光阻圖案，其中每一第一間隔開之特徵之一寬度係大於毗鄰第一間隔開之特徵之間の間隔。

13. 如請求項12之方法，其中每一第一間隔開之特徵之一寬度係約 $3F$ ，且毗鄰第一間隔開之特徵之間之一間隔係約 $1F$ 。

14. 一種製作一半導體裝置之方法，其包括：

在一下伏層上方形成一第一光阻層；

將該第一光阻層圖案化成一第一光阻圖案，其中該第一光阻圖案包括位於該下伏層上方之複數個間隔開的第一光阻特徵；

利用該第一光阻圖案作為一遮罩來蝕刻該下伏層，以形成複數個第一間隔開之特徵；

移除該第一光阻圖案；

在該複數個第一間隔開之特徵上方形成一第二光阻層；

將該第二光阻層圖案化成一第二光阻圖案，其中該第二光阻圖案包括覆蓋該複數個第一間隔開之特徵之邊緣部分的複數個第二光阻特徵；

利用該第二光阻圖案作為一遮罩，蝕刻該複數個第一間隔開之特徵之所曝露部分，以保留該複數個第一間隔開之特徵之複數個間隔開的邊緣部分；及

移除該第二光阻圖案，其中：

該複數個第一間隔開之特徵中之每一者具有一正方形或矩形形狀；

將該複數個第一間隔開之特徵配置於一柵格組態中；且

該複數個間隔開之邊緣部分包括該複數個第一間隔開之特徵的拐角部分。

15. 一種製作一半導體裝置之方法，其包括：

在一下伏層上方形成一第一光阻層；

將該第一光阻層圖案化成一第一光阻圖案，其中該第一光阻圖案包括位於該下伏層上方之複數個間隔開的第一光阻特徵；

利用該第一光阻圖案作為一遮罩來蝕刻該下伏層，以形成複數個第一間隔開之特徵；

移除該第一光阻圖案；

在該複數個第一間隔開之特徵上方形成一第二光阻層；

將該第二光阻層圖案化成一第二光阻圖案，其中該第二光阻圖案包括覆蓋該複數個第一間隔開之特徵之邊緣部分的複數個第二光阻特徵；

利用該第二光阻圖案作為一遮罩，蝕刻該複數個第一間隔開之特徵之所曝露部分，以保留該複數個第一間隔開之特徵之複數個間隔開的邊緣部分；及

移除該第二光阻圖案，其中：

該複數個第一間隔開之特徵中之每一者具有一圓形形狀；

將該複數個第一間隔開之特徵配置於一六邊形組態中，其中每一第一間隔開之特徵皆由六個等距離最近鄰第一間隔開的特徵環繞；

在該複數個第一間隔開之特徵上方配置該複數個第二光阻特徵，使得三個第二光阻特徵形成覆蓋每一第一間隔開之特徵之三個邊緣部分之一等邊三角形；且

該複數個間隔開之邊緣部分包括該複數個第一間隔開之特徵的不規則橢圓形邊緣部分。

16. 如請求項15之方法，其中：

該複數個第一間隔開之特徵中之每一者具有約 $3F$ 的直徑；

毗鄰第一間隔開之特徵之中央之間的距離係約 $4F$ ；

毗鄰第一間隔開之特徵由約 $1F$ 的距離分離；且

每一不規則橢圓形邊緣部分之一較小直徑係約 $0.7F$ 。

17. 如請求項15之方法，進一步包括：

在該下伏層下面形成複數個字線；

利用該複數個邊緣特徵作為一遮罩來蝕刻該下伏層，以形成具有一不規則橢圓形橫截面形狀的複數個柱裝置；及

在該複數個柱裝置上方形成複數個位元線。

18. 如請求項17之方法，其中：

該複數個字線沿一第一方向延伸；

該複數個位元線沿一第二方向延伸；

該第一方向與該第二方向相差約 60° ；

該複數個字線包括一組第一字線及一組第二字線；

每一第一字線位於兩個第二字線之間；

每一第一字線電接觸的柱裝置多達每一第二字線的兩倍。

19. 一種製作一半導體裝置之方法，其包括：

在一下伏層上方形成一第一光阻層；

將該第一光阻層圖案化成一第一光阻圖案，其中該第一光阻圖案包括位於該下伏層上方之複數個間隔開的第一光阻特徵；

利用該第一光阻圖案作為一遮罩來蝕刻該下伏層，以形成複數個第一間隔開之特徵；

移除該第一光阻圖案；

在該複數個第一間隔開之特徵上方形成一第二光阻層；

將該第二光阻層圖案化成一第二光阻圖案，其中該第二光阻圖案包括覆蓋該複數個第一間隔開之特徵之邊緣部分的複數個第二光阻特徵；

利用該第二光阻圖案作為一遮罩，蝕刻該複數個第一間隔開之特徵之所曝露部分，以保留該複數個第一間隔開之特徵之複數個間隔開的邊緣部分；及

移除該第二光阻圖案，其中該第一光阻層包括一正型第一光阻層，且該第二光阻層包括一正型第二光阻層。

八、圖式：

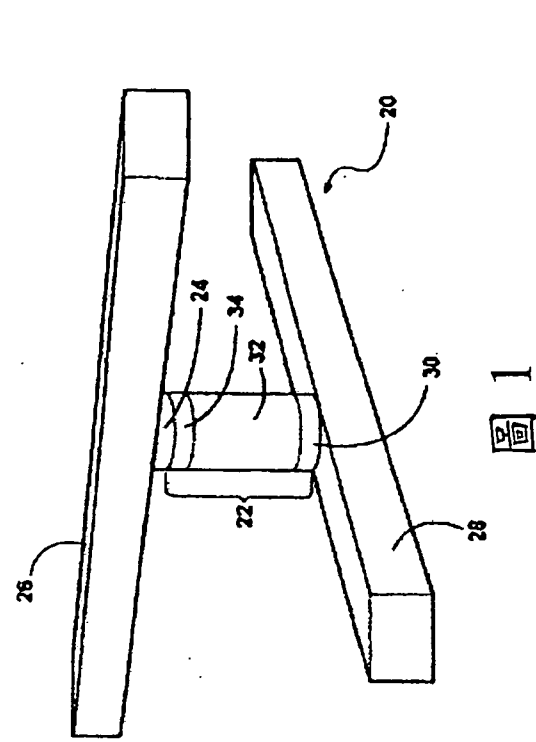


圖 1

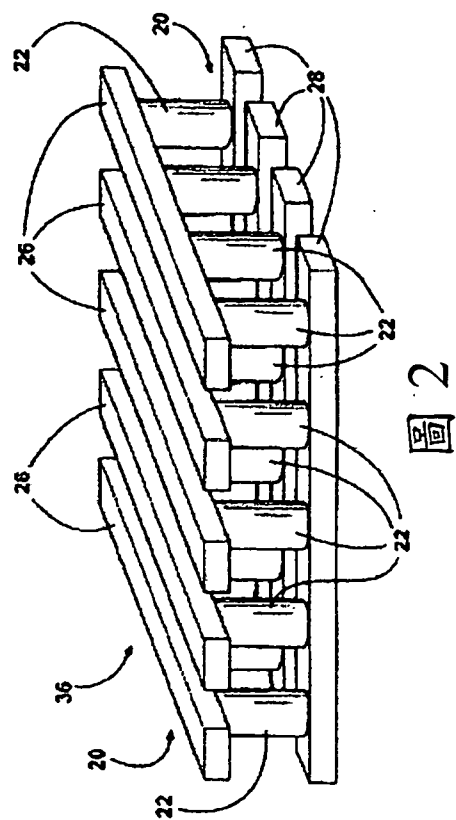


圖 2

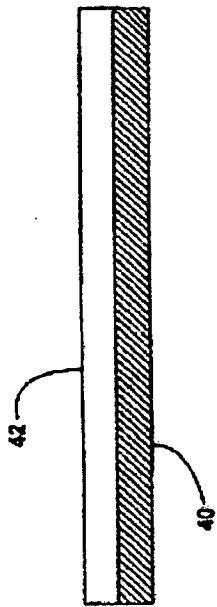


圖 3A

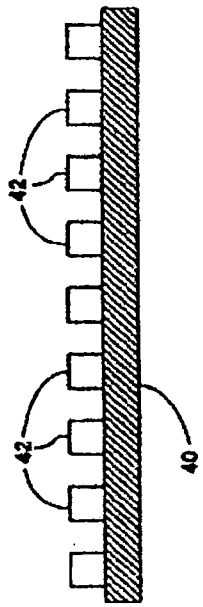


圖 3B

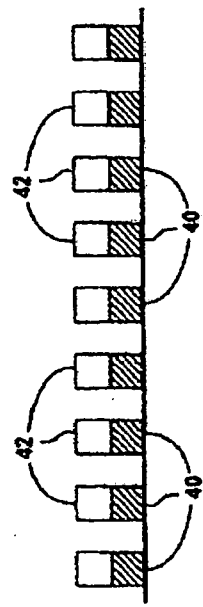


圖 3C

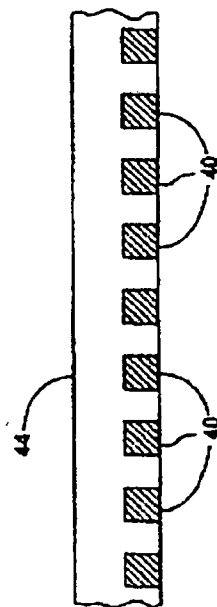


圖 3D

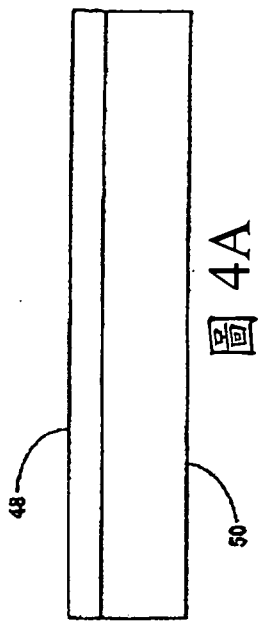


圖 4A

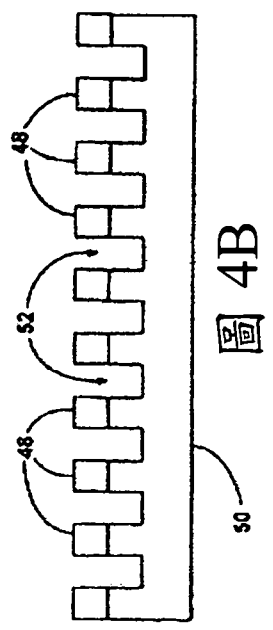


圖 4B

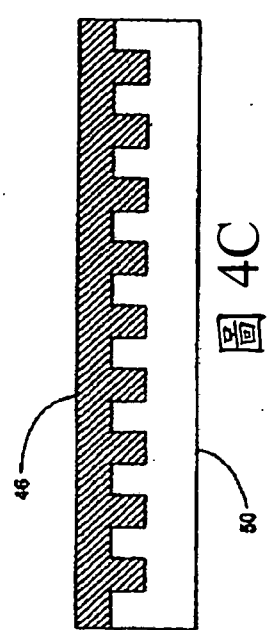


圖 4C

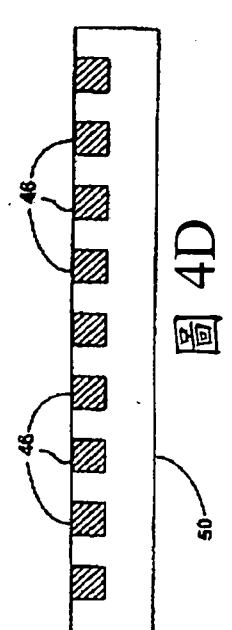


圖 4D

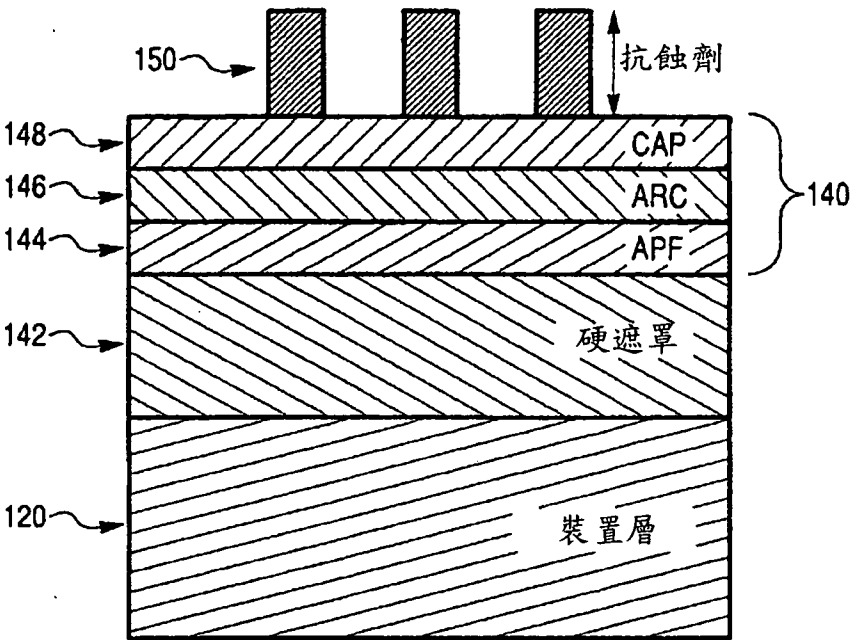


圖 5

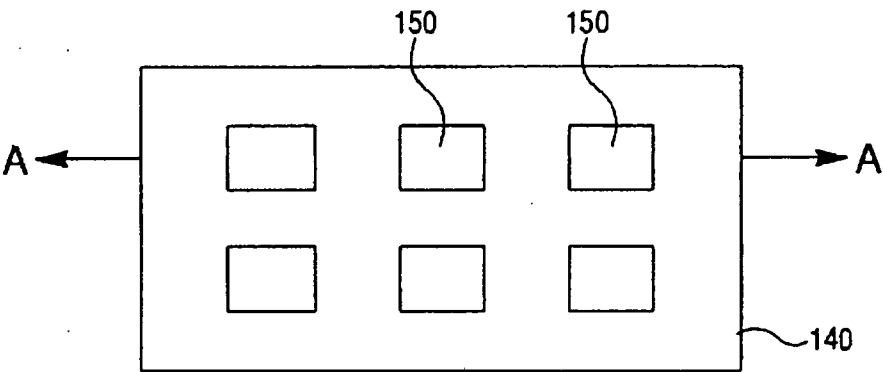


圖 6A

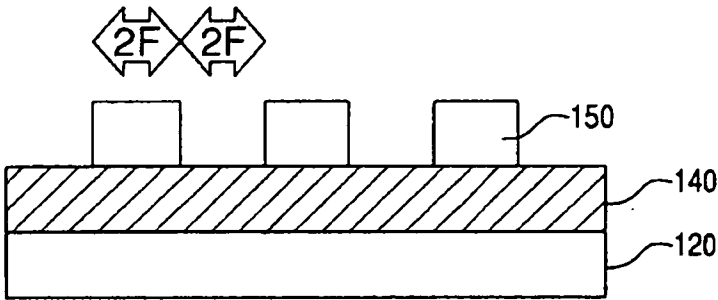


圖 6B

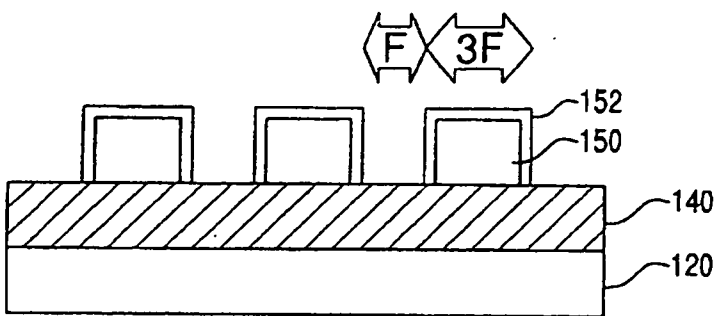


圖 7A

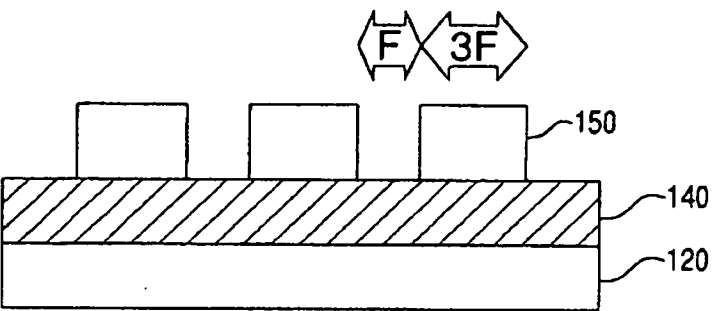


圖 7B

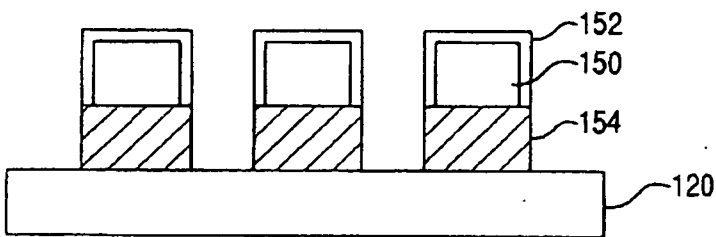


圖 8A

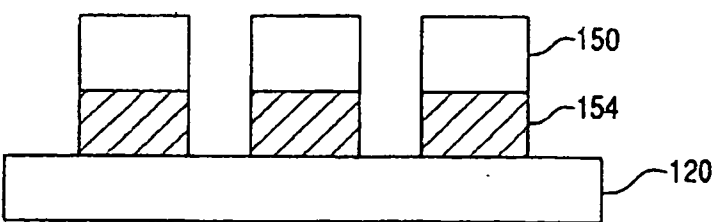


圖 8B

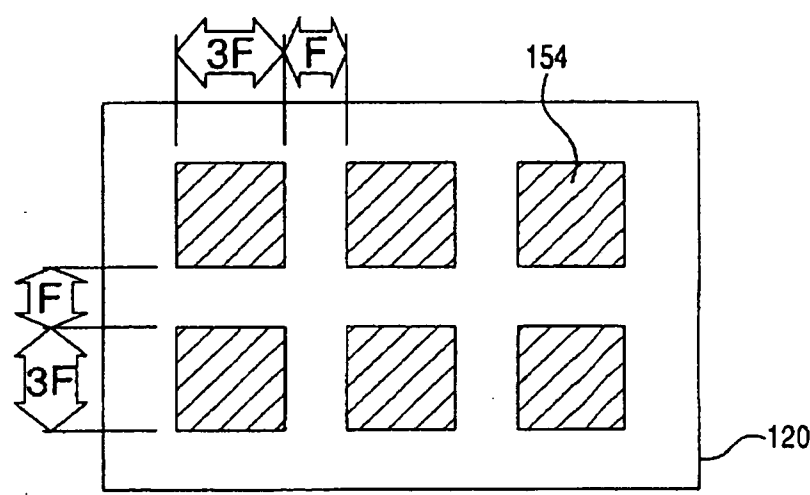


圖 8C

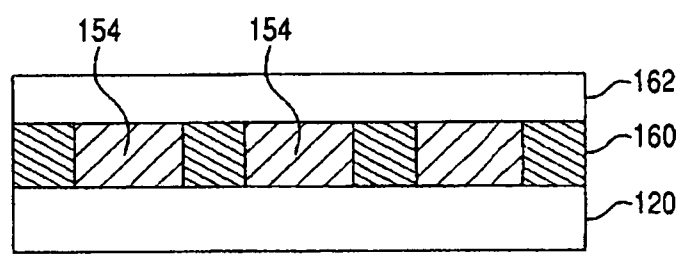


圖 9A

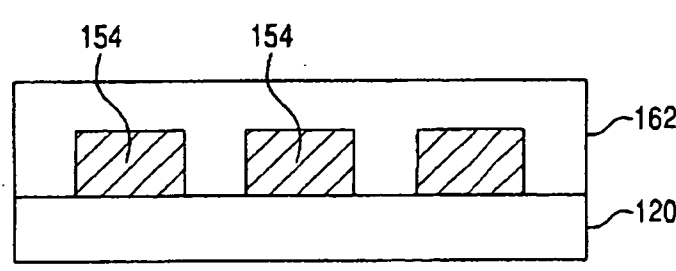


圖 9B

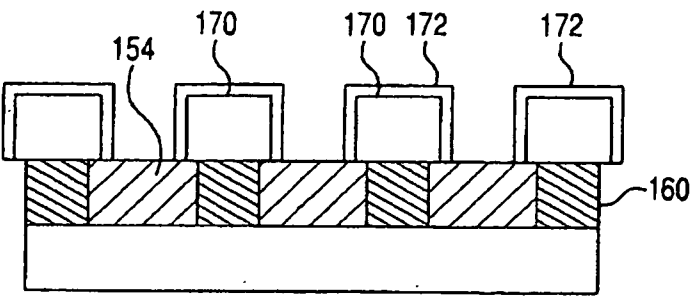


圖 9C

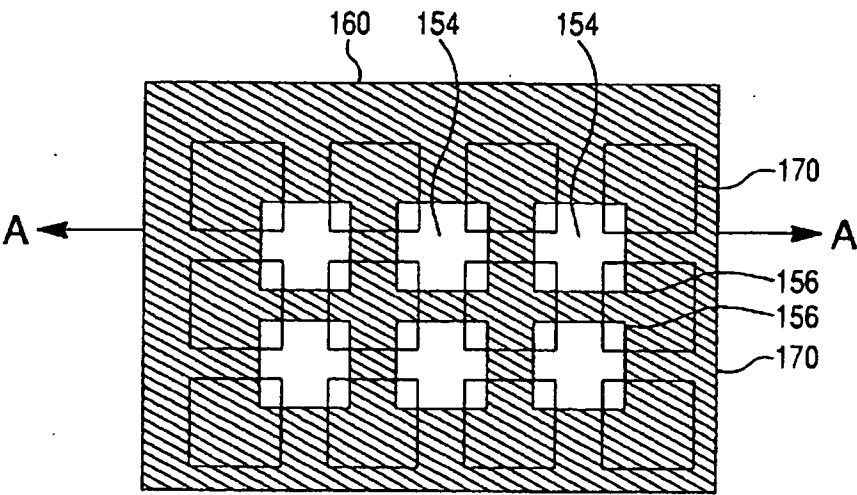


圖 9D

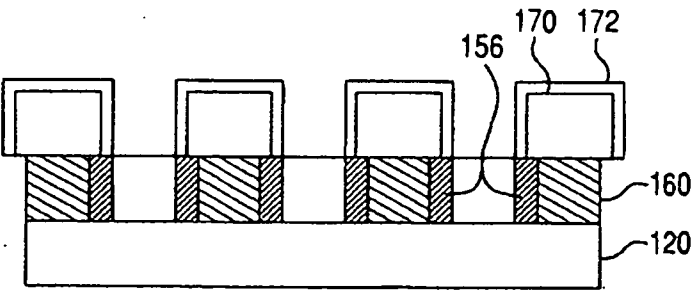


圖 10



圖 11A

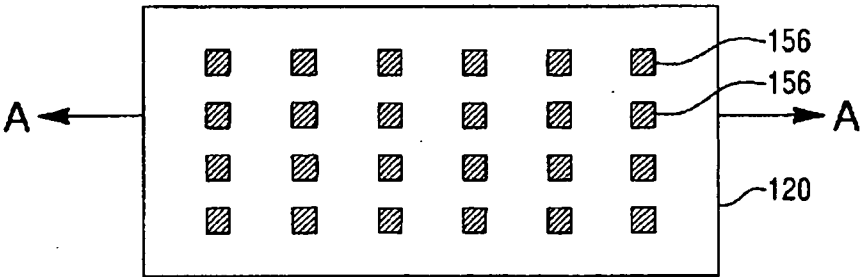


圖 11B

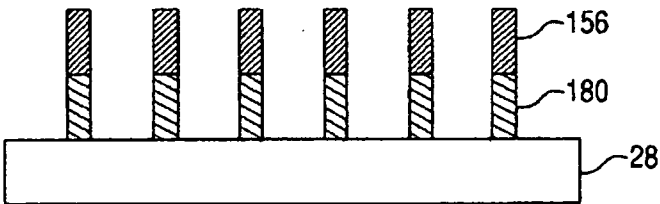


圖 12A

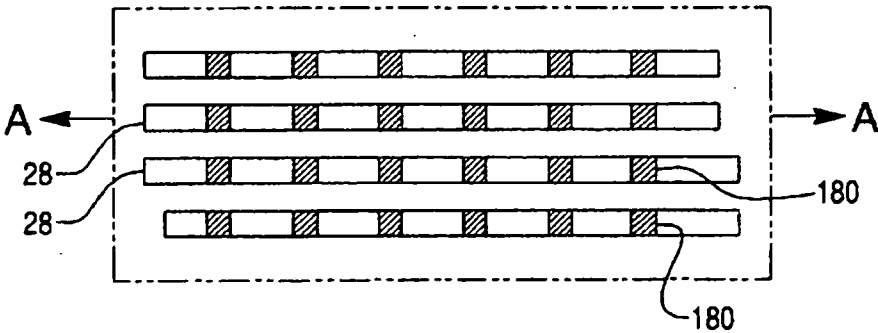


圖 12B

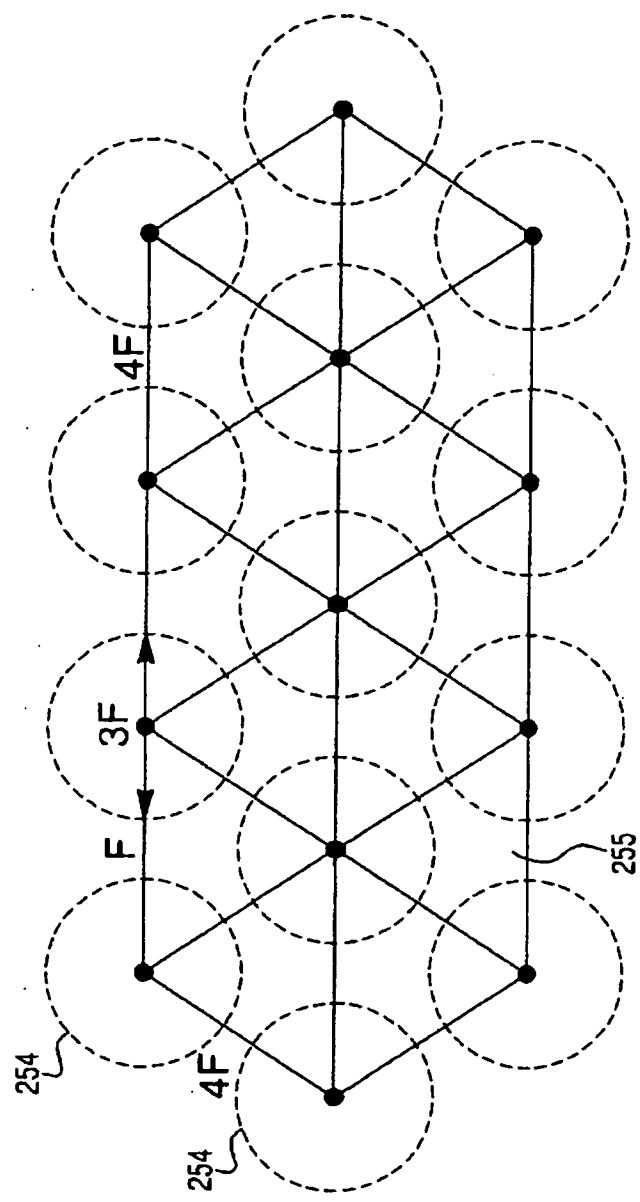


圖 13

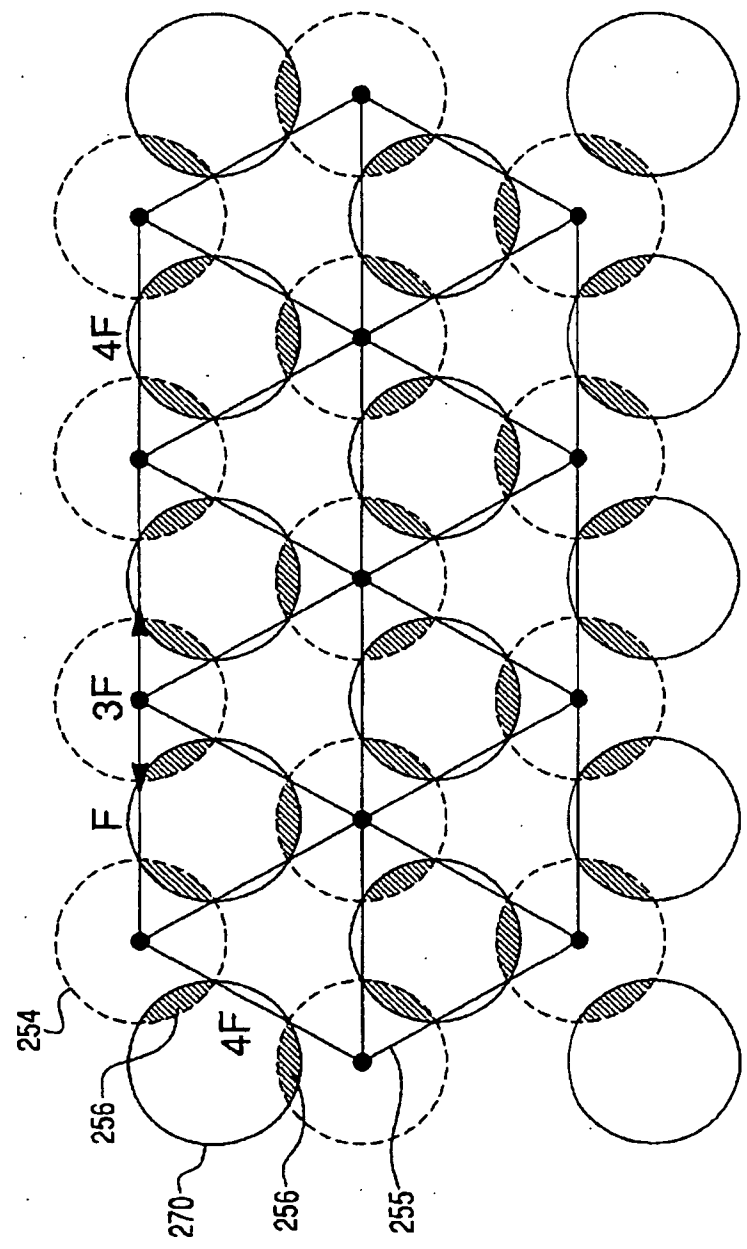


圖 14

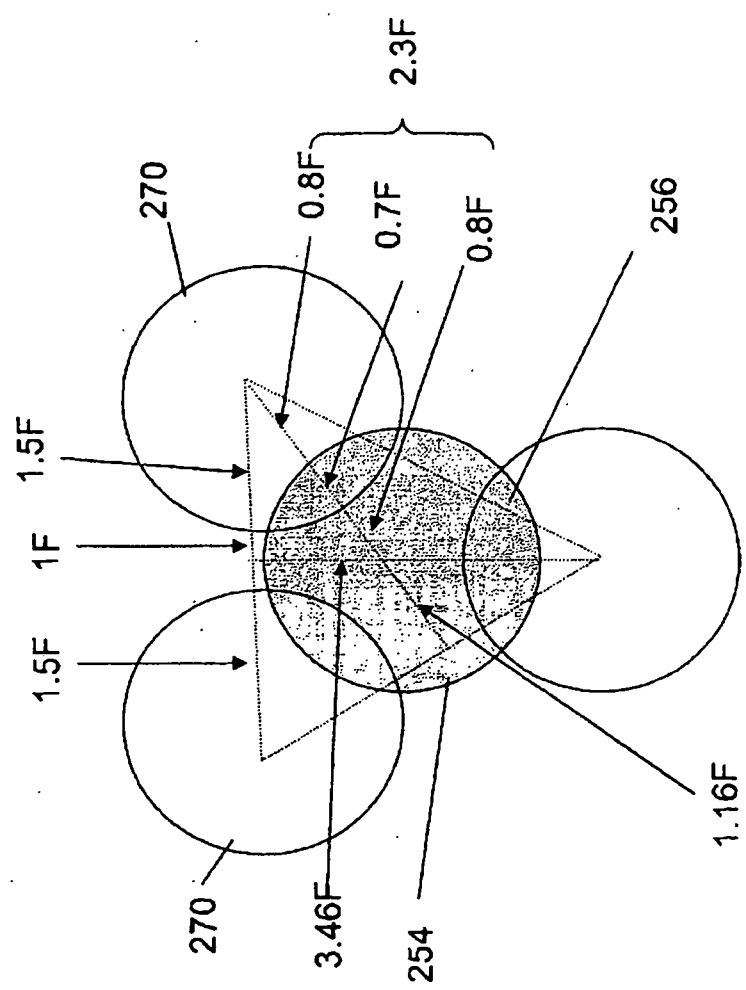


圖 15

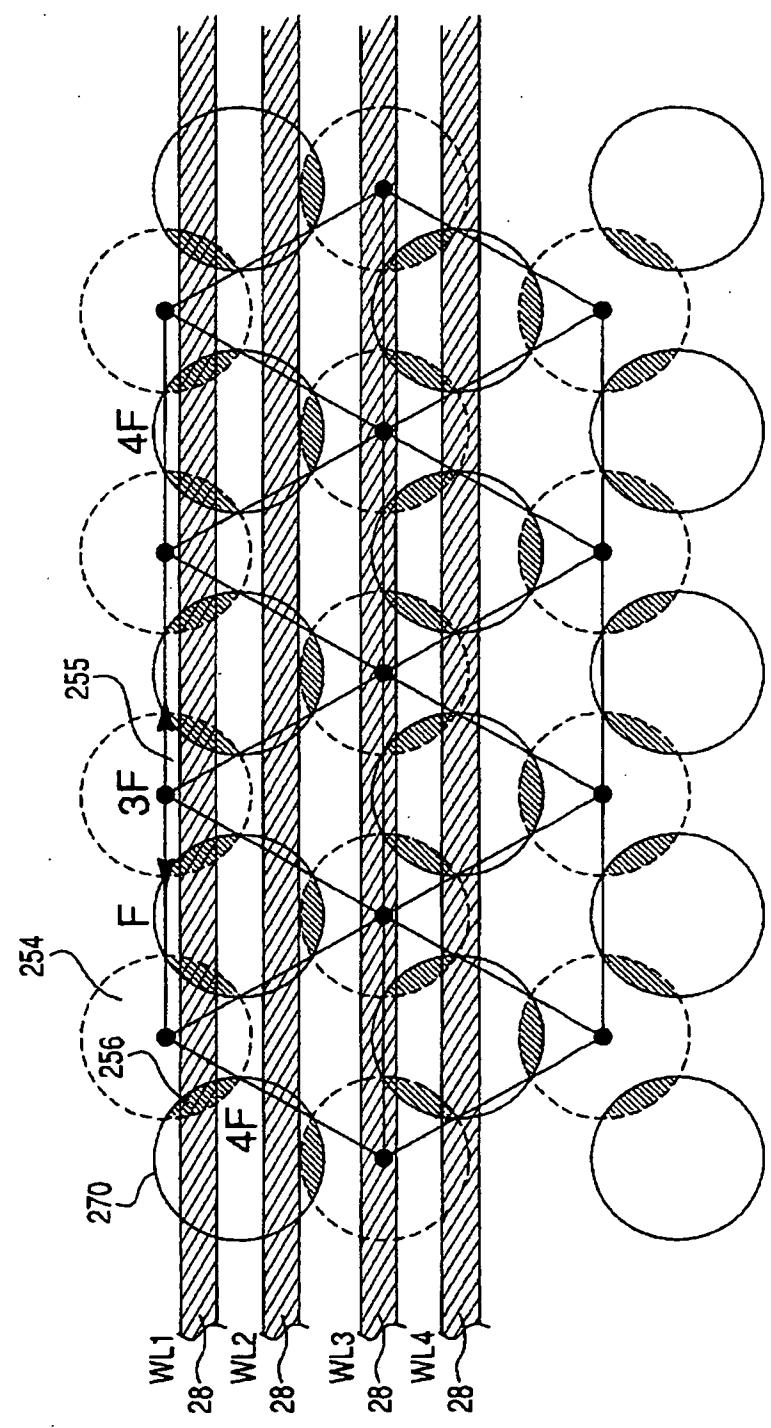


圖 16

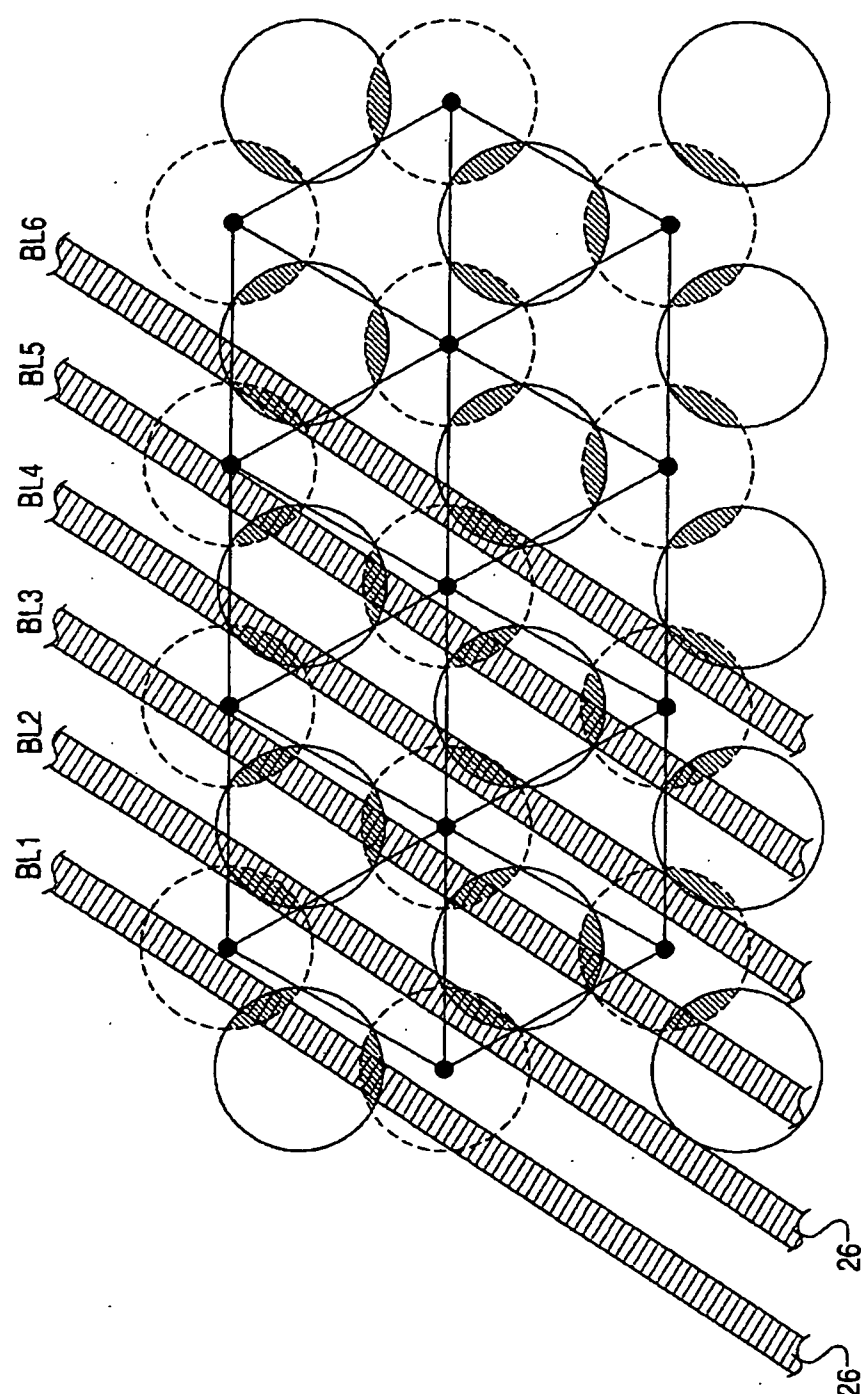


圖 17