

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-140367
(P2013-140367A)

(43) 公開日 平成25年7月18日(2013.7.18)

(51) Int.Cl.	F I	テーマコード (参考)
G09F 9/30 (2006.01)	G09F 9/30 338	2H092
G02F 1/1368 (2006.01)	G02F 1/1368	3K107
H01L 51/50 (2006.01)	H05B 33/14 A	5C094
H05B 33/14 (2006.01)	H05B 33/14 Z	

審査請求 有 請求項の数 1 O L (全 29 頁)

(21) 出願番号 特願2013-5233 (P2013-5233)
 (22) 出願日 平成25年1月16日 (2013.1.16)
 (62) 分割の表示 特願2010-129219 (P2010-129219)
 の分割
 原出願日 平成12年4月27日 (2000.4.27)

(71) 出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 小山 潤
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 Fターム(参考) 2H092 GA59 JA25 JA46 JB52 JB54
 NA04 NA07 NA17 NA24 NA27
 NA29 PA02 PA08 PA09
 3K107 AA01 AA05 BB01 CC32 CC36
 CC45 EE04 EE27
 5C094 AA02 BA03 BA27 BA43 DA13
 DB01 HA08

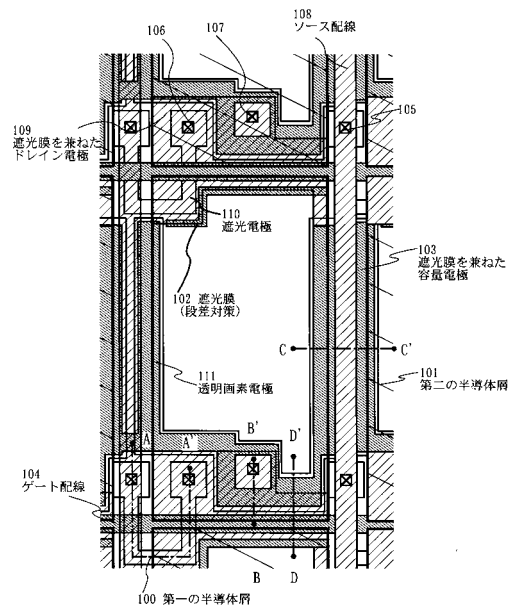
(54) 【発明の名称】 液晶表示装置

(57) 【要約】 (修正有)

【課題】素子基板のマスク枚数を抑え、比視感度が高く光漏れが目立ちやすい緑色を表示する画素においてディスクリネーションを効率良く隠す事の出来る表示装置を提供する。

【解決手段】素子基板のソース配線108、ゲート電極、容量電極103、電気的に浮いた遮光膜102を画素電極111のエッジあるいは、ディスクリネーションによる光漏れが出やすい領域に配置して、配線用のマスク枚数が二枚でも効率良くディスクリネーションによる光漏れを隠すと同時に、緑色のカラーフィルタに対向する画素におけるドレイン電極と透光性を有する導電膜との重なる領域を広くする。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本願発明は薄膜トランジスタ（以下、TFTという）で構成された回路を有する半導体装置およびその作製方法に関する。例えば、液晶表示パネルに代表される半導体装置およびその様な半導体装置を部品として搭載した電子機器に関する。

【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、半導体装置、半導体回路および電子機器は全て半導体装置である。

【背景技術】

【0003】

近年、絶縁表面を有する基板上に形成された半導体薄膜（厚さ数～数百nm程度）を用いて薄膜トランジスタ（TFT）を構成する技術が注目されている。薄膜トランジスタはICや半導体装置のような電子デバイスに広く応用され、特に液晶表示装置のスイッチング素子として開発が急がれている。

【0004】

液晶表示装置には大きく分けてアクティブマトリクス型とパッシブマトリクス型の二種類のタイプが知られている。

【0005】

アクティブマトリクス型の液晶表示装置はスイッチング素子としてTFTを用いており、高品位な画像を得ることができる。アクティブマトリクス型の用途としてはノート型のパーソナルコンピュータが一般的であるが、家庭用のテレビ、携帯端末用途としても期待されている。

【0006】

しかし、アクティブマトリクス型はパッシブマトリクス型に比べ、マスク枚数が多く、工程数が多い。このため、アクティブマトリクス型の液晶表示装置を汎用性のあるものとするためには、マスク枚数を減らしコストを抑えることと、歩留まりの向上が必須である。

【0007】

アクティブマトリクス型の液晶表示装置の素子基板は微細なゴミにより線欠陥、点欠陥が生じてしまう。工程数が多くなると不良が発生する確率が高くなる。歩留まりの向上は、素子基板側の工程数をいかに抑えるかにかかっている。

【0008】

ところで、アクティブマトリクス型の液晶表示装置はライン反転駆動、素子による段差により液晶のディスクリネーションができてしまう。良質な黒レベルを得るためには、ディスクリネーションによる光漏れを隠す遮光膜が必要である。

【0009】

しかし、アクティブマトリクス型の液晶表示装置の素子基板側に遮光膜をパターンニングすると、遮光膜自体を形成するための工程及びマスクが増加するだけでなく、遮光膜と配線の間には層間絶縁膜を設けて絶縁することが必要となってしまう。層間絶縁膜の形成によっても、コストが上昇する。もちろん工程数の増加は歩留まりの低下を招く。

【0010】

対向基板だけに遮光膜を形成すれば、素子基板側の工程数の増加を抑え、歩留まりの向上を図ることができる。しかし、対向基板のみに遮光膜を形成すると、基板を貼り合わせるときの、アライメント精度によっては、遮光膜の位置ずれにより光漏れを隠しきれないときがあり、良質な黒レベルを確保できない。図23に示すように、対向基板に形成された遮光膜701がアライメントずれにより、ずれて素子基板と貼り合わせられ、ディスク

10

20

30

40

50

リネーションによる光漏れ 703 が見えてしまう。特にディスクリネーションのエッジ付近の光漏れが見えてしまう。このため、黒表示 702 に光漏れが混じり黒レベルが悪くなる。アライメントの位置ずれによる光漏れを防ぐために、遮光領域を増やすと、開口率が低下し、逆に明るさが損なわれる。

【0011】

つまり、開口率とコントラストを高くし、良質な黒レベルを確保するためには素子基板側に遮光膜を形成することは、しごく、当たり前のことである。しかし、この当たり前のことを、素子基板側の工程数の増加を抑えて行うには、画素の配線パターンを効率よくレイアウトする必要がある。

【発明の概要】

【発明が解決しようとする課題】

【0012】

アクティブマトリクス型の液晶表示装置の良質な黒レベルを確保し、かつコストを抑えて作製するには従来にない全く新しい画素構成が求められている。

【0013】

本発明は、そのような要求に答えるものであり、遮光膜形成による素子基板側のマスク数及び工程数を増加させることなく、良質な黒レベルを確保するアクティブマトリクス型の液晶表示装置を提供することを課題とする。

【課題を解決するための手段】

【0014】

上述した従来技術の課題を解決するために以下の手段を講じた。

【0015】

まず、マスク数 6 枚で、素子基板を作製した。素子基板の構成を図 19 と図 21 を用いて説明する。図 19 の上面図を鎖線 K - K' と鎖線 L - L' で切断したときの断面図を図 21 に示す。図 19 と図 21 において同じ要素を同符号で示している。

【0016】

第一の半導体層 613 と第二の半導体層 614 が一枚のマスクでパターンニングされている。ソース配線 601 とゲート電極 600 が一枚のマスクでパターンニングされている。第一の層間絶縁膜 615 と第二の層間絶縁膜 616 (図 19 においては図示せず) を形成する。第二の層間絶縁膜 616 の上に接するように、ゲート配線 602 と接続電極 603 とドレイン電極 604 と容量接続電極 605 が一枚のマスクでパターンニングされている。

【0017】

さらに、ドレイン電極 604 と容量接続電極 605 に重なり合うように、透明画素電極 606 を形成する。透明画素電極 606 はゲート配線 602、接続電極 603 とショートしないようにマージンをとる。

【0018】

対向基板にカラーフィルタ、オーバーコート材、透明画素電極を形成し、素子基板と対向基板をセル組みし、液晶の配向を見た。素子基板の裏面から配向の観察をした。配向は TN 方式で、混入したカイラル材は左巻きである。液晶のディスクリネーションの出る領域を解析するために対向基板には遮光膜がない。

【0019】

直視型の液晶表示装置をゲートライン駆動する。ゲート方向の長さが、ソース方向の長さ比べ短い画素では、ゲートライン反転駆動のほうがソースライン反転駆動に比べ、画素に占めるディスクリネーションによる光漏れの割合を小さくできる。このときのディスクリネーションを図 19 ~ 20 に示す。

【0020】

一画素において、素子基板の画素の先にラビングされる側のソース配線にディスクリネーションによる強い光漏れ 607 ~ 609 が見られる。人間の眼の感度が緑において高いから、比視感度の高い緑において、光漏れが強く認識される。

【0021】

10

20

30

40

50

図 2 1 の断面図よりわかるように、透明画素電極 6 0 6 の下に容量接続電極 6 0 5 とドレイン電極 6 0 4 と接続電極 6 0 3 が形成されている。容量接続電極 6 0 5 とドレイン電極 6 0 4 と接続電極 6 0 3 は絶縁膜により平坦化されていないため、電極自体の膜厚が液晶配向面の段差を誘起する。これにより段差の周りに微弱な光漏れ 6 1 0 ~ 6 1 2 が見られた。直視型の液晶表示装置ではこのような微弱な光漏れ 6 1 0 ~ 6 1 2 は大きな問題とはならないが、投射型の液晶表示装置では良質な黒レベルを確保するために、場合によっては段差による光漏れも遮光する必要がある。

【 0 0 2 2 】

光漏れが遮光されているせいかそれほど目立たないが、ゲートライン反転駆動のため、ディスクリネーションによる光漏れがゲートラインに沿ってできる。

10

【 0 0 2 3 】

全体的に透明画素電極 6 0 6 のエッジ付近にディスクリネーションによる光漏れが見られた。

【 0 0 2 4 】

そこで、以上のような解析をふまえて、素子基板のマスク枚数は 6 枚のままで、ディスクリネーションによる光漏れを効率良く隠す画素のレイアウトを作製した。注目すべきは、たった二枚の遮光性の導電膜用のマスクで配線パターン等を形成し、素子基板において、ディスクリネーションを隠していることである。

【 0 0 2 5 】

たった、二枚の遮光性の導電膜用のマスクで配線パターン等を形成するため、どうしてもディスクリネーションを隠しきれない領域ができてしまう。しかし、強く光漏れができる領域や、ディスクリネーションのエッジの部分を素子基板において確実に隠すことができれば、対向基板の遮光膜は素子基板の遮光パターンに比べ小さくできる。素子基板を貼り合わせるときの位置ずれが多少あっても、対向基板の遮光膜と合わせて、ディスクリネーションを隠すことができる。

20

【 0 0 2 6 】

本発明は、第一の遮光性を有する導電膜からなるゲート配線及び容量電極と、第二の遮光性を有する導電膜からなるソース配線及びドレイン電極と、前記ドレイン電極に電気的に接続された透光性を有する導電膜とを有する半導体装置に適用することを特徴とする。

【 0 0 2 7 】

本発明は、第一の遮光性を有する導電膜からなる島状のゲート電極及びソース配線と、第二の遮光性を有する導電膜からなる前記島状のゲート電極に電気的に接続するゲート配線と、前記第二の遮光性を有する導電膜からなるドレイン電極と、前記ドレイン電極に電気的に接続された透光性を有する導電膜とを有する半導体装置に適用することを特徴とする。

30

【 0 0 2 8 】

例えば、容量電極の一部がソース配線と透光性を有する導電膜の間隙と重なり、かつ、ソース配線及び透光性を有する導電膜のエッジに重なって配置されたことで、透光性の導電膜のエッジにできるディスクリネーションによる光漏れを隠すことを特徴とする。

【 0 0 2 9 】

また、第一の遮光性を有する導電膜あるいは第二の遮光性を有する導電膜からなる電気的に孤立した島状のパターンを形成し、ディスクリネーションによる光漏れを隠しても良い。

40

【 0 0 3 0 】

ドレイン電極の一部を透光性を有する導電膜のエッジ及びソース配線のエッジに重ねて配置して、透光性を有する導電膜のエッジにできるディスクリネーションによる光漏れを隠しても良い。

【 0 0 3 1 】

カラーフィルターが緑の時に特にディスクリネーションによる光漏れが他色に比べ目立つ傾向があるため、カラーフィルターの色に応じて遮光領域の面積を変えても良い。

50

【 0 0 3 2 】

島状のゲート電極の一部を透光性を有する導電膜とゲート配線の間隙に重なり、かつ、透光性を有する導電膜及びゲート配線のエッジに重ねて配置してディスクリネーションによる光漏れを隠しても良い。

【 0 0 3 3 】

ソース配線の一部を他の部分に対し、2倍以上望ましくは2～4倍以上太くして、透光性の導電膜の遮光膜としても良い。

【 0 0 3 4 】

本発明は、TN方式だけでなく液晶のディスクリネーションを隠す手段として広く用いることができる。例えば、R-TN方式、スメクチック液晶を用いた液晶表示装置、IPS (In Plane Switching) 方式において表示が不連続な領域を隠し、画素内の輝度を一定にする手段として用いても良い。

10

【 0 0 3 5 】

本発明は半導体素子により電圧あるいは電界を変調し、調光層を光学変調させる電気光学装置において、画素内に表示が不連続な領域がある場合に、該領域を遮光する方法として広く用いることができる。例えばEL表示装置のスイッチング素子を形成するさいに、本発明を適用することが可能である。

【 発明の効果 】

【 0 0 3 6 】

本発明により素子基板のマスク数及び工程数を増加させることなく、高い開口率及び良質な黒レベルを実現した画素構造を有する液晶表示装置を実現することができる。

20

【 図面の簡単な説明 】

【 0 0 3 7 】

【 図 1 】 本発明の画素部上面図を示す図。(実施例1)

【 図 2 】 本発明の画素部上面図を示す図。(実施例1)

【 図 3 】 ラビング方向と遮光領域の関係を示す図。(実施例1)

【 図 4 】 アクティブマトリクス基板の断面構造図を示す図。(実施例1)

【 図 5 】 アクティブマトリクス基板の作製工程を示す図。(実施例2)

【 図 6 】 アクティブマトリクス基板の作製工程を示す図。(実施例2)

【 図 7 】 アクティブマトリクス基板の作製工程を示す図。(実施例2)

30

【 図 8 】 透過型液晶表示装置の断面構造図を示す図。(実施例3)

【 図 9 】 本発明の画素部上面図を示す図。(実施例4)

【 図 10 】 ラビング方向と遮光領域の関係を示す図。(実施例4)

【 図 11 】 アクティブマトリクス基板の断面構造図を示す図。(実施例4)

【 図 12 】 本発明の画素部上面図を示す図。(実施例5)

【 図 13 】 本発明の画素部上面図を示す図。(実施例5)

【 図 14 】 ラビング方向と遮光領域の関係を示す図。(実施例5)

【 図 15 】 アクティブマトリクス基板の断面構造図を示す図。(実施例5)

【 図 16 】 電子機器の一例を示す図。(実施例7)

【 図 17 】 電子機器の一例を示す図。(実施例7)

40

【 図 18 】 電子機器の一例を示す図。(実施例7)

【 図 19 】 液晶のディスクリネーションによる光漏れを示す図。

【 図 20 】 液晶のディスクリネーションによる光漏れを示す図。

【 図 21 】 アクティブマトリクス基板の断面構造図を示す図。

【 図 22 】 液晶のディスクリネーションによる光漏れを示す図。

【 図 23 】 対向基板のアライメントずれによる液晶のディスクリネーションによる光漏れを示す図。

【 図 24 】 比視感度の波長依存性を示す図。

【 発明を実施するための形態 】

【 実施例 1 】

50

【0038】

本実施例では直視型の透過型の液晶表示装置を作製する。金属電極による配線パターンのマスクはたった二枚である。二枚の配線パターンのマスクでディスクリネーションによる光漏れを隠す。

【0039】

図22のように一つの画素804において、対向基板のラビング方向802で先にラビングされる側と素子基板のラビング方向801で先にラビングされる側と画素電極のエッジにディスクリネーション803による光漏れが出る。ディスクリネーションによる光漏れを隠すことができるレイアウトとする。本実施例を図1~2を用いて説明する。配向はTN方式、駆動はソースライン反転駆動とする。図3にラビング方向と遮光領域の関係を示す。図1の上面図の鎖線A-A'と鎖線B-B'で切断したものがは図2のA-A'と鎖線B-B'で示される断面に対応する。

10

【0040】

素子基板は、図1に示すように、行方向に配置されたゲート配線104と、列方向に配置されたソース配線108と、ゲート配線とソース配線の交差部近傍の画素TF Tを有する画素部と、nチャンネル型TF Tやpチャンネル型TF Tを有する駆動回路とを含む。

【0041】

第一の半導体層100と第二の半導体層101がパターンニングされている。第一の半導体層100はTF T素子の活性層である。第二の半導体層101は後述する保持容量の容量電極として機能する。

20

【0042】

ゲート絶縁膜(図示しない)に接するように、遮光膜102、遮光膜を兼ねた容量電極103、ゲート配線104を形成する。遮光膜を兼ねた容量電極103は表示領域において、短絡されている。

【0043】

第一の層間絶縁膜と第二の層間絶縁膜(図示しない)を形成した後、コンタクトホール105~107を開ける。次に、パターンニングによりソース配線108、遮光膜を兼ねたドレイン電極109、遮光電極110を形成する。

【0044】

コンタクトホール105により、第一の半導体層100とソース配線108が電氣的に接続する。

30

【0045】

コンタクトホール106により、第一の半導体層100と遮光膜を兼ねたドレイン電極109が電氣的に接続する。

【0046】

コンタクトホール107により、第二の半導体層101と遮光膜を兼ねたドレイン電極109が電氣的に接続する。

【0047】

さらに、絶縁膜を介さずに、透明画素電極111を形成する。このとき、透明画素電極111が遮光電極110、遮光膜を兼ねたドレイン電極109に重なり合うようにする。

40

【0048】

以上の構成により、ゲート配線104、ソース配線108、遮光膜を兼ねたドレイン電極109、遮光電極110により、TF T素子の活性層である第一の半導体層100を外光から保護する。

【0049】

遮光電極110を設けることで、活性層と、活性層付近にできるディスクリネーションによる光漏れが遮光できる。

【0050】

透明画素電極111の四隅のうち先にラビングされる側にできる液晶のディスクリネーションを遮光膜を兼ねたドレイン電極107により遮光できる。

50

【0051】

さらに、透明画素電極111の直下にある遮光膜を兼ねたドレイン電極109と遮光電極110が0.5~0.75 μ m以上と厚い場合は、段差により液晶の配向が乱れて微細な光漏れが生じるときがある。このような光漏れを遮光膜102で遮光できる。

【0052】

ゲートライン反転駆動すると、横方向電界等により、ゲート配線104とソース配線108に沿ったディスクリネーションが出る。この光漏れは視認性に大きく影響するが、ディスクリネーションができる位置に、遮光膜を兼ねた容量電極103を形成しているため、ディスクリネーションを隠すことができる。遮光膜を兼ねた容量電極103により保持容量の面積を大きくとることができる。

10

【0053】

保持容量については、画素毎に設けられた第二の半導体層101と表示領域で短絡された遮光膜を兼ねた容量電極103を電極とする。容量電極103はコンタクトホール107によりドレイン電極109と画素電極111と同電位になる。

ゲート絶縁膜が、容量電極の絶縁膜として機能する。

【0054】

断面図の図4(A)における遮光電極115と透明画素電極116と、図4(B)における透明画素電極118と半導体層117と、図4(C)において、遮光膜123と透明画素電極122と遮光電極121は隣接する画素のものである。

20

【0055】

以上の画素部の構成は5枚のマスクで作製できる。図3に図1の配線パターンによる素子基板の遮光領域112を示す。たった二枚の配線パターンのマスクで遮光するため、光が通る領域123~126はあるが、ディスクリネーションの出る領域のエッジが隠れている。対向基板の遮光膜を広めに取れば、位置ずれが多少あっても、光漏れが隠せる。また、対向基板の遮光膜を広めにとっても、素子基板の遮光膜に重なり合うため、貼り合わせの位置ずれにより開口率は低下しない。

【0056】

後述するように、低温ポリシリコンをTFT素子の活性層に用いると、駆動回路TFTと画素TFTを1枚の基板に作製できる。このとき、CMOSの駆動回路を作製するためにはnチャネル型TFTとpチャネル型TFTが必要である。

30

【0057】

素子基板の作製工程によっては、p型を付与する不純物元素をドーピングするマスクとして、さらに1枚の追加マスクが必要である。それでも、図1に示す画素構造を有する画素部と駆動回路とを有する素子基板を形成するために必要なマスク数は、6枚とすることができる。

【0058】

即ち、1枚が、第1の半導体層100及び第2の半導体層101をパターンニングするマスク、1枚が、ゲート配線104と遮光膜を兼ねた容量電極103と遮光膜102をパターンニングするマスク、1枚がコンタクトホールを形成するマスク、1枚がソース配線108及び遮光膜を兼ねたドレイン電極109、遮光電極110をパターンニングするマスク、1枚が透明画素電極111をパターンニングするためのマスク、一枚がドーピング用のマスクである。

40

【0059】

これにより、nチャネル型TFT、pチャネル型TFT、nチャネル型TFTを有する駆動回路部と、画素TFT114、保持容量113とを有する画素部を同一基板上に形成することができる。本明細書中ではこのような基板を便宜上アクティブマトリクス基板と呼ぶ。

【0060】

以上のように、図1に示す画素構造とした場合、素子基板においてマスク数を増やすことなくコントラストの良い透過型の液晶表示装置を実現することができる。

50

【実施例 2】

【0061】

本実施例では、実施例 1 をアクティブマトリクス型液晶表示装置に適用した場合の作成方法例として、画素部のスイッチング素子である画素 TFT と、画素部の周辺に設けられる駆動回路（信号線駆動回路、走査線駆動回路等）の TFT を同一基板上に作製する方法について工程に従って説明する。但し、説明を簡単にするために、駆動回路部にはその基本構成回路である CMOS 回路を、画素部の画素 TFT には n チャネル型 TFT とを、ある経路に沿った断面により図示することにする。

【0062】

まず、図 5 (A) に示すように、コーニング社の #7059 ガラスや #1737 ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスから成る基板 400 上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜 401 を形成する。例えば、プラズマ CVD 法で SiH_4 、 NH_3 、 N_2O から作製される酸化窒化シリコン膜 401a を 10 ~ 200 nm（好ましくは 50 ~ 100 nm）形成し、同様に SiH_4 、 N_2O から作製される酸化窒化水素化シリコン膜 401b を 50 ~ 200 nm（好ましくは 100 ~ 150 nm）の厚さに積層形成する。本実施例では下地膜 401 を 2 層構造として示したが、前記絶縁膜の単層膜または 2 層以上積層させた構造として形成しても良い。

10

【0063】

島状半導体層 402 ~ 406 は、非晶質構造を有する半導体膜をレーザー結晶化法や公知の熱結晶化法を用いて作製した結晶質半導体膜で形成する。この島状半導体層 402 ~ 406 の厚さは 25 ~ 80 nm（好ましくは 30 ~ 60 nm）の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム（SiGe）合金などで形成すると良い。

20

【0064】

レーザー結晶化法で結晶質半導体膜を作製するには、パルス発振型または連続発光型のエキシマレーザーや YAG レーザー、 YVO_4 レーザーを用いる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数 30 Hz とし、レーザーエネルギー密度を 100 ~ 400 mJ/cm^2 （代表的には 200 ~ 300 mJ/cm^2 ）とする。また、YAG レーザーを用いる場合にはその第 2 高調波を用いパルス発振周波数 1 ~ 10 kHz とし、レーザーエネルギー密度を 300 ~ 600 mJ/cm^2 （代表的には 350 ~ 500 mJ/cm^2 ）とするが良い。

30

そして幅 100 ~ 1000 μm 、例えば 400 μm で線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率（オーバーラップ率）を 80 ~ 98% として行う。

【0065】

次いで、島状半導体層 402 ~ 406 を覆うゲート絶縁膜 407 を形成する。ゲート絶縁膜 407 はプラズマ CVD 法またはスパッタ法を用い、厚さを 40 ~ 150 nm としてシリコンを含む絶縁膜で形成する。本実施例では、120 nm の厚さの酸化窒化シリコン膜で形成する。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。例えば、酸化シリコン膜を用いる場合には、プラズマ CVD 法で TEOS (Tetraethyl Orthosilicate) と O_2 とを混合し、反応圧力 40 Pa、基板温度 300 ~ 400 とし、高周波（13.56 MHz）電力密度 0.5 ~ 0.8 W/cm^2 で放電させて形成することができる。このようにして作製される酸化シリコン膜は、その後 400 ~ 500 の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。

40

【0066】

そして、ゲート絶縁膜 407 上にゲート電極を形成するための第 1 の導電膜 408 と第

50

2の導電膜409とを形成する。本実施例では、第1の導電膜408をTaで50~100nmの厚さに形成し、第2の導電膜409をWで100~300nmの厚さに形成する。

【0067】

Ta膜はスパッタ法で形成し、TaのターゲットをArでスパッタする。この場合、Arに適量のXeやKrを加えると、Ta膜の内部応力を緩和して膜の剥離を防止することができる。また、相のTa膜の抵抗率は $20\mu\text{cm}$ 程度でありゲート電極に使用することができるが、相のTa膜の抵抗率は $180\mu\text{cm}$ 程度でありゲート電極とするには不向きである。相のTa膜を形成するために、Taの相に近い結晶構造をもつ窒化タンタルを10~50nm程度の厚さでTaの下地に形成しておくこと相のTa膜を容易に得ることができる。

10

【0068】

W膜を形成する場合には、Wをターゲットとしたスパッタ法で形成する。その他に6フッ化タングステン(WF₆)を用いる熱CVD法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は $20\mu\text{cm}$ 以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることができるが、W中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度99.9999%のWターゲットを用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率9~ $20\mu\text{cm}$ を実現することができる。

20

【0069】

なお、本実施例では、第1の導電膜408をTa、第2の導電膜409をWとしたが、いずれもTa、W、Ti、Mo、Al、Cuから選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。本実施例以外の組み合わせとしては、第1の導電膜を窒化タンタル(TaN)で形成し、第2の導電膜をWとする組み合わせ、第1の導電膜を窒化タンタル(TaN)で形成し、第2の導電膜をAlとする組み合わせ、第1の導電膜を窒化タンタル(TaN)で形成し、第2の導電膜をCuとする組み合わせなどがある。

【0070】

次に、レジストによるマスク410~417を形成し、電極及び配線を形成するための第1のエッチング処理を行う。本実施例ではICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング法を用い、エッチング用ガスにCF₄とCl₂を混合し、1Paの圧力でコイル型の電極に500WのRF(13.56MHz)電力を投入してプラズマを生成して行う。基板側(試料ステージ)にも100WのRF(13.56MHz)電力を投入し、実質的に負の自己バイアス電圧を印加する。CF₄とCl₂を混合した場合にはW膜及びTa膜とも同程度にエッチングされる。

30

【0071】

上記エッチング条件では、レジストによるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパ部の角度が15~45°のテーパ形状となる。ゲート絶縁膜上に残渣を残すことなくエッチングするためには、10~20%程度の割合でエッチング時間を増加させると良い。W膜に対する酸化窒化シリコン膜の選択比は2~4(代表的には3)であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出した面は20~50nm程度エッチングされることになる。こうして、第1のエッチング処理により第1の導電層と第2の導電層から成る第1の形状の導電層419~426(第1の導電層419a~426aと第2の導電層419b~426b)を形成する。418はゲート絶縁膜であり、第1の形状の導電層419~426で覆われない領域は20~50nm程度エッチングされ薄くなった領域が形成される。

40

【0072】

50

そして、第1のドーピング処理を行い、n型を付与する不純物元素を添加する。(図5(B))ドーピングの方法はイオンドープ法若しくはイオン注入法で行えば良い。イオンドープ法の条件はドーズ量を $1 \times 10^{13} \sim 5 \times 10^{14}$ atoms/cm²とし、加速電圧を60 ~ 100 keVとして行う。n型を付与する不純物元素として15族に属する元素、典型的にはリン(P)または砒素(As)を用いるが、ここではリン(P)を用いる。この場合、導電層419 ~ 423がn型を付与する不純物元素に対するマスクとなり、自己整合的に第1の不純物領域427 ~ 431が形成される。第1の不純物領域427 ~ 431には $1 \times 10^{20} \sim 1 \times 10^{21}$ atomic/cm³の濃度範囲でn型を付与する不純物元素を添加する。

【0073】

次に、図5(C)に示すように第2のエッチング処理を行う。同様にICPEッチング法を用い、エッチングガスにCF₄とCl₂とO₂を混合して、1Paの圧力でコイル型の電極に500WのRF電力(13.56MHz)を供給し、プラズマを生成して行う。基板側(試料ステージ)には50WのRF(13.56MHz)電力を投入し、第1のエッチング処理に比べ低い自己バイアス電圧を印加する。このような条件によりW膜を異方性エッチングし、かつ、それより遅いエッチング速度で第1の導電層であるTaを異方性エッチングして第2の形状の導電層433 ~ 440(第1の導電層433a ~ 440aと第2の導電層433b ~ 440b)を形成する。432はゲート絶縁膜であり、第2の形状の導電層433 ~ 437で覆われない領域はさらに20 ~ 50nm程度エッチングされ薄くなった領域が形成される。

【0074】

W膜やTa膜のCF₄とCl₂の混合ガスによるエッチング反応は、生成されるラジカルまたはイオン種と反応生成物の蒸気圧から推測することができる。WとTaのフッ化物と塩化物の蒸気圧を比較すると、Wのフッ化物であるWF₆が極端に高く、その他のWCl₅、TaF₅、TaCl₅は同程度である。従って、CF₄とCl₂の混合ガスではW膜及びTa膜共にエッチングされる。しかし、この混合ガスに適量のO₂を添加するとCF₄とO₂が反応してCOとFになり、FラジカルまたはFイオンが多量に発生する。その結果、フッ化物の蒸気圧が高いW膜のエッチング速度が増大する。一方、TaはFが増大しても相対的にエッチング速度の増加は少ない。また、TaはWに比較して酸化されやすいので、O₂を添加することでTaの表面が酸化される。Taの酸化物はフッ素や塩素と反応しないためさらにTa膜のエッチング速度は低下する。従って、W膜とTa膜とのエッチング速度に差を作ることが可能となりW膜のエッチング速度をTa膜よりも大きくすることが可能となる。

【0075】

そして、図6(A)に示すように第2のドーピング処理を行う。この場合、第1のドーピング処理よりもドーズ量を下げた高い加速電圧の条件としてn型を付与する不純物元素をドーピングする。例えば、加速電圧を70 ~ 120 keVとし、 1×10^{13} /cm²のドーズ量で行い、図5(B)で島状半導体層に形成された第1の不純物領域の内側に新たな不純物領域を形成する。ドーピングは、第2の形状の導電層433 ~ 437を不純物元素に対するマスクとして用い、第1の導電層433a ~ 437aの下側の領域にも不純物元素が添加されるようにドーピングする。こうして、第1の導電層433a ~ 437aと重なる第3の不純物領域441 ~ 445と、第1の不純物領域と第3の不純物領域との間の第2の不純物領域446 ~ 450とを形成する。n型を付与する不純物元素は、第2の不純物領域で $1 \times 10^{17} \sim 1 \times 10^{19}$ atoms/cm³の濃度となるようにし、第3の不純物領域で $1 \times 10^{16} \sim 1 \times 10^{18}$ atoms/cm³の濃度となるようにする。

【0076】

そして、図6(B)に示すように、pチャネル型TFETを形成する島状半導体層403に一導電型とは逆の導電型の第4の不純物領域454 ~ 456を形成する。第2の形状の導電層434を不純物元素に対するマスクとして用い、自己整合的に不純物領域を形成する。このとき、nチャネル型TFETを形成する島状半導体層402、404、405、406はレジストマスク451 ~ 453で全面を被覆しておく。不純物領域454 ~ 456

にはそれぞれ異なる濃度でリンが添加されているが、ジボラン (B_2H_6) を用いたイオンドーピングにより、そのいずれの領域においても不純物濃度を $2 \times 10^{20} \sim 2 \times 10^{21} \text{ atom/cm}^3$ となるようにする。

【0077】

以上の工程により、それぞれの島状半導体層に不純物領域が形成される。島状半導体層と重なる導電層 433 ~ 436 が TFT のゲート電極として機能する。

また、439 は信号線、440 は走査線、437 は容量配線、438 は駆動回路内の配線として機能する。

【0078】

こうして導電型の制御を目的として図 6 (C) に示すように、それぞれの島状半導体層に添加された不純物元素を活性化する工程を行う。この工程はファーネスアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、またはラピッドサーマルアニール法 (RTA 法) を適用することができる。熱アニール法では酸素濃度が 1 ppm 以下、好ましくは 0.1 ppm 以下の窒素雰囲気中で 400 ~ 700、代表的には 500 ~ 600 で行うものであり、本実施例では 500 で 4 時間の熱処理を行う。ただし、433 ~ 440 に用いた配線材料が熱に弱い場合には、配線等を保護するため層間絶縁膜 (シリコンを主成分とする) を形成した後で活性化を行うことが好ましい。

10

【0079】

さらに、3 ~ 100% の水素を含む雰囲気中で、300 ~ 450 で 1 ~ 12 時間の熱処理を行い、島状半導体層を水素化する工程を行う。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化 (プラズマにより励起された水素を用いる) を行っても良い。

20

【0080】

次いで、第 1 の層間絶縁膜 457 は酸化窒化シリコン膜から 100 ~ 200 nm の厚さで形成する。その上に有機絶縁物材料から成る第 2 の層間絶縁膜 458 を形成する。次いで、コンタクトホールを形成するためのエッチング工程を行う。

【0081】

そして、駆動回路部において島状半導体層のソース領域とコンタクトを形成するソース配線 459 ~ 461、ドレイン領域とコンタクトを形成するドレイン配線 462 ~ 464 を形成する。また、画素部においては、ソース配線 465、遮光膜を兼ねたドレイン電極 466 ~ 467 と 468 を形成する。遮光膜を兼ねたドレイン電極 468 は隣接する画素に形成されたものである (図 7)。図 7 において、図 1 と同一の要素は括弧内に対応する数字を示している。図 7 の鎖線 A - A'、B - B' は図 1 の上面図の切断線の鎖線 A - A'、B - B' と対応している。

30

【0082】

遮光膜を兼ねたドレイン電極 466 は画素 TFT の活性層に相当する島状半導体層 467 に、遮光膜を兼ねたドレイン電極 467 は保持容量 505 を形成する島状半導体層 431 と電気的な接続が形成される。なお、遮光膜を兼ねたドレイン電極 468 は隣り合う画素のものである。

【0083】

その後、透明導電膜を全面に形成し、フォトマスクを用いたパターニング処理およびエッチング処理により透明画素電極 469 ~ 471 を形成する。透明画素電極 470 は、遮光膜を兼ねたドレイン電極 466 に重なるように形成される。

40

また、画素 TFT 504 の遮光膜を兼ねたドレイン電極 467 と重なる部分を設け、保持容量 505 の電極として機能する島状半導体膜 406 に電位が与えられる。

【0084】

透明導電膜の材料は、酸化インジウム (In_2O_3) や酸化インジウム酸化スズ合金 ($In_2O_3 - SnO_2$; ITO 膜) などをスパッタ法や真空蒸着法などを用いて形成して用いることができる。このような材料のエッチング処理は塩酸系の溶液により行う。しかし、特に ITO 膜のエッチングは残渣が発生しやすいので、エッチング加工性を改善するため

50

に酸化インジウム酸化亜鉛合金 (In_2O_3 ZnO) を用いても良い。酸化インジウム酸化亜鉛合金は表面平滑性に優れ、ITO膜に対して熱安定性にも優れているので、容量電極を兼ねたドレイン電極466~468にAlを用いても、表面で接触するAlとの腐蝕反応を防止できる。同様に、酸化亜鉛 (ZnO) も適した材料であり、さらに可視光の透過率や導電率を高めるためにガリウム (Ga) を添加した酸化亜鉛 ($\text{ZnO}:\text{Ga}$) などを用いることができる。

【0085】

以上のようにして、nチャネル型TFT501、pチャネル型TFT502、nチャネル型TFT503を有する駆動回路部と、画素TFT504、保持容量505とを有する画素部を同一基板上に形成することができる。本明細書中ではこのような基板を便宜上アクティブマトリクス基板と呼ぶ。

10

【0086】

駆動回路部のnチャネル型TFT501はチャネル形成領域468、ゲート電極を形成する導電層433と重なる第3の不純物領域441 (GOLD領域)、ゲート電極の外側に形成される第2の不純物領域446 (LDD領域) とソース領域またはドレイン領域として機能する第1の不純物領域427を有している。

pチャネル型TFT502にはチャネル形成領域469、ゲート電極を形成する導電層434と重なる第4の不純物領域456、ゲート電極の外側に形成される第4の不純物領域455、ソース領域またはドレイン領域として機能する第4の不純物領域454を有している。nチャネル型TFT503にはチャネル形成領域470、ゲート電極を形成する導電層435と重なる第3の不純物領域443 (GOLD領域)、ゲート電極の外側に形成される第2の不純物領域448 (LDD領域) とソース領域またはドレイン領域として機能する第1の不純物領域429を有している。

20

【0087】

画素部の画素TFT504にはチャネル形成領域471、ゲート電極を形成する導電層436と重なる第3の不純物領域444 (GOLD領域)、ゲート電極の外側に形成される第2の不純物領域449 (LDD領域) とソース領域またはドレイン領域として機能する第1の不純物領域430を有している。また、保持容量505の一方の電極として機能する半導体層431には第1の不純物領域と同じ濃度で、半導体層445には第3の不純物領域と同じ濃度で、半導体層450には第2の不純物領域と同じ濃度で、それぞれn型を付与する不純物元素が添加されており、容量配線437とその間の絶縁層 (ゲート絶縁膜と同じ層) とで保持容量を形成している。

30

【0088】

本実施例は、ブラックマトリクスを用いることなく、画素電極間の隙間を遮光することができるように、画素電極の端部をゲート線や遮光膜を兼ねた容量電極と重なるように配置されている。さらに画素電極に接して遮光性の電極を形成している。

【0089】

また、本実施例で示す工程に従えば、アクティブマトリクス基板の作製に必要なフォトマスクの数を6枚 (島状半導体層パターン、第1配線パターン (ソース線、ゲート配線、遮光膜を兼ねた容量電極、遮光膜)、第2配線パターン (ソース配線、ドレイン電極、遮光膜)、コンタクトホールパターン、透明画素電極パターン、nチャネル領域のマスクパターン) とすることができる。その結果、工程を短縮し、製造コストの低減及び歩留まりの向上に寄与することができる。

40

【実施例3】

【0090】

本実施例では、実施例2で作製したアクティブマトリクス基板から、アクティブマトリクス型液晶表示装置を作製する工程を以下に説明する。説明には図8を用いる。図8の鎖線A-A'と鎖線B-B'は、図1の上面図を鎖線A-A'と鎖線B-B'で切断した断面に対応している。

【0091】

50

まず、実施例 2 に従い、図 7 の状態のアクティブマトリクス基板を得た後、図 8 のアクティブマトリクス基板上に、感光性樹脂によりスペーサ 5 1 5 を形成する。

【 0 0 9 2 】

スペーサの配置は任意に決定すれば良いが、例えば図 8 で示すように遮光膜を兼ねたドレイン電極 (4 6 6) 上に位置が合うように対向基板に配置すると良い。また、駆動回路部の T F T 上にその位置を合わせてスペーサを対向基板上に配置してもよい。このスペーサは駆動回路部の全面に渡って配置しても良いし、ソース配線およびドレイン配線を覆うようにして配置しても良い。

【 0 0 9 3 】

スペーサ 5 1 5 形成後に、配向膜 5 0 6 を形成しラビング処理を行う。

【 0 0 9 4 】

一方、対向基板 5 0 7 を用意する。対向基板 5 0 7 には遮光膜を形成する。実施例 1 の図 1 ~ 2 の基板を用いた場合、少なくとも図 2 の透光領域 1 2 3 ~ 1 2 6 を遮光する必要があるため、遮光領域 1 2 3 ~ 1 2 6 に対し、1 ~ 1 . 5 μm 広めに遮光膜を形成する。

【 0 0 9 5 】

さらに、カラーフィルタ層 5 0 8、5 0 9、オーバーコート層 5 1 0 を形成する。三原色のカラーフィルタ層のうち、二色が図示されている。各色のカラーフィルタ層はアクリル樹脂に顔料を混合したもので 1 ~ 3 μm の厚さで形成する。これは感光性材料を用い、マスクを用いて所定のパターンに形成することができる。オーバーコート層 5 1 0 は光硬化型または熱硬化型の有機樹脂材料で形成し、例えば、ポリイミドやアクリル樹脂などを用いる。

【 0 0 9 6 】

オーバーコート層 5 1 0 を形成した後、対向電極 5 1 2 をパターンニングにより形成し、配向膜 5 1 3 を形成した後ラビング処理を行う。

【 0 0 9 7 】

そして、画素部と駆動回路部が形成されたアクティブマトリクス基板と対向基板とをシール剤 5 1 3 で貼り合わせる。アクティブマトリクス基板と対向基板のラビング方向が互いに直交するように貼り合わせることで液晶の配向が T N 方式となる。シール剤 5 1 3 にはフィラーが混入されていて、このフィラーとスペーサ 5 1 5 によって均一な間隔を持って 2 枚の基板が貼り合わせられる。その後、両基板の間に液晶 5 1 4 を注入し、封止剤 (図示せず) によって完全に封止する。液晶 5 1 4 には公知の液晶材料を用いれば良い。このようにして図 8 に示すアクティブマトリクス型液晶表示装置が完成する。

【 0 0 9 8 】

なお、上記の行程により作成される T F T はトップゲート構造であるが、ボトムゲート構造の T F T やその他の構造の T F T に対しても本発明は適用され得る。

【 0 0 9 9 】

また、液晶材料の代わりにエレクトロルミネッセンス (E L : Electro Luminescence) 材料を用いた自発光型の画像表示装置である E L 表示装置に対しても本発明は適用され得る。

【 実施例 4 】

【 0 1 0 0 】

本発明の一例を図 9 の画素 T F T の上面図を用いて説明する。実施例 1 の画素部のレイアウトに比べて、透明画素電極 3 1 6 をソース配線 3 0 2 の上方にオーバーラップさせることができるため、開口率が高くできる。

【 0 1 0 1 】

実施例 4 は直視型の透過型の液晶表示装置である。赤色、青色、緑色のカラーフィルタが形成されている。比視感度が高い緑色のカラーフィルタが形成された画素では、ディスクリネーションによる光漏れが赤色、青色の画素に比べはっきりと見えてしまう。このため、画素の比視感度に応じて、遮光領域の面積を変えている。

【 0 1 0 2 】

10

20

30

40

50

実施例 1 では容量電極を遮光膜としていたため、遮光領域の面積は各画素において、同一にしなければならなかった。実施例 4 においては、透明画素電極に直接に接するドレイン電極を遮光膜とするため、画素の表示色に応じて遮光領域の面積を変えることができる。

【0103】

実施例 1 と同様に、たった二枚の金属膜の配線パターンで、ディスクリネーションを効率的に隠すレイアウトとする。

【0104】

ラビング方向は左右対称の視野角特性を得るために、基板の一辺に対し 45° の角度とする。配向は TN 方式である。ラビング方向とディスクリネーションの関係から遮光領域を設定する。ラビング方向と遮光領域の関係を図 10 に示す。

10

【0105】

素子基板は、図 9 に示すように、行方向に配置されたゲート配線 311 と、列方向に配置されたソース配線 302 と、ゲート配線とソース配線の交差部近傍の画素 TFT を有する画素部と、n チャネル型 TFT や p チャネル型 TFT を有する駆動回路とを含む。

【0106】

ただし、図 9 におけるゲート配線は、行方向に配置されたゲート電極 303 と接続したものを指している。また、ゲート配線 311 は第二の層間絶縁膜上に接して設けられたものである。

【0107】

第一の半導体層 300 と第二の半導体層 301 がパターンニングされている。第一の半導体層 300 は TFT 素子の活性層である。第二の半導体層 301 は後述する保持容量の容量電極として機能する。

20

【0108】

ゲート絶縁膜（図示しない）に接するように、ソース配線 302 とゲート電極 303 を形成する。

【0109】

第一の層間絶縁膜と第二の層間絶縁膜（図示しない）を形成した後、第一の半導体層 300、第二の半導体層 301、ソース配線 302 に達するコンタクトホール 304 ~ 308、317 を開ける。次にパターンニングにより、接続電極 309、ドレイン電極 310、ゲート配線 311、容量接続電極 312、遮光膜を兼ねたドレイン電極 313 ~ 314、青表示の画素の遮光膜 315 を形成する。

30

【0110】

コンタクトホール 304 とコンタクトホール 305 により、接続電極 309 を介して、第一の半導体層 300 とソース配線 302 が電氣的に接続する。

【0111】

コンタクトホール 306 により、第一の半導体層 300 と遮光膜を兼ねたドレイン電極 313 ~ 314 が電氣的に接続する。コンタクトホール 317 とドレイン電極 313 ~ 314 が電氣的に接続する。

【0112】

コンタクトホール 307 により、第二の半導体層 301 と容量接続電極 312 が電氣的に接続する。

40

【0113】

コンタクトホール 308 により、ゲート電極 303 とゲート配線 311 が電氣的に接続する。

【0114】

さらに、絶縁膜を介さずに、透明画素電極 316 をドレイン電極 310、容量接側電極 312、遮光膜を兼ねたドレイン電極 313 ~ 314、青表示の画素の遮光膜 315 に重なり合うように形成する。

【0115】

これにより、容量接続電極 312 は透明画素電極 315 と電氣的に接続して、保持容量の

50

電極として機能する第二の半導体層 301 に電位を与える。ゲート電極 303 と島状の半導体層 301 により保持容量ができる。ゲート絶縁膜が保持容量の絶縁膜として機能する。

【0116】

ゲート配線 311、接続電極 309、ドレイン電極 310、遮光膜を兼ねたドレイン電極 313 ~ 314 により、TFT 素子の活性層である第一の半導体層 300 を外光から保護する。光による素子の劣化、光電流による電位の変動を防止できる。

【0117】

ドレイン電極 310、遮光膜を兼ねたドレイン電極 313 ~ 314 は第一の層間絶縁膜と第二の層間絶縁膜を間に挟んで、ソース配線 302 の上方に形成されている。これにより、素子基板の先にラビングされる側にできるディスクリネーションを隠すことができる。

10

【0118】

さらに、本実施例においては各画素の表示色に応じて、遮光膜を兼ねたドレイン電極 313 ~ 314 の面積を変えている。

【0119】

緑色（波長 555 nm）の比視感度を 1 とすると、赤色（波長 650 nm）の比視感度は 0.11、青色（波長 450 nm）の比視感度は 0.04 である。単一波長で比較して、青色に対し赤は約 3 倍、緑は約 2.5 倍の明るさで見える。比視感度の波長依存性を図 24 に示す。

20

【0120】

つまり、比視感度の高い緑色を表示する画素については光漏れが目立ちやすいのでコントラストを優先して、確実にディスクリネーションを遮光できるように、遮光膜を兼ねたドレイン電極 313 の面積を広くする。赤色を表示する画素については遮光膜を兼ねた遮光電極 314 を狭い幅で設ける。青色については明るさを優先してのため青表示の画素の遮光膜 315 を一部のみ形成する。

【0121】

本実施例では比視感度のみを考慮して各色の遮光電極の面積を決定したが、比視感度とカラーフィルタの透過率の両方を考慮して遮光電極の面積を決めても良い。比視感度と光源の波長分布の両方を考慮して遮光電極の面積を決めても良い。

30

【0122】

以上の画素のレイアウトにより、たった二枚の配線パターンのマスクにより、液晶のディスクリネーションによる光漏れを効率良く隠すことができる。

【0123】

図 10 に素子基板の遮光領域 318 を示す。たった二枚の配線パターンのマスクで遮光するため、光が通る領域はあるが、ディスクリネーションの出る領域のエッジが隠れているため、対向基板の遮光膜のアライメントが多少ずれても、光漏れが隠せる。また、対向基板の遮光膜を広めにとっても、素子基板の遮光領域に比べ、遮光領域の面積が小さいため、アライメントがずれても、対向基板の遮光領域が素子基板の遮光領域に重なり合い、開口率は低下しない。

40

【0124】

ディスクリネーションによる光漏れが目立たないようにし、かつ、明るさを損なわないようにするため、比視感度に応じて、赤表示の画素 328 の開口率と、緑表示の画素 329 の開口率と、青表示の画素 330 の開口率が変わる。

【0125】

図 9 の素子基板の断面図を図 11 に示す。図 11 (A) の鎖線 E - E'、鎖線 F - F'、鎖線 G - G' は、図 9 を鎖線 E - E'、鎖線 F - F'、鎖線 G - G' で切断したものを示す。図 11 は実施例 2 の図 6 (C) で示される基板に対し、以下の工程を追加し、作製したものである。図 11 (A) により説明する。

【0126】

50

まず、第1の層間絶縁膜323を酸化窒化シリコン膜で100~200nmの厚さで形成する。その上に有機絶縁物材料から成る第2の層間絶縁膜324を形成する。次いで、コンタクトホールを形成するためのエッチング工程を行う。

【0127】

そして、駆動回路部において島状半導体層のソース領域とコンタクトを形成するソース配線328~330、ドレイン領域とコンタクトを形成するドレイン配線331~333を形成する。

【0128】

また、画素部においては、接続電極309、ドレイン電極310、ゲート配線311、容量接続電極312、遮光膜を兼ねたドレイン電極313~314を形成する。膜厚は0.3μm~0.75μmが望ましい。

10

【0129】

接続電極309は、ソース配線302と第一の半導体層300と電気的に接続する。図示してはいないが、ゲート配線311はゲート電極303とコンタクトホールにより電気的に接続する。容量接続電極312は第二の半導体層301と電気的に接続する。

【0130】

その後、透明導電膜を全面に形成し、フォトマスクを用いたパターニング処理およびエッチング処理により透明画素電極316を形成する。膜厚は100nm~1400nmが望ましい。透明画素電極316は、画素TF T321のドレイン電極310に重なるように形成される。透明画素電極316により保持容量322の電極として機能する島状半導体膜301に電位が与えられる。

20

【0131】

透明導電膜の材料は、酸化インジウム(In_2O_3)や酸化インジウム酸化スズ合金($In_2O_3-SnO_2$;ITO膜)などをスパッタ法や真空蒸着法などを用いて形成して用いることができる。このような材料のエッチング処理は塩酸系の溶液により行う。しかし、特にITO膜のエッチングは残渣が発生しやすいので、エッチング加工性を改善するために酸化インジウム酸化亜鉛合金(In_2O_3-ZnO)を用いても良い。酸化インジウム酸化亜鉛合金は表面平滑性に優れ、ITO膜に対して熱安定性にも優れているので、ドレイン電極316にAlを用いても、表面で接触するAlとの腐蝕反応を防止できる。同様に、酸化亜鉛(ZnO)も適した材料であり、さらに可視光の透過率や導電率を高めるためにガリウム(Ga)を添加した酸化亜鉛($ZnO:Ga$)などを用いることができる。

30

【0132】

また、図11(B)により説明すると、本実施例において、遮光膜を兼ねたドレイン電極313~314の面積を画素の表示色に応じて変えている点の特徴である。ソース配線325~327付近にできるディスクリネーションによる光漏れを隠すために、表示色の比視感度が高い緑においては、広い面積の遮光膜を兼ねたドレイン電極313を用いる。表示色の比視感度が緑に比べ低い赤においては、やや狭い面積の遮光膜を兼ねたドレイン電極314を用いる。青表示の画素においては、開口率を優先し、強く光漏れが認識される部分のみに遮光膜を形成する。

【0133】

以上のようにして、nチャネル型TF T、pチャネル型TF T、nチャネル型TF Tを有する駆動回路部と、画素TF T321、保持容量322とを有する画素部を同一基板上に形成することができる。本明細書中ではこのような基板を便宜上アクティブマトリクス基板と呼ぶ。

40

【0134】

低温ポリシリコンをTF T素子の活性層に用いると、駆動回路TF Tと画素TF Tを1枚の基板に作製できる。このとき、CMOSの駆動回路を作製するためにはnチャネル型TF Tとpチャネル型TF Tが必要である。

【0135】

実施例2と本実施例の素子基板の作製工程によると、図9~11に示す画素構造を有する

50

画素部と、駆動回路とを有する素子基板を形成するために必要なマスク数は6枚でよい。

【0136】

即ち、1枚目が、第1の半導体層300及び第2の半導体層301をパターンニングするマスク、2枚目が、ソース配線302及びゲート電極303をパターンニングするマスク、3枚目がp型を付与する不純物のドーピングマスク、4枚目が第1の半導体層300と第2の半導体層301とソース配線302とゲート電極303とにそれぞれ達するコンタクトホールを形成するマスク、5枚目は、接続電極309、ドレイン電極310、ゲート配線311、容量接続電極312、遮光膜を兼ねたドレイン電極313～314、遮光膜315をパターンニングするマスク、6枚目は透明画素電極316をパターンニングするためのマスクである。

10

【0137】

以上のように、図9～11に示す画素構造とした場合、遮光膜を形成するために素子基板のマスク数を増加させることなく、コントラストの良い透過型の液晶表示装置を実現することができる。対向基板には遮光膜を補助的に形成すればよいので、貼り合わせの位置ずれによる光漏れ、開口率の低下はそれほど起こらない。

【0138】

さらに、実施例1に比べ画素電極をソース配線に重なり合うように形成できるため、開口率が高くできる。かつ、表示色の比視感度に応じて遮光領域を決定するため、開口率の低下を抑えて、コントラストを確保できる。

【実施例5】

20

【0139】

実施例5は本発明の別形態を示す。投射型の透過型の液晶表示装置に本発明を適用した例を示す。

【0140】

実施例4と同様に、ソース配線に透明画素電極が重なり合うため、実施例1に比べ、開口率が高くなる。

【0141】

ラビング方向は投射型の装置の光学系の光軸合わせを容易にするために、基板の一辺に対し45°の角度とする。このため、45°方向にラビングしたときに出るディスクリネーションに合わせて遮光領域を設定した。

30

【0142】

素子基板は、図12及び図13に示すように、行方向に配置されたゲート配線211と、列方向に配置された遮光膜を兼ねたソース配線202と、ゲート配線とソース配線の交差部近傍の画素TF Tを有する画素部と、nチャネル型TF Tやpチャネル型TF Tを有する駆動回路とを含む。

【0143】

ただし、図12及び図13におけるゲート配線は、行方向に配置された遮光膜を兼ねたゲート電極203と接続したものを指している。また、ゲート配線は第二の層間絶縁膜上に接して設けられたものである。

【0144】

40

第一の半導体層200と第二の半導体層201がパターンニングされている。第一の半導体層200はTF T素子の活性層である。第二の半導体層201は後述する保持容量の容量電極として機能する。

【0145】

ゲート絶縁膜(図示しない)に接するように、遮光膜を兼ねたソース配線202と遮光膜を兼ねたゲート電極203を形成する。液晶のディスクリネーションは後述する透明画素電極214のエッジ付近と、透明画素電極214の四隅のうち素子基板の先にラビングされる側に強く出る傾向がある。このため遮光膜を兼ねたソース配線202と遮光膜を兼ねたゲート電極203が透明画素電極のエッジを覆い、かつ、透明画素電極の四隅のうちディスクリネーションのでやすい場所を遮光できるような形状にする。

50

【0146】

第一の層間絶縁膜と第二の層間絶縁膜（図示しない）を形成した後、コンタクトホール204～208を開けて、接続電極209、ドレイン電極210、ゲート配線211、容量接続電極212、遮光電極213を形成する。

【0147】

コンタクトホール204とコンタクトホール205により、接続電極209を介して、第一の半導体層200とソース配線202が電氣的に接続する。

【0148】

コンタクトホール206により、第一の半導体層200とドレイン電極210が電氣的に接続する。

10

【0149】

コンタクトホール207により、第二の半導体層201と容量接続電極212が電氣的に接続する。

【0150】

コンタクトホール208により、遮光膜を兼ねたゲート電極203とゲート配線211が電氣的に接続する。

【0151】

さらに、絶縁膜を介さずに、透明画素電極214を、遮光電極213、容量接続電極212、ドレイン電極120に重なり合うように形成する。

【0152】

これにより、容量接続電極212は透明画素電極214と電氣的に接続して、保持容量の電極として機能する第二の半導体層201に電位を与える。遮光膜を兼ねたゲート電極203と第二の半導体層201により保持容量ができる。ゲート絶縁膜が保持容量の絶縁膜として機能する。

20

【0153】

ゲート配線211、接続電極209、ドレイン電極210により、TFT素子の活性層である第一の半導体層200を外光から保護する。光による素子の劣化、光電流による電位の変動を防止できる。

【0154】

遮光膜を兼ねたソース配線202、遮光膜を兼ねたゲート電極203の形状に特徴を持たせ、透明画素電極214の四隅のうち先にラビングされる側で強く出る光漏れを確実に隠すことができる。視認性に大きく影響するディスクリネーションを隠す。つまり、遮光膜を兼ねたソース配線202を列方向に伸びる配線形状に加えて、三角状の突起形状にして、ディスクリネーションが出る位置を遮光する。また、遮光膜を兼ねたゲート電極203の一部を三角状にして、ディスクリネーションを遮光する。また、遮光膜を兼ねたゲート電極203の一部をゲート配線211と、透明画素電極214の間隙に形成して、ディスクリネーションによる光漏れを遮光する。

30

【0155】

ソース配線202とゲート電極203は同一層に形成されているため、ショートを防ぐ間隙がある。この間隙はソースライン反転駆動により、強くディスクリネーションが出る領域である。このため、絶縁膜を介して遮光電極213を形成する。

40

【0156】

以上の画素のレイアウトにより、たった二枚の配線パターンのマスクにより、液晶のディスクリネーションによる光漏れを効率良く隠すことができる。

【0157】

図14に図12の素子基板の遮光領域215を示す。たった二枚の配線パターンのマスクで遮光するため、光が通る領域はあるが、ディスクリネーションの出る領域のエッジが隠れているため、対向基板の遮光膜のアライメントが多少ずれても、光漏れが隠せる。また、対向基板の遮光膜を広めにとっても、素子基板の遮光領域の内側に対向基板の遮光領域が存在するため、アライメントがずれても、対向基板の遮光領域が素子基板の遮光領域に

50

重なり合い、開口率の低下を防げる。

【0158】

図12及び図13の素子基板の断面図を図15に示す。図15の鎖線H-H'、鎖線I-I'、鎖線J-J'は、図12及び図13を鎖線H-H'、鎖線I-I'、鎖線J-J'で切断したものを示す。図15は実施例2の図6(C)で示される基板に対し、以下の工程を追加し、作製したものである。図15(A)により説明する。

【0159】

まず、第1の層間絶縁膜215を酸化窒化シリコン膜で100~200nmの厚さで形成する。その上に有機絶縁物材料から成る第2の層間絶縁膜216を形成する。次いで、コンタクトホールを形成するためのエッチング工程を行う。

10

【0160】

そして、駆動回路部において島状半導体層のソース領域とコンタクトを形成するソース配線217~219、ドレイン領域とコンタクトを形成するドレイン配線220~222を形成する。

【0161】

また、画素部においては、接続電極209、ドレイン電極210、ゲート配線211、容量接続電極212を形成する。膜厚は0.3μm~0.75μmが望ましい。

【0162】

接続電極209は、遮光膜を兼ねたソース配線202と第一の半導体層200と電気的に接続する。図示してはいないが、ゲート配線211は遮光膜を兼ねたゲート電極203とコンタクトホールにより電気的に接続する。容量接続電極212は第二の半導体層201と電気的に接続する。

20

【0163】

その後、透明導電膜を全面に形成し、フォトマスクを用いたパターンニング処理およびエッチング処理により透明画素電極214を形成する。膜厚は100nm~1400nmが望ましい。透明画素電極214は、画素TF T 222のドレイン電極210に重なるように形成される。また、保持容量223の電極として機能する島状半導体膜201に電位が与えられる。

【0164】

透明導電膜の材料は、酸化インジウム(In_2O_3)や酸化インジウム酸化スズ合金(In_2O_3 SnO_2 ; ITO膜)などをスパッタ法や真空蒸着法などを用いて形成して用いることができる。このような材料のエッチング処理は塩酸系の溶液により行う。しかし、特にITO膜のエッチングは残渣が発生しやすいので、エッチング加工性を改善するために酸化インジウム酸化亜鉛合金(In_2O_3 ZnO)を用いても良い。酸化インジウム酸化亜鉛合金は表面平滑性に優れ、ITO膜に対して熱安定性にも優れているので、ドレイン電極210にAlを用いても、表面で接触するAlとの腐蝕反応を防止できる。同様に、酸化亜鉛(ZnO)も適した材料であり、さらに可視光の透過率や導電率を高めるためにガリウム(Ga)を添加した酸化亜鉛($\text{ZnO}:\text{Ga}$)などを用いることができる。

30

【0165】

また、図15(B)により説明すると、本実施例において、ゲート電極203を、ゲート配線211と透明画素電極214の間隙に形成し、ゲート電極203をディスクリネーションによる光漏れを遮光する膜としている。第一の層間絶縁膜215と第二の層間絶縁膜216が、透明画素電極214とゲート電極203の間にある。

40

【0166】

以上のようにして、nチャネル型TF T、pチャネル型TF T、nチャネル型TF Tを有する駆動回路部と、画素TF T 222、保持容量223とを有する画素部を同一基板上に形成することができる。本明細書中ではこのような基板を便宜上アクティブマトリクス基板と呼ぶ。

【0167】

低温ポリシリコンをTF T素子の活性層に用いると、駆動回路TF Tと画素TF Tを1

50

枚の基板に作製できる。このとき、CMOSの駆動回路を作製するためにはnチャンネル型TFTとpチャンネル型TFTが必要である。

【0168】

実施例2と本実施例の素子基板の作製工程によると、図12～15に示す画素構造を有する画素部と、駆動回路とを有する素子基板を形成するために必要なマスク数は6枚でよい。さらに、実施例1に比べ画素電極をソース配線に重なり合うように形成できるため、開口率が高くできる。

【0169】

即ち、1枚目が、第1の半導体層200及び第2の半導体層201をパターンニングするマスク、2枚目が、遮光膜を兼ねたソース配線202及び遮光膜を兼ねたゲート電極203をパターンニングするマスク、3枚目がp型を付与する不純物のドーピングマスク、4枚目がコンタクトホールを形成するマスク、5枚目は接続電極209、ドレイン電極210、ゲート配線211、容量接続電極212、遮光電極213をパターンニングするマスク、6枚目は透明画素電極214をパターンニングするためのマスクである。

10

【0170】

以上のように、図12～15に示す画素構造とした場合、遮光膜を形成するために素子基板のマスク数を増加させることなく、コントラストの良い透過型の液晶表示装置を実現することができる。対向基板には遮光膜を補助的に形成すればよいので、貼り合わせの位置ずれによる光漏れ、開口率の低下を防げる。

20

【実施例6】

【0171】

本実施例では、実施例2で示したアクティブマトリクス基板のTFTの半導体層を形成する結晶質半導体層の他の作製方法について示す。本実施例では特開平7-130652号公報で開示されている触媒元素を用いる結晶化法を適用することもできる。以下に、その場合の例を説明する。

【0172】

実施例2と同様にして、ガラス基板上に下地膜、非晶質半導体層を25～80nmの厚さで形成する。例えば、非晶質シリコン膜を55nmの厚さで形成する。そして、重量換算で10ppmの触媒元素を含む水溶液をスピンコート法で塗布して触媒元素を含有する層を形成する。触媒元素にはニッケル(Ni)、ゲルマニウム(Ge)、鉄(Fe)、パラジウム(Pd)、スズ(Sn)、鉛(Pb)、コバルト(Co)、白金(Pt)、銅(Cu)、金(Au)などである。この触媒元素を含有する層170は、スピンコート法の他にスパッタ法や真空蒸着法によって上記触媒元素の層を1～5nmの厚さに形成しても良い。

30

【0173】

そして、結晶化の工程では、まず400～500で1時間程度の熱処理を行い、非晶質シリコン膜の含有水素量を5atom%以下にする。そして、ファーネスアニール炉を用い、窒素雰囲気中で550～600で1～8時間の熱アニールを行う。以上の工程により結晶質シリコン膜から成る結晶質半導体層を得ることができる。

【0174】

このようにして作製された結晶質半導体層から島状半導体層を作製すれば、実施例2と同様にしてアクティブマトリクス基板を完成させることができる。しかし、結晶化の工程においてシリコンの結晶化を助長する触媒元素を使用した場合、島状半導体層中には微量($1 \times 10^{17} \sim 1 \times 10^{19}$ atoms/cm³程度)の触媒元素が残留する。勿論、そのような状態でもTFTを完成させることが可能であるが、残留する触媒元素を少なくともチャンネル形成領域から除去する方がより好ましかった。この触媒元素を除去する手段の一つにリン(P)によるゲッターリング作用を利用する手段がある。

40

【0175】

この目的におけるリン(P)によるゲッターリング処理は、図6(C)で説明した活性化工程で同時に行うことができる。ゲッターリングに必要なリン(P)の濃度は高濃度n型不純物領域の不純物濃度と同程度でよく、活性化工程の熱アニールにより、nチャンネル型T

50

F Tおよびpチャンネル型T F Tのチャンネル形成領域から触媒元素をその濃度でリン(P)を含有する不純物領域へ偏析させることができる。その結果その不純物領域には $1 \times 10^{17} \sim 1 \times 10^{19}$ atoms/cm³程度の触媒元素が偏析した。このようにして作製したT F Tはオフ電流値が下がり、結晶性が良いことから高い電界効果移動度が得られ、良好な特性を達成することができる。

【0176】

なお、本実施例は、実施例1乃至5のいずれか一と自由に組み合わせることが可能である。

【実施例7】

【0177】

本発明を実施して形成されたC M O S回路や画素部は様々な半導体装置(アクティブマトリクス型液晶ディスプレイ、アクティブマトリクス型E Cディスプレイ)に用いることができる。即ち、それら半導体装置を表示部に組み込んだ電子機器全てに本願発明を実施できる。以下の装置にセンサーを組み込み、消費電力低減のため、外部の明るさを検出して、暗いところでは、輝度を落とすようにしても良い。

【0178】

図18(A)は携帯電話であり、本体9001、音声出力部9002、音声入力部9003、表示装置9004、操作スイッチ9005、アンテナ9006から構成されている。本願発明は音声出力部9002、音声入力部9003、及びアクティブマトリクス基板を備えた表示装置9004に適用することができる。

【0179】

図18(B)はビデオカメラであり、本体9101、表示装置9102、音声入力部9103、操作スイッチ9104、バッテリー9105、受像部9106から成っている。本願発明は音声入力部9103、及びアクティブマトリクス基板を備えた表示装置9102、受像部9106に適用することができる。

【0180】

図18(C)はモバイルコンピュータ或いは携帯型情報端末であり、本体9201、カメラ部9202、受像部9203、操作スイッチ9204、表示装置9205で構成されている。本願発明は受像部9203、及びアクティブマトリクス基板を備えた表示装置9205に適用することができる。

【0181】

図18(D)はヘッドマウントディスプレイであり、本体9301、表示装置9302、アーム部9303で構成される。本願発明は表示装置9302に適用することができる。また、表示されていないが、その他の信号制御用回路に使用することもできる。

【0182】

図18(E)はテレビであり、本体9401、スピーカー9402、表示装置9403、受信装置9404、増幅装置9405等で構成される。実施例5で示す液晶表示装置や、実施例6または7で示すE L表示装置は表示装置9403に適用することができる。

【0183】

図18(F)は携帯書籍であり、本体9501、表示装置9502、9503、記憶媒体9504、操作スイッチ9505、アンテナ9506から構成されており、ミニディスク(MD)やD V Dに記憶されたデータや、アンテナで受信したデータを表示するものである。表示装置9502、9503は直視型の表示装置であり、本発明はこの適用することができる。

【0184】

図18(A)はパーソナルコンピュータであり、本体9601、画像入力部9602、表示装置9603、キーボード9604で構成される。

【0185】

図18(B)はプログラムを記録した記録媒体(以下、記録媒体と呼ぶ)を用いるプレーヤーであり、本体9701、表示装置9702、スピーカ部9703、記録媒体970

10

20

30

40

50

4、操作スイッチ9705で構成される。なお、この装置は記録媒体としてDVD(Digital Versatile Disc)、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。

【0186】

図18(C)はデジタルカメラであり、本体9801、表示装置9802、接眼部9803、操作スイッチ9804、受像部(図示しない)で構成される。

【0187】

図18(A)はフロント型プロジェクターであり、表示装置9901、スクリーン9902で構成される。本発明は表示装置やその他の信号制御回路に適用することができる。

【0188】

図18(B)はリア型プロジェクターであり、本体10001、投射装置10002、ミラー10003、スクリーン10004で構成される。本発明は表示装置やその他の信号制御回路に適用することができる。

【0189】

なお、図18(C)は、図18(A)及び図18(B)中における投射装置9901、10002の構造の一例を示した図である。投射装置9901、10002は、光源光学系10101、ミラー10102、10104~10106、ダイクロイックミラー10103、プリズム10107、液晶表示装置10108、位相差板10109、投射光学系10110で構成される。投射光学系10110は、投射レンズを含む光学系で構成される。本実施例は三板式の例を示したが、特に限定されず、例えば単板式であってもよい。また、図18(C)中において矢印で示した光路に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するためのフィルム、IRフィルム等の光学系を設けてもよい。

【0190】

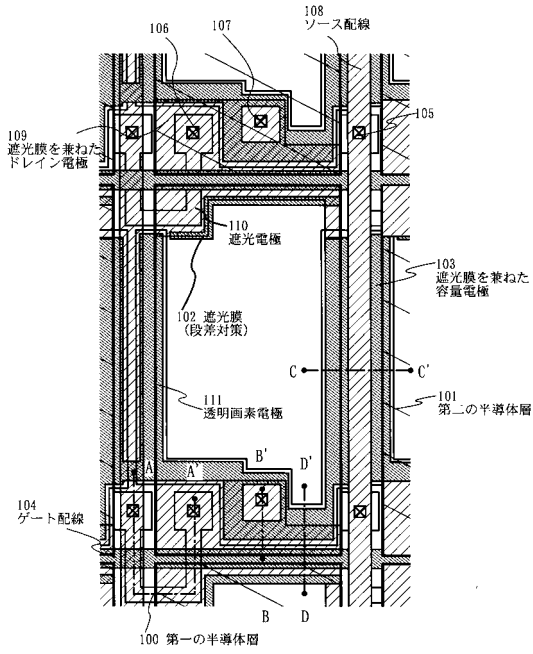
また、図18(D)は、図18(C)中における光源光学系10201の構造の一例を示した図である。本実施例では、光源光学系10201は、リフレクター10211、光源10212、レンズアレイ10213、10214、偏光変換素子10215、集光レンズ10216で構成される。なお、図18(D)に示した光源光学系は一例であって特に限定されない。例えば、光源光学系に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するフィルム、IRフィルム等の光学系を設けてもよい。

10

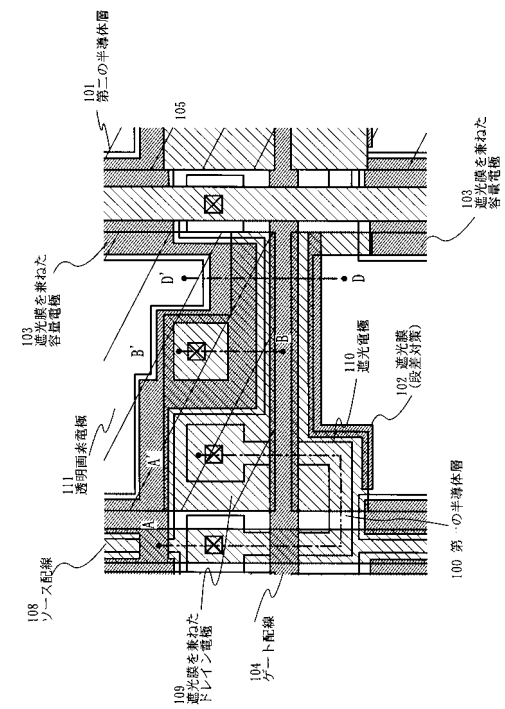
20

30

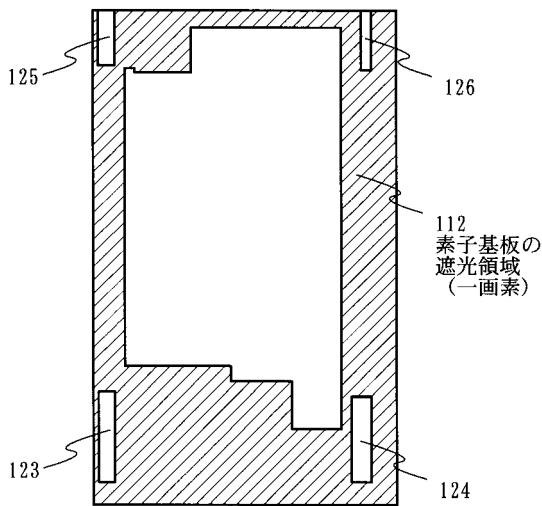
【図1】



【図2】

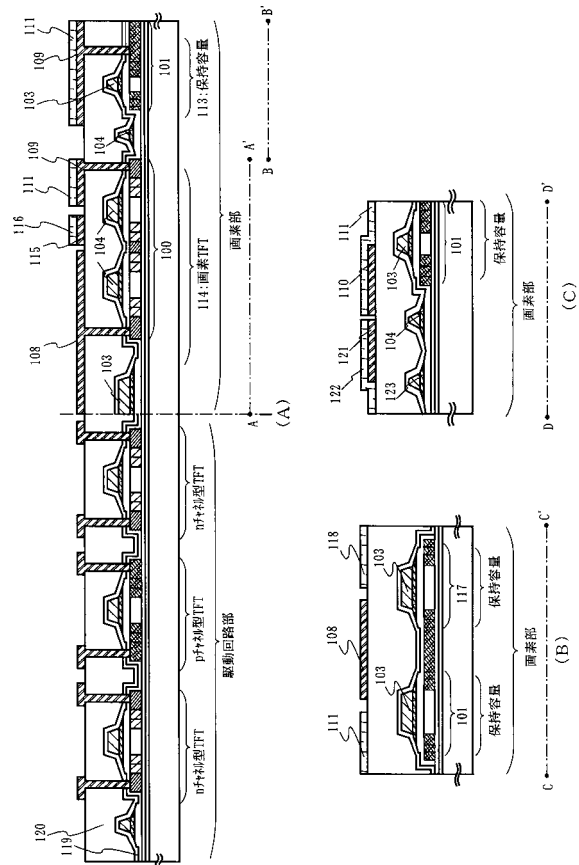


【図3】

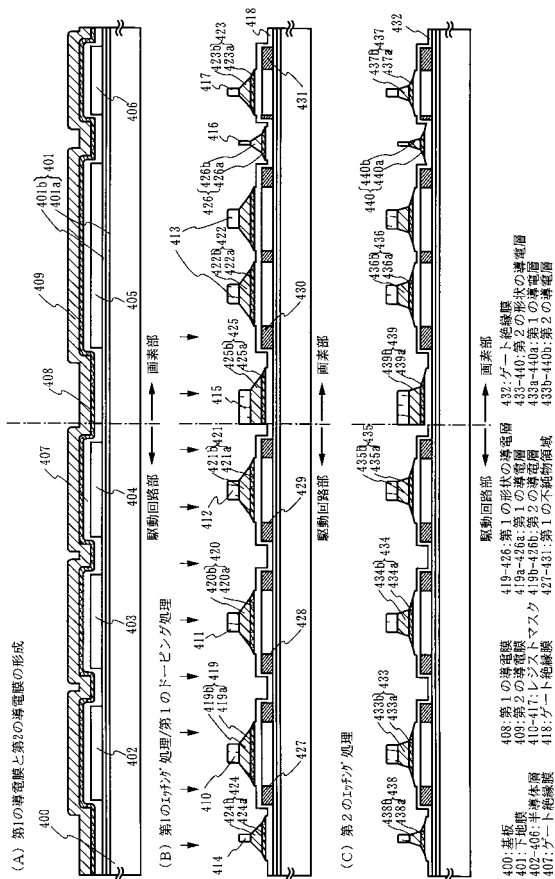


素子基板のラビング方向
 対向基板のラビング方向
 ○対向基板の裏面から見たラビング方向

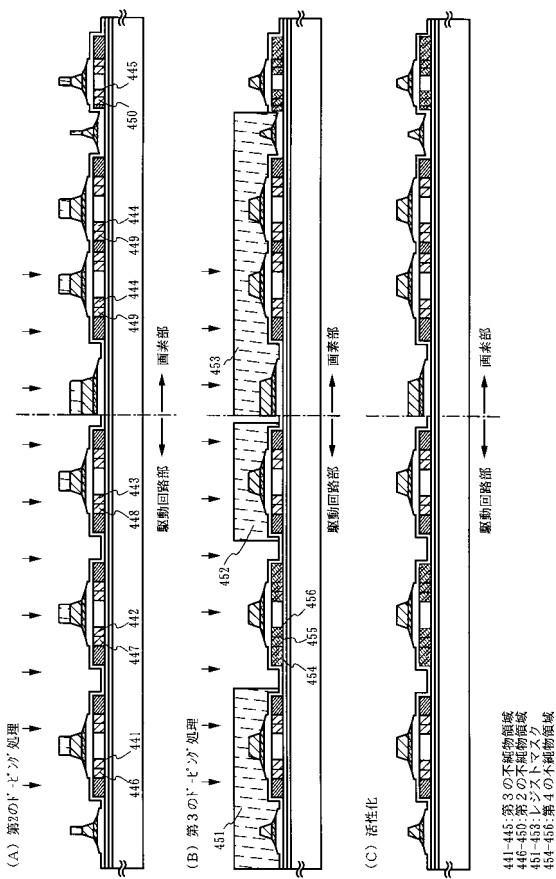
【図4】



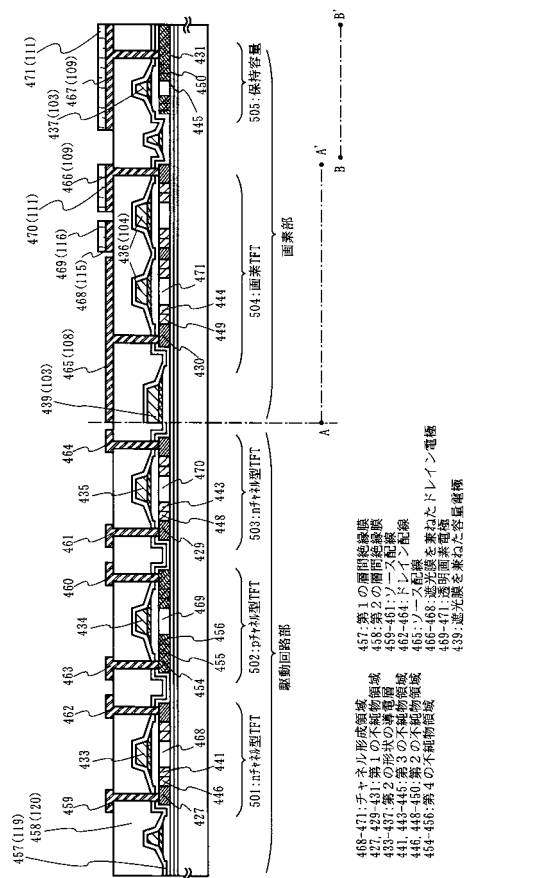
【図5】



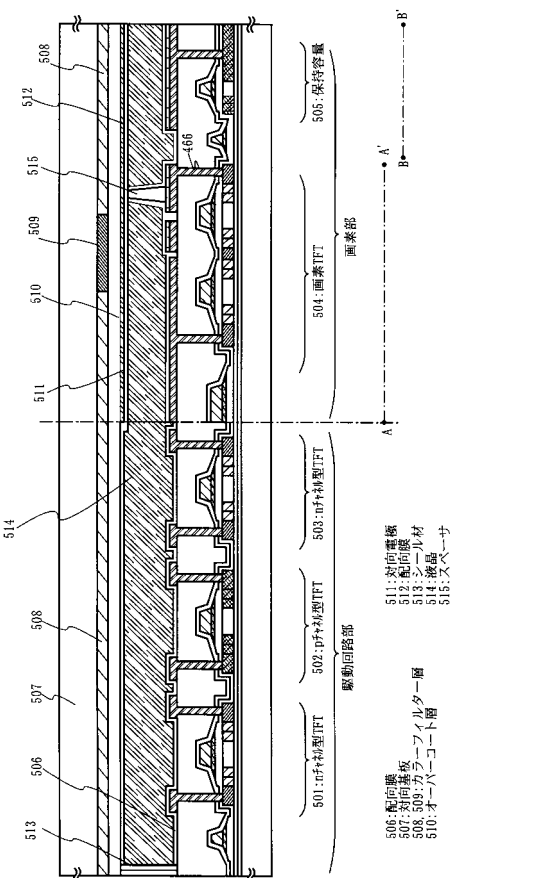
【図6】



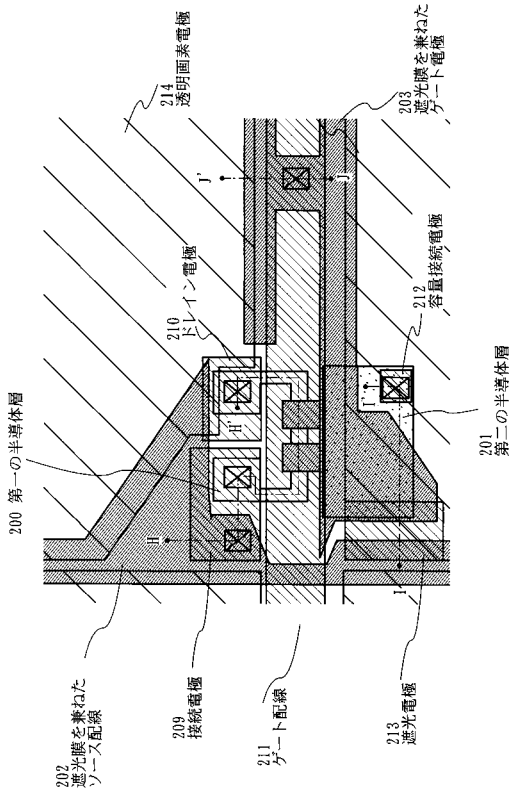
【図7】



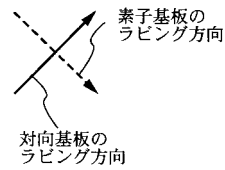
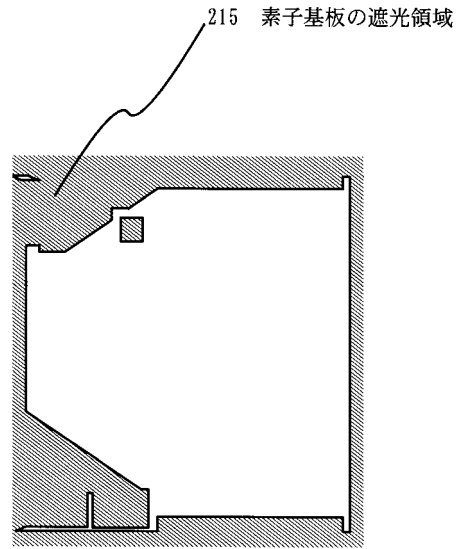
【図8】



【図13】

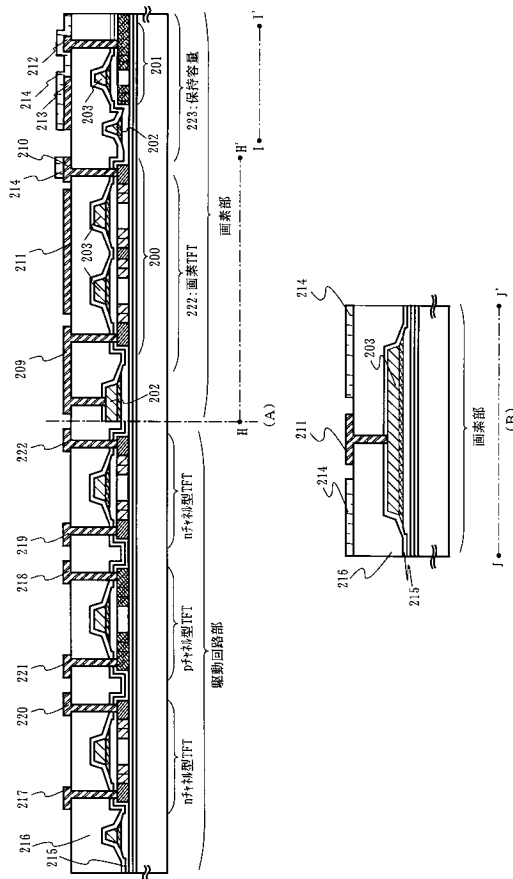


【図14】

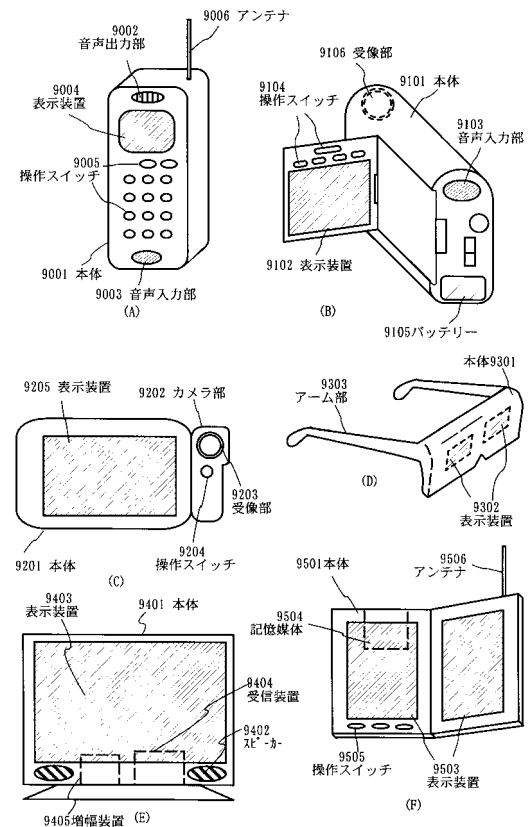


○対向基板の裏面から見たラッピング方向

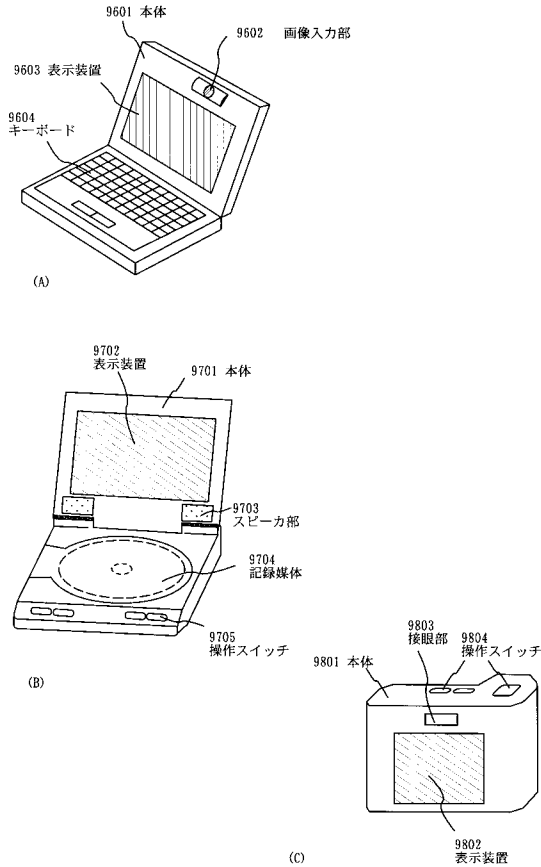
【図15】



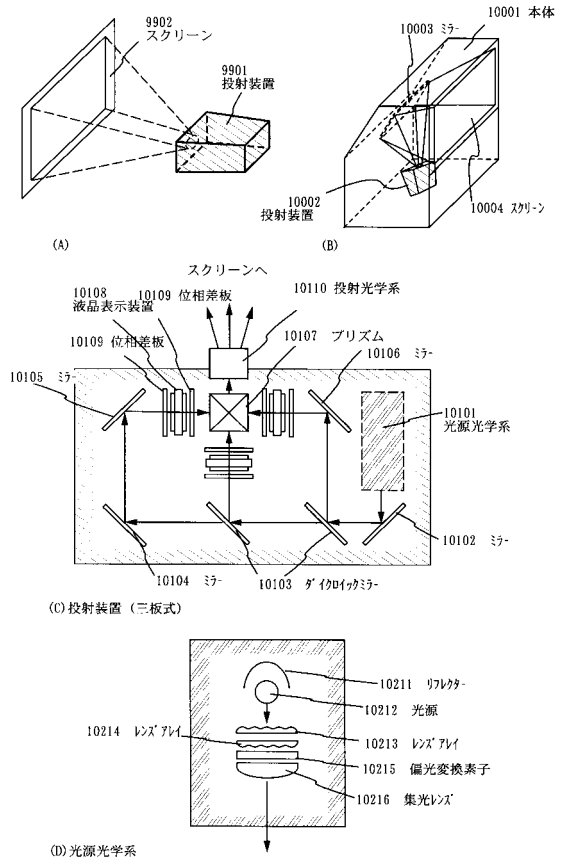
【図16】



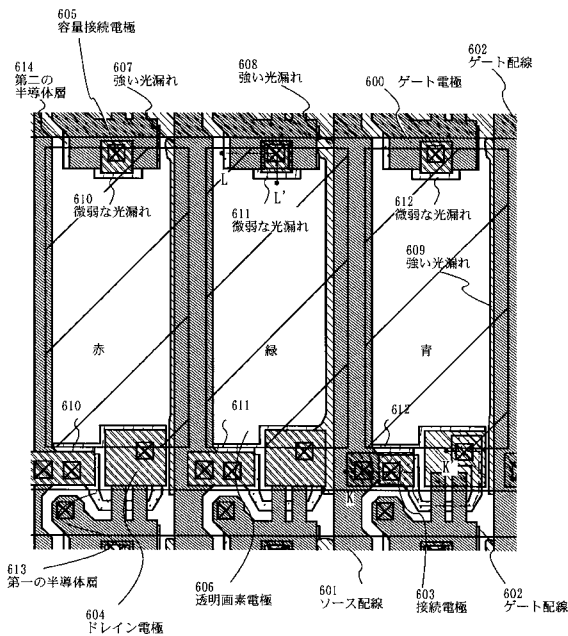
【図 17】



【図 18】



【図 19】



【図 20】

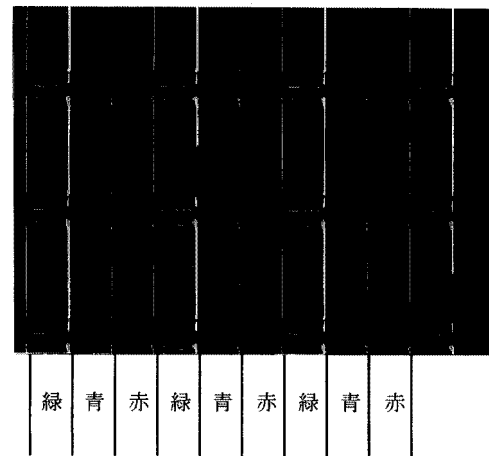


写真 (倍率 200 倍)

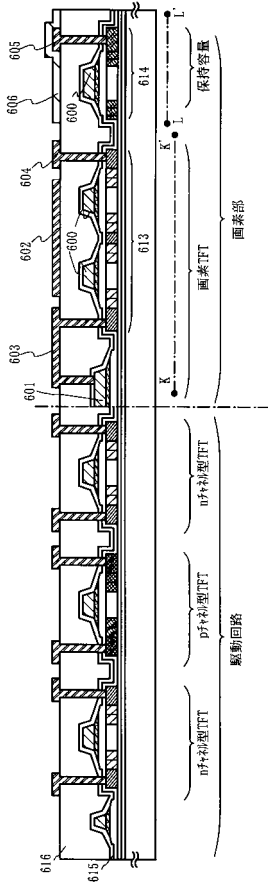
対向基板のラビング方向



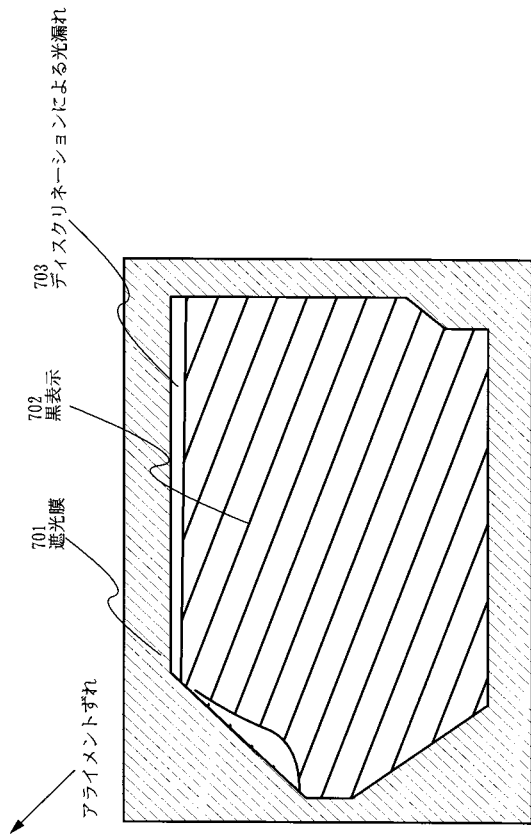
素子基板のラビング方向

○素子基板の裏面から見たディスクリネーション

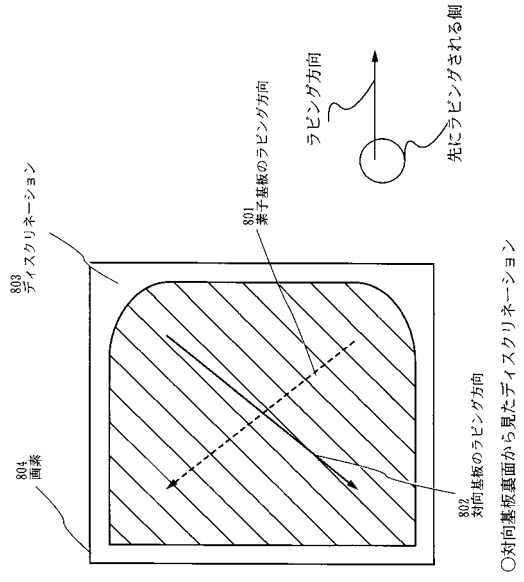
【図 2 1】



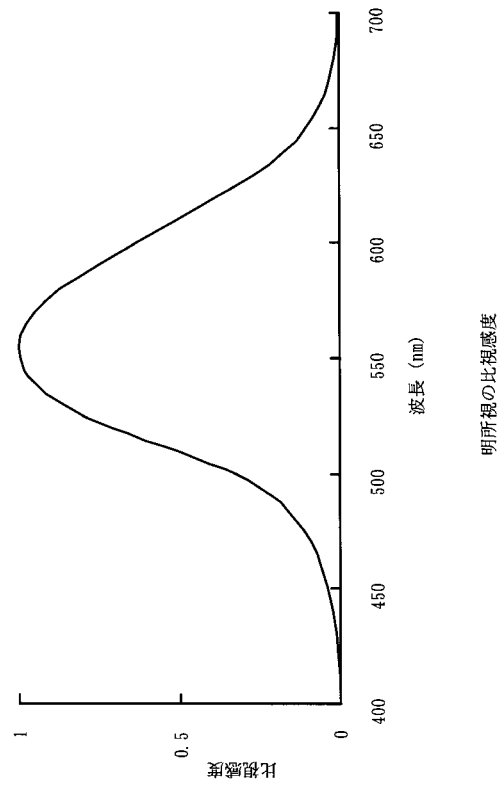
【図 2 3】



【図 2 2】



【図 2 4】



【手続補正書】

【提出日】平成25年2月7日(2013.2.7)

【手続補正2】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

半導体層を有し、

前記半導体層よりも上方に第1の絶縁層を有し、

前記第1の絶縁層よりも上方にゲート配線を有し、

前記第1の絶縁層よりも上方に第1の導電層を有し、

前記ゲート配線及び前記第1の導電層よりも上方に第2の絶縁層を有し、

前記第2の絶縁層よりも上方に第2の導電層を有し、

前記第2の導電層よりも上方に透明導電層を有し、

前記第1の導電層は、遮光性を有し、

前記第2の導電層は、遮光性を有し、

前記ゲート配線は、前記半導体層と重なる領域を有し、

前記第2の導電層は、前記半導体層と重なる領域を有し、

前記透明導電層は、前記第2の導電層の有するエッジと重なる領域を有し、

前記第1の導電層は、前記第2の導電層の有するエッジと重なる領域を有し、

前記第1の導電層は、電氣的に孤立していることを特徴とする液晶表示装置。