

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3736770号
(P3736770)

(45) 発行日 平成18年1月18日(2006.1.18)

(24) 登録日 平成17年11月4日(2005.11.4)

(51) Int. Cl.	F I	
GO2F 1/133 (2006.01)	GO2F 1/133	550
GO3B 21/00 (2006.01)	GO3B 21/00	E
GO9G 3/36 (2006.01)	GO9G 3/36	
HO1L 27/12 (2006.01)	HO1L 27/12	A
HO4N 5/74 (2006.01)	HO4N 5/74	K

請求項の数 2 (全 42 頁)

(21) 出願番号	特願平5-513355	(73) 特許権者	503365693
(86) (22) 出願日	平成5年1月22日(1993.1.22)		コビン・コーポレーション
(65) 公表番号	特表平7-503557		アメリカ合衆国マサチューセッツ州0278
(43) 公表日	平成7年4月13日(1995.4.13)		Oトーン・マイルズスタンディッシュ
(86) 国際出願番号	PCT/US1993/000614		インダストリアルパーク・マイルズスタン
(87) 国際公開番号	W01993/015589		ディッシュブールバード695
(87) 国際公開日	平成5年8月5日(1993.8.5)	(74) 代理人	100060782
審査請求日	平成12年1月21日(2000.1.21)		弁理士 小田島 平吉
審判番号	不服2003-19544(P2003-19544/J1)	(72) 発明者	スピッツァー, マーク・ビー
審判請求日	平成15年10月6日(2003.10.6)		アメリカ合衆国マサチューセッツ州0206
(31) 優先権主張番号	823, 858		7シヤロン・ミンクトラツブレイン5
(32) 優先日	平成4年1月22日(1992.1.22)	(72) 発明者	サラノ, ジャック・ビー
(33) 優先権主張国	米国(US)		アメリカ合衆国マサチューセッツ州0216
(31) 優先権主張番号	839, 241		8ワバン・ラーチモントアベニュー15
(32) 優先日	平成4年2月20日(1992.2.20)		
(33) 優先権主張国	米国(US)		最終頁に続く

(54) 【発明の名称】 映写表示のための単結晶シリコンアレイデバイス

(57) 【特許請求の範囲】

【請求項1】

ハウジングと、

ハウジングに取り付けられ、本質的に単結晶のシリコン材料の薄膜から形成されたトランジスタのアレイを有し、少なくとも31.5本/mm(1インチ当たり800本)のラインを有し、42mmより長くない対角線を有する、複数の行ラインと複数の列ラインとを有するアクティブマトリックス液晶ディスプレイ装置と、

アンテナと、

画像データを受け取るアンテナに接続された受信機と、

ディスプレイに電力を供給する電池と、

受信機及びアクティブマトリックス液晶ディスプレイに接続された、ハウジング内のディスプレイ制御回路と

を具備することを特徴とするアクティブマトリックス液晶ディスプレイ装置。

【請求項2】

アクティブマトリックス液晶ディスプレイと、アンテナと、アンテナから画像信号を受け取る受信機と、電池とを含み、該ディスプレイが、本質的に単結晶のシリコン材料の薄膜から形成されたトランジスタのアレイを有し、42mmより長くない対角線を有し、少なくとも31.5本/mm(1インチ当たり800本)のラインを有するディスプレイハウジングを提供すること、

ディスプレイハウジング内の制御回路でディスプレイを作動させて、画像信号でディスプ

レイパネルに形成された画像を制御すること
を含む、アクティブマトリックス液晶ディスプレイパネルで画像を形成する方法。

【発明の詳細な説明】

発明の背景

高品質画像を生成するために液晶又は電界発光材料を使用する平パネルディスプレイが開発されている。これらのディスプレイは、陰極線管（CRT）技術に取って代わり、高精細テレビジョン映像を提供することを期待される。大形高品質液晶ディスプレイ（LCD）への最も有望な経路は、例えば、薄膜トランジスタ（TFT）がLCDピクセルと共配置されるアクティブマトリックスアプローチである。TFTを使用するアプローチマトリックスアプローチの主な利点は、ピクセルの間のクロストークの除去とTFT互換LCDで達せられる優れたグレースケールである。

10

LCDを使用する平パネルディスプレイは、一般に、5つの異なる層を含む。すなわち、白光源、TFTがピクセルを形成するために配列される回路パネルの一方の側に取り付けた第1偏光フィルター、少なくとも3つの原色をピクセルに配置してなるフィルター板、そして最後に、第2偏光フィルターである。回路パネルとフィルター板の間の容積は、液晶材料で充填される。この材料は、電界が回路パネルとフィルター板に添着した接地の間に印加される時、偏光を回転させる。こうして、ディスプレイの特定ピクセルがオンにされる時、液晶材料は、第2偏光フィルターを通過するように材料を透過する偏光を回転させる。

平パネルディスプレイのために必要とされる大領域でのTFT形成への主なアプローチは、大領域光起電力素子のために以前開発されたアモルファスシリコンの使用に係わった。TFTアプローチは実行可能であることが立証されたが、アモルファスシリコンの使用は、パネル性能の見地を妥協する。例えば、アモルファスシリコンTFTは、アモルファス材料に固有の低電子移動度のために、大領域ディスプレイのために必要な周波数応答に欠ける。こうして、アモルファスシリコンの使用は、表示速度を制限し、そしてまた、ディスプレイを駆動するために必要とされる高速論理のために不適切である。

20

アモルファスシリコンの制限のために、他の代替材料として、多結晶シリコン又はレーザー再結晶シリコンがある。これらの材料は、一般に後続の回路処理を低温に制限するすでにガラス上にあるシリコンを使用するために限定される。

こうして、所望の速度を有し、作製の容易さと費用削減を設けるパネルディスプレイの各ピクセルにおいて高品質TFTを形成する方法の必要性が存在する。

30

発明の要約

本発明は、ディスプレイの各ピクセルを制御するためにトランジスタが作製され、本質的単結晶シリコンの薄膜を使用するパネルディスプレイと、そのようなディスプレイを作製する方法に関する。好ましい実施態様に対して、薄膜又はトランジスタアレイは、ガラス又は透明有機膜の如く透光性基板に転写される。この実施態様において、薄膜単結晶シリコンは、LCDの各ピクセルを作動させる薄膜トランジスタのピクセルマトリックスアレイを形成するために使用される。パネルディスプレイを駆動するために高度に適切なCMOS回路構成は、トランジスタが形成された同一薄膜材料において形成される。回路構成は、ワイヤとワイヤボンディングの必要性なしに、薄膜メタライゼーション技術を使用して、マトリックスアレイに完全に相互連結させることができる。

40

各トランジスタは、電界又は信号の印加により、隣接材料又は素子による光の反射又は透過を制御するために役立つ。この応用の目的のために、源からの光が透過されるトランジスタと隣接材料又は素子は、光弁として呼ばれる。こうして、パネルディスプレイの各ピクセルは、独立制御光弁である。そのような光弁の例として、その透光特性が電界又は信号で変更され、高密度ピクセルアレイを設けるように構成されるLCD若しくは液体又は固体材料がある。本デバイスの関連作製方法は、高精細カラー像を生成するために大形平パネルの必要条件のすべてを満足する。トランジスタ又はスイッチは、ディスプレイを提供するために、電界発光表示要素（ELD）又は発光ダイオード（LED）と対にされる。

50

本発明の好ましい実施態様は、大領域半導体膜を使用し、膜を処理基板から分離し、ガラス又は他の適切な透光材料にそれらを取り付ける。2ミクロン以内の次元の厚さを有する単結晶シリコンの膜が、エピタキシャル基板から分離され、そして膜は、ガラスとセラミックスに取り付けられる。電界効果トランジスタ（"FET"）の如く機能pn接合素子は、分離の前に部分的に作製され、ガラスに転写される。接着剤、静電ボンディング、Van der Waalの力又はボンディング用の共晶合金を含む、いろいろなボンディング手順が、基板に取り付けるために使用される。他の公知な方法もまた使用される。

プロセスの好ましい実施態様は、リリース基板において薄く本質的単結晶のSi膜を形成する段階と、ピクセル電極及び薄膜エンハンスメント形トランジスタのアレイと関連CMOS回路構成を薄膜上に作製する段階とを含む。各トランジスタは、各ピクセルがトランジスタの一つによって独立に作動される如く、ピクセル電極の一つに電気的に連結される。CMOS回路構成は、ピクセル作動と表示される一つ又は複数の合成像を制御するために使用される。デバイス作製は、薄膜が、ソース、ドレイン、チャネル及びゲート領域の形成とピクセル電極との相互連結により、リリース基板になお付着されている間に開始される。最終パネル基板への転写の前に、デバイス処理を実質的に完了することにより、低温ガラス又はポリマーが使用できる。代替的に、デバイス作製のすべて又は一部が、リリースの後、又はガラス若しくはプラスチック板への処理済膜の転写により行われる。転写の後、カラーフィルター及び液晶材料との一体化は、LCDを使用する実施態様に対してパネルを完成する。

薄膜形成プロセスの好ましい方法は、本質的単結晶膜がリリースされる絶縁基板上に形成されるシリコンオン絶縁体（SOI）技術を使用する。本出願の目的のために、用語「本質的単結晶」は、多数の結晶が、少なくとも 0.1 cm^2 、好ましくは、 $0.5\sim 1.0\text{ cm}^2$ 以上の範囲において、膜の横平面における断面領域に広がっている膜を意味する。そのような膜は、例えば、サファイア、 SiO_2 、Siウェハー、炭素及び炭化ケイ素基板において、公知の技術を使用して形成される。

SOI技術は、一般に、その結晶格子が下側基板と整合しないシリコン層の形成に係わる。特定の好ましい実施態様は、リリース層において高品質Siの薄膜を生成するために孤立シリコンエピタキシー（ISE）を使用する。このプロセスは、リリース層上にアモルファス又は多結晶シリコンの如く非単結晶材料の堆積を含み、材料を結晶化するために加熱され、本質的単結晶シリコンを形成する。リリース層の使用は、回路を害することなく、エッチングされる活性層の下に酸化物を使用して、膜及び回路リリースを可能にする。好ましい実施態様において、エピタキシャル膜が形成された全基板が、エッチバック手順により除去される。

代替的に、化学エピタキシャルリフトオフの方法、半導体材料をガラス又は他の基板に転写するためのプロセスが、所望の半導体材料の大領域シートに適用される。これら又は他のリリース方法は、回路パネル作製のための基板への転写のために、成長基板から薄膜単結晶材料を除去するために使用される。

本発明は、再結晶化シリコン膜におけるCMOS回路及びピクセル電極形成を含み、第2転写基板に固着され、開始ウェハー又は基板から除去され、そして回路パネルを形成するためにガラス又は他の適切な基板に取り付けられる。代替的に、最初に回路を形成し、回路をガラスに貼着し、そして基板から回路を分離することができる。ピクセルは、平面幾何形状を有する行と列において位置付けられる。作製段階の順序により、回路に対する高温処理が転写の前に行われるために、ガラスに搭載した従来の高速CMOS（又は他の）論理の使用が許容される。別の好ましい実施態様は、トランジスタ要素の離散アレイの作製に係わり、離散要素の所望の間隔又は登録を設けるために収縮又は膨張する伸縮性基板へこれらの要素を転写し、それから、表示パネルに含まれる最終基板へこれらの要素を転写する。

本発明の他の好ましい実施態様は、映写表示デバイス（すなわち、モニターと像プロジェクタ）に関し、一つ（又は複数）の光弁マトリックスがこれらのデバイスによって生成された像を制御するために形成される、単結晶シリコンの薄膜を使用したそのようなデバイ

10

20

30

40

50

スを作製する方法を含む。本発明により、高密度単結晶シリコン光弁マトリックスを使用する映写表示デバイスは、35mm光学系と互換性のある高解像度画像を提供する。

一つの好ましい実施態様において、透光性基板は、背面光源からの光を収容するように位置付けられ、そして光弁マトリックスが、基板に固着される。本発明により、光弁マトリックスは、単結晶シリコンの薄膜において形成したトランジスタのアレイと電極のアレイとを含む。光弁マトリックスはまた、背面光源からの光が選択的に透過される隣接透光材料を含む。好ましい実施態様は、液晶又は強誘電性材料の如く透光性材料を使用する光弁に向けられるが、他の透光性材料も使用しても良い。各光弁は、トランジスタ、電極と隣接透光材料の部分を含む。各トランジスタは、電界又は信号の印加により、単一光弁に対する隣接透光材料に光の透過を制御するために役立つ。

10

ドライバー回路は、光弁を選択的に作動させるために、光弁マトリックスに電氣的に連結される。駆動回路は、トランジスタと電極が形成された同一薄膜材料において形成される。駆動回路は、ワイヤとワイヤボンディングの必要性なしに、薄膜メタライゼーション技術を使用して、マトリックスに完全に相互連結することができる。光学システムはまた、大視野表面へ作動光弁を透過した光を映写するために設けられる。

プロジェクタを作成するための本デバイス及び関連方法は、高精細カラー像を生成するための大画面テレビジョン又はモニターディスプレイの必要条件を満足する。その目的のために、映写表示デバイスは、単一原色の光を選択的に透過させるために各々適合された多重の光弁を有する。さらに、ダイクロイックプリズムは、大視野表面に映写される多色光像を生成する各光弁によって透過された単一カラー光を結合するために設けられる。

20

映写表示デバイスにおいて使用される光弁マトリックスのための形成プロセスの好ましい実施態様は、絶縁基板において多結晶シリコンの層を形成することを含む薄い単結晶シリコン膜を形成する段階と、単結晶シリコンのウェハを形成するために層を結晶化するために熱源で多結晶層を走査する段階とを含む。プロセスはまた、透光性基板へ単結晶シリコン膜を転写する段階と、接着剤又はここで記載された他の技術により基板に膜を装着する段階とを含み、シリコン膜においてトランジスタのアレイ、電極のアレイと駆動回路構成を形成し、背面光源からの光が透過される透光材料（例えば、液晶材料）の隣接層を形成する。各トランジスタは、各光弁が一つのトランジスタによって独立に作動される如く、電極に電氣的に連結される。駆動回路構成は、ピクセル作動を制御するために使用され、そして光学システムが、大視野表面へ合成像を映写するために設けられる。本発明の他の好ましい実施態様は、単色又は多色像を設けるために従来の35mmスライドプロジェクタにおいて使用されるように適合されたアクティブマトリックススライドに関する。スライドは、スライドプロジェクタによって映写される像を有する標準35mm写真スライドとして等価物理的次元を有するように作製される。本発明により、標準35mmスライドと等価又はほぼ等価なサイズにパッケージされたアクティブマトリックススライドは、映像を発生するための修正をし又は修正なしに、スライドプロジェクタに挿入される。電子系ユニットは、スライドに連結され、スライドによる像発生を制御する。好ましい実施態様において、スライドは、単色又は多色像を発生することができる。

30

本発明の一つの好ましい実施態様において、アクティブマトリックススライド組立体は、プロジェクタ本体と、光源と、光学システムと、35mmスライドが外部視野表面への像の映写のために配置される室とを有するスライドプロジェクタで使用されるようになってい

40

る。スライド組立体は、ハウジングと、ハウジングに可動に取り付けたアクティブマトリックススライドとを含む。それ自体、スライドは、保管位置と動作位置を有する。ハウジングは、動作位置に移動されるスライドが、スライドプロジェクタによる映写のための像を提供するために、光源からの光を選択的に透過するためのプロジェクタ室において確実に配設される如くスライドプロジェクタ本体において位置付けられる。

ハウジングは、好ましくは、像発生を制御するためのスライドに電氣的に連結された遮蔽された電子系組立体を含む。電子系組立体は、コンピュータ又は任意のビデオ装置である像発生装置から像データを受信する。装置によって設けられた像データは、電子系によって処理され、アクティブマトリックススライドに送信される。受信データに応答して、ス

50

ライドは、光源からの照明光が単色又は多色像を形成するためにスライドを選択的に透過される如く、個別アクティブマトリックス光弁を作動させる。

別の好ましい実施態様において、アクティブマトリックススライド組立体は、アクティブマトリックススライドと遠隔電子系ハウジングを含む。スライドは、スライドプロジェクタの室において確実に位置付けられるような次元であり、ケーブルにより遠隔ハウジングにおける電子系に電氣的に連結される。

さらに別の好ましい実施態様において、アクティブマトリックススライド組立体は、電子系ハウジングに物理的に連結されないアクティブマトリックススライドを含む。代わりに、アクティブマトリックススライドとハウジングにおける電子系は、R Fアンテナ又は赤外線送信器／検出器要素の如くアンテナ要素を介して相互通信する。

前述の実施態様と同様に、アクティブマトリックススライドは、駆動回路によって個別に作動されるピクセル又は光弁のアレイを有する。駆動回路構成要素は、アレイに隣接して位置付けられ、光弁に電氣的に連結される。それ自体、個別光弁は、照明光が像を形成するためにスライドを選択的に透過される如く、駆動回路によって作動される。

好ましい実施態様において、アクティブマトリックス回路構成は、シリコンの如く半導体材料の層において又は上に形成される。任意の数の作製技術が、ポリシリコン又は単結晶シリコンの好ましい薄膜を設けるために使用されることが注目される。単結晶シリコンの薄膜が使用される実施態様において、極めて高い光弁密度が、高精細像が獲得される如く達成される。他の実施態様では、固体材料又はその透光特性が電界の印加により変更される任意の材料が、本発明の光弁を供給するために使用される。

【図面の簡単な説明】

部品の構造と組み合わせの多様な新規の詳細を含む発明の上記と他の特徴は、添付の図面を参照してより詳細に記載され、クレイムにおいて指摘される。発明を使用するこれらのパネルを作製する際に使用された特定パネルディスプレイと方法は、例示のみとして示され、発明を制限するものではないことが理解される。この発明の主な特徴は、発明の範囲に反することなく多様な実施態様において使用される。

第1 A図は、発明による平パネルディスプレイの分解斜視図である。

第1 B図は、発明の好ましい実施態様のためのドライバースystemを示す回路図である。

第2 A～2 L図は、平パネルディスプレイのための回路パネルの作製を示す好ましい工程系統順序図である。

第3図は、ディスプレイパネルの好ましい実施態様の断面図である。

第4図は、再結晶化のために使用されるシステムの好ましい実施態様を斜視図で示す。

第5 A図は、結晶化材料において境界の周期を決定するためのパターン化リリース層の使用を示す。

第5 B図は、境界の周期を決定するためのパターン化キャッピング層の使用を示す。

第6 A図は、発明によるガラスへの転写の前のM O S F E Tのドレイン電流及び相互コンダクタンス特性を示す。

第6 B図は、ガラスへの転写の後の第6 A図のM O S F E Tのドレイン電流及び相互コンダクタンス特性を示す。

第7 A図は、2つの異なるドレイン電圧において対数スケールでプロットされた第6 A図のデバイスのドレイン電流を示す。

第7 B図は、2つの異なるドレイン電圧において対数スケールでプロットされた第6 B図のデバイスのドレイン電流を示す。

第8 A図は、0～5ボルトに変化するゲート電圧による第6 A図のデバイスのドレイン電流出力を示す。

第8 B図は、0～5ボルトに変化するゲート電圧による第6 B図のデバイスのドレイン電流出力を示す。

第9 A～9 C図は、発明によるリフトオフプロセスを示す一連の断面図である。

第10 A図は、発明の別の実施態様によるリフトオフ処理中のウェハーの部分斜視図である。

10

20

30

40

50

第10B図は、プロセスにおける一段階後のリフトオフ構造の第10A図の線II-IIに沿って取った断面図である。

第10C図は、登録が維持される別の実施態様におけるリフトオフ処理中のウェハーの部分の部分斜視図である。

第10D図と第10E図は、リフトオフプロセスにおける付加段階後の第10C図の構造の断面を示す。

第11A～11E図は、発明によるリフトオフ手順のプロセスフローにおける諸段階中のウェハーの概略図である。

第12A～12C図は、発明の別の好ましいリフトオフ手順の概略断面図である。

第13A～13C図は、発明による好ましい転写方法を概略的に示す。

10

第14A図と第14B図は、発明による付加的な転写方法を概略的に示す。

第15図は、発明によるデバイス登録を監視制御するための好ましいシステムを示す。

第16図は、本発明の高解像度モニターにおいて使用される好ましい映写システムの断面図である。

第17図は、本発明の好ましい高解像度モニターの図である。

第18図は、折り畳み光学系幾何形状を使用する高解像度映写モニターの図である。

第19図は、第18図のモニターにおいて使用される別の好ましい映写システムの図である。

第20図は、第18図のモニターにおいて使用される別の好ましい映写システムの図である。

20

第21図は、本発明の像プロジェクタの図である。

第22図は、発明の別の好ましい高解像度映写モニターの図である。

第23図は、本発明の映写デバイスのためのドライバシステムを示す回路図である。

第24A～24D図は、光弁マトリックスを作製し、それを支持構造に転写するための好ましい工程及び転写順序図である。

第25A～25C図は、光弁マトリックスを作製し、それを支持構造に転写するための別の好ましい工程及び転写順序図である。

第26A～26E図は、マトリックスを作製し、それをガラス基板に転写するためのさらに別の好ましい工程及び転写順序図である。

第27図は、従来のスライドプロジェクタの図である。

30

第28図は、本発明によるアクティブマトリックススライド組立体の分解斜視図である。

第29A～29B図は、従来のスライドプロジェクタにおいて使用されるアクティブマトリックススライド組立体の好ましい実施態様を示す。

第30図は、従来のスライドプロジェクタにおいて使用されるアクティブマトリックススライド組立体の別の好ましい実施態様の図である。

第31図は、本発明のアクティブマトリックススライド組立体の別の実施態様の斜視図である。

第32図は、アクティブマトリックススライド組立体のための好ましいドライバシステムを示す回路図である。

第33図は、本発明のアクティブマトリックススライド組立体のさらに別の実施態様の斜視図である。

40

第34A～34B図は、第33図のアクティブマトリックススライド組立体のための2つの好ましいドライバシステムを示す回路図である。

第35図は、アクティブマトリックススライド組立体のさらに別の実施態様の斜視図である。

第36図は、アクティブマトリックススライド組立体において使用される複数のアクティブマトリックスを設けるために処理される半導体ウェハーの頂面図である。

第37図は、キंक効果を示す浮遊体nチャネルMOSFETの電圧特性である。

第38A図、第38B図と第38C図は、本発明の打込み手順を示す。第38D図は、第38A～38C図において提示した方法によって生成されるnチャネル浮遊体MOSFET

50

Tの別の好ましい実施態様を示す。

第39A図は、本発明による硫黄打込みと硫黄打込みのないデバイスの電圧特性とドレインコンダクタンスを示す。第39B図は、シリコン打込みを使用する発明により作製されたデバイスの電流－電圧特性を示す。

第40A図と第40B図は、ディスプレイパネルにおけるピクセル制御回路として本発明の浮遊体nチャネルMOSFET素子の使用の2つの実施態様を示す。

好ましい実施態様の詳細な説明

発明の好ましい実施態様が、第1図のパネルディスプレイの斜視図において示される。ディスプレイの基本構成要素は、白色又は他の適切な色である光源10と、第1偏光フィルター12と、回路パネル14と、フィルター板16と、第2偏光フィルター17とを含み、これらは層化構造において固着される。液晶材料（不図示）は、回路パネル14とフィルター板16の間の容積に配設される。回路パネル14におけるピクセル22のアレイは、各ピクセルが、ピクセルとカラーフィルター板16に固着した対向電極の間にある液晶材料において電界を生成する如く、アレイに隣接して位置付けられた第1及び第2回路構成要素18、20を有する駆動回路によって個別に作動される。電界は、液晶材料を透過される偏光の回転を生じさせ、その結果、隣接カラーフィルター要素が照明される。フィルター板システム16のカラーフィルターは、青24、緑25、赤27と白29の如く4つのフィルター要素のグループに配列される。フィルター要素24、25、27、29に付随したピクセル又は光弁は、そのピクセルグループに対して所望の色を設けるために選択的に作動される。

他の好ましい実施態様は、各ピクセルの対して光弁を形成するために固体材料の使用を含む。電界発光膜又はその光伝達特性が電界の印加によって変更される任意の材料の如く発光材料が、本発明の光弁を供給するために使用される。

パネルにおけるディスプレイを制御するために使用される駆動回路が、第1B図において示される。回路18は、入り信号を受信し、バス13を通してピクセルに信号を送信する。回路20は、各ピクセルにおけるコンデンサ26を充電する個々のトランジスタ23をオンにするためにバス19を走査する。コンデンサ26は、アレイの次の走査まで、ピクセル電極と液晶21における電荷を持続させる。発明の多様な実施態様は、所望のディスプレイの形式により、各ピクセルでコンデンサを使用する又は使用しない。

第2A～2L図は、回路パネル回路構成が形成されるシリコンオン絶縁体（SOI）膜を形成するために、孤立シリコンエピタキシー（ISE）プロセスの使用を示す。なお、任意の数の技術が単結晶Siの薄膜を設けるために使用される。第2A図に示されたものの如くSOI構造は、基板30と、基板30において成長又は堆積された酸化物34（例えば、 SiO_2 等）とを含む。シリコンの薄い単結晶層は、酸化物34上に形成される。酸化物（又は絶縁体）は、こうして、Si表面層の下に埋込まれる。ISE SOI構造の場合に、頂部層は、実質的に単結晶の再結晶化シリコンであり、これからCMOS回路が作製される。埋込絶縁体の使用は、従来のバルク（チョクラルスキー）材料において獲得されるよりも高速のデバイスを設ける。1.5x10⁶超のCMOSトランジスタを含む回路の作製が、ISE材料において為された。

第2B図に示された如く、膜38は、各ピクセルに対するトランジスタ領域37とピクセル電極領域39を規定するためにパターン化される。それから、酸化層40が、各ピクセルの2つの領域37、39の間のチャンネル48を含むパターン化領域上に形成される。真性結晶化材料38が、その後、nチャネル素子を設けるためにホウ素又は他のp形ドーパント（又は代替的に、pチャネル素子に対してn形ドーパント）を打込44まれる（第2C図において）。

それから、多結晶シリコン層42が、ピクセル上に堆積され、そして層42が、第2D図に見られる如くn形ドーパントを打込46まれ、ゲートとして使用される層42の抵抗率を低下させる。ポリシリコンは、第2E図に見られる如くゲート50を形成するためにパターン化され、続いて、トランジスタに対するp⁺ソース及びドレイン領域を設けるためにホウ素の大打込み52が行われる。第2F図に示された如く、酸化物54が、トランジ

10

20

30

40

50

スタ上に形成され、そして開口60、56、58が、それぞれ、ソース66、ドレイン64とゲートに接触するために、酸化物54を通して形成される。アルミニウム、タングステン又は他の適切な金属のパターン化メタライゼーション70は、露出ピクセル電極62をソース60（又はドレイン）に連結し、ゲートとドレインを他の回路パネル構成要素に連結するために使用される。

第2作製手順は、ガラスに貼着された処理シリコンの薄い（1～5ミクロン）膜を形成するための開発された基板リリースプロセスの一つである。これらの膜は、転写の前に部分的又は完全に作製されるFETの如くアクティブ半導体デバイスを含む。転写（CLEFT）アプローチのための横方向成長エピタキシャル膜の劈開を含む結晶化及びリリース手順は、参照としてここに取り入れた米国特許第4、727、047号においてさらに詳しく記載される。化学エピタキシャルリフトオフ（CEL）アプローチは、米国特許第4、846、931号と第4、883、561号においてさらに詳しく記載される。CLEFTとCELの両技術は、基板が消費される他のアプローチと比較して費用の削減につながる基板の再使用を許容する。薄膜リリース技術をSOIウェハーと組み合わせることにより、ガラスにおいて必要な高品質膜及び回路を形成することができる。

上記は、CELプロセスがリリース層のHF（又は他のエッチャント）アンダーカットのために必要とされる横距離によって制限されることを示す。CELを使用する大領域パネルの鍵は、完全な大領域膜ではなくパターン化デバイス及び／又は回路のリリースである。というのは、回路又はデバイスは、エッチングをリリース層に達するようにするために膜を通った垂直チャンネルとして使用される未使用領域を有するためである。このアプローチは、第2H～2L図において示される。リリース基板から回路を除去するために、第1開口70（第2H図）が、ピクセル間に生ずる層36の露出領域において形成される。層34の第2大部分が、層36の部分が空洞72上に広がる如く空洞72を形成するために除去される。

第2I図において、支持柱76が、空洞72と開口70を満たすために形成され、層36の部分上に広がる。それから開口又はヴァイアホール74は、エッチャントがホール74又は横開口78を通して導入される如く、層36を通して設けられ、層34を除去する（第2J図参照）。残りの絶縁層36と支持された回路構成は、支持柱76により基板30に関して適所に保持される。

紫外光で硬化されるエポキシ樹脂が、透光性基板80を回路と層36に装着するために使用される。基板80は、柱76の回りのエポキシ樹脂84の領域が未硬化であり、残りのエポキシ樹脂82が硬化される如くパターン化される（第2K図参照）。基板30と柱76は、第2L図に示された構造を設けるために除去され、その後、所望のディスプレイパネルを設けるために処理される。

なお、UV硬化接着剤（又はテープ）が、必要な場合に回路を保護するためにパターン化され、そしてHFが、残りのリリース層に達するために使用される。なお、テープが使用される場合に、テープは、リリース後の回路への支持を設ける。膜を含む大領域GaAsデバイスが、このようにして作製され、そしてこれらは、一つのテープにおける全ウェハーからデバイスを形成するために剥離された。剥離された回路は、液晶表示パネルのガラスと他の要素上に再取付けされる。透明接着剤が、取付けの好ましい方法である。

最終表示パネルを形成するために、第2L図に示された回路パネルは、露出された所望のピクセル要素を残してエッチングされる。絶縁及び位置合わせ層、スペーサー、密封境界と連結用ボンディングパッドが、回路パネルに追加される。画面印刷プロセスが、境界を準備するために使用される。カラーフィルターと対向電極を含む板が、スペーサーの挿入後、密封境界で回路パネルに密封される。ディスプレイは、境界を通っている一つ又は複数の小さな注入孔を介して選択された液晶材料を注入される。それからこの注入穴は、樹脂又はエポキシ樹脂で密封される。第1及び第2偏光器膜又は層が、両側に貼着され、そしてコネクタが追加される。最後に、白光源114又は他の適切な光源が、偏光器112に結合される。

生ずるデバイスの断面図が、第3図に示され、この場合ピクセル電極102と104は、

10

20

30

40

50

相互に横に離間される。各ピクセル102、104はトランジスタ106と、関連したカラーフィルター120、122を有する。偏光要素112、118は、ガラス又はプラスチックの如く、ボンディング要素又は接着剤108と透光性基板110を含む構造の対向側に位置付けられる。層108は、2〜10ミクロンの厚さを有する透明エポキシ樹脂又は低温ガラスである。

CLEFプロセスは、再使用可能なホモエピタキシャル基板から化学蒸着(CVD)により成長された薄い単結晶膜の分離を許容する。CELプロセスと異なり、CLEFプロセスにおいて、回路又はデバイスは、まず、ガラスに貼着され、そして取付けの後、回路と基板の間の分離が行われる。

CLEFによって基板から除去された膜は、低欠陥密度の本質的単結晶であり、ほんの数ミクロン厚であり、そして結果的に、回路パネルは、小重量で、良好な透過特性を有する。本出願の目的のために、用語「本質的単結晶」は、多数の結晶が、少なくとも 0.1 cm^2 、好ましくは $0.5\sim 1.0\text{ cm}^2$ 以上の範囲において膜の平面における断面領域上に広がる膜を意味する。

米国特許第4、727、047号において示されたCLEFプロセスは、次の段階に係わる。リリース層(虚弱平面)上の所望の薄膜の成長、メタライゼーションと他の被覆の形成、膜とガラスの如く第2基板(又は上層)の間の貼着の形成、及び劈開による虚弱の組込平面に沿った分離である。それから、基板は、再使用のために利用される。

CLEFプロセスは、リリース層の頂部に連続膜を形成するために横エピタキシャル成長を使用して本質的単結晶材料のシートを形成するために使用される。シリコンに対して、横エピタキシーは、ISEプロセス又は他の再結晶手順によって達成される。代替的に、他の標準堆積技術が、必要な薄膜の本質的単結晶材料を形成するために使用される。

リリース層を形成する材料の必要な特性の一つは、層と半導体膜の間の接着力の欠如である。弱い平面はリリース層によって生成されるために、膜は、劣化なしに基板から劈開される。リリース層は、 Si_3N_4 と SiO_2 の多層膜を具備する。そのようなアプローチは、CMOS論理の裏面を皮膜保護するために SiO_2 の使用を許容する。(Si_3N_4 は、虚弱平面を生成するために溶解される層である。) CLEFアプローチにおいて、回路は、まず、ガラス又は他の転写基板に貼着され、それから、分離され、UV硬化テープと比較して単純な取扱いとなる。

ISEプロセスにおいて、酸化膜は、基板と回路を含むSi膜上に強力に付着される。この理由のために、貼着の強度を化学的に縮小することが必要である。この技術は、リリース層において虚弱平面を形成するために、完全な分離なしに、エッチャントで優先的に溶解されるリリース層に係わる。それから、膜は、ガラスが回路と電極に貼着された後に、機械的に分離される。

機械的分離は次の如く達成される。膜の上面が、ガラスの如く上層に透明エポキシ樹脂で貼着される。それから、膜とガラスが、劈開支持部として役立つ約5mm厚のガラス板に対してワックスで貼着される。金属くさびが、表面を離隔させるために2つのガラス板の間に挿入される。マスクは基板に対して低接着力を有するために、膜は、基板から劈開されるが、ガラスに取付けられたままである。それから、基板は、CLEFプロセスの別のサイクルに対して使用され、デバイス処理が、膜の背面において完成される。デバイスは上層に付着されているために、裏面側は、写真平版を含む標準ウェハー処理される。方法は、さらに、Si基板の場合にシーディングにより、異基板の場合に対してシーディングのない単結晶膜の準備に係わる。シーディングされたSi膜の場合に、標準再結晶化プロセスが使用される。いずれにせよ、底面酸化物又は窒化物層が、リリース目的のために最適化される。

第4図に概略的に示された再結晶化システムの一つの実施態様において、基板温度は、下方加熱器130によって融点近くまで昇温される。それから上方ワイヤ又は黒鉛条片加熱器132が、試料134の頂部を走査し、移動するメルトゾーン136を再結晶化させ、又は多結晶シリコンをさらに結晶化させる。Siにおける標準プロセスにおいて、横エピタキシーは、下方酸化物を通った小開口からシーディングされ、そして生ずる単結晶膜は

10

20

30

40

50

基板の配向を有する。キャッピング層 138 は、結晶化の前に多結晶材料上の堆積される。

異基板の使用は、シーディングを除外する。この場合に、本質的単結晶 Si が、結晶粒界エントレインメント技術によって獲得される。結晶粒界エントレインメントは、再成長領域において熱勾配の変調を導入するために、リリース酸化物又はキャップ層のいずれかをパターン化することにより使用される。温度場におけるこの変調は、メルト前線の位置を変化させ、そして予測可能な位置において境界を連行する。リリース酸化物 142 のパターン化が、第 5 A 図に示される。この実施態様において、基板 140 は、リリース酸化物 142 を充填させた溝 150 を有する。キャップ 146 とリリース層 142 の間に広がる結晶化材料 144 における境界 148 のエントレインメントのために、Si 回路又は電極は、高品質の領域において位置する。メタライゼーションと他の特徴は、亜粒界上に位置する。

10

図示された如く、好ましい技術は、必要なエントレインメント構造を有する再使用可能な基板をパターン化することである。いったんこのようにパターン化されたならば、再使用可能な基板は、再パターン化を必要としない。そのようなスキームにおいて、エントレインメント用溝は、溝を完全に充填するために十分な厚さの材料を設けられる。溝における材料は、例えば、プレーナ化 Si_3N_4 を具備し、リリース層は、 SiO_2 の一層の堆積を具備する。代替的に、溝は、 SiO_2 で完全に充填される。それから、溝はリリースエッチングのためのチャンネルとして機能する。

第 2 アプローチは、第 5 B 図に示された如く、キャップ堆積の後にキャップ層 145 をパターン化することを含む。キャップ 145 のパターン化隆起 147 は、キャップ 145 とリリース層 141 の間にある再結晶化材料における境界 148 に重なる。第 3 アプローチは、多結晶シリコン層をパターン化するものである。キャッピング層は、異基板で使用される。キャッピング層は、熱サイクルを通して粘着性でなければならないが、デバイス処理のために除去可能でなければならない。キャップは、滑らかな Si 基板に対して十分に作用するが、エントレインメントのために必要なパターン化層は、新しい膜を必要とする。

20

第 6 ~ 8 図は、ガラス基板への転写の前後の発明により作製された MOSFET の電気特性を示す。第 6 A 図は、直線領域においてゲート電圧 V_G の関数としてドレイン電流 I_D と相互コンダクタンス G_M をグラフで描き、この場合ドレインソース電圧は、ガラスへの転写の前の MOSFET に対して 50 mV である。MOSFET は、 $250\text{ }\mu\text{m}/20\text{ }\mu\text{m}$ の幅対長さ比と、 $0.5\text{ }\mu\text{m}$ 厚再結晶化シリコン材料において $890\text{ }\text{\AA}$ のゲート酸化物厚を有する。第 6 B 図は、ガラスへの転写の後の同一デバイスのドレイン電流 I_D と相互コンダクタンス G_M を示す。

30

第 7 A 図は、2 つのドレインソース電圧 $V_{DS} = 50\text{ mV}$ と $V_{DS} = 5\text{ V}$ において対数スケールにおいてプロットされた第 6 A 図のデバイスのドレイン電流をグラフで示す。

第 7 B 図は、ドレインソース電圧 $V_{DS} = 50\text{ mV}$ と $V_{DS} = 5\text{ V}$ において対数スケールにおいてプロットされた第 6 B 図のデバイスのドレイン電流をグラフで示す。

第 8 A 図は、 $V_{GS} = 0, 1, 2, 3, 4$ と 5 ボルトのゲート電圧において第 6 A 図のデバイスのドレインソース電圧の関数としてドレイン電流 I_D をグラフで示す。

40

第 8 B 図は、 $V_{GS} = 0, 1, 2, 3, 4$ と 5 ボルトのゲート電圧において第 6 B 図のデバイスのドレインソース電圧の関数としてドレイン電流 I_D をグラフで示す。

CEL アプローチに対して、一層の実施態様は、ガラス板における剥離回路の再取付けに係わる。塗布方法は、薄膜半導体と接着剤の間の様な密着を保証するが、薄膜において亀裂が入ってはならず、又は他の欠陥を導入してはならない。

方法は、分離される層の前面側に対するアピエゾンワックスの塗布に係わる。ワックスにおける応力は、湾曲を引上げ層に伝え、これにより、エッチング前面へのエッチング流体の接近を許容する。エッチング前面への接近は、リフトオフされる全領域の外縁からのみ達成される。

このプロセスは、 $2\text{ cm} \times 2\text{ cm}$ よりも大きな領域に対して数時間又は数日までにわたる

50

長いリフトオフ時間のために、大領域リフトオフに係わる応用のために限定的使用となる。湾曲は、エッチング前面へのエッチャントの接近を増大するために必要とされる。もし、リフトオフのために必要とされる湾曲は、低温ワックスによって生じ、その結果、このワックスが存在する間、高温処理は行われない。本試料は、しばしば、サイズに劈開され、基板再使用を許容しない。ワックス塗布プロセスは、自動化され、この手順が好ましい応用において基板再使用を許容するためにパターン化される。このプロセスは、裏面処理を必要としない個別の小領域に対してのみ使用される。

本発明の別の実施態様は、標準リフトオフプロセスにおいて黒ワックスに置き換わるために、種々の膨張係数を有する薄又は厚膜材料の組み合わせを使用することによって係わる。このプロセスは、第9A～9C図において示される。正しい温度を使用することにより、リフトオフのために必要とされた湾曲は、層における差分応力により達成される。単一層は、リフトオフされる材料に関して正しい膨張係数を有するならば使用される。この方法は、リフトオフ温度において正しい湾曲を伝え、室温において平坦であり、裏面処理中膜を支持する支持層を許容する。

10

本発明のこの実施態様を第9A～9C図の構造200に関連して以下に記載する。エピタキシャル層又は素子が形成される任意の適切な基板材料を具備する基板202が、設けられる。リリース層204は、基板202上に、好ましくはCVDにより成長される。薄膜シリコンリリース可能層に対して、 SiO_2 層が、前述の如く使用される。

半導体層構造206は、同様に、CVD又は他の前述の方法によりリリース層204上に形成される。構造206は、好ましくは、発明によりトランジスタのアレイの作製のために配置された材料を具備する。

20

例えば、CVDを使用することにより、構造206は、非常に薄く、すなわち、約5ミクロン未満、好ましくは、2ミクロン未満にされ、接触層は0.1ミクロン厚未満にされる。

必要なドーパントは、一般に、ソース、ドレイン及びチャネル領域を規定するために成長プロセスの後、拡散又は打込みにより導入される。次に、構造206は、ゲートと金属接点を形成するために従来の技術を使用して、前面又は頂面側において処理され、この場合各ピクセスは、必要に応じて、バスバーとボンディングパッドを配置される。

第1リフトオフ実施態様において、被覆208は、前面側処理構造206において形成される（第9A図）。被覆は、異なる熱膨張係数を有する厚又は薄膜材料の組み合わせから成る。例えば、被覆208は、窒化物、金属、バイメタル又はガラス応力被覆を具備する。接触メタライゼーション（不図示）がまた、接触層上にこの時点において塗布される。被覆層208と構造206は、従来の写真平版を使用してパターン化され、そして被覆材料208と構造206は、適切な選択エッチャントによるエッチングにより、第9B図に示された如くリリース層204まで所定領域において除去される。上記の段階は、被覆208の被覆材料の間に大きな熱応力が生じないほど十分低い所定温度において行われる。次に、温度は、十分な温度まで上昇され、被覆208において熱応力を生じさせる。この上昇された温度にある間、構造はリリースエッチャントに露呈される（第9C図参照）。リリースエッチャントは、究極的に、被覆208によって支持された分離素子構造206を除去させるためにリリース層204を十分にエッチングする。それから、これらの構造は、低温にされて熱応力が軽減され、続く裏面処理のために個別素子を平坦にしておく。このプロセスは、個別チップを裏面処理のために平坦にさせ、支持構造が、裏面処理温度に不浸透性のガラスの如く材料から形成されることにおいて、Gmitter他の黒ワックスプロセスに対するかなりの利点を設ける。

30

40

2つの異なる手順は、ウェハースケールリフトオフを達成するために使用される。第1の方法は、転写される膜が形成される全基板のエッチングに係わる。これは、「エッチバック」手順と呼ばれる。

第2の方法は、ウェハー又は試料の縁のみからリリース層に接近し、一つの大形シートとして材料を剥離する。この第2の方法は、同一ウェハーから引き上げられた素子の間の登録を必要としない場合である。登録が望まれないならば、自動化手順が、個別素子の大領

50

域又は材料の領域のリフトオフのために使用される。前面側処理が完了した後、UV硬化エポキシ樹脂が、所望のパターンで硬化され、非所望の部位を除去され、それから、リリース層までエッチングするためのマスクとして使用される。それから、UV硬化エポキシ樹脂は残され、分離の後に引き上げられた膜のための支持部として作用する。個別素子は、エッチング溶液から回収され、選出及び部位形式方法を使用して個別に処理される必要がある。

これらの代替リフトオフプロセスが、第10A～10E図を参照して以下に記載される。この場合第9図における対応項目は、第10図の同一参照番号を保持する。第10A図の部分斜視断面に示された如く、基板202は、その上にリリース層204と、続いて、素子構造206を形成し、すべては第9図に関連して記載された如くである。構造206へのボンディングパッドと金属接点（不図示）の如く全前面側処理は完了される。

10

溶解性でない又はエッチング可能でない状態からより溶解性又はエッチング可能な状態（又はその逆）へ変形される材料が、前面側処理構造206上に形成される。例えば、UV硬化性エポキシ樹脂230が、構造206上に広げられる。このエポキシ樹脂は、UV光への露出により非溶解性になる特性を有する。

それから、材料のUV透光マスクリリース層232が、エポキシ樹脂230上に形成され、そして開口236を具えるパターン化不透明マスク234が層232上に添着される。マスク234は、UV光を照射され、マスク開口236の下側のエポキシ樹脂の領域を硬化させ、未硬化状態におけるよりも非溶解性にする。リリース層232が除去され、そしてマスク234が除去される。次に、未硬化エポキシ樹脂は、リリース層204までの如く、溶剤によって除去される（第10B図参照）。

20

硬化エポキシ樹脂230は、リリース層204からの分離の後、薄膜構造206のための支持部として役立つために構造上残される。このようにして、エッチング前面は、チャンネル240をリリース領域204まで切込むことにより、構造206の全上面領域を小領域に分割することにより増大される。

ウェハーサイズリフトオフのための第2の方法は、引き上げられる全領域を小領域に分割することにより、エッチング前面の量を増大させることによる。チャンネルは、引き上げられる材料の全領域に切込まれ、これにより、リリース層を露出させる。これらのチャンネルは、領域を完全に分離し、又はリフトオフ領域へ部分的に切込むスリットから成る。

第2の方法は、露出リリース層へのエッチング媒体のより大きな接近を許容しながら、相互に関して材料の小領域を登録することを試みる問題を扱う。これを行う能力は、溶液からの容易な回収、裏面側におけるウェハースケール処理、及びエッチング前面の小領域と最大露出による短いリフトオフ時間を可能にする。このアプローチの重要な特徴は、すべてのエッチング前面にエッチング溶液の接近を設けながら、全ウェハー領域の登録を可能にすることである。

30

素子間の登録がトランジスタのアレイにおける如く、必要とされる場合に、第10C～10E図の代替実施態様のリフトオフ方法は多数の利点を設ける。

第10C図のこの代替プロセスは、露出リリース層へのエッチング媒体の接近を許容しながら、相互に関して材料の小素子又はピクセル領域を登録することを試みる困難な問題を解決する。これを行う能力は、溶液からの容易な回収、裏面側におけるウェハースケール処理、および小領域と最大エッチング前面による短いリフトオフ時間を可能にする。このアプローチはまた、全エッチング前面にエッチング溶液の接近を設けながら、全ウェハー領域を通じて素子の登録を可能にする。第10C図は、ウェハーの矩形部分区分を示す。ウェハーは、半導体基板202と、その上にCVDによって堆積されたリリース層204と、その上の前面処理トランジスタパネル206とから形成され、これらはすべて前述の如くである。

40

未硬化液体UVエポキシ樹脂250の如く変形可能な材料は、構造206の頂面又は前面に広げられる。前実施態様に関する離脱点は、プラスチックの如く透明材料から作られた穿孔プレーナ格子252がエポキシ樹脂250の頂部に位置合わせされる時、次の段階において行われる。穿孔256は、格子252の平面に直交し、かつ貫通する。

50

穿孔 2 5 6 を覆うために位置合わせされた不透明円 2 5 6 を具えるフォトマスクが、格子 2 5 2 上の添着される（第 1 0 C 図）。（オプションの UV 透過性マスクリリース層（不図示）が、マスク除去を容易にするためにマスク 2 5 8 と格子 2 5 2 の間に形成される。）UV 光は、マスク上に集束され、第 1 0 D 図に示された如く、不透明円 2 5 6 の下を除いてすべての下側エポキシ樹脂 2 5 4 を硬化させ、この場合エポキシ樹脂 2 5 0 の硬化区分は、影つき区分において示され、未硬化区分は空白である。マスク 2 5 8 は除去される。未硬化エポキシ樹脂 2 5 0 は、適切な溶剤によって開口 2 5 6 から除去され、そして構造 2 0 6 が、開口を通してリリース層 2 0 4 までエッチング除去される。それから、リリース層は、上記の如く、開口 2 5 6 を使用してエッチング除去される。エッチャントの接近が、こうして、ウェハーでの多数の点において達成され、硬化エポキシ樹脂 2 5 4 によって格子 2 5 2 に付着されたアレイを生ずる（第 1 0 E 図参照）。

10

登録への別のアプローチは、リリース 2 0 4 までエッチングすることにより、素子材料において直接にチャンネル 2 6 0 を形成し、これにより、材料のみにおいてチャンネルを形成するものである（第 1 1 A 図）。これらのチャンネルはまた、第 9 図の UV 硬化エポキシ樹脂パターン化方法を使用してより高くされ、それから、リリース層 2 0 4 までエッチングする（第 1 1 B 図参照）か、あるいは任意の他の方法により、第 1 1 C 図の平面図に示された如く分離される領域 2 7 0 の間にチャンネル 2 6 0 又は接近路を形成する。それから、支持部 2 8 0 が、チャンネル 2 6 0 上の材料 2 7 0 に付着され、そしてエッチャントが、チャンネルに沿って走らされ、これにより、ウェハーの中央へエッチャントを接近させる（第 1 1 D ~ 1 1 E 図）。より高いチャンネルは、高速リリースを達成するために、毛細作用を加速する補助をする。真空補助、超音波補助等を含む他の方法が、チャンネル 2 6 0 によるエッチャントの移動を加速するために使用される。

20

同一線に沿って、チャンネル 2 6 0 が、下のリリース層を露出させるために素子材料において作製される。それから、多孔性材料が、スピノンされ、あるいは前面に形成又は付着される。この材料は、UV、熱、又は溶剤処置等によって硬化された時、剛性又は半剛性であり、そしてこのため、基板からの分離の後、引き上げられた膜を支持することができる。材料は、エッチャントによって攻撃されることなく、エッチャント流体を通過するために十分に多孔性である。このようにして、エッチャントは、多孔性材料を通過し、そしてその露出点においてリリース層への接近を与えられる。

別の実施態様において、リリース層エッチャントが、下側支持構造が構造 2 0 6 に付着される前に、リリース層と接触される。このプロセスが作用するために、チャンネル 2 6 0 は、エッチャントがトラップされるために引き上げられる素子又は材料の領域の間に形成されなければならない。基本プロセスは、次の如くである。チャンネル 2 6 0 は、基板 2 0 2 においてリリース層 2 0 4 を露出させるリフトオフ領域 2 0 6 の間に形成される。これは、素子間にチャンネルを生成する前述の方法のいずれかにより行われる。非常に良好に作用する単純方法は、フォトレジストマスクングにより材料 2 0 6 に直接にチャンネルを形成し、続いて、リリース層 2 0 4 までエッチングするものである。これは、リリース層上の材料の高さに等しい高さのチャンネル 2 6 0 を材料において形成する。次に、エッチャントが、引き上げられる層の表面に配され、あるいはウェハーがエッチャントに沈められる。いずれにせよ、引き上げられる領域 2 0 6 の間のチャンネル 2 6 0 は、エッチャント材料で充填される。これが行われた後、リフトオフの後登録を保持する上側支持層が、ここで詳細に記載されるボンディング方法により構造 2 0 6 の前面に添着される。上側支持部は、材料 2 0 6 に固着され、一方、ウェハーは沈められ、あるいはエッチャントがウェハーの前面を覆い、チャンネルを充填する。支持材料は、形成されたチャンネルを満たさず、これによりエッチャントを押し出さないほど十分に剛性でなければならない。適切な支持材料は、ガラス、プラスチック又は他の透光基板を具備する。これは、エッチャント接近ホールを必要とせず、こうして、プロセスを非常に単純化する固体支持媒体を許容する。

30

40

トラップされたエッチャントは、薄膜領域 2 0 6 が、後の処理、すなわち、裏面導体メタライゼーションとボンディングパッドの形成ために、裏面を露出させて、支持部によって支持及び登録される間、除去される如く、リリース層 2 0 4 を十分に溶解する。

50

上記の支持材料のほかに、小形素子を取扱うために産業において非常に公知のUVリリーステープは、幾つかの理由のために優れた支持部の選定であることが立証された。これらのテープは、強いUV放射線に露出された時、接着力の大部分を失うという性質を有する。さらに、湿気は接着剤に影響を与えることはなく、液体に浸されても、極めて良好に塗布される。これらのテープは、単独で又は肥厚支持物と結合して使用される。この付加的な支持物は、永久的でないならばUV放射線を透過する材料から形成され、使用されるエッチャントによって攻撃されてはならない。

UVリリース接着剤は、テープ裏当て材の代わりに、他の支持材料に直接に塗布される。第12A～12C図に示された如く、両面UVリリーステープ282と組み合わされた支持物280が使用できる。テープ282の一方の側面が、支持物に接着される。それから、他方の側面は、エッチャントが塗布された後、構造206の前面に接着される。エッチャントは、それから、素子206をアンダーカットさせる。それから素子は、第12A図に示された如く、支持物280にリリーステープによって付着される。リフトオフ時間は、エッチャントがウェハー表面における多数の点からリリース層に接近するために、非常に短い。

このようにして、素子は、相互に関して登録され、裏面処理中、支持物280によって支持される。

それから、テープの接着力は、支持物を通したUV照射によって緩められ（第12B図又は第12C図）、そしてテープは、素子をなお付着したまま、キャリア280から取り除かれる。一層のUV露光は、素子を真空棒によって除去させ、テープ288から基板288（第12B図又は第12C図参照）又は他の媒体を具える任意の他のテープ284又はエポキシ樹脂286に直接に転写させるために十分な程度にまでテープへの素子の接着力を減少させる。0.5cm幅の個別領域が、この非湾曲方法によって引き上げられた。同時に引き上げられ登録される全ウェハーサイズは、ウェハーサイズによってのみ制限される。

示された如く、代替態様は、UV硬化接着テープ及びエポキシ樹脂の使用に係わる。接着剤は、薄膜トランジスタとCMOS回路要素をガラスに貼着するために使用される。接着剤は、14" x 14"以上の板に塗布される。塗布方法としては、スピンコーティング、蒸気コーティング、スプレー、及び必要な一様性と光学品質を設けるための標準厚膜塗布プロセスがある。

別の好ましい実施態様は、回路パネルにおいて粗に離間した位置に密に配置した素子を転写する方法を含む。第13A図、第13B図と第13C図に示された技術は、素子が正しく位置付けられるまで、伸縮性テープ又は膜の伸張又は収縮を使用する。この技術はまた、前述のリフトオフ手順と機械的又は伸縮及び機械的方法の組み合わせを含む。市販される素子は、膜の伸張を正確に制御するために使用される。多様な方法が、構成部品の適正な登録を設けるために、伸張と転写中素子の間隔を測定するために使用される。

構造300と関連して第13A図に示された如く、トランジスタ又は薄膜半導体領域304のアレイが、伸縮性基板302に転写された。トランジスタ又は領域304は、上記の手順により、あるいは任意の他の適切な手順を使用して作製及び転写された。基板302は、接着剤を具備する。

第1実施態様において、構造は、第13B図に示された如く軸306に沿って引伸ばされ、これにより、別の方向における素子間の距離310を同一にしながら、軸306に沿った素子304間の距離308を増大させる。それから、基板302は、第13C図において示されたアレイを生成するために、軸314に沿って引伸ばされる。この場合素子304は一方の方向において間隔308を有し、直交方向において間隔312を有する。

別の実施態様において、第13A図の構造300は、第13C図に示されたアレイを生成するために、方向306と314において同時に引伸ばされる。

機械的技術が、第14A図と第14B図において示される。テープにおける素子320のリフトオフアレイから開始する。このテープ322は、軸326に沿って進退し、軸328に沿って上下移動するフレーム324に据え付けられる。ドラム330は、その周囲の

10

20

30

40

50

回りにたわみ性テープ 334 を配置される。それから、器具 340 が、デバイス 324 上に押し出され、デバイスの第 1 行をドラムテープ 334 に押し出す。ドラムテープ 334 は、必要な角度で方向 332 において割り出され、そして再び、器具 340 は、間隔 338 を有するデバイスの第 2 行をテープ 334 に押し出す。これは、すべての行が転写されるまで続く。それから、デバイス 336 の行を有する第 1 ドラムテープ 334 が、フレーム 324 に据えられる。同一動作は、行を新ドラムテープ 339 に転写することにより続く。

別の実施態様は、テープを一方の方向において引伸し、これを別のテープに転移し、そしてそのテープを他の方向において引伸し、素子を最終支持物に転写するものである。この方法は、小形個別素子に良く適する。

10

転写又は最終基板における素子 304 間の距離を測定するためのシステムが、第 15 図に概略的に示される。レーザー 350 は、ビーム 352 を基板 354 の方向に向け、源を走査する。センサー 356 は、透過及び／又は反射光を検出し、かつ、ビームが素子 304 によって偏向される場合に信号を発生するように位置付けられる。コントローラ 358 は、素子 304 間の距離が正確に測定される如く基板 354 に関してビーム 352 の移動を相関させる。コントローラ 358 は、調整が素子の選択行又は列の間隔に為される如く、引伸し機構 360 に電氣的に連結される。

引伸し機構 360 は、基板 354 が付着されたカラーを通して押圧されるピストンから成る。基板 354 に対向しカラーを通ったピストン面の移動は、素子 304 間の間隔を増大させるために正確に規定された方法で基板 354 を引伸す。代替的に、その周囲に沿って基板を把持し、適切な方向において基板を正確に引張る第 15 図に示されたものと同様の市販される引伸し機構がある。

20

引伸しの後、登録された素子は、光弁 (LCD) 作製のためのガラス、ポリエステル又は他の適切な基板に転写される。代替的に、素子は、ディスプレイ作製のために発光デバイスに取り付けられる。

本発明の別の好ましい実施態様において、第 16 図に示された映写モニターがある。映写モニターは、映写スクリーン、鏡又はレンズである拡大表面 514 に究極的に向けられる多色像を生成する映写システム 500 を含む。映写システム 500 から表面 514 への直接の経路が第 16 図に示されるが、好ましい実施態様において、映写システムから出力された像は、表面 514 に映写される前に、光学幾何形状を通過される。冷却が、ファン又は適切なヒートシンクによって設けられる。

30

プロジェクタ内で、ハロゲン灯 502 からの光が、反射器 505 と集光レンズ 503 によってダイクロイックミラー 504 の交差対へ向けられる。集光レンズ 503 は、好ましくは、+X 方向において発せられた光を集光するために最大集光効率のために設計される。球面反射器 505 は、-X 方向において発せられた光を集め、灯の光をそれ自身に結像する。

灯 502 からの白光は、赤、緑及び青の原色部分に光を分離する交差ダイクロイックミラー 504 に向けられる。光の分離色は、3つの液晶光弁マトリックス 508 の各々の裏面 508a を照明するために隣接鏡 506 によって指向される。本発明により、各光弁マトリックス 508 は、トランジスタのアレイと、電極のアレイと、偏光器と、カバーガラスと、実質的単結晶のシリコンの薄膜及び光が（以下に詳細に記載される）表面 514 に選択的に透過される隣接液晶材料において形成したドライバーとを具備する。

40

各光弁マトリックス 508 は、照明光がマトリックスの前面 508b においてそれぞれの原色における像を形成するために液晶材料を選択的に透過される如く、個々の光弁を変調するためのドライバー回路によって制御される。それから、3つの原色像が、ダイクロイックプリズム 510 によって単一多色光ビームに光学的に結合される。光ビームは、映写レンズ 512 によって表面 514 に映写される。

別の好ましい実施態様において、映写システムは、拡大表面に映写される単色光ビームを生成するように変調された単一光弁マトリックスを使用する。さらに別の好ましい実施態様において、各光弁マトリックスは、光が表示用視野表面に選択的に透過される強誘電性

50

材料を使用する。

好ましい映写システムが3つの光弁マトリックスと特定の内部光学幾何形状に関して記載されたが、好ましい実施態様は、多様な内部光学幾何形状で構成された一つ以上の光弁マトリックスを含む。例えば、一つの好ましい実施態様において、高精細複合像が、個々の光学系を配置した4つ以上の光弁を有する映写システム520において生成される。第19図を参照すると、4つの光弁マトリックス521は、各々、 $N \times N$ ピクセルアレイを設ける。各光源523からの光は、それぞれのマトリックス521の裏面521aを照明するために向けられる。各光弁マトリックスは、照明光がマトリックスの前面521bにおいて像を形成するためにマトリックス内の液晶材料を選択的に透過される如く、個々の光弁（又はピクセル）を変調するための駆動回路（不図示）によって制御される。なお、各マトリックス521は単色又は多色像を生成することができる。

10

好ましくは35mm光学系と互換性の各像は、それぞれのレンズ525に向けられる。各レンズは、表面529の部分に映写される光ビーム527を設ける。それ自体、各マトリックスは、複合像の像セグメントを設けるように構成される。この構成を使用して、 $N \times 4N$ のピクセル密度を有する複合高精細像が生成される。それから、複合像は画面に表示され、又は表示用光学幾何形状を通して指向される。

別の好ましい実施態様において、一对の光弁マトリックスが、高精細像を設ける映写システムにおける光学配置で使用される。第20図を参照すると、一对の光弁マトリックス533と535が、映写システム531に位置付けられる。光源537からの光は、それぞれのマトリックスの裏面を照明するために向けられる。各マトリックス533と535は、駆動回路（不図示）によって制御され、そして単色又はカラー像を生成する。各マトリックスの前面側に形成された像は、それぞれのレンズ系に向けられる。さらに具体的には、マトリックス533によって生成された像は、集束レンズ539によって一对の鏡541と543に向けられる。像は、鏡541とともに別の鏡543から反射され、そして表面547の中央領域545に映写される。同様に、マトリックス535によって生成された像は、レンズ549と550によって鏡552と543に向けられる。しかし、鏡552は、鏡552と鏡543から反射された像が表面547の大領域554に映写される如く配置される。鏡543からの2つの反射像は、表面547において高解像度中央領域545と低解像度周辺部554を生成するように結合される。

20

本発明の原理を使用する像プロジェクタ560が、第21図に示される。プロジェクタは、像を視野表面（不図示）に映写するためのズーム又は可変集束レンズ572を使用する。ズームレンズ572を単純レンズと置き換えることにより、プロジェクタ内の映写システムは、第17図のモニターにおいて使用される。第21図の映写システムは、光を指向させるためにさらに別の光学構成を使用する。灯562からの白光は、鏡564から反射され、3つにダイクロイックミラーに向けられる。光の分離色は、3つの液晶光弁マトリックス568の裏面を照明するために鏡によって指向される。ドライバー回路（不図示）によって制御される各マトリックスは、マトリックスの前面側においてそれぞれの原色の像を形成するために光を選択的に透過させる。3つの原色像は、ダイクロイックミラー570を介してレンズ572に向けられる。レンズは、像を単一多色光ビームに結合する。第17図を参照すると、映写モニター515は、プロジェクタからスクリーン518へ光ビームを向けるための光学配置を含む。その目的のために、映写システム500は、単色又は多色光ビームを鏡516に映写する。鏡は、鏡からの反射光が視準される如く、映写システムに関して傾斜して位置付けられる。視準光は、大視野スクリーン518の裏面に向けられる。それ自体、像は、スクリーン518の前面において見られる。

30

40

本発明の原理を取り入れる別の映写デバイスは、第22図に示された映写モニターである。例示の目的の簡易性のために、単一光弁マトリックスと支持光学系幾何形状が示される。しかし、好ましい実施態様は、支持光学系幾何形状を各々有する複数の光弁マトリックスを含む。第22図を参照すると、光源578は、レンズ580によって鏡582に向けられる白光を発生する。ダイクロイックミラー582は、白色を単一原色に分離し、色光を光弁マトリックス584に向ける。光は、像を形成するマトリックスを選択的に透過さ

50

れ、像はレンズ５８５によって鏡の折畳み光学配置に向けられる。それ自体、像は、第１鏡５８６に向けられ、次に第２鏡５８８に向けられる。第２鏡は、その反射光が視準される如く位置付けられる。視準された単色像は、他の単色像と結合され、そして合成視準像は、大形視野スクリーン５９０の裏面に向けられる。それ自体、高精細像が、スクリーンの前面において見られる。

本発明の原理を取り入れるさらに別の映写デバイスは、第２１図に示された独立型プロジェクタである。前述の如く、プロジェクタ５６０は、複数の単結晶シリコン光弁マトリックスと高精細カラー（又は単色）像を生成するための光学幾何形状を使用する。合成像は、視野表面又はスクリーンの前面又は背面に映写可能な像ビームを形成するためにズーム又は可変焦点距離映写レンズ５７２を通して指向される。前実施態様における如く、プロ

10

ジェクタは、３５mm光学系と互換性でありながら、高精細像を設ける。
映写表示デバイスの好ましい実施態様は、一つ以上の光弁マトリックスを駆動するためのドライバー回路を含む。第２３図を参照すると、アクティブマトリックス６００は、共配置されたドライバー回路構成（第１Ｂ図参照）によって個別に作動される複数の光弁を具備する。共配置されたドライバー回路構成は、ビデオ条件回路６０２と、システムクロック６０４と、オプションの振幅対パルス持続時間（ＡＰＤ）コンバータ６０６と、列ドライバー６０８と、行ドライバー６１０とを含むドライバー回路をサポートすることにより制御される。

ビデオ条件回路６０２は、ＲＧＢ信号、ＮＴＳＣ信号又は他のビデオフォーマット信号、若しくは任意のデジタル又はアナログ信号であるビデオ出力信号を受信する。条件回路は、各原色に対して（ライン６１１、６１２と６１３における）個別ビデオ出力信号を生成する入信号と、列及び行ドライバー６０８と６１０に対する（ライン６１５における）同期化信号とを処理する。ライン６１１におけるビデオ入力信号は、データ流の各信号の振幅が各光弁を通過させた光の強度を決定するシリアルデータ流である。

20

ＡＰＤコンバータが使用されないならば、ライン６１５におけるシリアルデータ流６１５は、行ドライバー６１０によって受信される。行ドライバー６１０は、各信号データ流をバス６１８を通して光弁に送信する。列ドライバーは、ライン６１５において同期信号を受信し、同期信号に応答して、個々のトランジスタをオンにするためにバス６１９を通して送信し、データ流の関連信号をして各ピクセルにおけるコンデンサを充電させる。コンデンサは、アレイの次の走査まで、光弁における関連信号の振幅に比例する電荷を持続させる。

30

代替的に、ＡＤＰコンバータは、ビデオ出力データ流の各信号が、信号の振幅に比例するパルス幅を有するパルスに変換される如く使用される。いずれにせよ、ドライバー回路は、前述と同様にして動作する。

本発明の映写表示デバイスは、次に示す広範囲の現コンピュータフォーマット必要条件のいずれをも満足するピクセル密度を有する光弁マトリックスを使用する。

応用

表示フォーマット

(列 x 行)

1) 一般パーソナルコンピュータ	1 0 2 4 x 7 6 8
2) ワークステーション	1 2 8 0 x 1 0 2 4
(高度パーソナルコンピュータ)	1 5 8 0 x 1 2 8 0
	2 0 4 8 x 2 0 4 8
3) 他のワークステーション	1 1 5 2 x 9 0 0
(非標準)	1 2 8 0 x 1 0 2 4
	1 6 0 0 x 1 2 8 0

10

こうして、上記のピクセル密度のいずれかを有する一つ以上の単結晶シリコン光弁マトリックスを使用する表示モニターが、本発明により設けられる。

本発明の一つの特徴は、単結晶光弁マトリックスを使用する映写デバイスが高精細像を設けることである。高精細像は、高密度光弁アレイが単結晶シリコン膜において形成されるために可能である。表1を参照すると、光弁対角面がいろいろなアレイサイズとピクセル密度に対して示される。なお、アステリスクを伴う対角次元は、アレイが35mm光学系と互換性があることを示す。

20

35mm光学系の使用は、光弁像設計次元が42mm(1.654インチ)以内であることを必要とする前記の光学系の大きさ、重量及び費用を最小にすることにおいて重要な特徴である。このため、最高密度の情報内容を設ける光弁結像技術を使用することが望ましい。

ここで議論された光弁技術は2000ドット/インチの作成密度と互換性があると考えられる。これは、小形で、低費用かつ広範囲に利用可能な光学構成部品を使用して高精細像の映写を許容する。小形の光弁は、小形フォーマット集光レンズ組立体、ダイクロイックミラー、プリズム及び映写レンズの使用を許容する。続いて、記載されたプロジェクタとモニターのパッケージサイズは、小次元に維持され、構成部品重量も同様に最小化される。適切な35mmフォーマット光学構成部品が、広く利用され、大形及び/又はカスタム光学構成部品に関して低費用で獲得される。35mm互換光弁で満たされないプロジェクタ及びモニター必要条件に対して、より大形の従来又はカスタム光学構成部品が使用される。記載された光弁技術によって与えられた特定光弁フォーマットの最小サイズのために、類似の費用、サイズ及び重量の利点は、カスタム光学構成部品の調達に変容される。

30

前述の如く、ここで記載された光弁技術は、35mmフォーマット光学構成部品を使用して、1024x768ないし2048x2048ピクセルの映写アレイを実現するために使用される。これは、比較的小形の次元と低重量において高精細カラー及び単色像プロジェクタ及びモニターの実行を許容する。

40

モニターの一つの実現は、データ窓接近のために付加的なスクリーン余地のある2つの併置8.5インチx11インチページのディスプレイのために適する17.5インチx11.5インチ像を形成するものである。前述の光弁及び映写技術の使用は、モニターの物理フォーマットを22インチ高以下、20インチ幅以下、及び10インチ深以下にすることができる。この実現における単一の150~300ワット金属ハロゲン灯の使用は、25フィートランバート以上の輝度において後方伝搬スクリーン像を設ける。スクリーン材料の選定は、最大視野角のための単純拡散器又は縮小立体視野角での最大輝度のためのレンズ構成を含む。

50

表1 対角アレイ次元 – インチ／(MM)

光弁マトリックスにおける作製ドット／インチ (DPI)

アレイ	800	1000	1200	2000
サイズ				
1024x768	1.600*	1.280*	1.137*	0.640*
	(40.64)	(32.51)	(28.88)	(16.26)
1280x1024	2.049	1.639*	1.366*	0.820*
	(52.04)	(41.63)	(34.70)	(20.82)
1580x1280	2.542	2.033	1.695	1.017*
	(64.56)	(51.65)	(43.05)	(25.82)
2048x2048	3.620	2.896	2.414	1.448*
	(91.96)	(73.57)	(61.32)	(36.78)

本発明の別の特徴は、単結晶シリコン光弁を使用する映写表示デバイスが、高輝度の像を設けることである。これを達成するために、映写表示デバイスにおいて使用された各単結晶シリコン光弁マトリックスは、全マトリックス領域に対する透明領域の割合として規定された高光学開度を有する。表2は、いろいろな光弁アレイに対する光学開度を設ける。一般に、アレイに対する最小許容光学開度は、40%であることが注目される。表2によって示された如く、ピクセル密度が増大し、像解像度を増大させると、光学開度は減少する。しかし、切換デバイスサイズ及び／又は所与のピクセル密度に対する相互連結サイズの縮小は、光学開度を増大させる。

10

20

30

表2 光学開度算出

トランジスタ長 (μm)	3	3	3	3
トランジスタ幅 (μm)	6	6	6	6
線幅 (μm)	2	4	6	8
線/インチ	1000	1000	1000	1000
ピクセルサイズ (μm)	25.4	25.4	25.4	25.4
格子陰影 (平方 μm)	97.6	187.2	268.8	342.4
トランジスタ陰影 (平方 μm)	18	18	18	18
ピクセル面積 (平方 μm)	645	645	645	645
パッキング因子 (%)	85	85	85	85
光学開度 (%)	69.8	58.0	47.2	37.5

トランジスタ長 (μm)	3	3	3	3
トランジスタ幅 (μm)	6	6	6	6
線幅 (μm)	2	4	6	8
線/インチ	800	800	800	800
ピクセルサイズ (μm)	31.8	31.8	31.8	31.8

10

20

30

格子陰影 (平方 μm)	1 2 3	2 3 8	3 4 5	4 4 4
トランジスタ陰影 (平方 μm)	1 8	1 8	1 8	1 8
ピクセル面積 (平方 μm)	1 0 0 8	1 0 0 8	1 0 0 8	1 0 0 8
パッキング因子 (%)	8 5	8 5	8 5	8 5
光学開度 (%)	7 3. 1	7 3. 1	7 3. 1	7 3. 1

10

トランジスタ長 (μm)	3	3	3	3
トランジスタ幅 (μm)	6	6	6	6
線幅 (μm)	2	4	6	8
線/インチ	1 2 0 0	1 2 0 0	1 2 0 0	1 2 0 0
ピクセルサイズ (μm)	2 1. 2	2 1. 2	2 1. 2	2 1. 2
格子陰影 (平方 μm)	8 0. 7	1 5 3. 3	2 1 8. 0	2 4 7. 7
トランジスタ陰影 (平方 μm)	1 8	1 8	1 8	1 8
ピクセル面積 (平方 μm)	4 4 8	4 4 8	4 4 8	4 4 8
パッキング因子 (%)	8 5	8 5	8 5	8 5
光学開度 (%)	6 6. 3	5 2. 5	4 0. 2	2 9. 5

20

30

トランジスタ長 (μm)	3	3		3
トランジスタ幅 (μm)	6	6		6
線幅 (μm)	2	4		8
線/インチ	2 0 0 0	2 0 0 0	2 0 0 0	2 0 0 0
ピクセルサイズ (μm)	1 2. 7	1 2. 7	1 2. 7	1 2. 7
格子陰影 (平方 μm)	4 6. 8	8 5. 6	1 1 6. 4	1 3 9. 2
トランジスタ陰影 (平方 μm)	1 8	1 8	1 8	1 8

40

ピクセル面積 (平方 μm)	161.3	161.3	161.3	161.3
パッキング因子 (%)	85	85	85	85
光学開度 (%)	50.9	30.4	14.2	2.2

別の好ましい実施態様において、成長及び転写プロセスが、第24A～24D図に示された如く、ガラス上に位置付けられた単結晶シリコンの薄膜を設けるために使用される。第24A図を参照すると、シリコンのバッファ（絶縁体）層528が、シリコン基板526においてエピタキシャル成長される。緊張したGeSi層530は、バッファ層528上にエピタキシャル成長され、そして単結晶シリコンの上層432は、GeSi層上にエピタキシャル成長される。緊張した層530は、上側シリコン層532に通抜けする不適な欠陥形成を避けるために、数百オングストロームの次元において、薄くなければならない。

第24B図を参照すると、前述の技術のいずれかの如く集積回路処理技術が、単結晶シリコン層532において光弁マトリックス回路構成534を形成するために使用される。次に、処理ウェハーが、エポキシ樹脂接着剤でガラス又はプラスチック支持物536（第24C図）に取り付けられる。エポキシ樹脂は、処理によって形成された空隙を満たし、前面と支持物536に接着する。シリコン基板526とバッファ層528は、エッチストップ層（第24D図）として役立つGeSi層530でエッチングされる。それから、GeSi層は、シリコン膜532に影響することなく、選択的にエッチング除去される。

第25A～25C図は、シリコンの薄膜回路をガラス基板に転写かつ接着するための別の好ましいプロセスを示す。開始構造は、酸化層716とポリSi、a-Si又はx-Si714の薄膜がISE又はCLIFTの如く前述のプロセスのいずれかを使用して形成されたシリコンウェハー718である。ピクセル電極、TFE、Siドライバー及びSi論理回路の如く複数の回路が、薄膜において形成される。第25A図は、3つのそのようなウェハーA、B、Cを示す。ウェハーAにおいて、論理回路740が形成される。ウェハーBにおいて、ピクセル電極762とTFE751が形成される。ウェハーCにおいて、ドライバー回路720が形成される。ウェハーは、接着剤721を使用して、ガラス又は他の透明絶縁体の如く上層転写本体712に付着される。好ましくは、接着剤は市販されるエポキシ樹脂から成る。

ウェハーは、接着剤721を使用して、ガラス上層712に付着される。それから、サンドイッチ構造が、貼着が完全に成熟されることを保証するために硬化される。この硬化なしでは、ある接着剤は、続くエッチング段階まで持ちこたえない。

それから、ウェハーが清浄され、自然酸化物718が裏面からエッチング除去される。ウェハーは溶液（KOH又は等価物）に入れられる。観察者は、プロセスを監視し、薄シリコン層714にまで通過することなく埋込み酸化層716においてエッチングを停止する。代替的なエッチャントは、ずっと高いエッチング率選択度を有するヒドラジンか、又はエチレンジアミンピロカテコール（EDP）である。

シリコンが完全に消失した時、KOHにおけるシリコンエッチングに特性的な活発な泡立ちが突然に停止し、エッチングが完了したことを知らせる。

それぞれのガラス上層712に転写された薄膜714は、水洗いされ、乾燥される。回路740、751、762又は720をまだ設けてないならば、膜714は、所望ならば裏側の回路を処理される。

上記の光弁マトリックス作製プロセスにおいて、液晶材料の回位欠陥が、膜において形成された非平面回路形態によって誘発され、不規則な積重ねと続く像収差を生ずる。平面化回路は、回位問題を排除する。オプションとして、平坦表面を設けるために、透光性基板への膜の転写の後に酸化層を使用する。酸化層は、均一な形態が設けられる如く平面又はほぼ平面（すなわち、その表面での一様性 ≤ 1 ミクロン）である。それから、必要なシー

10

20

30

40

50

ルド又はピクセル回路が、実質的に回位のない平面化回路を生成するために形成される。上記の実施態様において、1～2インチの対角線を有する光弁マトリックスは液晶容積（第1A図参照）においてスペーサーを必要としないことが注目される。スペーサーは非透光要素であるために、容積からそれらを除くことは、光学開度を改良し、こうしてマトリックスの輝度を増大させる。また、小ピクセル幾何形状においてスペーサーによる光学収差を防止する。

所望の輝度を提供するために必要な映写システムにおいて使用された光の高強度のために、光源に対する単結晶ピクセルトランジスタの感度は、性能を減ずる。光源は、100～1000ワットを生じ、好ましくは、150～300ワットの範囲において動作するハロゲン灯である。離散レーザー（RGB）、陰極線ルミネセンス光源、及び同様の単位面積当たりのパワーレベルを生成するアーク灯の如く、他の光もまた使用される。このため、光源に対するアクティブマトリックスの感度を縮小することが望ましい。これは、各トランジスタの方に指向又は散乱された光を実質的に減衰させる光シールドでアレイにおいて各トランジスタの一方又は両側を遮蔽することにより達成される。金属又は他の非透光性材料が、シールドとして使用される。シールドが金属である時、それはまた、遮蔽されるトランジスタに対する内部連結又はゲートとして役立つ。通常の入射において、金属シールドは、2000～10、000オングストロームの範囲において厚さを有するシリコンバンドギャップ以上の波長において源からの光を完全に減衰させる。遮蔽はまた、周辺回路の方に向けられた光を減衰又は阻止するためのアクティブマトリックスの縁の回りで使用される。

第26A～26E図において、映写システムのための二重遮蔽アクティブマトリックスアレイを作製するためのプロセスが示される。左側図は、各段階又は実施態様のピクセルトランジスタの断面図を示す。第26A～26C図と第26E図における右側図は、トランジスタ804、ピクセル領域811、及び内部連結線808と810を含む頂面図を示す。第26A図において、シリコン基板800、酸化層802、ソース及びドレイン804領域、チャネル領域805、第2酸化層806、及びトランジスタ804のためのゲート及びソースコネクタとして役立つ内部連結線808と810の部分が示される。第26B図は、線808の部分の間にブリッジ内部連結を設けるために形成された第3酸化層812とホール814を示す。第26C図において、酸化物812上の、内部連結線808へのホール814を通った第1金属遮蔽816の形成が示される。第1シールド816は、正常入射光が回路パネルの一方の側からトランジスタ804に達するのを実質的に阻止する表面領域を有する。シールド816の領域は、アレイの光学開度を維持するために最小にされる。第26D図は、ガラス基板818へのパネルの転写と第2シールド820の形成の後に作製された本体接点822の使用を示す。そのような本体接点の作製は、以下にさらに十分に記載される。第26E図において、第2裏側ゲート826として第2シールド824の部分の使用が示される。ゲート826は、前面側ゲート領域808とは反対側のチャネルを制御するために使用される。本転写プロセスは、こうして、光学内部連結、光学遮蔽内部連結、及びアレイにおける各又は選択トランジスタの両面ゲートを設けるために付加的な裏面処理を設ける。

光弁像プロジェクタ及びモニター構成は、像提示以外の応用のために使用される。これらは、電子印刷と写真像記録のための像発生／投影を含む。前者において、光弁及び像映写光学系は、（ゼログラフィー又はレーザープリンタプロセッサの結像ドラムにおける如く）電子写真媒体において像を形成するために使用される。重要な利点は、全2次元像が、一度に露出されることである。写真応用に対して、像は写真フィルム又は紙に投影される。

カラーは、ダイクロイックミラーの代わりにカラーフィルターの使用によりプロジェクタ又はモニターにおいて実現される。一つの実現において、単一又は多重灯からの白光が、適切なカラーを割当てられた光弁への入射に対して赤、緑及び青フィルターの各々を通してされる。代替的に、色フィルターは、光弁組立体に直接に作製される。これは、光弁における単一色フィルター（例えば、赤、緑又は青）、あるいは光弁を構成する離散要素にお

10

20

30

40

50

ける色フィルターの特定整合により為される。後者は、単一光弁を使用してカラー像を獲得させるが、要素が赤、緑又は青フィルター又は赤、緑及び白フィルターをそれぞれ割り当てられるために、カラーピクセル密度を3又は4の因子だけ削減される。代替的に、減法色フィルター（黄、シアンとマゼンタ）が、同様に使用される。

プロジェクタ／モニター設計における重要な基準は、灯光源によって発生された熱の管理である。この熱のかなりの部分は、灯から発出する赤外（IR）放射線の形式である。このIR放射線を制御する方法は、IRフィルターによる吸収か、又は続く光学系への可視光の高い透過を許容するIR「熱鏡」による反射である。別の方法は、可視光経路からIR放射線を分離し、プロジェクタ又はモニターハウジングを直接に出るようにIRを指向させるダイクロイックミラーの使用である。

記載された技術により形成された光弁パネルは、35mmフォーマット光学系と互換性がある。このため、この結像装置は、組み立てられた装置がその像が従来的一般利用される35mm「スライドプロジェクタ」を介して映写される標準35mm写真透明画と等価物理次元を有する如く、作製される。こうして、光弁プロジェクタの実施態様は、標準マウント35mm透明画と等価なサイズであるように包装された、ここで記載された集積駆動電子系を具える単一光弁マトリックスパネルを使用し、かつ、映写像を発生するために、修正なしに35mm「スライドプロジェクタ」にモジュラー電子結像装置を挿入するものである。光弁結像装置は、ここで記載された如く、電子系を制御するためにケーブルによって連結される。この実施態様において、単一光弁パネルは、別途記載された如く適用色フィルターの使用により単色像又は色像を発生する。この実施態様のために使用された光弁パネルは、他の実施態様に対して記載された如く、同一作製要素／ピクセル密度を有する。従って、本発明の他の好ましい実施態様は、単色又は多色像を設けるために従来の35mmスライドプロジェクタにおける使用のために適合されたアクティブマトリックス（AM）スライド組立体に向けられる。従来のスライドプロジェクタは、第27図に示される。プロジェクタ830は、スライド透明画から、映写スクリーン又は任意の比較的平坦な表面である拡大表面834に映写される単色又は多色像832を生成する。

スライドプロジェクタ830内に、ハロゲン灯835からの光が、反射器836とオプションの集光レンズ837によってスライド室838に向けられる。球面反射器836は、-X方向において発せられた光を収集し、灯の光をそれ自身に結像する。集光レンズ837は、好ましくは、+X方向において発せられた光を収集するための最大収集効率に対して設計される。灯836からの白色は、スライド室838において位置付けられたスライド透明画（不図示）に向けられる。照明光は、スライドを通過する時処理され、光学システム840に向けられる像を生成する。像は、光学システム840によって表面834に映写される。

本発明により、アクティブマトリックススライドは、灯からの光を選択的に透過するためにスライド室において確実に位置付けられるように適合され、視野表面への映写のために光学システムに対して単色又は多色像を設ける。アクティブマトリックススライドの好ましい実施態様が、第28図に示される。AMスライドの基本構成部品としては、第1偏光フィルター842、ガラス基板844、透明及び伝導性ITO被覆846、エポキシ樹脂接着剤847、アクティブマトリックス回路パネル848、第2透明及び伝導性ITO被覆854、ガラス上層856、及び第2偏光フィルター858がある。これらの構成部品は、層状構造において配置され、35mmスライドプロジェクタ室に確実に据えられるような次元のスライドハウジング（第29A図において不図示）において固定される。ハウジングの側壁、ITO被覆及び上層は、アクティブマトリックス回路構成に対する電気遮蔽を設けることが注目される。液晶材料（不図示）は、回路パネル848とガラス上層856の間の容積855に置かれる。

本発明のアクティブマトリックススライドの重要な特徴は、現スライドプロジェクタと互換性があることである。第27図を参照すると、現プロジェクタ830のスライド室838は、最大3／8インチの厚さを有する標準2x2インチスライドを受け入れるような次元である。標準35mmスライドは、通常、かなり小さな厚さを有するために、バネ負荷

10

20

30

40

50

スライド保持器 839 が、室においてスライドを固定するために設けられる。本発明により、アクティブマトリックススライドは、修正なしにスライド室において確実に位置付けられる如く、約 3/8 インチ以内の厚さと 2 x 2 インチ面を有する。

他の実施態様に関して前述された如く、アクティブマトリックス回路パネル 848 は、駆動回路によって個別に作動されるピクセル又は光弁のアレイ 850 を有する。駆動回路は、アレイに隣接して位置付けられた第 1 及び第 2 回路構成部品 18、20 を含み、照明光が単色又は多色像を形成するための液晶材料を選択的に透過される如く、個々の光弁を変調するために光弁に電氣的に連結される。

上記の如く、アクティブマトリックス回路構成は、色フィルターの使用によりカラー像を設けるように適合される。一つの実施態様において、プロジェクタ光源からの光は、適切な色を割り当てられた光弁に対して赤、緑及び青フィルターの各積重ね配置を通過される。代替的に、色フィルターは、各光弁に直接に作製され、そして光弁は、一様なカラー像を設けるためにフィルター色によって配置される。例えば、ピクセルは、3つの色フィルターが使用される三重配置において配置されるか、又はピクセルは、4つのフィルターが使用される四重配置において配置される。

好ましい実施態様において、アクティブマトリックス回路パネル回路構成が、シリコンの如く半導体材料の層に又は上に形成される。任意の数の作製技術がポリシリコン又は単結晶シリコンの好ましい薄膜を設けるために使用されることが注目される。アクティブマトリックスが単結晶シリコンの薄膜において形成される実施態様において、前述のピクセル密度の任意が、高精細像が生成される如く設けられる。他の好ましい実施態様は、固体材料を使用し、又はその光学透過特性が電界の印加によって変更される材料が本発明の AM スライドに対して光弁を供給するために使用される。

ピクセルを制御するために使用される駆動回路が、第 1 B 図に示される。回路 18 は、入り信号を受信し、信号をバス 13 を通してピクセルに送信する。回路 20 は、各ピクセルにおけるコンデンサ 26 を充電する個々のトランジスタ 23 をオンにするためにバス 19 を走査する。コンデンサ 26 は、アレイの次の走査まで、各ピクセル電極と液晶 21 において電荷を持続させる。発明の多様な実施態様は、各ピクセルが所望のスライドの形式によるコンデンサを使用する又は使用しない。

スライドプロジェクタで使用されるアクティブマトリックススライド組立体の好ましい実施態様が、第 29 A ~ 29 B 図に示される。第 29 B 図を参照すると、スライド組立体 860 は、ハウジング 862 とアクティブマトリックススライド 864 を含む。ハウジング 862 は、スライド組立体 860 がスライド室 838 に確実に配設される如く、スライドプロジェクタ 830 に位置付けられる。第 29 A 図を参照すると、スライドは、腕 867 によってハウジング 862 に回転可能に取り付けられる。それ自体、スライドは、保管位置（破線）と動作位置を有する。スライドが動作位置に回転される時、すべり遮蔽カバー 870 は、ハウジングを密封するために閉位置（図示の如く）に移動される。

ハウジングは、好ましい、ケーブル 863 によってスライドに電氣的に連結された遮蔽付き電子系組立体 865 を内蔵する。電子系組立体 865 は、コンピュータ又は任意のビデオ装置である像発生装置 868 へ連結するための入力ケーブル（又はコネクタ）を有する。装置 868 によって設けられた像データは、電子系 865 によって処理され、AM スライド 864 の駆動回路構成に送信される。受信データに応答して、駆動回路構成は、光源 835 からの照明光が単色又は多色像を形成するためにスライドを選択的に透過される如く、個々のアクティブマトリックス光弁を変調する。

アクティブマトリックススライド組立体の別の好ましい実施態様が、第 30 図に示される。スライド組立体 872 は、電子系ハウジング 874 と、バネ負荷腕 877 によってハウジングに併進可能に取付けたアクティブマトリックススライド 876 とを含む。それ自体、スライドは、ハウジングにおける保管位置（破線）と垂直軸 878 に沿って位置する動作位置を有する。スライド 876 は、スライドプロジェクタ（不図示）の室において位置付けられる如く動作位置に移動される。スライドが動作位置にあると、遮蔽付きカバー 879 は、垂直軸 878 に直交する軸に沿ってハウジングを密封するための閉位置（図示の

10

20

30

40

50

如く)に移動される。代替的に、カバーは、スライドが動作位置に移動される時、スライド876が移動されるハウジング874における開口がカバーによって密封される如く腕877に装着される。別の実施態様において、スライド876は、ハウジング874の内壁における軌道に取付けられ、軌道に沿って滑動することにより動作位置に移動される。

第31図に示された別の好ましい実施態様において、アクティブマトリックススライド組立体880は、AMスライド882と遠隔電子系ハウジング884を含む。スライド882は、スライドプロジェクタ830の室838において確実に位置付けられるような寸法である。スライド882は、ケーブル885によって遠隔ハウジング884における電子系に電氣的に連結される。

10

前記の如く、アクティブマトリックススライド組立体(第29A図、第30図と第31図)の好ましい実施態様は、アクティブマトリックス光弁を選択的に作動させるためのドライバー回路を含む。第32図を参照すると、アクティブマトリックス886は、共配置されたドライバー回路構成(第1B図参照)によって個別に作動される複数の光弁を具備する。共配置されたドライバー回路構成は、信号処理回路888、システムクロック890、パワー条件回路891、列ドライバー18及び行ドライバー20を含むドライバー回路構成をサポートすることにより制御される。

信号処理回路888は、RGB信号、NTSC信号又は他のビデオフォーマット信号、若しくは任意のデジタル又はアナログ信号である入力信号をケーブル892を介して受信する。信号処理回路は、入り信号を処理し、そして(多色アクティブマトリックスに対して)、各原色のための分離ビデオ出力信号と、列及び行ドライバーのための同期化信号とを生成する。これらの信号は、列ドライバー(バス893を介して)と行ドライバー(バス894を介して)に設けられる。ライン895におけるビデオ出力信号は、データ流の各信号の振幅が各光弁を透過した光の強度を決定するシリアルデータ流である。代替的に、ビデオ出力信号は、光強度を指示するデジタルフォーマットデータ流である。

20

ライン895におけるシリアルデータ流は、行ドライバー18によって受信される。行ドライバーは、各信号データ流をバス896を通して光弁に送信する。列ドライバー20は、同期信号に応答して、個々のトランジスタをオンにするためにバス897を通して信号を送信し、データ流の関連信号により各ピクセルにおけるコンデンサを充電させる。コンデンサは、アレイの次の走査まで、光弁において関連信号の振幅に比例する電荷を持続させる。

30

第33図に示された別の好ましい実施態様において、アクティブマトリックススライド組立体900は、AMスライド902と、遠隔電子系ハウジング904とを含む。スライド902は、35mmスライドプロジェクタ830の室838において位置付けられる寸法である。前述の実施態様と対照的に、スライド902は、電子系ハウジング904に物理的に連結されない。代わりに、ハウジングにおけるスライドと電子系は、それぞれ、アンテナ要素905と906を介して相互に通信する。好ましい実施態様において、アンテナは、一对のRFアンテナであるか、又はフォトダイオード要素である赤外線受信器要素と対にされた赤外LEDの如く赤外線送信器要素である。アンテナ905は、室838に対する手動挿入及び除去を設けるために、取手(不図示)に一体化される。

40

第33図のアクティブマトリックススライド組立体のためのドライバー回路が、第34A~34B図に示される。第34A図を参照すると、ドライバー回路構成は、信号処理回路888、システムクロック890、パワー条件回路891、列ドライバー18、行ドライバー20、光起電力源908、バッテリー910、RF受信器912及びデマルチプレクサ914を含む。RF受信器912は、アンテナ911からRF信号の流れを受信する。デマルチプレクサ914は、前述の信号処理回路888によって処理される如く、RF信号流をフォーマット化する。バッテリー910と光起電力源908は、個々に又は合体して、アクティブマトリックススライド回路構成の動作をサポートするためにパワーを設ける。光起電力源908は、アクティブマトリックススライドにパワーを設けるためにスライドプロジェクタ光源エネルギーを使用し、このため、(第33図に示された)光源に面する

50

スライド外面に取付けられる。

第34B図を参照すると、ドライバー回路構成は、信号処理回路888、システムクロック890、パワー条件回路891、列ドライバー18、行ドライバー20、光起電力源908、バッテリー910及び赤外線検出器フォトダイオード913を含む。フォトダイオード913は、信号処理回路888によって処理された電子系（不図示）から赤外線信号を受信する。

第35図に示された別の好ましい実施態様において、アクティブマトリックススライド組立体920は、AMスライド922とアダプターユニット924を含む。スライド922は、光源835によって発生された光を受信するために室838に確実に位置付けられる寸法である。光起電力源908は、アクティブマトリックスにパワーを設けるために光源835に面するスライド838に位置する。スライドプロジェクタは、プロジェクタ光源835にパワーを供給するための電気エネルギーを収容するために、コンセント（不図示）に一般に差込まれるプラグ926を含む。しかし、この実施態様において、プラグ926は、電気エネルギーを収容するためにアダプターユニット924に差込まれる。アダプターユニットは、入力パワー線927を介して電気エネルギーと入力信号線928を介して像情報を受信する。アダプターユニットは、ライン927において受信された入り電気エネルギーへ受信像情報を表現する符号化信号を結合するサポート電子系を収納する。符号化像信号による電気エネルギーは、パワーをプロジェクタに設けるためのプラグ926に向けられる。光源835は、収容電気エネルギーの幾らかをアクティブマトリックススライドに向けられる光に変換する。それ自体、符号化像信号は、光源によってスライドに送信される。検出器925は、符号化信号を受信するためにスライドに位置付けられる。前述の如く、標準35mmスライドと等価次元のアクティブマトリックススライドが、作製される。これは、前述の作製プロセスが、第36図に示された如く単一ウェハーから複数の小アクティブマトリックス回路パネルを生成することができるために達成される。6"シリコンウェハー930を使用して、多数のアクティブマトリックスが、上記の処理技術の任意によりウェハーから生産される。本発明は、寄生キンク及びバイポーラ効果が非常に縮小される浮遊体半導体MOSFETを作製する方法を設ける。これらの効果は、素子性能のより実質的な劣化を生ずるnチャネルMOSFETにおいて特に重要である。改良が為される媒体は、素子のソース／本体（エミッタ／ベース）接合部に隣接した欠陥の形式における再結合中心の意図的形成である。これらの再結合中心は、電子とホールの再結合を容易にし、実際に、素子の本体における電荷蓄積を放電することにより、衝撃イオン化から生ずる電荷蓄積を縮小する。

これらの寄生効果は、電子に対して1よりも小さな1対2の概略値であるホールに対するイオン化率のために、nチャネル素子に対してのみ重要である。本発明において、浮遊体半導体MOSFET素子を作製する方法は、半導体材料を設け、半導体材料において第1導電形（一般にn形）のソース領域を作製することを含む。第2導電形のチャネル領域はまた、p-n接合部がソース領域とチャネル領域の間に形成される如く、ソース領域に隣接した材料において作製される。それから、打込み手順が行われ、この場合材料は、電子とホールが再結合する比較的高濃度の再結合中心の形成を生じさせる導電性p-n接合部の近くに打込まれる。打込みに続いて、半導体材料は、400℃～600℃の範囲において、好ましくは約450℃において行われる比較的低温のプロセスにおいてアニールされる。

再結合中心の生成は、幾つかの打込み手順の一つを使用して、本発明において達成される。第1実施態様において、電子トラップを生成する材料が打込まれる。これらの電子トラップは、材料のバンドギャップ内で既知のエネルギーレベルにある。これらの電子トラップを生成するための特に良好な材料は、硫黄である。第2実施態様において、材料は、半導体材料の結晶構造における欠陥をp-n接合部の近接において生成するために打込まれる。このタイプの打込みのための良好な材料は、シリコン又はゲルマニウムを含む。これらの材料の打込みは、半導体材料において所望の欠陥を生成する。

本発明の上記の両実施態様は、チャネル領域においてホールの蓄積の放電を許容すること

10

20

30

40

50

において類似の結果をなし遂げる。本発明は、特に、浮遊体素子、特にnチャネルMOSFETに向けられる。生ずるトランジスタ構造は、改良された電流電圧特性を有し、そしてキंक及びバイポーラ寄生効果に付随した不都合は非常に解消される。

本発明は、上記のものの如く、表示パネル用のアクティブマトリックス駆動回路のために使用されたトランジスタのアレイの使用において特に有益である。

第37図は、「キंक」1010においてキंक効果を示す浮遊体SOI MOSFET素子の出力特性のプロットである。曲線は、種々のゲート電圧 ($V_G = 0, 1, 2, \dots, 7$ ボルト) においてドレイン電圧 V_D の関数としてドレイン電流 I_D を表現する。素子の幅対長さの比率は、 $W/L = 20 \mu / 10 \mu$ である。MOSFETの本体が正バイアスされる時、ソース本体接合部 (エミッターベース) は、順方向バイアスされ、そして電子は、ソースから本体領域に注入される。ドレイン (コレクタ) 空乏層に達する注入電子は、ドレイン電流を追加する。こうして、MOSゲートを使用する素子による電流の制御は失われる。この効果は、寄生バイポーラ効果と呼ばれる。

本発明は、nチャネル浮遊体トランジスタ素子の本体領域における寄生電圧ポテンシャル蓄積を縮小する。ソース本体接合部の近接において再結合中心を生成する打込み段階を含む作製方法が、使用される。好ましい実施態様は、素子作製プロセスの後段中、打込みを使用し、そして打込み種は、低温アニールで活動化される。それから、ソース本体接合部は、再結合中心の存在により「漏れやすく」、そしてMOSFETの漏れ電流に悪影響を及ぼすことなく、衝撃イオン化中生成された余分なホールを取り除くための経路を生成する。

第38A～38C図は、作製の後段において浮遊体nチャネルMOSFET構造の好ましい実施態様を作るためのプロセス流段階を示す。この好ましい実施態様において、使用作製プロセスは、米国特許第4,922,315号において記載された如くメサ孤立形プロセスであり、この特許の内容は、参照としてここに取り入れられた、簡単には、第38A図に示された構造につながるこのプロセスの段階は、次の如くである。1) アクティブ領域規定 (メサ)、2) しきい電圧 (V_t) 調整 (n-及びp-チャネル)、3) ゲート酸化、4) ゲート規定、5) ソース及びドレイン打込み、6) ドーパント活動化、7) パッシベーション酸化物堆積。

第38A図の構造は、上記のメサ孤立形作製プロセスから生ずるMOSFET構造を示す。シリコン材料の本体1020におけるp形ドーピングは、ソース1024とドレイン1026 (両n形ドーピング領域) の間にチャンネル領域1022を設ける。シリコン本体1020は、シリコン二酸化物 (SiO_2) の如く絶縁性基板1018にある。シリコン本体1020上に、ゲート酸化物1028は、チャンネル領域1022の上部で成長される。ゲート酸化物1028の上にゲート1030がある。パッシベーション酸化物1032は、全素子を覆う。

従来のメサ孤立形作製プロセスにおいて、パッシベーション酸化物の後の最後の2段階は、接点を開き、内部連結を作るために金属化させるものである。しかし、本発明において、次の段階が、まず、第38A図の構造において行われる。まず、写真平版段階は、ソース領域1024の部分を露出するために使用される。フォトレジスト材料1034が、第38A図に示された構造に塗布され、そしてマスクが、ソース領域の上を除いて塗布される。フォトレジスト1034がソース領域の上からエッチング除去された後、酸化物エッチングが使用され、ソース領域1024からパッシベーション酸化物を取り除く。これは、第38B図において示された如く、ソース領域をあらわにする。

いったんソース領域1024があらわにされたならば、打込みが、所望の再結合中心を生成するために行われる。第38B図に示された矢印1036は、所望の打込み方向を示す。本発明の打込み手順は、2つの実施態様の一方に入る。打込みの第1実施態様は、ソース本体接合部の近くの素子の本体へ深レベルを導入する。第2実施態様は、半導体材料において結晶欠陥を生成するために打込みを使用する。

第1実施態様において、深レベル欠陥が、硫黄の如く不純物を打込むことにより生成される。硫黄は、伝導帯縁から0.52 eV、0.37 eVと0.18 eVのバンドギャップ

10

20

30

40

50

においてエネルギーがある3つの電子トラップを導入するために、好ましい。本実施態様において、硫黄打込み条件は、好ましくは、約 $1.3 \times 10^{11} \text{ cm}^{-2}$ である。それから、打込まれた硫黄は、活動化され、後金属化アニールに類似する低温処置によって拡散される。アニーリング時間は、不純物を金属 p-n 接合部に拡散するように選ばれる。好ましいアニール条件は、1時間に対して 600°C 以下の窒素雰囲気の使用を含む。拡散は、硫黄をソース本体接合部の両域に閉じ込めるために注意深く制御される。特に、硫黄は、漏れ電流の増大を避けるために、ドレイン本体接合部から遠ざけられるべきである。

第2実施態様の打込み手順は、ソース本体接合部の領域へ結晶欠陥を誘導するために打込みを使用する。このタイプの打込みのために好ましい材料としては、シリコン (Si) とゲルマニウム (Ge) がある。イオン衝撃を使用して、構造的無秩序がシリコン格子において生成される。Si 打込みにおいて使用されたエネルギーは、欠陥がソース本体接合部の近くの本体側 (低ドープ材料) に位置する如くである。生ずる結晶欠陥は、主にループから成る。結晶における不完全さは、電子/ホール再結合のための経路を設ける。

上記の打込みの実施態様の各々において、打込みの機能は、ソース本体接合部の近接において局所的な再結合中心を生成することである。打込みは、MOSFET 作製 (上記の作製段階の段階7の後) の金属化段階のすぐ前に行われる。作製手順のこの段において本発明の諸段階を行うことは、 800°C 未満の範囲にあるとしてこの出願の目的のために規定された低温アニールのみが打込み種を活動化するために必要とされるために可能である。いったん打込みとアニーリングが完了するならば、作製の残りの段階が完了される。素子のソース、ドレイン及びゲート領域は、露出され、そして金属化手順が、金属接点をこれらの領域の各々に添着するために行われる。それから、必要な内部連結が、作製を仕上げるために為される、代替案として、打込み種を活動化するための低温アニールが、残りの処理段階が完了した後実現される。

第38C図の浮遊体素子は、本発明の打込み手順により、ずっと改良された電圧特性を有する。上記の打込みの両実施態様は、同様の結果を生成し、そして従来の浮遊体 MOSFET において見いだされる「キンク」効果と「バイポーラ」効果をかなり縮小する。

第38D図は、ソース1034とドレイン1032の領域が絶縁体との埋込み界面まで達する発明の別の好ましい実施態様を示す。アニーリング時間は、金属 p-n 接合部へ不純物を拡散するように選ばれる。こうして、打込みによって発生された再結合中心1036は、ソース領域1034の全体を通してチャンネル領域1037に達し、部分的にゲート1038の下側にある。

第39A図と第39B図は、SOI材料において作製された本体結合のない (すなわち、浮遊体のない) 2つの n チャンネル MOSFET の測定出力特性を示す。曲線1039 (破線) は、ソース領域を通して硫黄打込みを収容しなかった MOSFET の電圧特性である。曲線1041 (実線) は、本発明による硫黄打込みを収容しなかった MOSFET の電圧特性である。図示された如く、キンクは、硫黄打込み素子において非常に縮小される。また、第39A図において、検査済 MOSFET の各々に対して測定されたドレインコンダクタンス g_D の測定結果がプロットされる。ドレインコンダクタンスは、次の方程式によって数学的に表される。

$$g_D = \delta I_D / \delta V_D$$

ここで V_G (ゲート電圧) は定数であり、 I_D はドレイン電流であり、そして V_D はドレイン電圧である。ドレインコンダクタンスは、キンクの発生におけるピークを示す。第39A図の曲線1060 (破線) は、硫黄打込みのない MOSFET の測定ドレインコンダクタンスである。実線1062によって示された硫黄打込み素子のドレインコンダクタンスのピーク高さは、キンクにおける実質的な縮小を示す。第39B図の曲線1046は、 200 KeV において $4 \times 10^{15} \text{ cm}^{-2}$ の用量におけるソース領域によりシリコンを打込まれ、 700°C において窒素においてアニールされた素子の電圧特性を示す。シリコン打込みのない同一処理ウェハールにおいて測定された第37図の曲線との比較は、打込みによるキンク効果の実質的な縮小を示す。

10

20

30

40

50

第40A図は、表示パネルにおけるピクセル制御回路のマトリックスの一部である打込みトランジスタ素子の使用を示す。アレイのトランジスタは、第38図において記載されたプロセスにより作成され、そしてエポキシ樹脂1044又は他のボンディング剤を使用してガラス基板1046に付着される。表示パネルは、第3図を参照して上述された方法で作製される。ソース1050、ドレイン1052及びゲート接点1054は、メタライゼーション1058を介して従来の手段によりパネルのための駆動回路構成に連結される。 P^+ 領域1048は、チャンネル領域1056において形成される。酸化層1040と1042は、隣接ピクセル構成部品を隔離させ、活性構成部品を皮膜で保護し、上記の如く隣接して位置付けられた液晶又は発光材料からそれらを分離するために使用される。第38A～38D図において記載されたプロセスは、第40A図の素子において打込み領域を発生させるために使用され、ピクセル回路構成を駆動回路構成の両方において表示パネル回路における寄生効果を縮小する。

10

第40B図において、代替方法が、同一問題を扱うために使用される。酸化層1040は、チャンネル領域を露出するようにパターン化され、そしてアルミニウムの如く金属1055が、チャンネル領域に接触するように堆積され、パターン化される。第40B図に示された如く、金属1055は、ソース1050とチャンネル1056の領域を覆う。この層1055は、全素子を覆うように拡張され、素子のための光シールドとして使用される。金属1055は、打込み段階なしに寄生効果を除去するために、ソースと本体を電氣的に連結するために役立ち、又はその手段を設ける。層1055は、さらに、光発生漏れ電流を実質的に縮小するために役立つ。

20

技術における当業者は、作製手順における幾つかの構造的考慮により、本体のポテンシャル蓄積により素子に及ぼす影響度が改善されることを認識する。例えば、バイポーラ効果によって発生された電流量は、MOS素子の幾つかの物理的及び電氣的特性による。素子の効果的なベース幅は、ゲート電圧、ドレイン電圧とドーピング濃度の関数であり、一方、電流増幅係数（ベータ）は、同一パラメータとともにキャリア寿命の関数である。また、バイポーラ及びキンク寄生効果は、pチャンネル素子ではなく、主にnチャンネルMOSFETにおいて現れることが認められる。これは、ホールの衝撃イオン化係数が、室温における電子の係数よりも2の概略値低いためである。

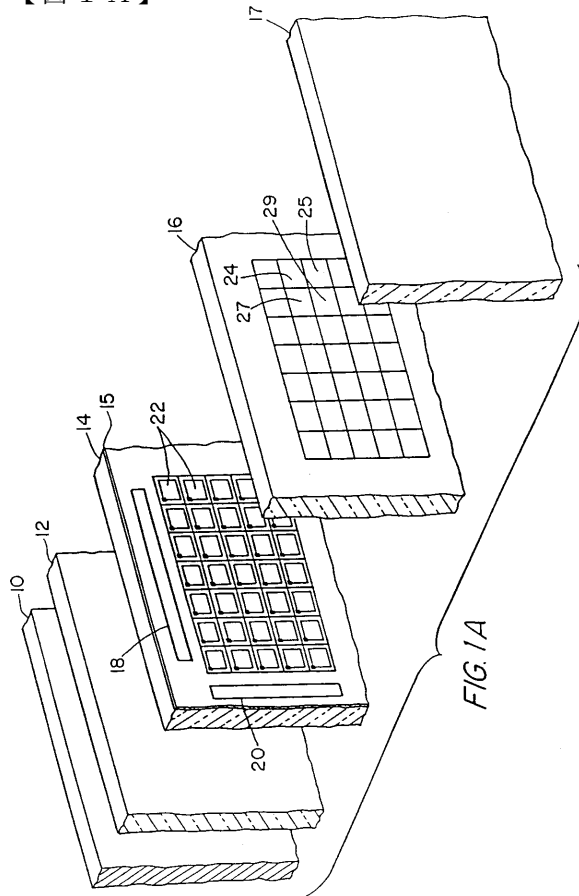
技術における当業者は、SOSと初期SOI材料において作製された本体結合のないnチャンネルMOSFETが、キンク及びバイポーラ効果をめったに被らないことを認識する。これは、これらの材料に固有の短いキャリア寿命による。キャリア寿命が100マイクロ秒範囲の孤立シリコンエピタキシ（ISMTM）技術によって生産された最近の材料において、キンク及びバイポーラ効果は、本体結合のない素子に対して重大な関心である。また、バルク技術において、MOSFETの本体はソースに常に結ばれていることが注目される。

30

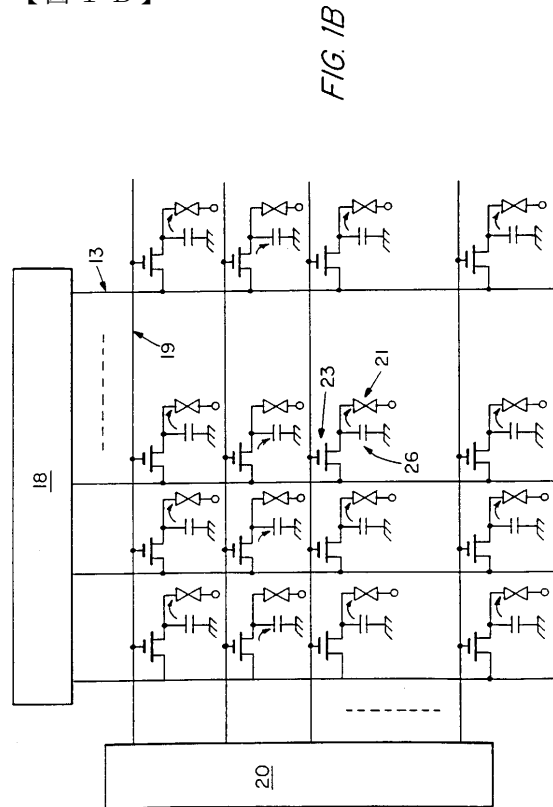
等価物

この発明が好ましい実施態様を参照して詳細に示され、記載されたが、技術における当業者には、形式と詳細における多様な変化が添付の請求の範囲によって記載された発明の精神と範囲に反することなく行われることを理解するであろう。

【図 1 A】



【 図 1 B 】



【図 2 A】

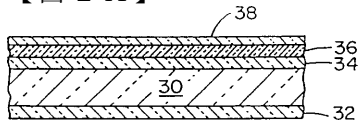


FIG. 2A

【図 2 B】

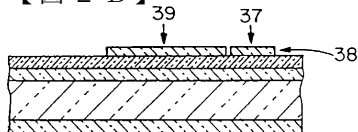


FIG. 2B

【図 2 C】

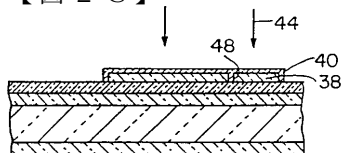


FIG. 2C

【図 2 D】

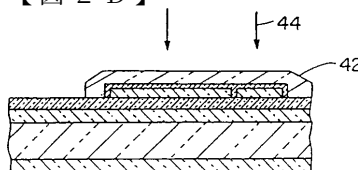


FIG. 2D

【図 2 E】

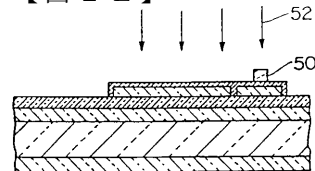


FIG. 2E

【図 2 F】

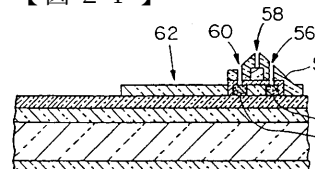


FIG. 2F

【図 2 G】

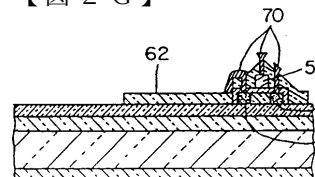


FIG. 2G

【図 2 H】

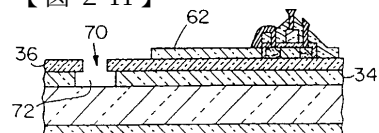


FIG. 2H

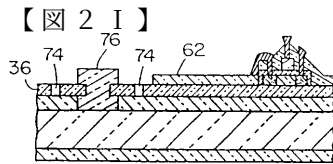


FIG. 2I

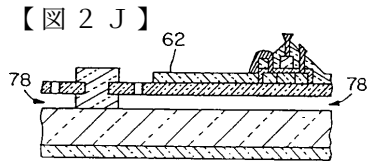


FIG. 2J

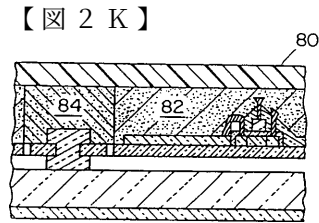


FIG. 2K

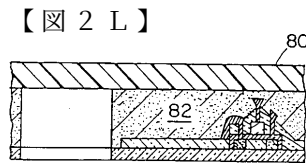


FIG. 2L

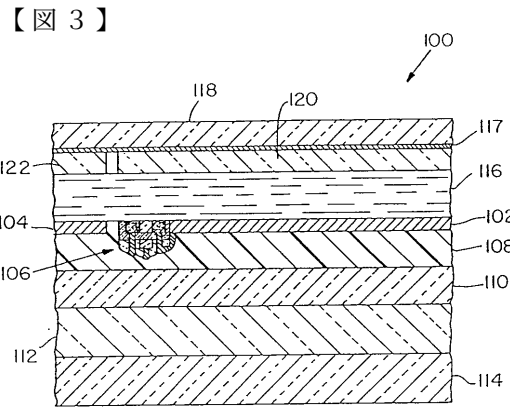


FIG. 3

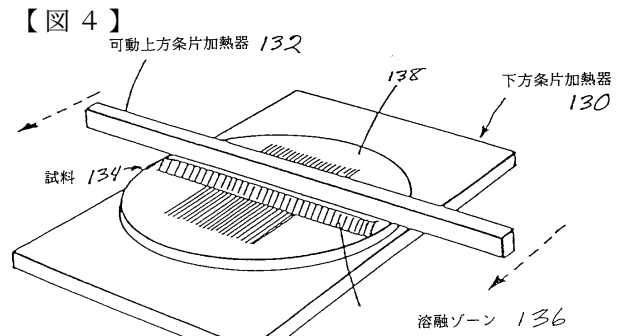


FIG. 4

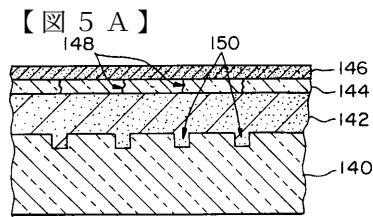


FIG. 5A

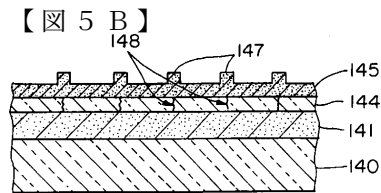


FIG. 5B

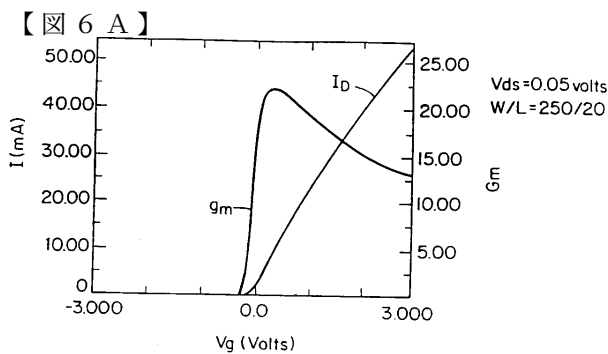


FIG. 6A

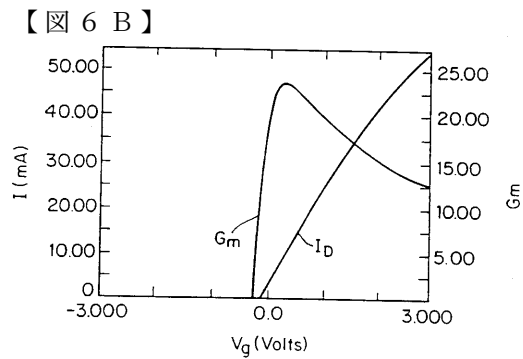
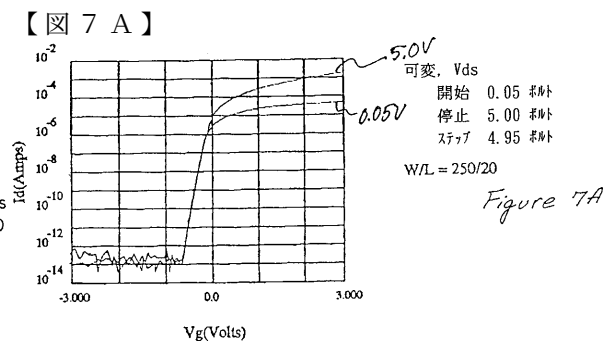
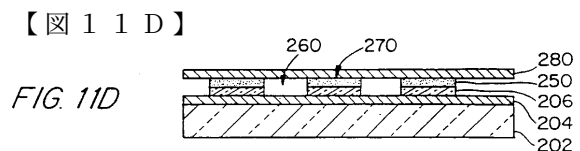
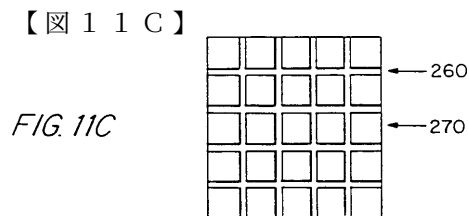
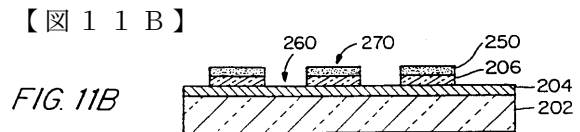
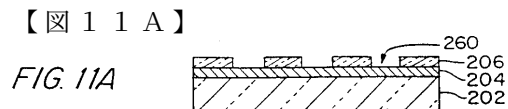
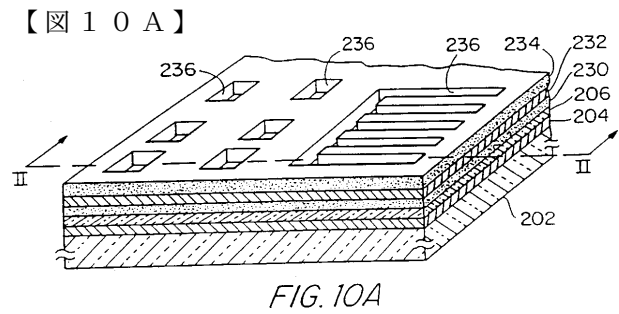
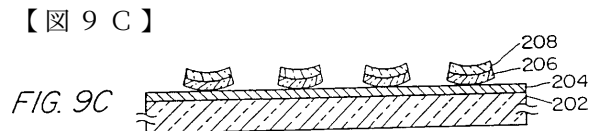
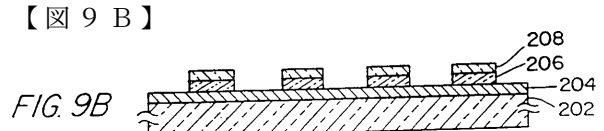
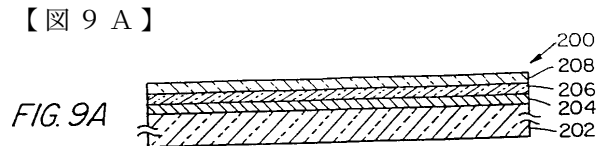
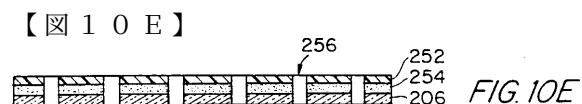
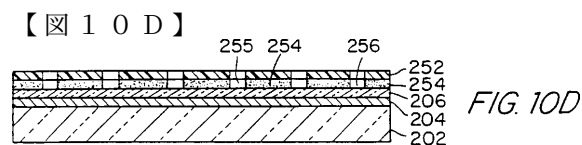
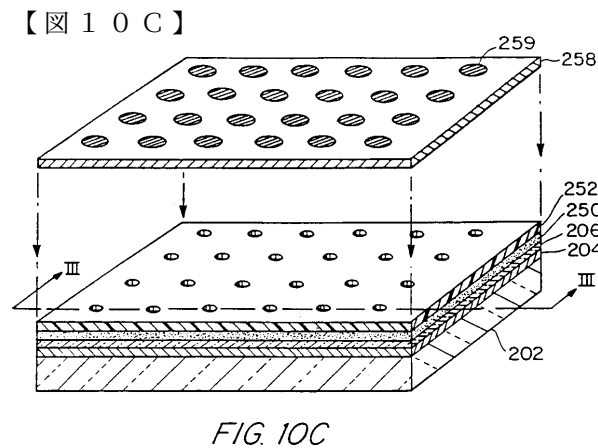
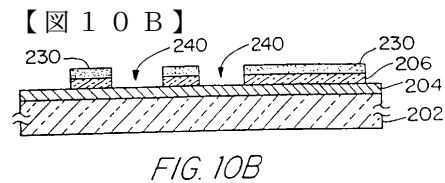
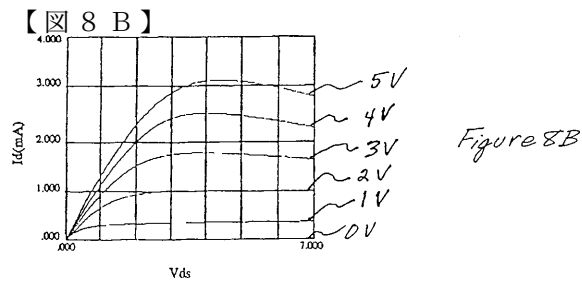
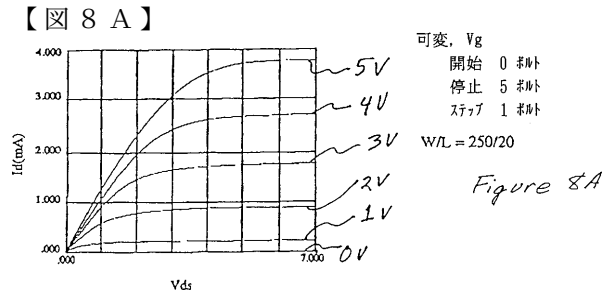
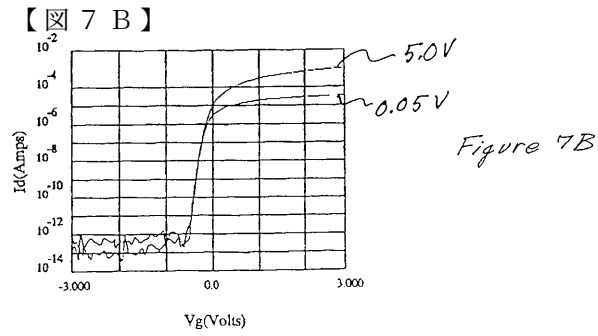
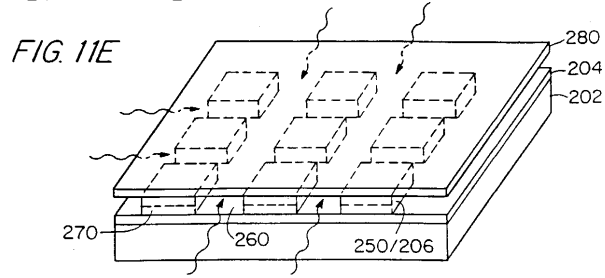


FIG. 6B

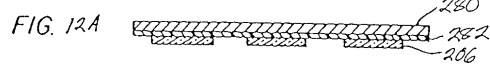




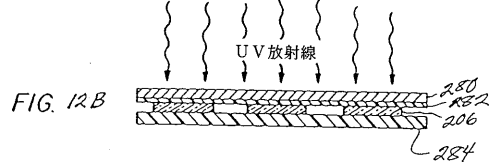
【図 11 E】



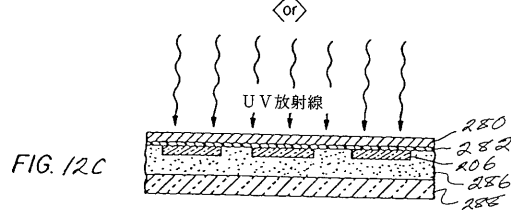
【図 12 A】



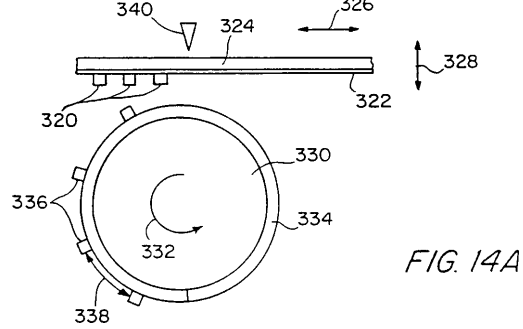
【図 12 B】



【図 12 C】



【図 14 A】



【図 14 B】

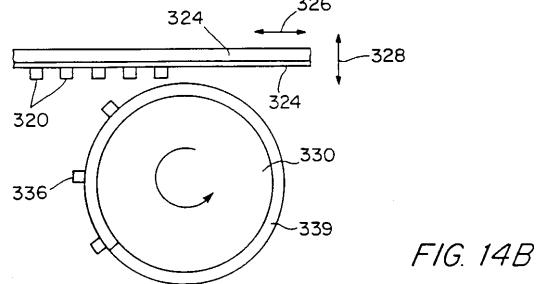
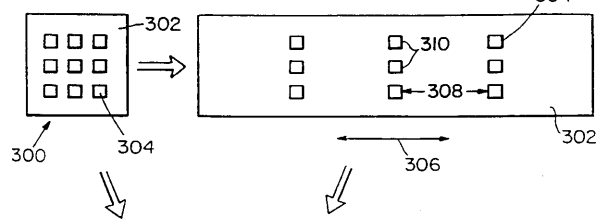
【図 13】
FIG. 13A

FIG. 13B

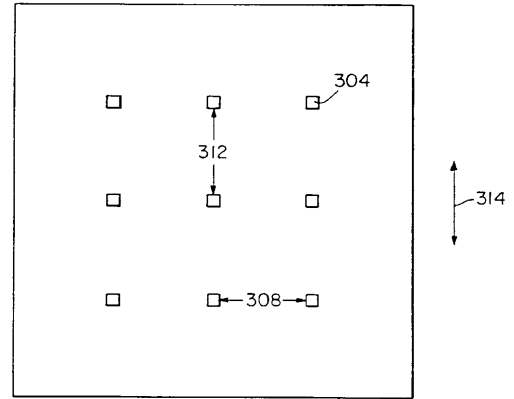


FIG. 13C

【図 15】

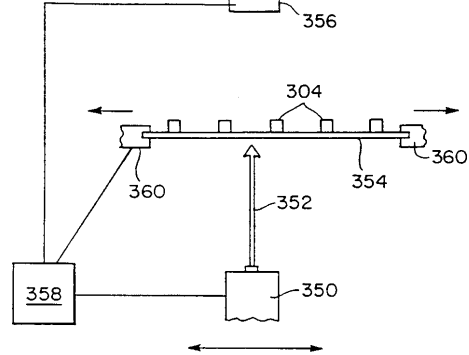


FIG. 15

【図 16】

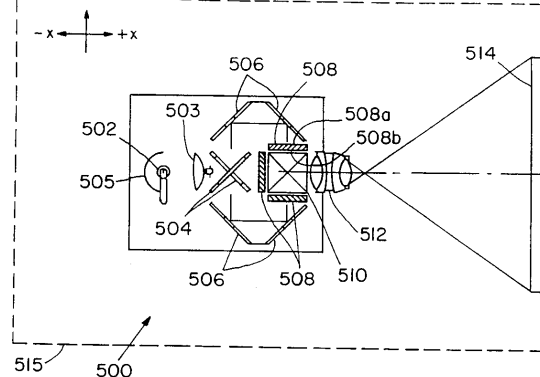
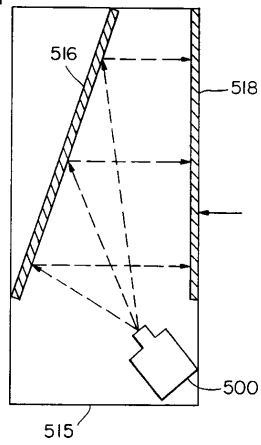


FIG. 16

【図 17】

FIG. 17



【図 18】

FIG. 18

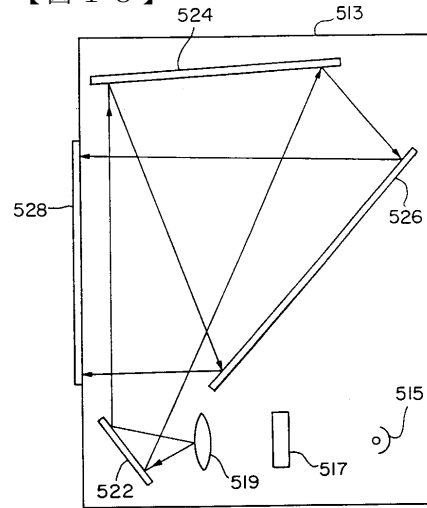


FIG. 18

【図 19】

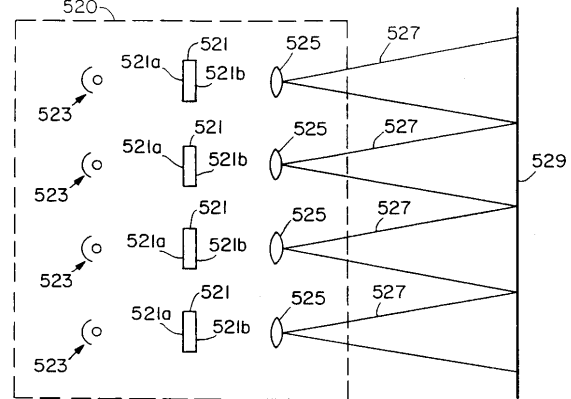


FIG. 19

【図 21】

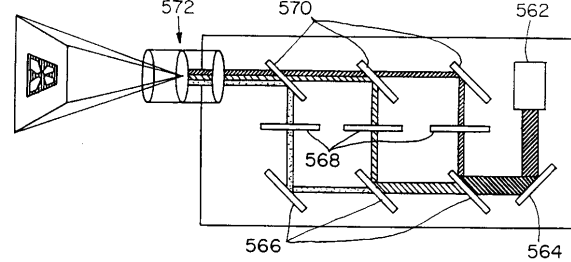


FIG. 21

【図 20】

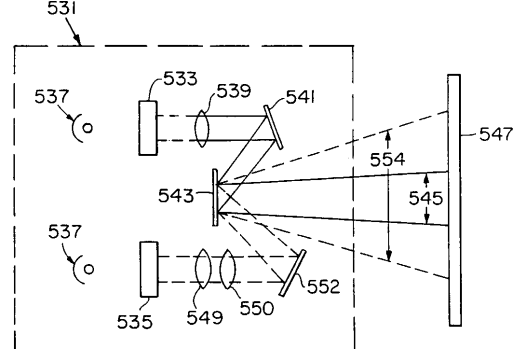


FIG. 20

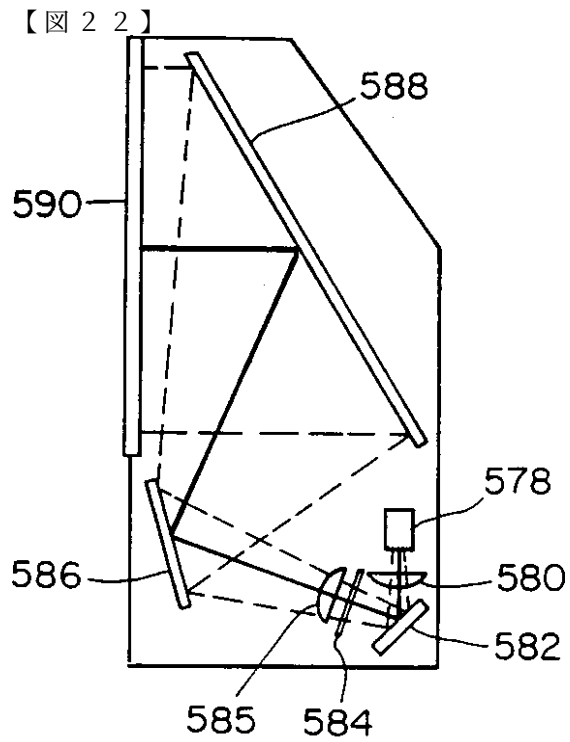


FIG. 22

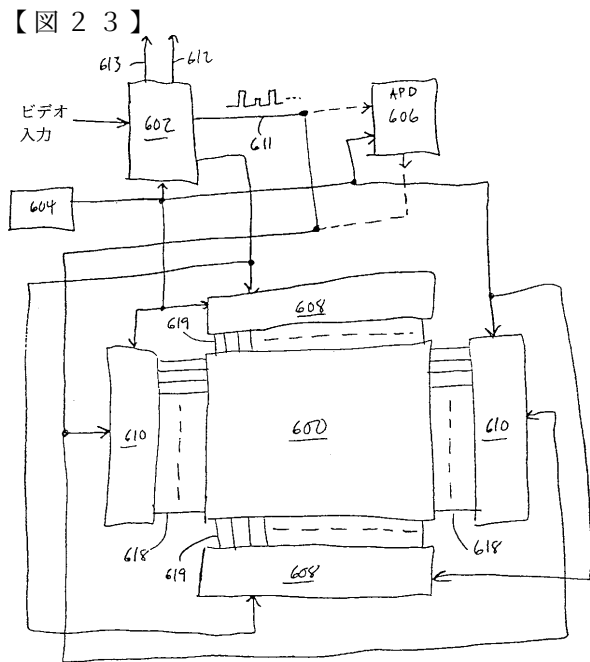
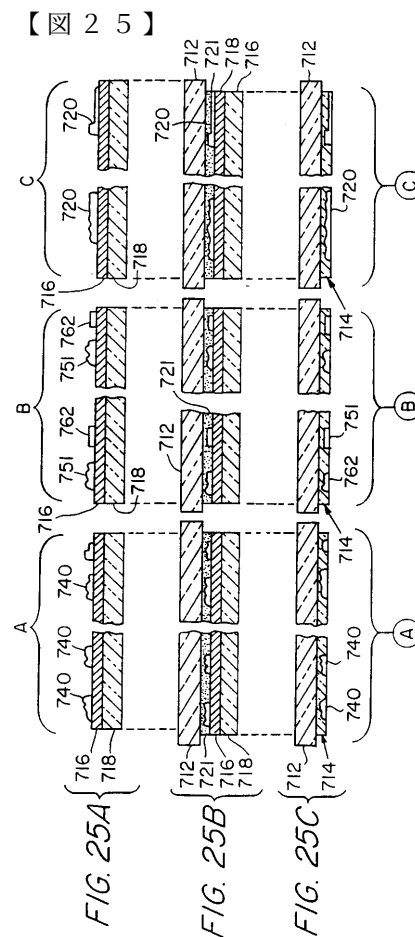
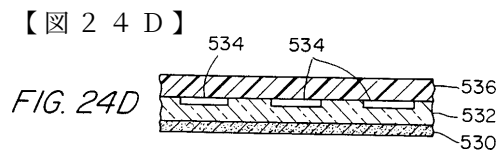
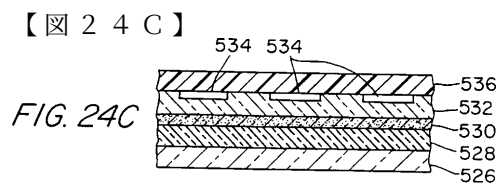
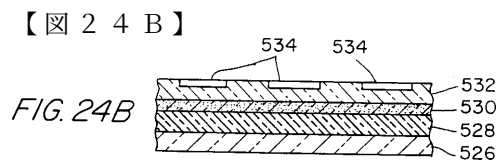
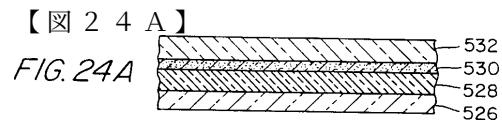


Figure 23



【図 29 B】

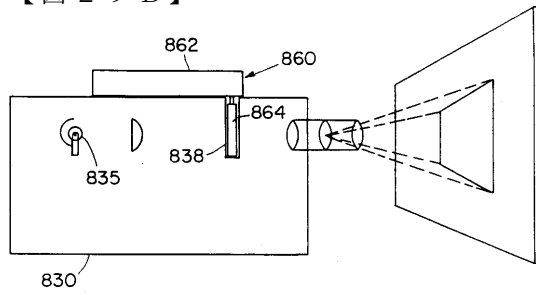


FIG. 29B

【図 30】

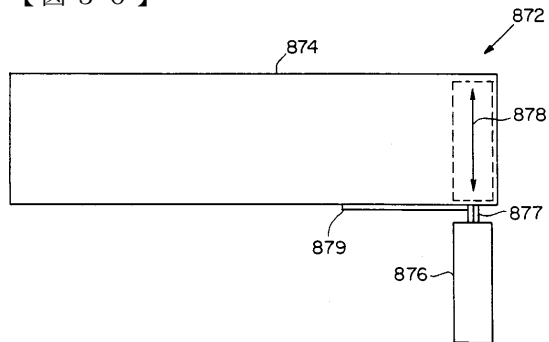


FIG. 30

【図 31】

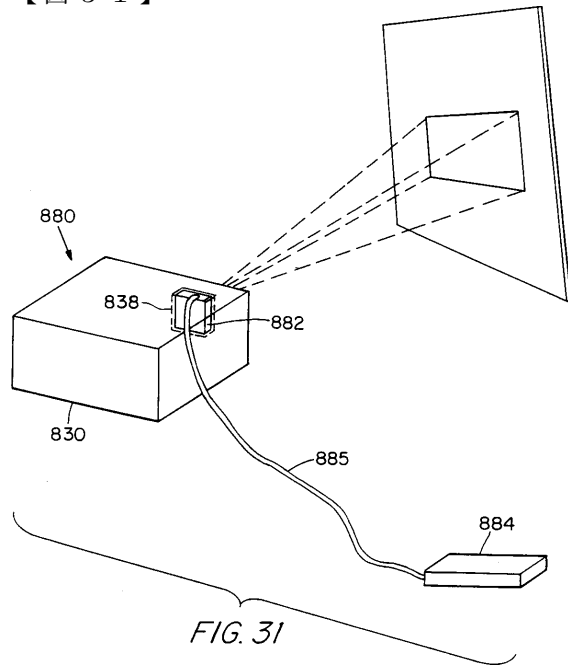


FIG. 31

【図 32】

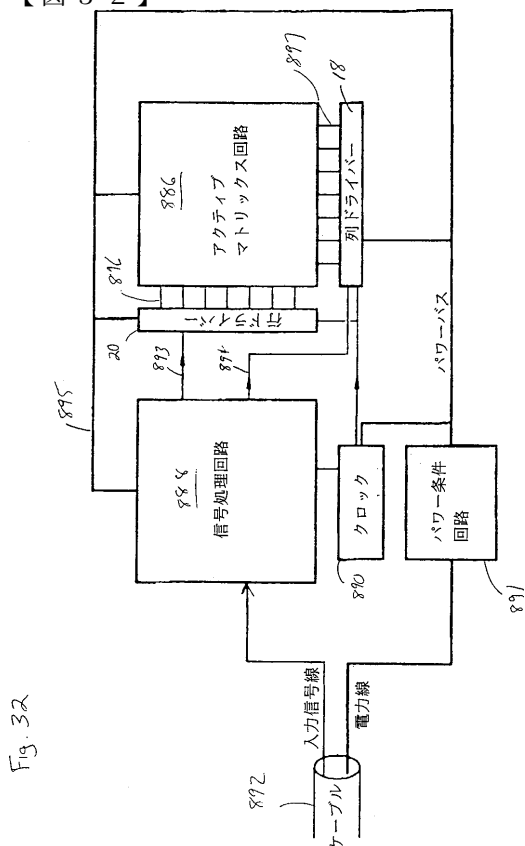


Fig. 32

【図 33】

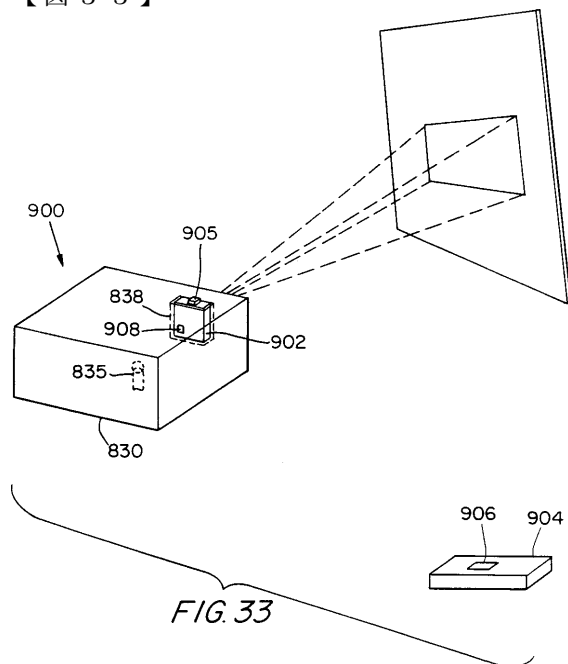
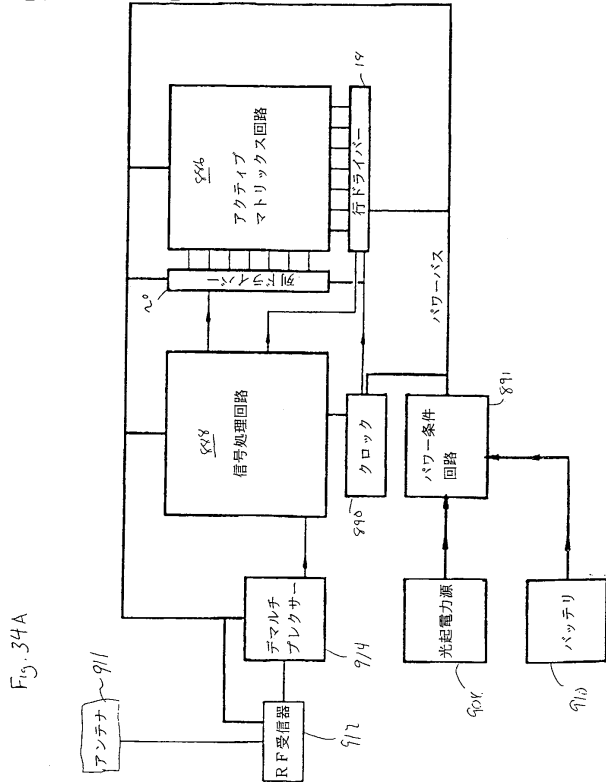
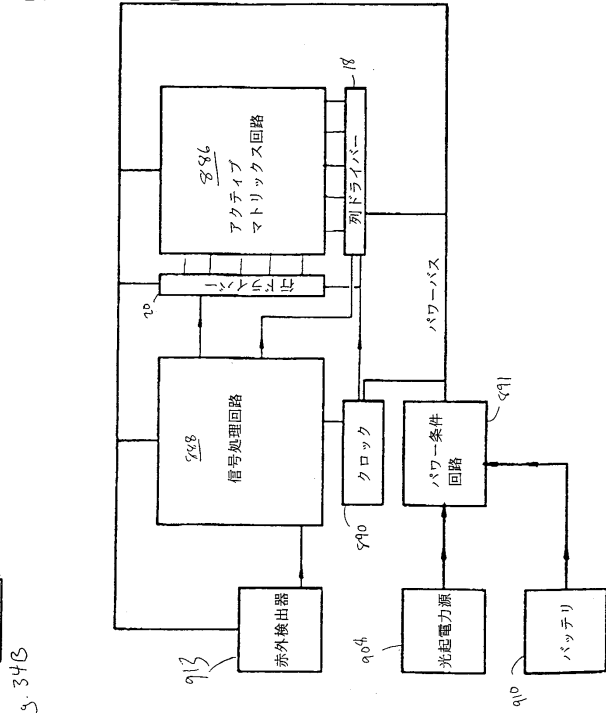


FIG. 33

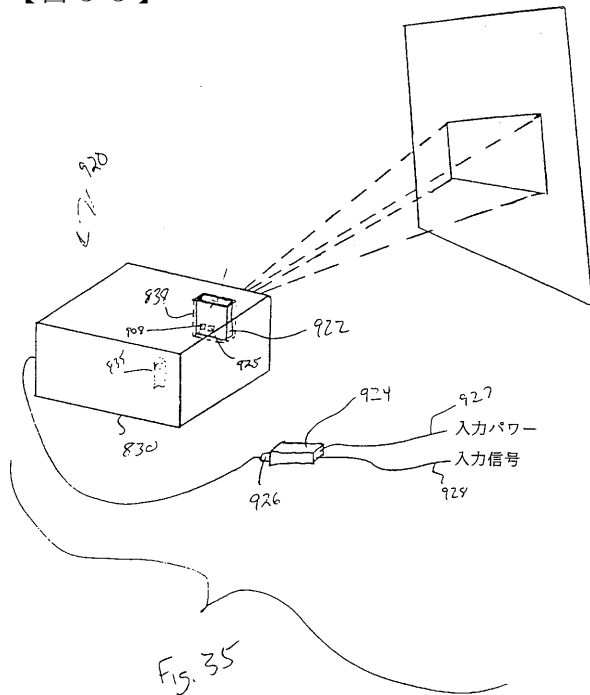
【図 3 4 A】



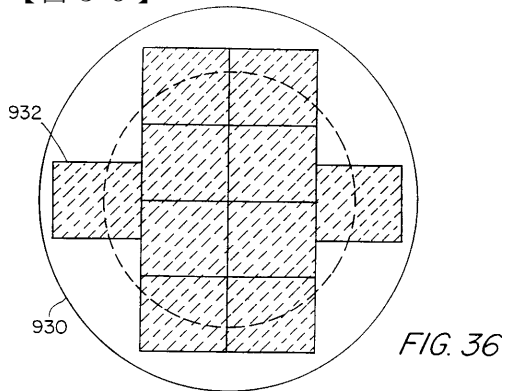
【図 3 4 B】



【図 3 5】



【図 3 6】



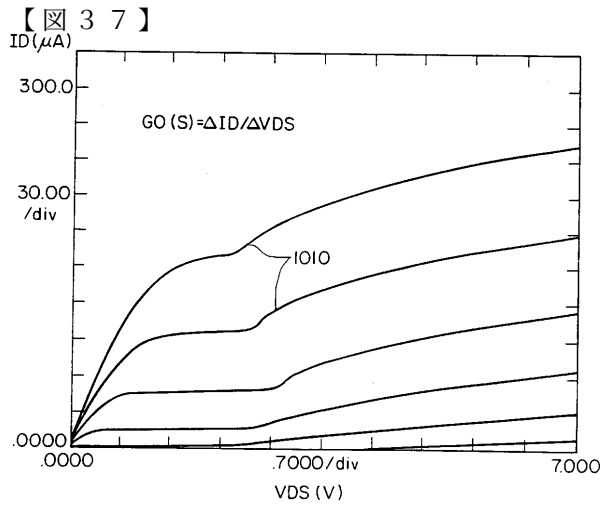


FIG. 37

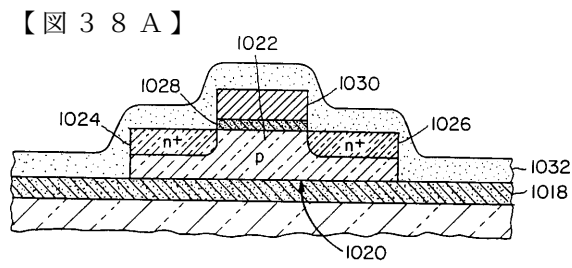


FIG. 38A

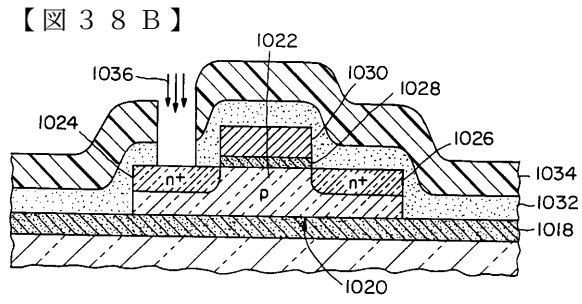


FIG. 38B

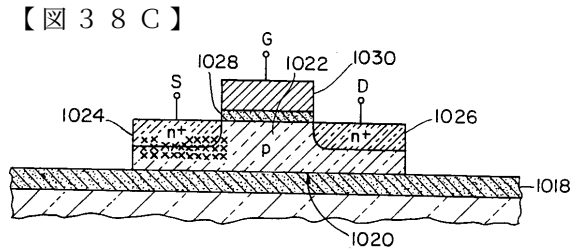


FIG. 38C

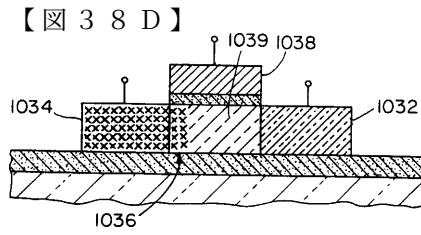


FIG. 38D

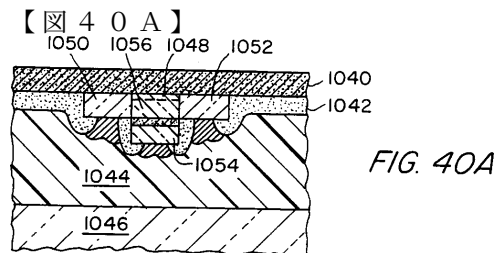


FIG. 40A

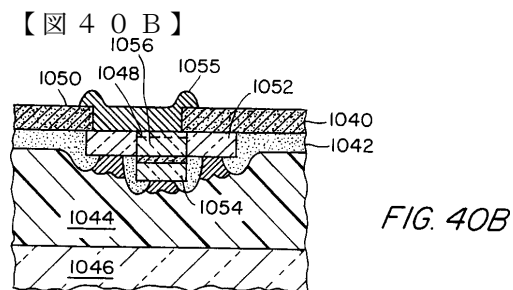
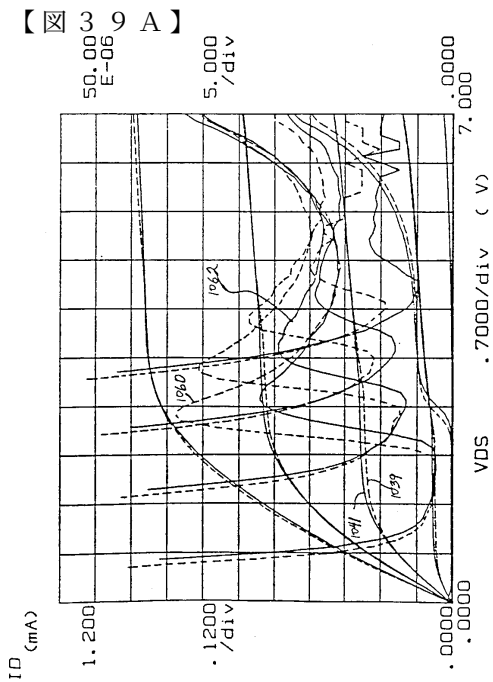


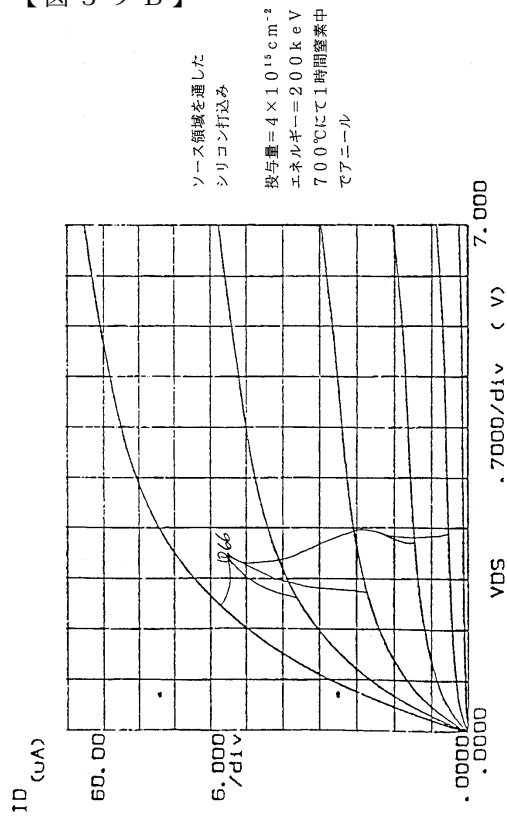
FIG. 40B



--- 硫黄打込みなし、39.60
 — 硫黄打込み、41.62

Figure 39A

【図 39 B】



GD (S) = A1D/AVDS

Figure 39B

フロントページの続き

(31)優先権主張番号 872,297

(32)優先日 平成4年4月22日(1992.4.22)

(33)優先権主張国 米国(US)

(72)発明者 ザブラツキー, ポール・エム

アメリカ合衆国マサチューセッツ州ノーウツド・ビーチストリート25

合議体

審判長 平井 良憲

審判官 吉田 英一

審判官 吉田 禎治

(56)参考文献 特開平1-237592 (JP, A)

実開平2-19116 (JP, U)

特開昭62-226192 (JP, A)

特開平3-238937 (JP, A)

特開昭63-101832 (JP, A)

特開平3-42627 (JP, A)

特開平3-144609 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G02F1/133, G03B21/00, G09G3/36, H01L27/12, H04N5/74