

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4832835号
(P4832835)

(45) 発行日 平成23年12月7日(2011.12.7)

(24) 登録日 平成23年9月30日(2011.9.30)

(51) Int.Cl.

F I

G 1 1 C	16/02	(2006.01)	G 1 1 C	17/00	6 1 1 A
H O 1 L	27/115	(2006.01)	H O 1 L	27/10	4 3 4
H O 1 L	21/8247	(2006.01)	H O 1 L	29/78	3 7 1
H O 1 L	29/788	(2006.01)	G 1 1 C	17/00	6 2 1 Z
H O 1 L	29/792	(2006.01)			

請求項の数 1 (全 22 頁) 最終頁に続く

(21) 出願番号 特願2005-265080 (P2005-265080)
 (22) 出願日 平成17年9月13日(2005.9.13)
 (65) 公開番号 特開2007-80338 (P2007-80338A)
 (43) 公開日 平成19年3月29日(2007.3.29)
 審査請求日 平成20年8月27日(2008.8.27)

(73) 特許権者 503291439
 株式会社GENUSION
 兵庫県尼崎市道意町7丁目1番3号 尼崎
 リサーチ・インキュベーションセンター
 (74) 代理人 110000408
 特許業務法人高橋・林アンドパートナーズ
 (74) 代理人 100123940
 弁理士 村上 辰一
 (72) 発明者 三原 雅章
 兵庫県尼崎市道意町7丁目1番3号
 尼崎リサーチインキ
 ュベーションセンター
 株式会社GENUSION内

審査官 滝谷 亮一

最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置の読み書き制御方法

(57) 【特許請求の範囲】

【請求項1】

半導体基板に形成された n 型ウェルと、前記 n 型ウェルに形成されたソースおよびドレインと、

前記ソース・ドレイン間に形成されたチャンネル領域と、前記チャンネル領域の上方にトンネル絶縁膜を介して形成された電荷蓄積層と、前記電荷蓄積層の上方に絶縁膜を介して形成されたゲート電極と、を有する不揮発性半導体記憶装置のメモリセルの読み書き方法であって、

書き込み時に、電源電圧を VCC で表し、

「 $V_P > V_{SB} > V_s > V_d$ 」「 $V_{SB} > 0V$ 」「 $V_d = VCC$ 」

の関係性を有する電圧 V_P 、 V_{SB} 、 V_s および V_d を、それぞれゲート電極、前記 n 型ウェル電極、ソース電極およびドレイン電極に印加することにより、ドレイン付近にバンド間トンネリングによるホットエレクトロンを発生させ、このホットエレクトロンを前記電荷蓄積層に注入して前記メモリセルにビットデータの書き込みを行い、

消去に続く消去ベリファイ時に、選択ブロック内の全てのワード線に同一のベリファイ電圧を与えることを特徴とする不揮発性半導体記憶装置の読み書き制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、不揮発性半導体メモリセルのゲート長の短縮化を実現した不揮発性半導体記

憶装置の読み書き制御方法に関する。

【背景技術】

【0002】

近年、ランダムアクセス読み出しが可能な所謂コードストレージ用のNORフラッシュメモリのスケージングの限界について懸念が高まってきている。

【0003】

ITRS(InternationalTechnology Roadmap for Semiconductors)の2004年での技術予測によれば、半導体プロセス技術としては20nmプロセスの時代になっていると予測される2018年においても、NOR型フラッシュメモリのメモリセルのゲート長は130nmを実現することが困難であると指摘されている。

10

【0004】

NOR型フラッシュメモリのゲート長がスケージングできない大きな要因の一つは、書き込み動作にチャンネルホットエレクトロン(CHE)注入を用いていることにある。すなわち、チャンネルホットエレクトロンを効率よく発生させるためには、メモリセルのソース-ドレイン間にトンネル絶縁膜(シリコン酸化膜)の障壁電圧以上の比較的大きな電位差が必要とされる。この電位差のためにドレインからソースに向けて比較的大きな空乏層が形成されるため、ゲート長を短くすると、ドレインからソースへ空乏層がつながってしまい(パンチスルー)、ホットエレクトロンが発生しなくなってしまうという問題があるからである。

【0005】

20

これに対して、トンネル絶縁膜としてシリコン酸化膜よりも障壁電圧の低い材質のものを用いることでソース-ドレイン間の電位差 V_{ds} を小さくする提案がなされている(たとえば特許文献1)。また、書き込み動作をチャンネルホットエレクトロン注入以外の方式で行うNOR型フラッシュメモリも提案されている(たとえば特許文献2)。

【特許文献1】特開2001-237330号公報

【特許文献2】特開平9-008153号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかしながら、特許文献1のものは、前記材質の電荷リーク特性がシリコン酸化膜に比べて劣る等の理由のために、不揮発性半導体メモリのトンネル絶縁膜として実用にいたっていない。

30

【0007】

また、特許文献2のものは、チャンネルホットエレクトロン注入に代えてバンド間トンネルで誘起したホットエレクトロン(BBE)注入で書き込みを行うものであるが、この方式であっても、ホットエレクトロンのエネルギーをトンネル絶縁膜の障壁電位以上にするためにはソース-ドレイン間の電位差 V_{ds} を比較的大きな値(たとえば4V)にする必要があり、これによってゲート長の短縮化が制約をうけるという問題があった。

【0008】

そこで、この発明は、ソース-ドレイン間の電位差 V_{ds} を小さくしてメモリセルのゲート長を短くできるようにするとともに、高速化を図った不揮発性半導体記憶装置およびその書込方法を提供することを目的とする。

40

【課題を解決するための手段】

【0009】

半導体基板に形成されたウェルと、前記ウェルに形成されたソースおよびドレインと、前記ソース-ドレイン間に形成されたチャンネル領域と、前記チャンネル領域の上方にトンネル絶縁膜を介して形成された電荷蓄積層と、前記電荷蓄積層の上方に絶縁膜を介して形成されたゲート電極と、を有する不揮発性半導体記憶装置のメモリセルの読み書き方法であって、

書き込み時に、電源電圧をVCCで表し、

50

「 $V_P > V_{SB} > V_s > V_d$ 」「 $V_{SB} > 0V$ 」「 $V_d = V_{CC}$ 」
 の関係を有する電圧 V_P 、 V_{SB} 、 V_s および V_d を、それぞれゲート電極、ウェル電極、ソース電極およびドレイン電極に印加することにより、ドレイン付近にバンド間トンネリングによるホットエレクトロンを発生させ、このホットエレクトロンを前記電荷蓄積層に注入して前記メモリセルにビットデータの書き込みを行い、

消去に続く消去ペリファイ時に、選択ブロック内の全てのワード線に同一のペリファイ電圧を与えることを特徴とする。

【発明の効果】

【0010】

この発明によれば、書込時に「 $V_P > V_{SB} > V_s > V_d$ 」「 $V_{SB} > 0V$ 」「 $V_d = V_{CC}$ 」の関係になるように設定したことにより、すなわち、ソース電圧 V_s をウェル電圧 V_{SB} とドレイン電圧 V_d の間の電圧にしたことにより、バンド間トンネリングによるホットエレクトロンまたはホットホールを効率よく発生させることができるとともに、ソース-ドレイン間の電位差を小さくすることができ、それにともないゲート長を短縮化できる。

【0011】

なお、高速書込のためには、ウェル電圧 V_{SB} とドレイン電圧 V_d との電位差はトンネル絶縁膜の障壁電位と同等またはそれ以上であることが好ましい。

【0012】

また、消去に続く消去ペリファイ時に、選択ブロック内の全てにワード線に同一のペリファイ電圧を与えることによって、ブロック内の全てのメモリセルを一回の読み出しでペリファイでき、消去ペリファイの時間を短縮できる。

【発明を実施するための最良の形態】

【0013】

図面を参照して本発明の実施形態について説明する。

図1はこの発明が適用されるpチャンネルMONOSメモリセルの構造を示す図である。このメモリセルは、p型半導体基板11上に形成されたn型ウェル(セルウェル)12、このn型ウェル12の表面付近に所定の間隔を開けて形成されたp+領域(ソース)13およびp+領域(ドレイン)14、これら2つのp型領域13、14の間に形成されたチャンネル領域20、および、このチャンネル領域20の上方にチャンネル領域20を覆うように形成されたONO膜およびゲート電極18を有している。

【0014】

ONO膜は、酸化シリコンからなるトンネル絶縁膜15、窒化シリコンからなり注入された電荷(電子)を蓄積する電荷トラップ層16、および、酸化シリコンからなる絶縁膜17からなっている。これら3層の膜厚は、トンネル絶縁膜15が約2.5~5nm程度、電荷トラップ層16が約10nm程度、絶縁膜17が約5nm程度である。また、ゲート電極18は、ポリシリコンで構成されている。なお、ゲート長は、後述する書込電位配置により、極めて短くすることができ60nm以下が実現可能である。

【0015】

次に、図2を参照して上記pチャンネルMONOSメモリセルをNOR接続のレイアウトに接続した構造の不揮発性半導体記憶装置のアーキテクチャについて説明する。

この不揮発性半導体記憶装置では、2つのセルウェル12がペアになっている。各セルウェル12には、X方向1kB=8k(8192)個×Y方向64個=512k(524288)個のメモリセルが形成されている。メインビットライン21は8k本であり、セレクトゲート24を介して2つのセルウェル12のうちの一方のサブビットライン25に接続される。8k本のメインビットライン21には、それぞれカラムラッチが接続されている。このカラムラッチは書き込み動作のペリファイ等にも用いる。セレクトゲート24は、セルウェル12とは別のセレクトゲートウェル(n型ウェル)20内に形成されており、pチャンネルMOSトランジスタで構成されている。セレクトゲートウェル20の電位は通常VCC(たとえば1.8V)に設定されている。セレクトゲート24のゲート電極

10

20

30

40

50

は、非選択時にVCCが印加され、選択時に -2.2V が印加される。 -2.2V が印加されると、ゲートが導通し、メインビットライン21を各メモリセルのドレインにつながるサブビットライン25に接続する。ワード線は、各メモリセルのゲート電極をX方向に接続しており、各セルウェル12毎に64本設けられている。ソースラインは、各セルウェル12内の512k個のメモリセルに共通である。

【0016】

なお、電圧VCCおよび電圧GND（接地電圧）は、メモリセル外部の電源回路から供給されるものである。

【0017】

次に、図2のNOR接続の不揮発性半導体記憶装置において、プログラム、プログラムベリファイ、消去、消去ベリファイ、読み出しを行う動作を図3～図24を参照して説明する。

10

図3は各動作時に各部に印加される電圧について示している。ここで、各記号の意味は次のとおりである。

【0018】

MBL：メインビット線

SG：セレクトゲート

SBL：サブビット線

WL：ワード線

SL：ソース線

20

WEL：ウェル

WELSG：セレクトゲートのウェル

sub：基板

また、図12～14は、上記各動作状態の変化に応じた各部の電位変化について示している。

【0019】

プログラム動作

図4は、プログラム動作時の電位配置および動作原理を示す図である。

この不揮発性半導体記憶装置では、BBHE注入による書き込み時に、ソース電圧 V_s をセルウェル電圧 V_{SB} よりも低くしてドレイン電圧 V_d に近づけ、ドレイン-ソース間の電位差を小さくしたことにより、且つ、セルウェルに適切なバックゲート電圧を印加したことによるバックゲート効果によって、等価的にしきい値電圧 V_{th} （絶対値）を高くしたことにより、ソース-ドレイン間がパンチスルーしにくくしている。これにより、ゲート長を $0.1\mu\text{m}$ 以下、たとえば 60nm 程度まで短くしたセル構造を実現している。

30

【0020】

また、セルウェルに適切なバックゲート電圧を印加することにより、書き込みおよび読み出し時に最も高速な動作が要求されるビットラインをGND-VCCで動作させることができるようにしている。これにより、ビットラインの制御回路を高速で標準的な正のVCC回路で構成することができ、高速化かつ構成の簡略化を可能にしている。

【0021】

40

まず書き込み動作のうちのプログラム動作について説明する。先に説明したようにMONOSメモリセルでは、電荷トラップ層16として導電性が低い窒化膜を用いているため、トラップされた電子が膜内で移動せず、トラップされた位置に留まる。

メモリセルへの書き込み（プログラム）は、電荷トラップ層16へ電子を注入することによって行う。電子の注入は、図1に示したゲート電極18とドレイン14との間に正負の高電圧を印加することによるBBHE注入で行い、電子を電荷トラップ層16に注入する。

【0022】

電荷トラップ層16への電荷の注入は、正電位のゲート電極18と負電位のドレイン14の高い電位差によって生じる空乏層の高電界を利用したバンド間トンネリングによるホ

50

ットエレクトロン (BBHE:Band-to-Band tunneling induced Hot Electron) 注入で行う。ただし、ドレイン (= ビット線) を正電位の範囲で制御できるようにするため、セルウェル 1 2 に正のバックゲート電圧を印加する。これにより、ドレインの接地電位は相対的に負電位となる。

【 0 0 2 3 】

具体的には、図 2 ~ 図 5 に示すように、セルウェル 1 2 にバックゲート電圧 V_{SB} として + 4 V を印加し、ビット線 B_L (但し、図 4 の例では、セルウェルごとにビット線を区分するためにメインビット線 M_{BL} およびセレクトゲート S_G を設けているので、メインビット線 M_{BL}) を接地電位 GND (= 0 V) とする。そして、ワード線 W_L にゲート電圧 V_P として 1 0 V を印加する。このときソース線 S_L には、 V_{CC} (= 1 . 8 V) を印加しておく。

10

【 0 0 2 4 】

このプログラム動作を図 1 2 ・ 図 1 5 を用いて説明する。

図 1 5 はカラムラッチの構成を示す図である。図 1 2 はプログラム動作時の図 1 5 各部の電圧波形図である。

【 0 0 2 5 】

まず、図 1 5 に示すカラムラッチには書き込みデータが予めセットされており、書き込むべきビット線 (選択 M_{BL}) に対してはノード $N_A = L$ 、ノード $N_B = H$ 状態 (L はローレベル、 H はハイレベルである。) であり、書き込まないビット線 (非選択 M_{BL}) に対しては $N_A = H$ 、 $N_B = L$ とする。

20

【 0 0 2 6 】

スタンバイ状態から、まず t_1 において、選択 W_{EL} を 4 V にする。これは W_{EL} ドライバ回路にディストリビュータ回路を介して接続されている正チャージポンプ回路を活性化することで実現する。

【 0 0 2 7 】

t_2 において、選択 S_G を - 2 . 2 V にする。これは S_G ドライバ回路にディストリビュータを介して接続されている負チャージポンプ回路を活性化することで実現できる。これにより選択 S_{BL} が M_{BL} とつながり V_{CC} に充電される。

【 0 0 2 8 】

t_3 において、非選択 W_L を GND にする。これまでは選択 W_L も非選択 W_L も共に V_{CC} にしていた。詳細説明は別途 W_L ドライバ回路説明時に行う。

30

t_4 において、選択 W_L を 1 0 V にする。これは、 W_L ドライバ回路にディストリビュータ回路を介して接続されている正チャージポンプ回路を活性化することで実現する。

【 0 0 2 9 】

t_5 において、 $\text{BLH} = H$ とし、トランジスタ P_9 を OFF にし、 M_{BL} を H フロートイング状態にする。

t_6 において、 $DDR_V = H$ 、 $\text{DDR}_V = L$ とする。これにより、書き込むべきビット線に対してはノード $N_B = H$ であるので、 M_{BL} は L (GND レベル) にセットされる。一方、書き込みしないビット線に対しては $N_B = L$ であるので、 M_{BL} は H (V_{CC} レベル) にセットされる。

40

【 0 0 3 0 】

t_7 の状態で、選択メモリセルのセルウェルには 4 V、ドレインには 0 V、ゲートには 1 0 V、ソースには V_{CC} (= 1 . 8 V) をそれぞれ印加する。

【 0 0 3 1 】

この電圧配置にすることにより、ドレインとセルウェルの接合面に空乏層の領域が発生するとともに、ドレイン内でバンド間トンネリング ($BTBT$) によるエレクトロン (電子) / ホールペアが生成される。この電子が前記空乏領域の強電界によって加速され高エネルギーを持ったホットエレクトロンとなり、その一部がゲート電極に印加された正電圧に吸引されてトンネル酸化膜を越えて電荷トラップ層に注入される。

【 0 0 3 2 】

50

予め決められた時間 t_7 後半の状態（この状態をプログラムパルス印加という）を保った後、印加電圧を次の手順で戻していく。

【0033】

t_8 において、 $DDR_V = L$ 、 $\overline{DDR_V} = H$ とし、トランジスタ P_5 、 N_5 をOFF状態にする。

t_9 において、 $\overline{BLH} = L$ とする。

これにより、 t_{10} の状態では、選択 MBL が V_{CC} に戻る。

【0034】

t_{11} において、選択 WL を V_{CC} に戻す。これは、 WL ドライバ回路にディストリビュータを介して接続されている正チャージポンプ回路を非活性化することで実現する。

t_{12} において、選択 WL を GND にすると共に、非選択 WL を V_{CC} にする。

【0035】

プログラムベリファイ動作

次に、図2，図3，図6，図7を参照して、プログラムベリファイの動作について説明する。プログラムベリファイは、プログラム対象セルのしきい値が所定電位になっているかを確認することによって行う。そのため、プログラムと交互に繰り返し実行される動作である。

【0036】

高速書き込みを実現するためには、上記プログラムとベリファイの動作切り替えを高速に行う必要がある。上記プログラム動作時では、セルウェル12にバックゲート電圧 V_{SB} を印加しており、プログラム/ベリファイの切り替え時に寄生容量の大きいセルウェルの電圧を $4V$ から V_{CC} へ変化させるためには長時間が必要である。そこで、セルウェル12にバックゲート電圧 V_{SB} ($= 4V$)を印加したままベリファイを行う。

ベリファイ動作では、セルウェル12の電圧が $4V$ のままであるため、ワード線 WL は、通常の読み出し時の電圧 ($-2.2V$; 後述) よりも高い電圧、例えば $-5V$ に設定する。この状態で、ソース線 SL とビット線 MBL を V_{CC} に充電したのち、ソースライン SL を GND に駆動する。プログラム完了の場合には、チャンネルが導通するため、ビットライン MBL は放電され GND になる。プログラムが完了していない場合にはビットライン MBL は V_{CC} のままである。このビットライン MBL の電位をカラムラッチに取り込み、これに基づいて次のプログラムパルス印加時のビットライン MBL 電圧を決定する。すなわち、ラッチされた電位が V_{CC} のビットラインのみ次のプログラムパルス時に再度電子の注入を行うようにする。

【0037】

このように、セルウェル12にバックゲート電圧 V_{SB} ($= 4V$)を印加したままの状態ではベリファイを行うようにしたことにより、プログラム/ベリファイの切り替えが高速に行うことができ、ビットの高速書き込みを実現できる。

【0038】

このプログラムベリファイ動作について図12を参照して説明する。

まず t_{13} において、選択 WL を $-5V$ にする。これは、 WL ドライバ回路にディストリビュータ回路を介して接続される負チャージポンプ回路を活性化することで実現する。

【0039】

ベリファイ動作ではセルウェルの電圧が $4V$ のままであるため、ワード線は通常の読み出し時の電圧 (後述の $-2.2V$) より絶対値が高い電圧 ($-5V$) に設定している。

【0040】

t_{14} において、 $\overline{BLH} = H$ にし、 MBL をHフローティング状態にする。

続いて t_{15} において、 $V_{RFR} = H$ にする。このとき NA がHならばトランジスタ N_7 、 N_8 を通じて MBL が GND に放電される。 $NA = H$ の状態は、カラムラッチが書き込み合格を示しており、該当する MBL は書き込み完了のメモリセルを介して放電される前に、トランジスタ N_7 、 N_8 を通じて放電される。

【0041】

10

20

30

40

50

t 1 6において、選択 S L を G N D にする。

プログラム完了の場合には選択メモリセルのチャンネルが導通するため S B L と M B L が放電される。一方、プログラムが完了していない場合には、S B L と M B L は V C C のままとする。

【 0 0 4 2 】

t 1 7において、/ S E N S E = L とする。

M B L が放電されていれば、トランジスタ P 3 が O N 状態になり、ノード N A が H にセットされ、書き込み合格を示す。この状態では、次のプログラムパルス印加時 (t 7) で M B L は H になり、プログラムパルスが印加されない。

【 0 0 4 3 】

一方、M B L が放電されず H のままであれば、トランジスタ P 3 が O F F 状態になり、ノード N A は L のままである。この状態では、次のプログラムパルス印加時 (t 7) で M B L は L になり、プログラムパルスが印加される。すなわち、ラッチされた電位により次のプログラムパルス印加時に再度電子の注入を行うか、行わないかを決定する。

【 0 0 4 4 】

t 1 8において、V R F R を L に戻し、/ S E N S E を H に戻す。

t 1 9において、/ B L H を L にする。

これにより t 2 0 の状態で、M B L が V C C に戻る。

【 0 0 4 5 】

t 2 1において、選択 W L を G N D に戻す。これは W L ドライバ回路にディストリビュータ回路を介して接続される負チャージポンプ回路を非活性化することで実現できる。

【 0 0 4 6 】

これでプログラムベリファイ動作が完了する。このときに、カラムラッチの状態を確認し、プログラムが完了していれば、t 2 2 に進むが、完了していなければ t 3 に戻る。

t 3 から t 2 1 の動作をプログラムが完了するまで繰り返す。

【 0 0 4 7 】

t 2 2 において、非選択 W L を V C C にする。

t 2 3 において、選択 S G を V C C にする。これにより S B L が M B L と電気的に遮断され、S B L がフローティング状態になる。

【 0 0 4 8 】

t 2 4 において、選択 W E L を V C C にする。これは W E L ドライバ回路にディストリビュータ回路を介して接続される正チャージポンプ回路を非活性化することで実現できる。

これでスタンバイ状態に戻る。

【 0 0 4 9 】

以上、セルウェル 1 2 にバックゲート電圧 V S B (= 4 V) を印加したままベリファイを行う動作を説明したが、図 1 2 の t 1 2 においてセルウェル 1 2 の電位を V S B (= 4 V) から V C C (= 1 . 8 V) に戻して動作させても良い。

【 0 0 5 0 】

セルウェル 1 2 に高電圧を印加し、ゲート電極に負電圧を印加する状態は、後に述べる消去時の電位関係と同じである。

【 0 0 5 1 】

製造プロセスによっては、ベリファイの電位関係であっても当該セルに消去動作が発生する可能性がある。このような問題を解消するためには、セルウェル電位を V C C に戻してベリファイせざるを得ない。

【 0 0 5 2 】

このように動作させると、ウェルの充放電に要する時間が短縮化できるという効果は得られないが、その一方でベリファイ時のゲート電極の電位 (V V R) は - 5 V から - 2 . 2 V に変更できる。これらの電圧は通常チャージポンプから発生するが、このチャージポンプの消費電力はその発生電圧の絶対値に比例するので、- 5 V から - 2 . 2 V に変更す

10

20

30

40

50

ると、それに応じてチャージポンプの消費電力は低減できる。

【0053】

読み出し動作

一方、読み出し（リード）動作は、書き込み動作に比べて高速の動作が要求され、ビット線のみならずワード線の高速切り替えも必要であるため、セルウェル12に印加されるバックゲート電圧を通常の電圧（ $V_{CC} = 1.8V$ ）とし、ワード線WLに印加する読み出し電圧を $-2.2V$ としている。

【0054】

ここで図2，図3，図8，図9を参照して、読み出し動作について説明する。読み出し時には、セルウェル12にバックゲート電圧として V_{CC} を印加し、ソース線SLと同じく V_{CC} を印加する。読み出し対象のビット線21，25（図1に示したドレイン14）をGNDにしたのち、読み出し対象のワード線WLを V_{CC} から読み出し電圧 $V_R = -2.2V$ に変化させる。これにより、この電位配置でセルがプログラム状態であればビット線MBLは V_{CC} に上昇し、非プログラム状態であればGNDのままである。

10

【0055】

この読み出し動作を、図13を参照して説明する。

スタンバイ状態から、まず t_1 において、 $/BLH$ をHにし、 $/BLL$ をHにする。同時に $READ = H$ にし、トランジスタN3をON状態にする。このとき $/SENSE$ はHであり、トランジスタN4もON状態にあるので、ノードNAはLにセットされる。さらに選択WLをGNDに、選択SGをGNDにする。

20

【0056】

$/BLL = H$ を受け、 t_2 状態でMBLはLになる。

t_3 において、SGドライバ回路にディストリビュータ回路を介して接続されている負チャージポンプを活性化することにより、選択SGを $-2.2V$ にする。これにより選択MBLと選択SBLとが電氣的に接続され、選択SBLもLになる。

t_4 において $/BLL$ をLにし、MBLをLフローティングにする。

t_5 において、WLドライバ回路にディストリビュータを介して接続されている負チャージポンプ回路を活性化することにより、選択WLを $-2.2V$ にする。

【0057】

選択メモリセルがプログラム状態であれば、チャンネルが導通し、選択SBLが V_{CC} へ充電され、これに応じて選択MBLも V_{CC} に充電される。

30

【0058】

一方、選択メモリセルが消去状態であれば、チャンネルが非導通であり、選択SBLと選択MBLとがLフローティングを保つ。

【0059】

t_6 において、 $/SENSE$ をLにする。MBLがHであれば、トランジスタP3がOFF状態であるので、ノードNAはLのままであり、選択メモリセルがプログラム状態であることを示す。

【0060】

一方、MBLがLのままであると、トランジスタP3がON状態になり、ノードNAはHにセットされ、選択メモリセルが消去状態であることを示す。この値をリードデータとしチップから出力する。（出力回路は図示せず）

40

t_7 において、 $/SENSE = H$ とする。このとき $READ = H$ であるのでノードNAはLにセットされる。

t_8 において、WLドライバ回路にディストリビュータ回路を介して接続されている負チャージポンプ回路を非活性化することにより選択WLをGNDに戻す。同時に、SGドライバ回路にディストリビュータ回路を介して接続されている負チャージポンプ回路を非活性化することにより選択SLをGNDに戻す。

【0061】

t_9 において、 $/BLH$ をLにする。これにより t_{10} の状態、MBLが V_{CC} に戻

50

る。

【0062】

t11において、READをLに、選択WLをVCCに、選択SGをVCCにそれぞれ戻す。

これでスタンバイ状態に戻る。

【0063】

消去動作

次に消去動作について説明する。消去の方法は、FN(Fowler-Nordheim)トンネルによる引き抜きと、基板ホットホール注入による消去方法とがある。

【0064】

ここでは、図2, 図3, 図10, 図11を参照してFNトンネルによる引き抜きについて説明する。消去は、セルウェル12単位で行われる。セルウェル12およびソース線SLは6Vにし、ワード線WLに-8Vの高電圧を印加し、ビット線MBLをフローティングにする。これにより、ゲート18とセルウェル12との間に大きな電位差が生じ、電荷トラップ層16にトラップされている電子がFNトンネル効果によってトンネル絶縁膜15を通過してセルウェル12に飛び移ることにより引き抜かれる。

【0065】

以上の電位配置および動作により、Y系の回路をGND-VCCで動作する高速の回路で構成することができる。

【0066】

この消去動作について図14を参照して説明する。

スタンバイ状態から、まずt1において、選択WLをGNDにする。消去はブロック単位で実施するので、選択WLは該当ブロック内の全てのWLである。例えば図24に示すようなメモリアレイの場合、WL(0)からWL(63)の64本となる。

【0067】

t2において、WELドライバ回路、SGドライバ回路、WELSGドライバ回路、及びSLドライバ回路にディストリビュータ回路を介して接続されている正チャージポンプ回路を活性化すると共に、WLドライバ回路にディストリビュータ回路を介して接続されている負チャージポンプ回路を活性化する。これにより、選択WEL、選択SG、選択WELSG、及び選択SLが6Vに、選択WLが-8Vになる。また選択SBLは選択メモリセルのチャンネルが導通しているため、SLと同電位の6Vになる。

【0068】

この電位配置にすることにより、選択メモリセルのゲートとレインとの間に大きな電位差が生じ(この場合14V)電荷トラップ層にトラップされている電子がFNトンネル効果によってトンネル酸化膜を通過してドレインに飛び移ることにより引き抜かれる。

【0069】

予め決められた時間t2後半の状態(この状態を消去パルス印加という)を保った後、印加電圧を次の手順で戻していく。

【0070】

t3において、WELドライバ回路、SGドライバ回路、WELSGドライバ回路、及びSLドライバ回路にディストリビュータ回路を介して接続されている正チャージポンプ回路を非活性化する。これにより、選択WEL、選択SG、選択WELSG、及び選択SLがVCCに戻る。また、選択WLは-8Vのままであるので、選択メモリセルのチャンネルはまだ導通しており、SBLはSLと同じVCCに戻る。

【0071】

t4において、WLドライバ回路にディストリビュータ回路を介して接続されている負チャージポンプ回路を非活性化する。これにより選択WLはGNDになる。

t5において、選択SGをGNDにする。

これ以降、消去ベリファイ動作に移行する。消去ベリファイでは消去対象のセルのしきい値が所定電位になっているかを確認する動作である。

10

20

30

40

50

【 0 0 7 2 】

t 6において、W Lドライバ回路にディストリビュータ回路を介して接続されている負チャージポンプを活性化することで、選択W Lを - 6 Vにする。同時に、S Gドライバ回路にディストリビュータ回路を介して接続されている負チャージポンプを活性化することで、選択S Gを - 2 . 2 Vにする。

【 0 0 7 3 】

t 7において、R E A D = Hとし、トランジスタN 3をON状態にすると、既にトランジスタN 4がON状態であることから、ノードN AはLにセットされる。ノードN AがLになるとノードN BはHになる。

【 0 0 7 4 】

t 8において、/ B L H = Hとする。これによりトランジスタP 9がOFFし、M B LはHフローティング状態になる。

t 9において、選択S LをG N Dにする。

【 0 0 7 5 】

消去完了時にはチャンネルが遮断するため、S B LとM B Lは放電されない。一方、一つでもプログラム状態のセルがあれば、そのセルのチャンネルを通じてS B LとM B Lは放電される。

【 0 0 7 6 】

t 1 0において、/ S E N S E = Lとする。M B Lが放電されずHのままであれば、トランジスタP 3がOFF状態であるので、ノードN AはLのままであり、対象のメモリセルが消去状態であることを示す。一方、M B Lが放電されLに下がると、トランジスタP 3がON状態になり、ノードN AはHにセットされ、対象のメモリセルが書き込み状態であることを示す。

【 0 0 7 7 】

対象のメモリセルが書き込み状態であれば、次の消去パルス印加を行うこととする。ブロック内の全てのW Lを選択してベリファイしているので、ベリファイ動作は一回の読み出しで実施できる。

【 0 0 7 8 】

t 1 1において、/ S E N S E = Hとする。このときR E A D = HであるのでノードN AはLにセットされる。

t 1 2において、/ B L H = Lにし、R E A D = Lにする。

t 1 3において、/ B L H = Lを受けて、M B LがV C Cになる。

t 1 4において、W Lドライバ回路にディストリビュータ回路を介して接続されている負チャージポンプ回路を非活性化することにより、選択W LをG N Dに戻す。

【 0 0 7 9 】

t 1 5において、S Gドライバ回路にディストリビュータ回路を介して接続されている負チャージポンプ回路を非活性化することにより、選択S GをG N Dに戻す。

t 1 6において、選択S GをV C Cに戻す。

【 0 0 8 0 】

これで消去ベリファイ動作が完了する。このときに、カラムラッチの状態を確認し、消去が完了していればt 1 7に進むが、完了していればt 2に戻る。

【 0 0 8 1 】

t 2からt 1 6の動作を消去が完了するまで繰り返す。

t 1 7において、選択W LをV C Cに戻す。

これでスタンバイ状態に戻る。

【 0 0 8 2 】

次に、前記各ドライバ回路およびディストリビュータ回路の構成について説明する。

W Lドライバ回路

プログラムパルス印加時、選択W Lは1 0 V、非選択W LはG N Dに設定する（図1 2のプログラム動作時のt 7参照）。

10

20

30

40

50

【 0 0 8 3 】

消去パルス印加時、選択WLは - 6 V、非選択WLはVCC (= 1.8 V) に設定する (図14の消去動作時のt2参照)。

【 0 0 8 4 】

選択WLに正及び負の電圧を供給するデコーダ回路には、例えば特許第3223877号に開示された構成がある。

【 0 0 8 5 】

しかし、この構成では、非選択WLが0 Vに固定されており、今回のWLデコーダ動作に適合しない。そこで、図16に示した構成により、非選択WLをVCC及びGNDに変更できる回路を実現した。

10

【 0 0 8 6 】

図16はWLドライバ回路である。この図16において、VPWLはVCC以上の正の高電圧であり、後述するディストリビュータ回路を介して正チャージポンプ回路から電圧を受ける。

【 0 0 8 7 】

一方、VNWLはGND以下の負の高電圧であり、後述するディストリビュータ回路を介して負チャージポンプ回路から電圧を受ける。トランジスタN6、N7、P6、P7、及びインバータ15から成るレベルシフト回路17は、入力信号SELWLの[VCC, GND]の2値信号を[VPWL, GND]に変換する。

【 0 0 8 8 】

レベルシフト回路17から信号を受けたレベルシフト回路18はトランジスタN5、N4、P5、P4から成り、入力信号[VPWL, GND]の2値信号を[VPWL, VNWL]に変換し、ノードVSELWLに供給する。

20

【 0 0 8 9 】

一方、トランジスタN12, N13, P12, P13、及びインバータ16から成るレベルシフト回路19は、WL選択アドレス信号をデコードするANDゲート17の出力[VCC, GND]の2値信号を受け[VPWL, GND]に変換する。

【 0 0 9 0 】

レベルシフト回路19から信号を受けたレベルシフト回路20は、トランジスタN10, N11, P10, P11から成り、入力信号[VPWL, GND]の2値信号を[VPWL, VNWL]に変換し、トランジスタN9, P9からなるインバータに供給する。

30

【 0 0 9 1 】

トランジスタN9, P9からなるインバータの出力はDECWL1とする。

【 0 0 9 2 】

DECWL1はトランジスタN8, P8からなるインバータに入力され、当該インバータはDECWL0を出力する。

【 0 0 9 3 】

アドレスが選択状態になり、ANDゲート17の出力がVCCのとき、DECWL1がVPWLに、DECWL0がVNWLになる。このとき、トランジスタN2, P1がONし、トランジスタN1, P2がOFFするので、WLにはVSELWLの電圧が伝播する。これがWL選択状態である。

40

【 0 0 9 4 】

前述のとおり、SELWL = VCCのとき、VSELWL = VPWLとなり、選択状態のWLに正の高電圧が印加される。

また、SELWL = GNDのとき、VSELWL = VNWLとなり、選択状態のWLに負の高電圧が印加される。

これにより選択WLには正負の高電圧を印加することができる。

【 0 0 9 5 】

一方、アドレスが非選択状態になり、ANDゲート17の出力がGNDのとき、DECWL1がVNWLに、DECWL0がVPWLになる。

50

【 0 0 9 6 】

このとき、トランジスタN2, P1がOFFし、トランジスタN1, P2がONするのでWLにはVUSELWLの電圧が伝播する。これがWL非選択状態である。

【 0 0 9 7 】

USELWLがGNDのときVUSELWLはインバータ14によりVCCになり、非選択WLはVCCとなる。

【 0 0 9 8 】

また、USELWLがVCCのときVUSELWLはインバータ14によりGNDになり、非選択WLはGNDとなる。

【 0 0 9 9 】

以上のような構成によれば、選択WLを正負の高電圧に設定でき、かつ非選択のWLをVCC/GNDに設定できる。

10

【 0 1 0 0 】

SGドライバ回路

図17はSGドライバ回路の構成を示す図である。素子の記号はWLドライバ回路の各素子と対応する。SGドライバ回路の構成はWLドライバ回路と同様であるが、WLドライバ回路においてVUSELWL信号に相当する部分がVCCになっている。これはSGにおいては非選択SGのレベルが各動作条件で常にVCCになっているためである。

【 0 1 0 1 】

このような構成によれば、選択SGを正負の高電圧VPSGに設定でき、非選択WLをVCCにできる。

20

【 0 1 0 2 】

WELドライバ回路

図18はWELドライバ回路の構成を示す図である。

この構成によれば、選択WELにはVPWELレベルが、非選択WELにはVCCがそれぞれ供給される。

【 0 1 0 3 】

WELSGドライバ回路

図19はWELSGドライバ回路の構成を示す図である。

この構成によれば、選択WELSGにはVPWELSGレベルが、非選択WELSGにはVCCがそれぞれ供給される。

30

【 0 1 0 4 】

SLドライバ回路

図20は、SLドライバ回路の構成を示す図である。

SLにはVCC、GND及び消去時の6Vが印加される。高電圧の6VはVPSLへ供給される。デコード信号により選択状態になると、トランジスタP1、N2がON状態、トランジスタN1がOFF状態になり、SLへはVSELSLが伝播される。

【 0 1 0 5 】

一方、非選択状態になると、トランジスタP1, N2がOFF状態、トランジスタN1がON状態になり、SLへはGNDが伝播される。

40

【 0 1 0 6 】

消去ベリファイ時(t9)及びプログラムベリファイ時(t16)においては、選択SLをGNDに変化させ、当該SLに接続されているプログラム状態のメモリセル群を通じてSBL及びMBLを放電する。

【 0 1 0 7 】

選択SLをGNDに変化させるには、/SETHをHにすることにより実現する。

【 0 1 0 8 】

ディストリビュータ回路

WLドライバ回路は図16に示すように、VCC以上の正の高電圧としてVPWLを、また、GND以下の負の高電圧としてVNWLをそれぞれディストリビュータ回路から受

50

けている。

【0109】

以下に、このディストリビュータ回路に関して説明する。

図21はディストリビュータ回路の構成を示す図である。VPHは第1の正チャージポンプ回路、VPLは第2の正チャージポンプ回路であり、VNHは第1の負チャージポンプ回路、VNLは第2の負チャージポンプである。

【0110】

チャージポンプ回路とは例えば特許第2141320号に開示される高電圧発生回路であり、その活性信号(図示せず)を受けて出力端子に高電圧を与えるものである。

【0111】

また、特許第2141320号に開示されるチャージポンプは、その出力電圧のレベルを感知してこれをフィードバックすることにより、所望の電圧レベルを発生させることができる。

チャージポンプVPHの出力は正切り替え回路SP1を通じてVPWLに接続されている。

【0112】

正切り替え回路SP1は、制御信号(図示せず)に応じてVPHの出力とVPWLとを電氣的に接続するモードと電源VCCとVPWLとを電氣的に接続するモードとを持つ。具体的には、例えば特許第2658916号に開示された回路と同様の、図22に示す回路で実現できる。

【0113】

ここで、VPHの出力とVPWLとを電氣的に接続するときは、SELVPHをHにする。このとき、トランジスタN13、N14、P13、P14から成るレベルシフト回路により、トランジスタP16はON状態になり、かつ、トランジスタN11、N12、P11、P12から成るレベルシフト回路により、トランジスタP15はON状態になる。

【0114】

一方、トランジスタN16はOFF状態である。これにより、VPHとVPWLとが電氣的に接続される。

【0115】

VCCとVPWLとを電氣的に接続するときは、SELVCCをHにする。このとき、トランジスタN3、N4、P3、P4から成るレベルシフト回路により、トランジスタP6はON状態になり、かつ、トランジスタN1、N2、P1、P2から成るレベルシフト回路により、トランジスタP5はON状態になる。

【0116】

一方、トランジスタN6はOFF状態である。これにより、VCCとVPWLとが電氣的に接続される。

チャージポンプVNHの出力は負切り替え回路SN1を通じてVNWLに接続されている。

【0117】

負切り替え回路SN1は制御信号(図示せず)に応じて、VNHの出力とVNWLとを電氣的に接続するモードと電源GNDとVNWLとを電氣的に接続するモードとを持つ。

【0118】

具体的な回路は、例えば特許第2658916号に開示された回路と同様の、図23の構成で実現できる。

【0119】

VNHの出力とVNWLとを電氣的に接続するときは、SELVNHをLにする。

【0120】

このとき、トランジスタN13、N14、P13、P14から成るレベルシフト回路により、トランジスタN16はON状態になり、かつ、トランジスタN11、N12、P11、P12から成るレベルシフト回路により、トランジスタN15はON状態になる。

10

20

30

40

50

【0121】

一方トランジスタP16はOFF状態である。

これにより、VNHとVNW Lとが電氣的に接続される。

【0122】

GNDとVNW Lとを電氣的に接続するときは、SELGNDをLにする。このとき、トランジスタN3, N4, P3, P4から成るレベルシフト回路により、トランジスタN6はON状態になり、かつ、トランジスタN1, N2, P1, P2から成るレベルシフト回路により、トランジスタN5はON状態になる。一方トランジスタP6はOFF状態である。

これにより、GNDとVNW Lとが電氣的に接続される。

10

【0123】

以上のような構成により、VPWLへはVPHかVCCかいずれかの電圧が、VNW LへはVNHかGNDかいずれかの電圧がそれぞれ伝播される。

【0124】

SGドライバ回路は図17に示すように、VCC以上の正の高電圧としてVPSGを、また、GND以下の負の高電圧としてVNSGをそれぞれ高電圧切り替え回路から受けている。

【0125】

図21において、チャージポンプVPHの出力は正切り替え回路SP2を通じてVPSGに接続されている。チャージポンプVNLの出力は負切り替え回路SN2を通じてVNSGに接続されている。

20

【0126】

このような構成により、VPSGへはVPHかVCCのいずれかの電圧が、VNSGへはVNLかGNDのいずれかの電圧がそれぞれ伝播される。

【0127】

また、チャージポンプVPLの出力は、正切り替え回路SP3, SP4, SP5を介してVPSL, VPWEL, VPWELSGにそれぞれ接続されている。

【0128】

以上説明したように、この実施形態では、バックゲート電圧を印加してソースにドレイン電圧とソース電圧の中間の電圧を印加したことにより、ドレイン-ソース間に掛かる電圧が下がることと、バックゲート効果により等価的に V_{th} (絶対値)が高くなるためにパンチスルーしにくくなり、これによって、ゲート長のスケラビリティ (短ゲート化) を大幅に改善することが可能になり、NOR型の構造において、 $0.1\mu\text{m}$ 以下のゲート長を実現することも困難でなくなった。

30

【0129】

また、この実施形態では、消去ベリファイ時に、選択ブロック内の全てにワード線に同一のベリファイ電圧を与えることによってブロック内の全てのメモリセルを一回の読み出しでベリファイでき、消去ベリファイの時間を短縮できる。

【0130】

なお、本実施形態では、pチャネルMONOS構造のメモリセルに対する書込方法について説明しているが、図3の電位配置等の極性を反転することにより、この発明をnチャネルMONOSメモリに適用することも可能である。

40

【0131】

また、本実施形態では、図1に示したMONOS構造のメモリセルに対する書込方法を説明しているが、これ以外にも、フローティングゲート型の不揮発性半導体メモリ、ナノクリスタル層に電荷を保持する不揮発性半導体メモリ等に適用することができる。

【0132】

なお、図3等にした電圧値は一例であり、本発明の条件に合致する電圧であればどのような電圧でもよい。

【図面の簡単な説明】

50

【 0 1 3 3 】

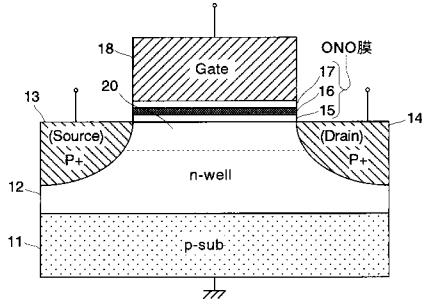
- 【図 1】この発明が適用される p チャンネル MONOS メモリセルの構造を示す図である。
- 【図 2】同 p チャンネル MONOS メモリセルを X Y に配列して NOR 接続アレイを構成した場合のアーキテクチャを示す等価回路図である。
- 【図 3】同 NOR 接続アレイにおけるプログラム動作時、プログラムベリファイ動作時、消去動作時、消去ベリファイ動作時、リード動作時の各電位配置を示す図である。
- 【図 4】プログラム動作時の等価回路における電位配置を示す図である。
- 【図 5】プログラム動作時の断面構造における電位配置を示す図である。
- 【図 6】プログラムベリファイ動作時の等価回路における電位配置を示す図である。
- 【図 7】プログラムベリファイ動作時の断面構造における電位配置を示す図である。 10
- 【図 8】リード動作時の等価回路における電位配置を示す図である。
- 【図 9】リード動作時の断面構造における電位配置を示す図である。
- 【図 10】FN トンネルによる消去動作時の等価回路における電位配置を示す図である。
- 【図 11】FN トンネルによる消去動作時の断面構造における電位配置を示す図である。
- 【図 12】プログラム動作時の電圧波形図である。
- 【図 13】リード動作時の電圧波形図である。
- 【図 14】消去動作時の電圧波形図である。
- 【図 15】カラムラッチの構成を示す図である。
- 【図 16】WL ドライバの構成を示す図である。
- 【図 17】SG ドライバの構成を示す図である。 20
- 【図 18】WEL ドライバの構成を示す図である。
- 【図 19】WEL SG ドライバの構成を示す図である。
- 【図 20】SL ドライバの構成を示す図である。
- 【図 21】ディストリビュータ回路の構成を示す図である。
- 【図 22】正高電圧切り替え回路の構成を示す図である。
- 【図 23】負高電圧切り替え回路の構成を示す図である。
- 【図 24】メモリセルアレイの構成を示す図である。

【符号の説明】

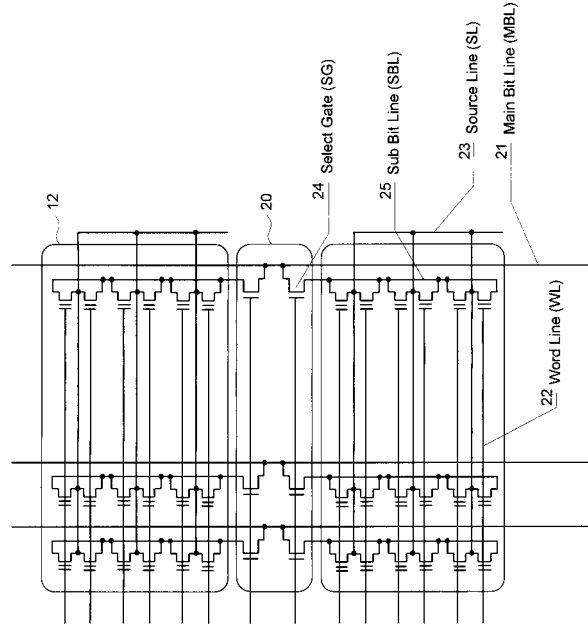
【 0 1 3 4 】

- 1 1 ... p 型半導体基板 30
- 1 2 ... n 型ウェル (セルウェル)
- 1 3 ... ソース (p + 領域)
- 1 4 ... ドレイン (p + 領域)
- 1 5 ... トンネル絶縁膜
- 1 6 ... 電荷トラップ層 (窒化膜)
- 1 7 ... 上部絶縁層
- 1 8 ... ゲート
- 2 0 ... セレクトゲートウェル (n 型ウェル)
- 2 1 ... メインビット線
- 2 2 ... ワード線 40
- 2 3 ... ソース線
- 2 4 ... セレクトゲート
- 2 5 ... サブビット線

【 図 1 】



【 図 2 】

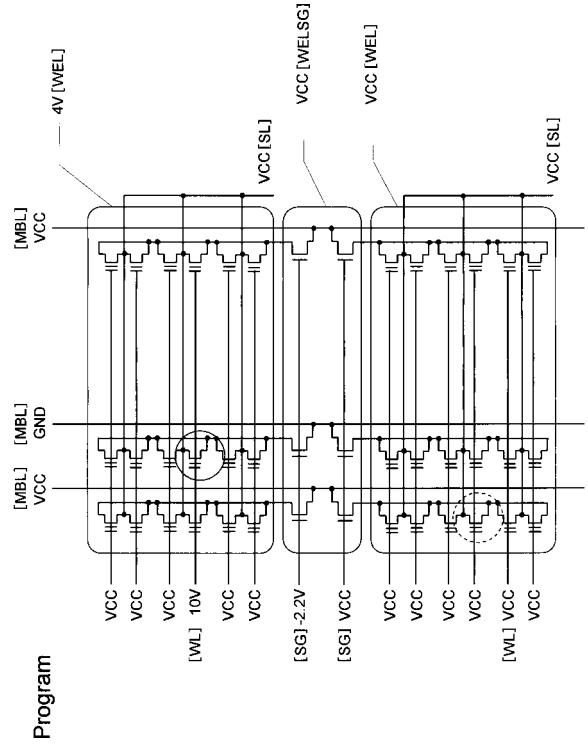


Architecture

【 図 3 】

	Program	Prog-verify	Erase	Erase-Verify	Read
selected	MBL	VCC/GND	VCC	VCC/GND	VCC/GND
	SG	-2.2V	6V	-2.2V	-2.2V
	SBL	GND	6V	VCC/GND	VCC/GND
	WL	10V(VP)	-8V	-6V	-2.2V(VR)
	SL	VCC	GND	GND	VCC
	WEL	4V(VSB)	6V	VCC	VCC
	WELSG	VCC	6V	VCC	VCC
	MBL	VCC	VCC	VCC	VCC
	SG	VCC	VCC	VCC	VCC
	SBL	open	open	open	open
Un-selected	WL	VCC	VCC	VCC	VCC
	SL	VCC	VCC	VCC	VCC
	WEL	VCC	VCC	VCC	VCC
	WELSG	VCC	VCC	VCC	VCC
	sub	GND	GND	GND	GND

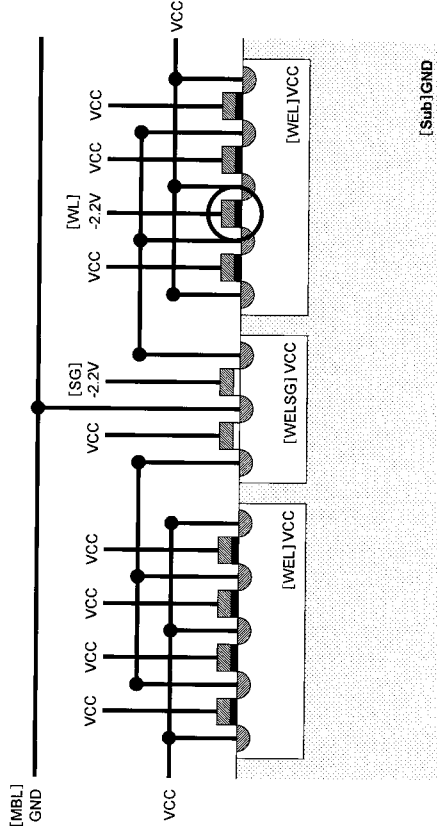
【 図 4 】



Program

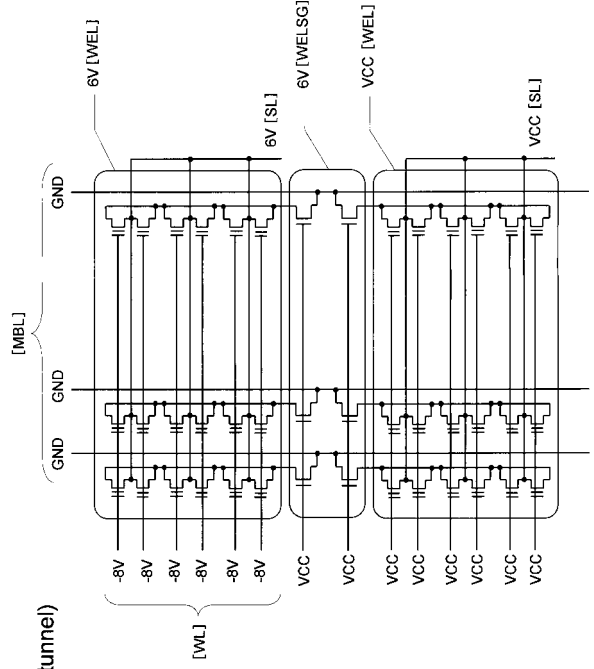
【 9 】

READ



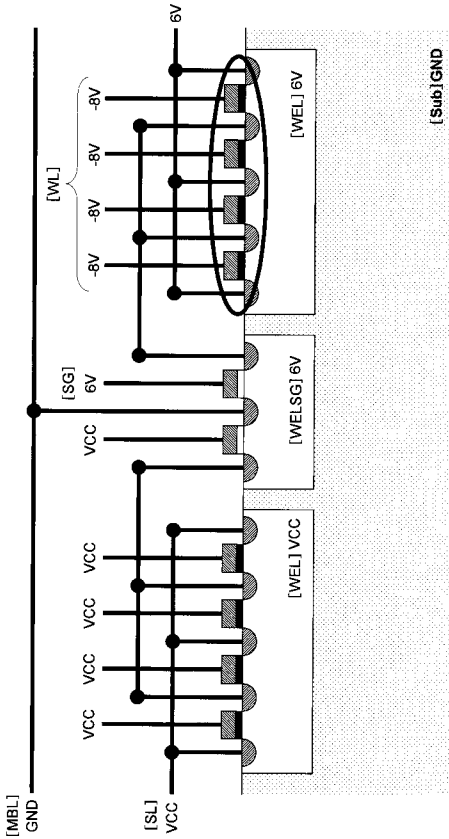
【 10 】

Erase (tunnel)

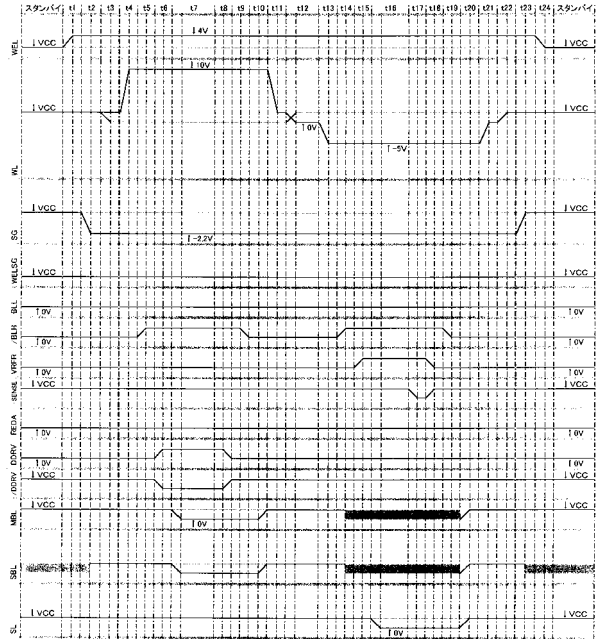


【 11 】

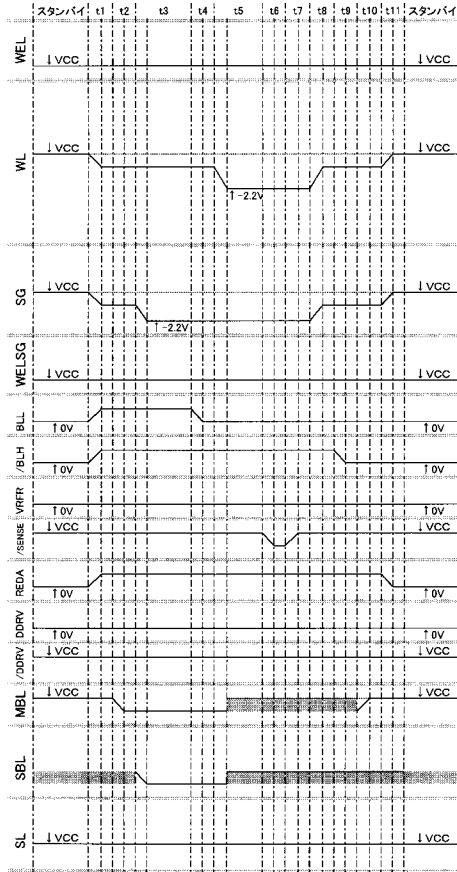
ERASE <tunnel>



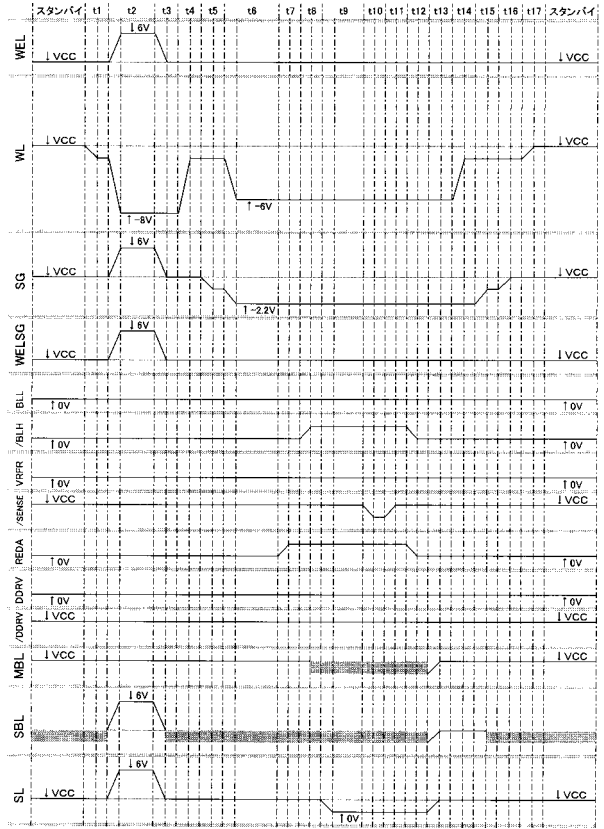
【 12 】



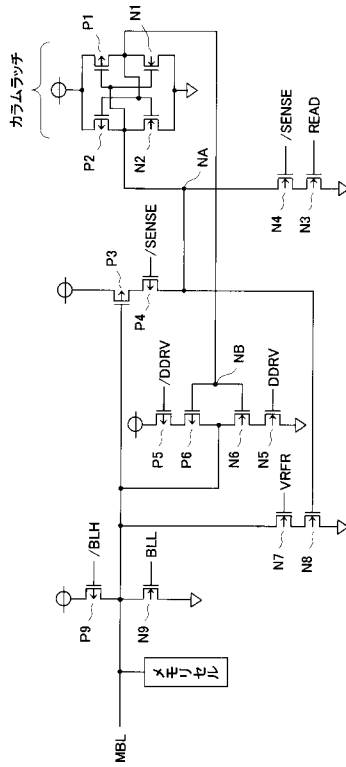
【図 13】



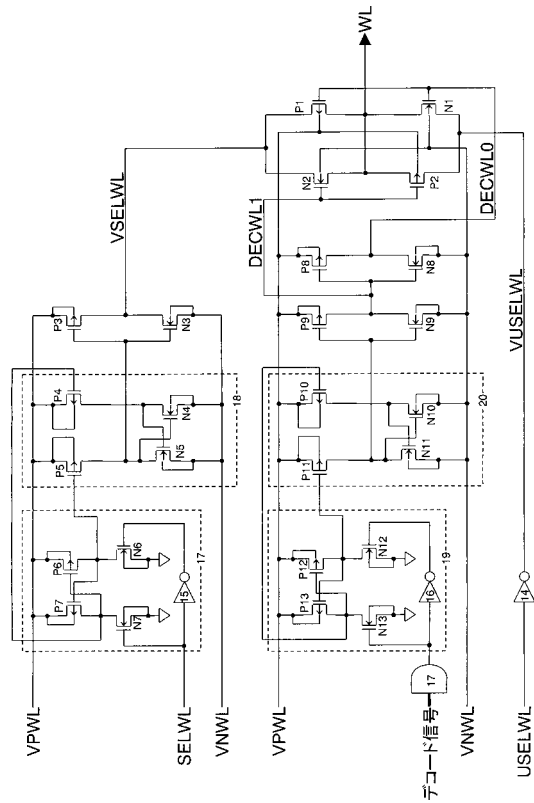
【図 14】



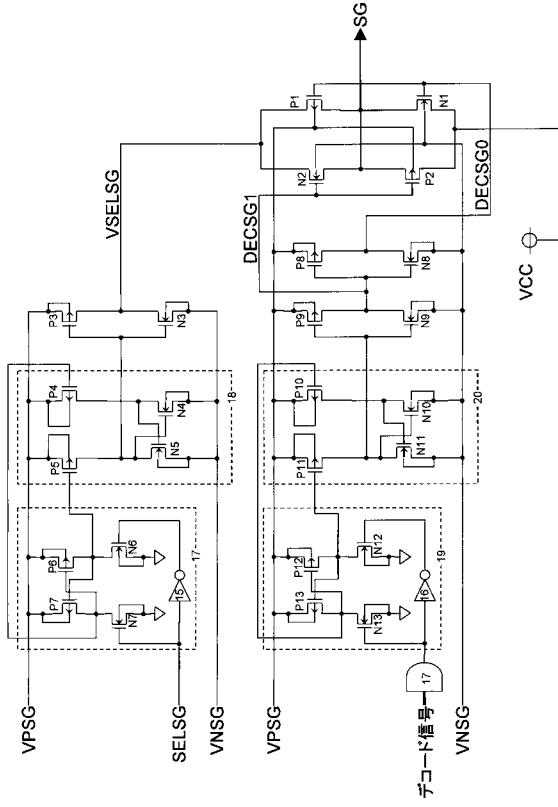
【図 15】



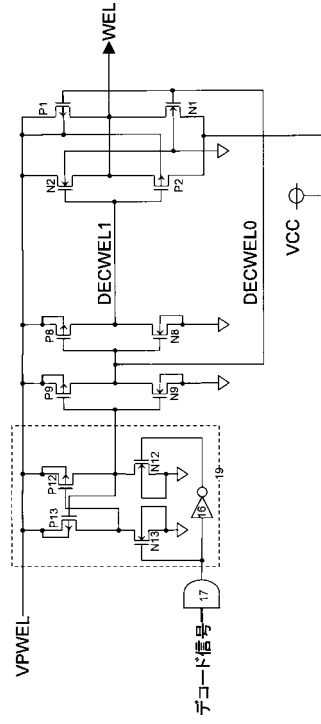
【図 16】



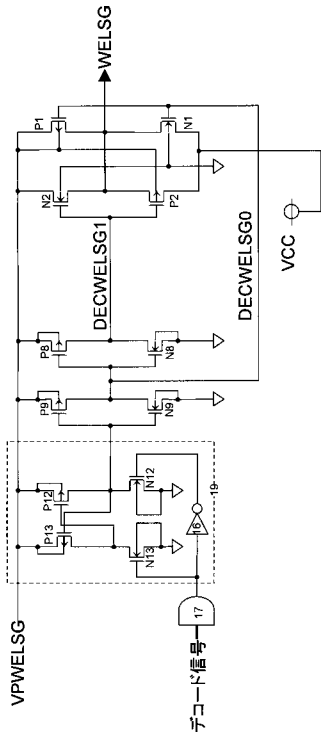
【図 17】



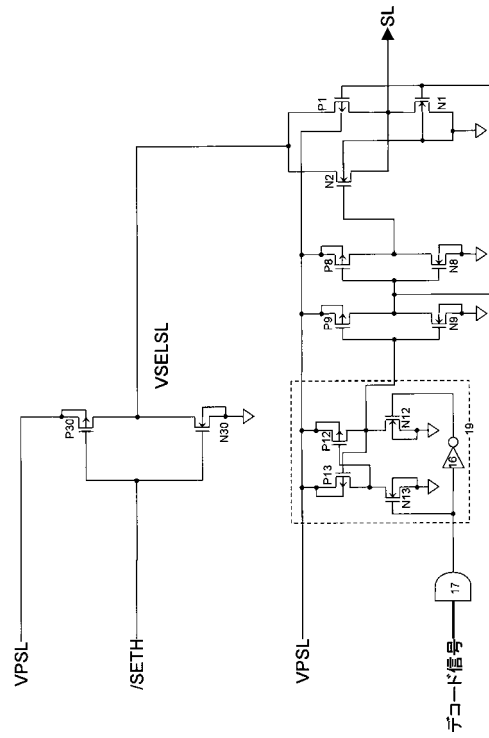
【図 18】



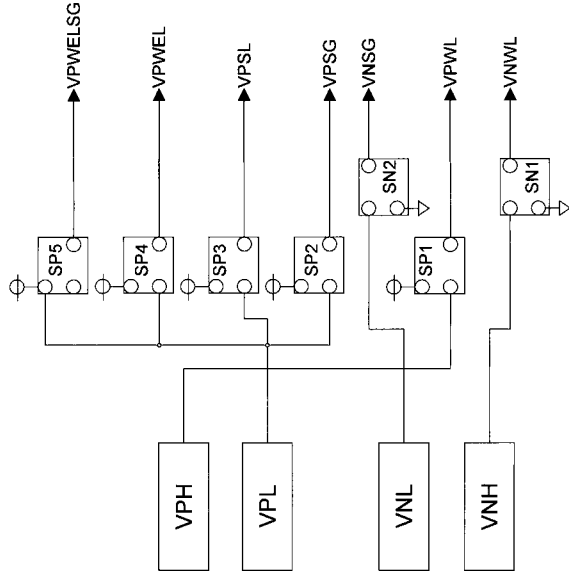
【図 19】



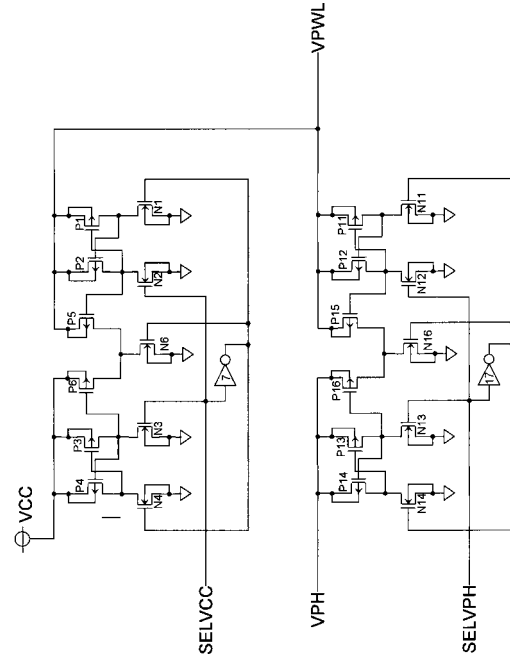
【図 20】



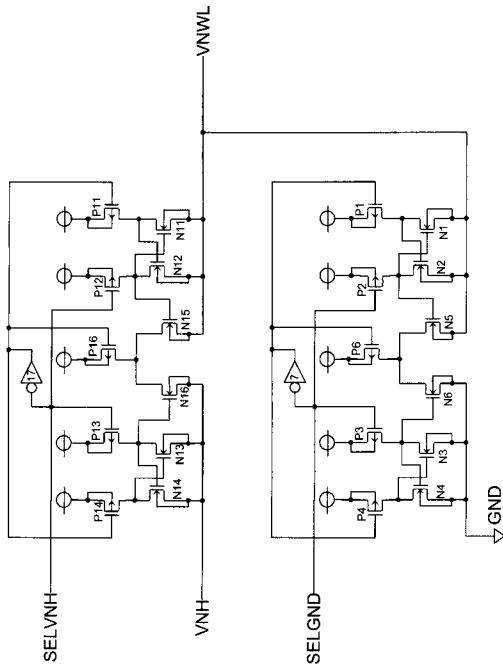
【 2 1 】



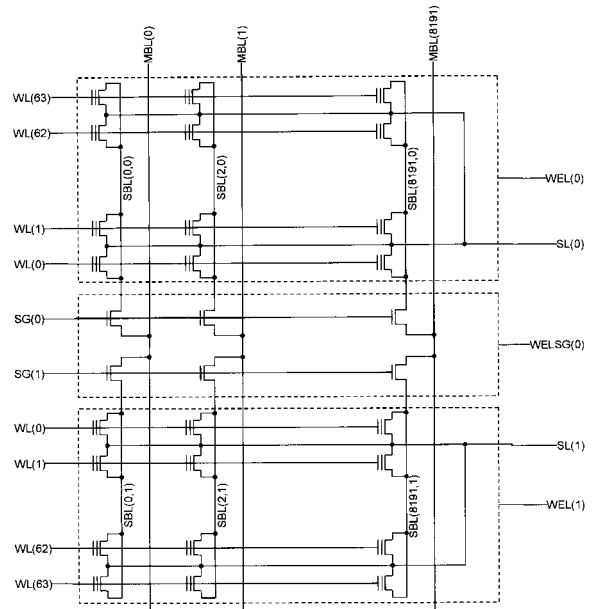
【 2 2 】



【 2 3 】



【 2 4 】



フロントページの続き

(51)Int.Cl. F I

G 1 1 C 16/04 (2006.01)

(56)参考文献 特開平09 - 246404 (JP, A)

特開平09 - 008153 (JP, A)

特開平09 - 260518 (JP, A)

特開平09 - 082093 (JP, A)

特開2006 - 156925 (JP, A)

Takahiro Ohnakado et.al , Device Characteristics of 0.35um P-Channel DINOR Flash Memory Using Band-to-band Tunneling-Induced Hot Electron(BBHE) Programming , IEEE Transaction on Electron Devices , 米国 , IEEE , 1999年 9月 , Vol.46, No.9 , P.1866-1871

Shoji Shukuri et.al , A 60nm NOR Flash Memory Cell Technology Utilizing Back Bias Assisted Band-to-Band Tunneling Induced Hot-Electron Injection(B4-Flash) , 2006 Symposium on VLIS Technology Digest of Technical Papers , 米国 , IEEE , 2006年 , P.15,16