



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I529933 B

(45)公告日：中華民國 105 (2016) 年 04 月 11 日

(21)申請案號：099137947

(22)申請日：中華民國 99 (2010) 年 11 月 04 日

(51)Int. Cl. : H01L29/78 (2006.01)

H01L29/40 (2006.01)

(30)優先權：2009/11/06 日本

2009-255103

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP)；平石鈴之介 HIRAISHI, SUZUNOSUKE
(JP)；秋元健吾 AKIMOTO, KENGO (JP)；坂田淳一郎 SAKATA, JUNICHIRO (JP)

(74)代理人：林志剛

(56)參考文獻：

TW 200509391

TW 200614134

US 2008/0032444A1

US 2009/0269880A1

審查人員：姚真華

申請專利範圍項數：14 項 圖式數：16 共 79 頁

(54)名稱

半導體裝置

SEMICONDUCTOR DEVICE

(57)摘要

本發明之一目的在於，於包含氧化物半導體層之薄膜電晶體中，減少氧化物半導體層與電連接至該氧化物半導體層之源極和汲極電極層間的接觸電阻。源極和汲極電極層具有二或更多層之堆疊層構造，其中使用工作函數低於氧化物半導體層或含此一金屬之合金氧化物之工作函數之金屬氧化物，形成與氧化物半導體層接觸之層。異於與源極和汲極電極層之氧化物半導體層接觸之層之層使用選自 Al、Cr、Cu、Ta、Ti、Mo 或 W 之元素、含此等元素之任一者作為成份之合金、含此等元素組合之任一者之合金形成。

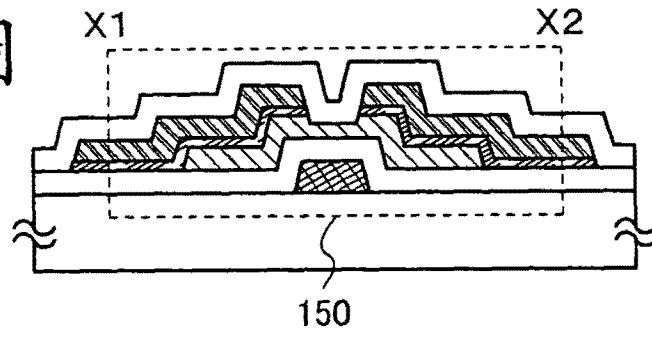
An object is, in a thin film transistor including an oxide semiconductor layer, to reduce contact resistance between the oxide semiconductor layer and source and drain electrode layers electrically connected to the oxide semiconductor layer. The source and drain electrode layers have a stacked-layer structure of two or more layers in which a layer in contact with the oxide semiconductor layer is formed using an oxide of a metal whose work function is lower than the work function of the oxide semiconductor layer or an oxide of an alloy containing such a metal. Layers other than the layer in contact with the oxide semiconductor layer of the source and drain electrode layers are formed using an element selected from Al, Cr, Cu, Ta, Ti, Mo, or W, an alloy containing any of these elements as a component, an alloy containing any of these elements in combination, or the like.

指定代表圖：

符號簡單說明：

150 · · · 薄膜電晶體

第1D圖



發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：099137947

※申請日：099 年 11 月 04 日

※IPC 分類：

一、發明名稱：(中文／英文)

半導體裝置

Semiconductor device

H01L 29/18 (2006.01)

H01L 29/40 (2006.01)

二、中文發明摘要：

本發明之一目的在於，於包含氧化物半導體層之薄膜電晶體中，減少氧化物半導體層與電連接至該氧化物半導體層之源極和汲極電極層間的接觸電阻。源極和汲極電極層具有二或更多層之堆疊層構造，其中使用工作函數低於氧化物半導體層或含此一金屬之合金氧化物之工作函數之金屬氧化物，形成與氧化物半導體層接觸之層。異於與源極和汲極電極層之氧化物半導體層接觸之層之層使用選自 Al、Cr、Cu、Ta、Ti、Mo 或 W 之元素、含此等元素之任一者作為成份之合金、含此等元素組合之任一者之合金形成。

三、英文發明摘要：

An object is, in a thin film transistor including an oxide semiconductor layer, to reduce contact resistance between the oxide semiconductor layer and source and drain electrode layers electrically connected to the oxide semiconductor layer. The source and drain electrode layers have a stacked-layer structure of two or more layers in which a layer in contact with the oxide semiconductor layer is formed using an oxide of a metal whose work function is lower than the work function of the oxide semiconductor layer or an oxide of an alloy containing such a metal. Layers other than the layer in contact with the oxide semiconductor layer of the source and drain electrode layers are formed using an element selected from Al, Cr, Cu, Ta, Ti, Mo, or W, an alloy containing any of these elements as a component, an alloy containing any of these elements in combination, or the like.

四、指定代表圖：

(一) 本案指定代表圖為：第 (1D) 圖。

(二) 本代表圖之元件符號簡單說明：

150：薄膜電晶體

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明

【發明所屬之技術領域】

本發明係有關一種半導體裝置，其具有包括薄膜晶體管（以下簡稱 TFT）之電路及其製造方法。例如，本發明係有關一種電子裝置，於其中安裝液晶顯示面板或包括有機發光元件之發光顯示裝置所代表之光電裝置，作為其組成部分。

在本說明書中，半導體器件是指可利用半導體的特性來運作的所有類型的裝置，且光電裝置、半導體電路和電子裝置均為半導體裝置。

【先前技術】

近幾年，使用形成於具有絕緣表面之基板上方之半導體薄膜（厚度大約有幾奈米到幾百奈米）來形成薄膜電晶體（TFT）之技術引人注目。薄膜電晶體被應用於範圍廣泛的電子裝置，如積體電路或光電裝置，且，用作影像顯示裝置之開關元件之薄膜電晶體特別是急需發展。

存在有各種金屬氧化物，且其用於各種用途。氧化銦是一種著名的材料，用來作為液晶顯示器等的透光電極材料。一些金屬氧化物具有半導體特性。具有半導體特點之金屬氧化物例子有鎢氧化物，錫氧化物，氧化銦，氧化鋅等。使用此種具有半導體特點之金屬氧化物形成通道形成區之薄膜電晶體中業已周知（專利文獻 1 和專利文獻 2）。

[參考]

[專利文獻]

[專利文獻 1] 日本早期公開專利申請第 2007-123861 號

[專利文獻 2] 日本早期公開專利申請第 2007-096055 號

【 發明內容 】

本發明實施例之一目的係於包含氧化物半導體層之薄膜電晶體中，減少氧化物半導體層與電氣連接至氧化物半導體層之源極和汲極電極層間的接觸電阻。

另一個目的是，在包含氧化物半導體層之薄膜電晶體中，擴大源極和汲極電極層材料的選擇。

本說明書所揭示之本發明之一實施例係一種半導體裝置，形成於具有絕緣表面之基板上方之源極和汲極層具有二或更多層之堆疊構造，且在堆疊構造中，使用金屬氧化物形成薄層，該金屬氧化物之工作函數低於氧化物半導體層或含此一金屬之合金氧化物之工作函數。與氧化物半導體層接觸之層使用金屬氧化物形成，該金屬氧化物之工作函數低於氧化物半導體層或含此一金屬之合金氧化物之工作函數，俾可形成與氧化物半導體層接觸之最佳狀態。又，可擴大源極和汲極電極之材料選擇。例如，使用具有高熱阻之金屬材料形成之層可設在使用工作函數低於氧化物半導體層或含此一金屬之合金氧化物之工作函數之金屬

氧化物形成之層上方，俾稍後所進程序之溫度上限可提高。

本發明另一實施例是半導體裝置，其中，形成於具有絕緣表面之基板上方之源極和汲極層具有二或更多層之堆疊構造，且在堆疊構造中，使用金屬氧化物形成薄層，該金屬氧化物之工作函數低於氧化物半導體層或含此一金屬之合金氧化物之電子親和力。與氧化物半導體層接觸之層使用金屬氧化物形成，該金屬氧化物之工作函數低於氧化物半導體層或含此一金屬之合金氧化物之電子親和力，俾可形成與氧化物半導體層接觸之最優狀態。又，可擴大源極和汲極電極之材料選擇。例如，使用具有高熱阻之金屬材料形成之層可設在使用工作函數低於氧化物半導體層或含此一金屬之合金氧化物之電子親和力之金屬氧化物形成之層上方，俾稍後所進程序之溫度上限可提高。鎢或鉬可用來作為具有高熱阻之金屬材料。

表 1 中列出若干金屬材料之工作函數，惟所用材料不限於此。

[表 1]

	工作函數 (eV)
鈇(Y)	3.3
錳(Mn)	4.1
銦(In)	4.12
鋁(Al)	4.28
鈦(Ti)	4.33
鋅(Zn)	4.33
鎢(W)	4.55
鉬(Mo)	4.6
鈷(Co)	5
鍺(Ge)	5
鈳(Ni)	5.15

例如，使用氧化銦層或含氧化銦之合金層形成與氧化物半導體層接觸之層，藉此，在使用含氧化銦之氧化物半導體材料作為氧化物半導體層之材料情況下，可形成接觸之最佳狀態。於此情況下，可減少接觸電阻。重要的是僅包含氧化銦之區域，該氧化銦屬於銦之氧化物且其工作函數低於含氧化銦之氧化物半導體材料之工作函數，以及含大量氧化銦之區域，刻意設在氧化物半導體層與層與源極電極層間的介面以及氧化物半導體層與汲極電極層間的介面。

又，鋅可以用來代替銦。本發明另一實施例是一種半導體裝置，其中氧化物半導體層，源極層和汲極層設在具有絕緣表面之基板上方，源極層及汲極層具有堆疊構造，且堆疊構造中，與氧化物半導體層接觸之層使用氧化鋅層或含有氧化鋅之合金層形成。使用氧化鋅層或含有氧化鋅

之合金層形成與氧化物半導體層接觸之層，藉此，可在與氧化物半導體層接觸之層使用氧化鋅層或含有氧化鋅之合金層形成情況下，形成接觸最佳狀態。例如，接觸電阻可減少。

又，鈦可以用來代替銮。本發明另一實施例是一種半導體裝置，其中氧化物半導體層，源極層和汲極層設在具有絕緣表面之基板上，源極層及汲極層具有堆疊構造，且堆疊構造中，與氧化物半導體層接觸之層使用氧化鈦層或含有氧化鈦之合金層形成，藉此，可在與氧化物半導體層接觸之層使用氧化鈦層或含有氧化鈦之合金層形成情況下，形成接觸最佳狀態。例如，接觸電阻可減少。

又，釷可以用來代替銮。本發明另一實施例是一種半導體裝置，其中氧化物半導體層，源極層和汲極層設在具有絕緣表面之基板上，源極層及汲極層具有堆疊構造，且堆疊構造中，與氧化物半導體層接觸之層使用氧化釷層或含有氧化釷之合金層形成。可在與氧化物半導體層接觸之層使用氧化釷層或含有氧化釷之合金層形成情況下，形成接觸最佳狀態。例如，接觸電阻可減少。

又，氧化銮鋅合金或含鎳氧化物（例如鎳氮氧化物）之合金氧化物可用來代替銮。重要的是，此一合金氧化物區域或主要含此一合金氧化物之區域刻意設在氧化物半導體層與層與源極電極層間以及氧化物半導體層與汲極電極層間的介面。此一合金氧化物區域或主要含此一合金氧化物之區域可形成與氧化物半導體層接觸之最佳狀態。例

如，接觸電阻可減少。

源極層和汲極層之堆疊構造中異於和氧化物半導體層接觸之層的層使用選自鋁，鉻，銅，鈮，鈦，鉬，或鎢、含此等元素之任一者作為成份之合金、含此等元素之任一者組合之合金等形成。替代地，源極層和汲極層可使用透光導電材料，如含鎢氧化物之氧化銦、含鎢氧化物之氧化銦鋅、含氧化鈦之氧化銦、含氧化鈦之氧化銦之氧化銦錫、銦錫氧化物(後文稱為 ITO)、氧化銦鋅或添加氧化矽之氧化銦錫。在使用薄膜電晶體於顯示面板情況下，可改進開口率。

須知，源極和汲極層可使用含金屬氧化物之層，該層之工作函數低於氧化物半導體層或含此一金屬之合金氧化物之工作函數，與含另一金屬之混合層。藉此構造，可減低接觸電阻。當使用具有高熱阻之金屬時，可提高稍後進行之程序之溫度上限。

設置源極和汲極層，俾使用工作函數低於氧化物半導體層或含此一金屬之合金氧化物之工作函數之金屬氧化物形成之層與氧化物半導體層接觸。源極和汲極層可具有一種堆疊構造，其中使用具有高熱阻之金屬形成之層進一步設在使用工作函數低於氧化物半導體層或含此一金屬之合金氧化物之工作函數之金屬氧化物形成之層上方。替代地，源極和汲極層可具有使用工作函數低於氧化物半導體層或含此一金屬之合金氧化物之工作函數之金屬氧化物形成之層的單層構造。

藉以上構造，可解決以上問題之至少一者。

較佳係於以上構造之任一者中，至少一共用金屬元件包含在氧化物半導體層之一或複數個材料中或源極層和汲極層之堆疊構造中和氧化物半導體層接觸之層之材料中。例如，當使用氧化銦或含氧化銦之合金在與源極層和汲極層之堆疊層中之氧化物半導體層接觸之層之材料情況下，較佳係 In-Ga-Zn-O (銦-鎵-鋅-氧) 系非單晶膜、 In-Sn-Zn-O (銦-錫-鋅-氧) 系氧化物半導體材料、 In-Al-Zn-O (銦-鋁-鋅-氧) 系氧化物半導體材料、 In-Sn-O (銦-錫-氧) 系氧化物半導體材料或 In-O (銦-氧) 系氧化物半導體材料於氧化物半導體層之材料。

又，於使用氧化鋅或含氧化鋅之合金在與源極層和汲極層之堆疊層中之氧化物半導體層接觸之層之材料情況下，可使用 In-Ga-Zn-O (銦-鎵-鋅-氧) 系非單晶膜、 In-Sn-Zn-O (銦-錫-鋅-氧) 系氧化物半導體材料、 In-Al-Zn-O (銦-鋁-鋅-氧) 系氧化物半導體材料、 Sn-Ga-Zn-O (錫-鎵-鋅-氧) 系氧化物半導體材料、 Al-Ga-Zn-O (鋁-鎵-鋅-氧) 系氧化物半導體材料、 Sn-Al-Zn-O (錫-鋁-鋅-氧) 系氧化物半導體材料、 In-Zn-O (銦-鋅-氧) 系氧化物半導體材料、 Sn-Zn-O (錫-鋅-氧) 系氧化物半導體材料、 Al-Zn-O (鋁-鋅-氧) 系氧化物半導體材料或 Zn-O (鋅-氧) 系氧化物半導體材料。

又，於使用氧化鋇或含氧化鋇之合金在與源極層和汲極層之堆疊層中之氧化物半導體層接觸之層之材料情況下，可使用 In-Ga-Zn-O (銦-鎵-鋅-氧) 系非單晶膜、 In-Sn-

Zn-O(銦-錫-鋅-氧)系氧化物半導體材料、In-Al-Zn-O(銦-鋁-鋅-氧)系氧化物半導體材料、Sn-Ga-Zn-O(錫-鎵-鋅-氧)系氧化物半導體材料、Al-Ga-Zn-O(鋁-鎵-鋅-氧)系氧化物半導體材料、Sn-Al-Zn-O(錫-鋁-鋅-氧)系氧化物半導體材料、In-Zn-O(銦-鋅-氧)系氧化物半導體材料、Sn-Zn-O(錫-鋅-氧)系氧化物半導體材料、Al-Zn-O(鋁-鋅-氧)系氧化物半導體材料或 Zn-O(鋅-氧)系氧化物半導體材料。

又，於使用氧化鈦或含氧化鈦之合金在與源極層和汲極層之堆疊層中之氧化物半導體層接觸之層之材料情況下，可使用 In-Ga-Zn-O(銦-鎵-鋅-氧)系非單晶膜、In-Sn-Zn-O(銦-錫-鋅-氧)系氧化物半導體材料、In-Al-Zn-O(銦-鋁-鋅-氧)系氧化物半導體材料、Sn-Ga-Zn-O(錫-鎵-鋅-氧)系氧化物半導體材料、Al-Ga-Zn-O(鋁-鎵-鋅-氧)系氧化物半導體材料、Sn-Al-Zn-O(錫-鋁-鋅-氧)系氧化物半導體材料、In-Zn-O(銦-鋅-氧)系氧化物半導體材料、Sn-Zn-O(錫-鋅-氧)系氧化物半導體材料、Al-Zn-O(鋁-鋅-氧)系氧化物半導體材料或 Zn-O(鋅-氧)系氧化物半導體材料。

氧化物半導體層以及和氧化物半導體層接觸之層的材料不限於以上氧化物半導體層、以上金屬氧化物或以上含金屬之合金氧化物。當工作函數低於氧化物半導體層或含此一金屬之合金氧化物之工作函數之金屬氧化物用來與氧化物半導體層組合時，可實現本發明之一實施例。

本發明之一實施例亦可藉任何組合之構造實現，只要金屬氧化物或含此一金屬之合金氧化物之工作函數低於氧

化物半導體之合金氧化物之電子親和力即可。

實現以上構造之本發明之另一實施例係半導體裝置之製造方法，包括以下步驟：形成閘極電極層於具有絕緣表面之基板上；形成閘極絕緣層於閘極電極層上方；形成氧化物半導體層於閘極絕緣層上方；形成氧化銦層或含氧化銦之合金層及金屬導電層於氧化物半導體層上方；以及選擇性蝕刻氧化銦層或含氧化銦之合金層及金屬導電層之堆疊層。

藉由以上製造方法，可製造底部閘極薄膜電晶體。

可使用氧化鋅或含有氧化鋅的合金可以用來代替銦。本發明之另一實施例是一種半導體裝置製造方法，包括以下步驟：形成閘極電極層於具有絕緣表面之基板上方；形成閘極絕緣層於閘極電極層上方；形成氧化物半導體層於閘極絕緣層上方；形成氧化鋅層或含氧化鋅之合金層與金屬導電層之堆疊層於氧化物半導體層上方；以及選擇性蝕刻氧化鋅層或含氧化鋅之合金層及金屬導電層，形成氧化鋅層或含氧化鋅之合金層與金屬導電層之堆疊層構造。

在製造倒置共面（也稱為底部接觸）薄膜電晶體情況下，形成閘極電極層於具有絕緣表面之基板上方；閘極絕緣層形成在閘極電極層上方；形成金屬導電層和氧化銦層或含氧化銦之合金層在閘極絕緣層上方；選擇性蝕刻金屬導電層和氧化銦層或含氧化銦之合金層，形成具有金屬導電層和銦氧化層或合金層含銦氧化之堆疊構造的源極和汲極電極層；以及氧化物半導體層形成在源極和汲極電極層

上方。

在以上製造方法中，氧化銦層或含氧化銦之合金層是由濺射方法或蒸發方法形成。該金屬導電層較佳地在形成氧化銦或含氧化銦之合金層之後不暴露於空氣中形成。

於以上製造方法中，在氧化鋅層，含氧化鋅之合金層、使用氧化銦鋅合金形成之層或含氧化鋁之合金層（例如，氧氮化鋁）藉由濺射方法、蒸發方法或 MOCVD 方法形成。在形成氧化鋅層、含氧化鋅之合金層或含鋁氧化物之合金層（例如氧氮化鋁）後，較佳地，金屬導電層形成於其上方而不暴露於空氣，俾可防止氧化及電阻的增加。

此外，難以使用銦製造濺射靶材。因此，在沉積難以製造濺射靶材之如銦之金屬或合金情況下，將銦顆粒置於另一金屬如鉬靶材或鎢靶材，並藉由濺射方法進行連續沉積。氧化銦之沉積應藉由以上沉積方法於氧氛圍中進行。可以氧化銦顆粒置於鉬靶材或鎢靶材上方之方式，藉由濺射方法進行連續沉積。於此情況下，須於氧氛圍中進行沉積。

於某些情況下，形成銦和鎢的混合層，此外，可在複數個銦顆粒配置於金屬靶材狀態下進行濺射。顆粒具有直徑 5 mm 至 50 mm 及高度 2 mm 至 30 mm 之柱形。須知，對顆粒之形狀並無特別限制。顆粒可為立方體、矩形固體、橢圓柱形。

於本說明書中“連續沉積”一詞意指藉由濺射方法（蒸氣方法等）之第一沉積步驟及濺射方法（蒸氣方法等）之第

二沉積步驟，待處理之基板在其中沉積之氛圍不與如空氣之污染氛圍混合，且恆控制為真空、惰性氣體氛圍（氮氛圍或稀有氣體氛圍），或必要的話，氧氛圍。藉由連續沉積，可進行沉積，同時防止濕氣等再度附著於清潔之待處理基板。於某些情況下，依濺射條件而定，形成堆疊氧化物之混合層。

在形成混合層情況下，因濺射條件，以致堆疊金屬氧化物的濃度分佈並不均勻，且在某些情況下，可能有一個梯度濃度。例如，在藉由濺射方法，沉積氧化銮於氧化物半導體層上，作為第一層，並連續沉積鎢於第一層上，作為第二層情況下，可能形成在第一層與第二層間之介面不明確的混合層。於此情況下，混合層中接近氧化物半導體層之區域中的氧化銮濃度高，與氧化物半導體層間的距離越長，氧化銮的濃度越低。

此時，當第二層堆疊在厚度大於或等於 1 nm 和小於或等於 50 nm 的第一層上方時，形成混合層，其中第一層與第二層間之介面不明確。

於本說明書中連續沉積的範圍內，在同一室中進行從第一沉積步驟到第二沉積步驟之程序。

此外，以下亦在本說明書中的連續沉積範圍內：在不同室內進行從第一沉積步驟到第二沉積步驟之程序情況下，基板於第一沉積步驟後被轉送到另一室而不暴露於空氣中，及接受第二沉積。

須知，可於第一沉積步驟和第二沉積步驟之間提供基

板轉送步驟、對準步驟、緩冷卻步驟，將基板加熱或散熱至第二沉積步驟之必要溫度之步驟等此一程序亦在本說明書中的連續沉積範圍內。

然而，在第一沉積與第二沉積有一使用液體的步驟，如清潔步驟、濕蝕步驟或光阻形成步驟之步驟的情形不在本說明書中連續沉積的範圍內。

於包含氧化物半導體層之薄膜電晶體中，可擴大源極和汲極電極層材料的選擇，俾可實現具有優異電氣特性及高可靠度之薄膜電晶體。此外，藉由使用具有高熱阻之金屬，可提高稍後待進行之程序之溫度上限。

【實施方式】

[實施發明之最佳形態]

後文將參考附圖詳細說明本發明之實施例。須知，本發明不限於以下說明，熟於本技藝人士容易瞭解，在不悖離本發明之精神及範疇下，本文所揭示態樣及細節可作各種改變。因此，本發明不得被解釋為限於以下實施例之說明。

(實施例 1)

於本實施例中，將說明氧化物半導體層與金屬氧化物相互接觸之堆疊層構造，該金屬氧化物之工作函數低於氧化物半導體層或含此一金屬之合金氧化物之工作函數。

例如，於帶隙 (E_g) 為 3.15 eV 情況下，In-Ga-Zn-

O(銦-鎵-鋅-氧)系氧化物半導體膜之電子親和力 (χ) 為 4.3 eV。根據本發明，盡可能從氧化物半導體消除如氫或水之雜質，且氧化物半導體高度純化為 I-型半導體（本徵半導體）或與之接近。因此，工作函數的氧化物半導體為 5.8 伏特。此時，可如表 1 提供諸如鈹、銦或鋁之氧化物作為用於源極和汲極層，其工作函數低於 5.8 eV 之材料。替代地，可使用工作函數低於 5.8 eV 之合金氧化物。

可例如提供氧化銦錫 (ITO) 作為 In-Sn-O(銦-錫-氧)系氧化物半導體。ITO 之工作函數為 4.7 eV。於 ITO 被用來作為源極和汲極電極層之材料情況下，可使用表 1 中所示工作函數低於 4.7 eV，如鈹、銦、鈦或鋅之金屬氧化物。特別是，較佳係使用氧化鈹，其原因在於鈹具有 3.3 eV 之低工作函數。替代地，可使用含工作函數低於 4.7 eV 之金屬之合金之氧化物。

可提供含氧化矽 (ITSO) 之氧化銦錫作為氧化物半導體。ITSO 之工作函數為 4.69 eV。於 ITSO 被用來作為源極和汲極電極層之材料情況下，可使用表 1 中所示工作函數低於 4.69 eV，如鈹、銦、鈦或鋅之金屬氧化物。特別是，較佳係使用氧化鈹，其原因在於鈹具有 3.3 eV 之低工作函數。替代地，可使用含工作函數低於 4.7 eV 之金屬之合金之氧化物。

如以上所述使用工作函數低於氧化物半導體之工作函數之金屬氧化物，藉此，氧化物半導體與金屬氧化物間之

接觸電阻可很小。

第 12 圖顯示在源極和汲極電極 1212 與氧化物半導體 1213 相互接觸前，源極和汲極電極 1212 (與氧化物半導體接觸之金屬氧化物)之工作函數 (ϕ_M)與氧化物半導體 1213 之工作函數 (ϕ_{MS})間之關係。第 12 圖顯示源極和汲極電極 1212 之工作函數 (ϕ_M)低於氧化物半導體 1213 之工作函數 (ϕ_{MS})的情形。

習知氧化物半導體一般是 n 型，而在這種情況下，費米能級 (E_F) 更靠近導帶並遠離位於帶隙 (E_g) 中間的本徵費米能級 (E_i)。須知，據了解，某些氫在氧化物半導體中形成一施體，且可能是造成氧化物半導體為 n 型氧化物半導體之因素。

與此相反，根據本發明之氧化物半導體係一種氧化物半導體，其藉由盡可能去除 n 型雜質中的氫以防止其內含有異於氧化物半導體之主成份之雜質而高度純化，使氧化物半導體成為本徵 (i 型) 半導體或實質上本徵半導體。換句話說，根據本發明之氧化物半導體之一特點在於，其藉由盡可能去除諸如氫或水之雜質而高度純化，而非藉由添加雜質，使其成為或接近本徵 (i 型) 半導體。因此，在費米能級 (E_F) 可與本徵費米能級 (E_i) 同能級。

第 16A 及 16B 圖係根據本發明之氧化物半導體 1213 及閘極電極 1214 之橫剖面 (亦即垂直於稍後說明之源極和汲極之橫剖面之橫剖面)之能帶圖 (示意圖)。第 16A 圖顯示正電位 ($+V_G$) 施加於閘極電極 1214 之狀態，亦

即，薄膜電晶體處於導通狀態，載子(電子)流動於源極和汲極電極間的情形。第 16B 圖顯示負電位 ($-V_G$) 施加於閘極電極 1214 之狀態，亦即，薄膜電晶體處於斷開狀態，載子(電子)流動於源極和汲極電極間的情形。(少數載子不流動)。須知，GI 是指一閘極絕緣膜。

第 13A 及 13B 圖是源極和汲極電極 1212 形成與氧化物半導體 1213 接觸後所獲得之源極和汲極之橫剖面之能帶圖(示意圖)。在第 13B 圖中，黑圓圈(•)表示電子。當正電位施加於汲極時，電子越過障壁而被注入氧化物半導體，並朝汲極流動。於此情況下，障壁(h)之高度依閘極電壓和汲極電壓改變。在施加正汲極電壓情況下，障壁(h)高度小於無電壓施加之第 13A 圖之障壁(h)高度；亦即，障壁(h)高度小於帶隙 (E_g) 的一半。

於此情況下，如於第 16A 圖中所示，電子沿氧化物半導體的最下部移動，其在閘極絕緣膜與高純度氧化物半導體間的介面能量穩定。

於第 16B 圖中，當負電位施加於閘極電極 1214 時，屬於少數載子之電洞的數目大致為零；因此，電流值變成極接近零之值。

例如，甚至當薄膜電晶體具有 $1 \times 10^4 \mu\text{m}$ 之通道寬度 W 及 $3 \mu\text{m}$ 之通道長度 L 時，仍可獲得 10^{-13}A 或更低之斷電流及 0.1 V/dec 之次臨限值(S 值)(閘極絕緣膜之厚度： 100 nm)。以此方式，氧化物半導體含有盡可能少的異於氧化物半導體之主成份之雜質以高度純化，藉此，可

使薄膜電晶體之操作有利。特別是，可減少斷電流。

當薄膜電晶體 1212 及氧化物半導體 1213 相互接觸時，薄膜電晶體 1212 與氧化物半導體 1213 之費米能級 (E_F) 相同。此時，電子自薄膜電晶體 1212 移動至氧化物半導體 1213，以產生第 13A 及 13B 圖所示帶之曲線。第 13A 圖係薄膜電晶體 1212 與氧化物半導體 1213 接觸後獲得之源極和汲極之剖視圖之能源帶圖(示意圖)。須知，第 13A 圖顯示源極和汲極電極具有相同電位 ($V_D=0$)。第 13B 圖顯示相對於源極電極，正電位 ($V_D>0$) 施加於汲極電極的情形。

如上所述，在源極和汲極電極之堆疊層中，使用工作函數 (ϕ_M) 低於氧化半導體或含此一金屬之金屬氧化物作為與氧化半導體接觸之層材。於此情況下，在金屬氧化物和氧化物半導體間之介面，不形成電子的肖特基勢壘，因此，接觸電阻可小。

因此，亦可使用工作函數低於氧化物半導體或含此一金屬之合金氧化物之工作函數之金屬氧化物。

須知，氧化半導體之工作函數和電子親和力可藉由 UPS (紫外光光電子光譜學) 等測量。使用包含金屬氧化物之堆疊構造，俾接觸電阻可很小，該金屬氧化物之工作函數低於氧化半導體或含此一金屬之合金氧化物之工作函數。

須知，工作函數是指在不同真空位準 (E_∞) 和費米能級 (E_F) 間之能量差。須知，盡可能從根據本發明之氧化

物半導體消除如氫或水之雜質，從而將氧化物半導體高純化為 i 型半導體（本徵半導體）或與之接近；因此，氧化物半導體之工作函數及氧化物半導體之真空位準（ E_{∞} ）和費米能級（ E_F ）間之能量差大致相同。於第 12 圖中， E_v 表示氧化物半導體之價帶上端的能級。

本實施例可與其他實施例之任一者組合實施。

[實施例 2]

於本實施例中，將說明氧化物半導體層與金屬氧化物相互接觸之堆疊層構造，該金屬氧化物之工作函數低於氧化物半導體層或含此一金屬之合金氧化物之工作函數。

例如，於帶隙（ E_g ）為 3.15 eV 情況下，In-Ga-Zn-O（銦-鎵-鋅-氧）系氧化物半導體膜之電子親和力（ χ ）為 4.3 eV。此時，可如表 1 提供諸如鈇、銦或鋁之金屬氧化物作為用於源極和汲極層，其工作函數低於 4.3 eV 之材料。替代地，可使用工作函數低於 4.3 eV 之合金氧化物。

可提供 In-Ga-Zn-O（銦-鉀-鋅-氧）系非單晶膜（IGZO）作為氧化物半導體。IGZO 之電子親和力為 4.3 eV。於 IGZO 被用來作為源極和汲極電極層之材料情況下，可使用如表 1 中所示工作函數低於 4.3 eV，如鈇、銦或鋁之金屬氧化物。特別是，較佳係使用氧化鈇，作為其原因在於鈇具有 3.3 eV 之低工作函數。替代地，可使用含工作函數低於 4.3 eV 之金屬之合金之氧化物。

如上述，使用工作函數低於氧化物半導體之電子親和力之金屬氧化物，藉此，可使氧化物半導體與金屬氧化物間之接觸電阻很小。

第 14 圖顯示在源極和汲極電極 1212 與氧化物半導體 1213 相互接觸前，源極和汲極電極 1212 之工作函數 (ϕ_M) 與氧化物半導體 1213 之電子親和力 (χ) 間之關係。第 14 圖顯示源極和汲極電極 1212 之工作函數 (ϕ_M) 低於氧化物半導體 1213 之電子親和力 (χ) 的情形。

習知氧化物半導體一般是 n 型，而在這種情況下，費米能級 (E_F) 更靠近導帶並遠離位於帶隙 (E_g) 中間的本徵費米能級 (E_i)。須知，據了解，某些氫在氧化物半導體中形成一施體，且可能是造成氧化物半導體為 n 型氧化物半導體之因素。

與此相反，氧化物半導體藉由盡可能去除 n 型雜質中的氫以防止其內含有異於氧化物半導體之主成份之雜質而高度純化，使氧化物半導體成為本徵 (i 型) 半導體或實質上本徵半導體。換句話說，根據本發明之氧化物半導體之一特點在於，其藉由盡可能去除諸如氫或水之雜質而高度純化，而非藉由添加雜質，使其成為或接近 i 型 (本徵) 半導體。結果，費米能級 (E_F) 可與本徵費米能級 (E_i) 同能級。

第 16A 及 16B 圖係根據本發明之氧化物半導體 1213 及閘極電極 1214 之橫剖面 (亦即垂直於稍後說明之源極和汲極之橫剖面之橫剖面) 之能帶圖 (示意圖)。第 16A 圖

顯示正電位 ($+V_G$) 施加於閘極電極 1214 之狀態，亦即，薄膜電晶體處於導通狀態，載子(電子)流動於源極和汲極電極間的情形。第 16B 圖顯示負電位 ($-V_G$) 施加於閘極電極 1214 之狀態，亦即，薄膜電晶體處於斷開狀態，載子(電子)流動於源極和汲極電極間的情形。(少數載子不流動)。須知，GI 是指一閘極絕緣膜。

第 15A 及 15B 圖是源極和汲極電極 1212 形成與氧化物半導體 1213 接觸後所獲得之源極和汲極之橫剖面之能帶圖(示意圖)。在第 15B 圖中，黑圓圈($\bullet$)表示電子。當正電位施加於汲極時，電子越過障壁而被注入氧化物半導體，並朝汲極流動。於此情況下，障壁(h)之高度依閘極電壓和汲極電壓改變。在施加正汲極電壓情況下，障壁(h)高度小於無電壓施加之第 15A 圖之障壁(h)高度；亦即，障壁(h)高度小於帶隙 (E_g) 的一半。

於此情況下，如於第 16A 圖中所示，電子沿氧化物半導體的最下部移動，其在閘極絕緣膜與高純度氧化物半導體間的介面能量穩定。

於第 16B 圖中，當負電位施加於閘極電極 1214 時，屬於少數載子之電洞的數目大致為零；因此，電流值變成極接近零之值。

例如，甚至當薄膜電晶體具有 $1 \times 10^4 \mu\text{m}$ 之通道寬度 W 及 $3 \mu\text{m}$ 之通道長度時，仍可獲得 10^{-13}A 或更低之斷電流及 0.1 V/dec 之次臨限值(S 值)(閘極絕緣膜之厚度： 100 nm)。以此方式，氧化物半導體含有盡可能少的異於

氧化物半導體之主成份之雜質以高度純化，藉此，可使薄膜電晶體之操作有利。特別是，可減少斷電流。

當薄膜電晶體 1212 及氧化物半導體 1213 相互接觸時，薄膜電晶體 1212 與氧化物半導體 1213 之費米能級 (E_F) 相同。此時，電子自薄膜電晶體 1212 移動至氧化物半導體 1213，以產生第 15A 及 15B 圖所示帶之曲線。第 15A 圖係薄膜電晶體 1212 與氧化物半導體 1213 接觸後獲得之源極和汲極之剖視圖之能源帶圖(示意圖)。須知，第 15A 圖顯示源極和汲極電極具有相同電位 ($V_D=0$)。第 15B 圖顯示相對於源極電極，正電位 ($V_D>0$) 施加於汲極電極的情形。

如上所述，在源極和汲極電極之堆疊層中，使用工作函數 (ϕ_M) 低於氧化半導體或含此一金屬之金屬氧化物作為與氧化半導體接觸之層材。於此情況下，在金屬氧化物和氧化物半導體間之介面，不形成電子的肖特基勢壘，因此，接觸電阻可小。

因此，亦可使用工作函數低於氧化物半導體或含此一金屬之合金氧化物之電子親和力之金屬氧化物。

由於金屬氧化物在金屬氧化物和氧化物半導體間之介面劣化，因此電子親和力和工作函數大致相同。

須知，氧化半導體之工作函數和電子親和力可藉由 UPS (紫外光光電子光譜學) 等測量。使用包含金屬氧化物之堆疊構造，俾接觸電阻可很小，該金屬氧化物之工作函數低於氧化半導體或含此一金屬之合金氧化物之工作函

數。

須知，電子親和力是指在不同真空位準（ E_{∞} ）和導電帶（ E_c ）之一端間之能量差。於第 14 圖中， E_v 表示氧化物半導體之價帶上端的能級。

本實施例可與其他實施例之任一者組合實施。

[實施例 3]

於本實施例中，將參考第 1A 至 1D 圖說明第 1D 圖中所示薄膜電晶體 150 之製造方法之一實施例，第 1A 至 1D 圖係顯示薄膜電晶體之製造方法之橫剖視圖。薄膜電晶體 150 係一種底部閘極電晶體。

較佳係使用玻璃基板作為基板 100。當稍後進行之熱處理溫度高時，較佳係使用具有高於或等於 730°C 之應力點之玻璃基板作為基板 100。又，例如使用諸如鋁矽酸鹽玻璃、鋁硼矽酸鹽玻璃、鋇矽酸鹽玻璃之玻璃材料作為玻璃基板 100。須知，一般而言，藉由氧化鋇（ BaO ）含量較氧化硼（ B_2O_3 ）含量多，可獲得更實用之熱阻玻璃基板。因此，較佳係 BaO 含量較 B_2O_3 含量多的玻璃基板。

須知，可使用由絕緣體形成之諸如陶瓷基板、石英玻璃基板或紅寶石基板之基板來替代玻璃基板。替代地，可使用結晶化之玻璃等。

又，用來作為基底層之絕緣層設在基板 100 與閘極電極層 101 間。基底層具有防止雜質元素自基板 100 擴散之功能，並可使用氮化矽膜、氧化矽膜、氮化氧化矽膜及氧

化氮化矽膜之一或更多者形成具有單層或堆疊層構造。

金屬導電層可用來作為閘極電極層 101。較佳係使用選自鋁，鉻，銅，鉬，鈦，鉕，和鎢、含此等元素之任一者作為成份的合金，作為金屬導電層之材料。例如，較佳係鋁層堆疊在鈦層上方，鈦層堆疊在鋁層上方之三層構造或鋁層堆疊在鉕層上方和鉕層堆疊在鋁層上方之三層構造。無庸贅言，金屬導電層可具有單層構造或二或更多層之堆疊構造。

其次，閘極絕緣層 102 形成於閘極電極層 101 上方。

在本實施例中，使用高密度電漿設備形成閘極絕緣層 102。在此，高密度電漿設備是指可實現電漿密度大於或等於 $1 \times 10^{11} / \text{cm}^3$ 之設備。例如，藉由施加大於或等於 3 千瓦，低於或等於 6 千瓦之微波功率，產生電漿，以便形成絕緣膜。

單矽氧烷氣體（ SiH_4 ），氧化氮（ N_2O ）和稀有氣體被引入室中作為源氣體，在壓力大於或等於 10 帕及低於或等於 30 帕下產生高密度電漿，以形成絕緣膜於具有絕緣表面的絕緣基板，如玻璃基板上。此後，停止單矽氧烷氣體之供應，引進氧化氮（ N_2O ）及稀有氣體而不暴露於空氣中，俾可在絕緣膜之表面上進行電漿處理。至少在形成絕緣膜後進行電漿處理的表面上進行的絕緣膜藉由引進氧化氮（ N_2O ）及稀有氣體，在形成絕緣膜後進行的電漿處理。透過上述程序形成的絕緣膜有小的厚度，相當於即

使厚度例如小於 100nm，仍可獲得保證可靠性的絕緣膜。

在形成閘極絕緣層 102 中，引進室內之單矽氧烷氣體 (SiH_4) 與氧化氮 (N_2O) 之流量比在 1:10 至 1:200 之範圍內。此外，可使用氮、氫、氮、氫等作為引進室內之氣體。尤佳係使用不貴的氫。

此外，由於使用高密度電漿設備形成之絕緣膜具有均勻厚度，因此，絕緣膜具有優異梯級覆蓋。又，就使用高密度電漿設備形成之絕緣膜而言，可精密控制薄膜的厚度。

透過以上程序形成之絕緣膜迥異於使用習知平行板電漿 CVD 設備形成之絕緣膜。在比較彼此間以相同蝕刻劑進行的蝕刻速率情況下，透過以上程序形成之絕緣膜之蝕刻速率低於使用習知平行板電漿 CVD 設備形成之絕緣膜達 10%或更多或 20%或更多。亦即，可謂使用高密度電漿設備形成之絕緣膜係厚膜。

在本實施例中，使用高密度電漿設備形成之厚度為 100 nm 之氧氮化矽膜(亦稱 SiO_xN_y ，其中 $x > y > 0$)作為閘極絕緣層 102。

其次，於閘極絕緣層 102 上方，氧化物半導體層形成具有大於或等於 5 nm 及小於或等於 200 nm，較佳大於或等於 10 nm 及小於或等於 50 nm 之厚度。又，氧化物半導體層可藉由濺射方法，於稀有氣體(通常為氬)氛圍、氧氛圍，或含有稀有氣體(通常是氬)和氧之氛圍下形成。

使用 In-Ga-Zn-O (銦 - 鎵 - 鋅 - 氧) 系非單晶層、 In-Sn-Zn-O (銦 - 錫 - 鋅 - 氧) 系氧化物半導體層、 In-Al-Zn-O (銦 - 鋁 - 鋅 - 氧) 系氧化物半導體層、 Sn-Ga-Zn-O (錫 - 鎵 - 鋅 - 氧) 系氧化物半導體層、 Al-Ga-Zn-O (鋁 - 鎵 - 鋅 - 氧) 系氧化物半導體層、 Sn-Al-Zn-O (錫 - 鋁 - 鋅 - 氧) 系氧化物半導體層、 In-Zn-O (銦 - 鋅 - 氧) 系氧化物半導體層、 Sn-Zn-O (錫 - 鋅 - 氧) 系氧化物半導體層、 In-Sn-O (銦 - 錫 - 氧) 系氧化物半導體層、 Al-Zn-O (鋁 - 鋅 - 氧) 系氧化物半導體層、 In-O (銦 - 氧) 系氧化物半導體層、 Sn-O (錫 - 氧) 系氧化物半導體層或 Zn-O (鋅 - 氧) 系氧化物半導體層形成。於本實施例中，例如藉由濺鍍方法，使用 In-Ga-Zn-O (銦 - 鎵 - 鋅 - 氧) 系金屬氧化物半導體靶材，形成氧化物半導體膜。

在此，於以下條件下，使用含 In 、 Ga 及 Zn (銦、鎵及鋅) ($\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO}$ 之化合比例 = 1:1:1 [莫耳] $\text{In} : \text{Ga} : \text{Zn} = 1:1:0.5$ [原子]) 之金屬氧化物半導體靶材，形成厚度 30 nm 之 In-Ga-Zn-O (銦 - 鎵 - 鋅 - 氧) 系非單晶膜：基板與靶材之距離為 100 mm，壓力為 0.6 帕，直流 (DC) 電源為 0.5 kW 且氛圍為氮圍 (氧氣流之比例為 100%)。

較佳係氧化物半導體靶材中氧化物半導體的相對密度是 80% 或更多，較好 95% 或更多，尤佳為 99.9% 或更多。可減少氧化物半導體膜中的雜質濃度，該氧化物半導體膜使用具有高相對密度之靶材形成，目標是形成使用具有高相對密度可降低，並因此可獲得具有高電氣特性和高可靠性之薄膜電晶體。

較佳是在形成氧化物半導體膜之前，進行預熱處理，以去除殘留在濺射設備之內壁上、靶材表面上或靶材中之濕氣或氫。提供在減壓下，沉積室內部被加熱至 200°C 到 600°C 下之方法，以及當沉積室內部被加熱時，反覆進行氮或惰性氣體之引進和排出之方法等，作為預熱處理。於此情況下，較佳地不是使用水而是油等作為靶材之冷卻劑。雖然當反覆進行氮之引進和排出而不加熱時，可獲得某一程度的效果，較佳卻係當沉積室內部被加熱時，進行熱處理。在預熱處理後，冷卻基板或濺射設備，然後形成氧化物半導體膜。

此外，在藉由濺射方法沉積期間，基板可加熱至 400°C 到 700°C 。

較佳係在形成氧化物半導體膜之前、期間或之後，藉由使用冷凍泵，去除殘留於濺射設備之濕氣等。

閘極絕緣層 102 及氧化物半導體膜較佳地不暴露於空氣連續形成。藉由不暴露於空氣形成，可形成堆疊層之各介面，而不為大氣成份或飄浮在空氣中的雜質元素如水或氫所污染。因此，可減少薄膜電晶體之特性之變動。

其次，藉由光微刻步驟將氧化物半導體層加工成島形氧化物半導體層 103(第 1A 圖)。可藉由噴墨方法形成用以形成島形氧化物半導體層之光阻掩模。當藉由噴墨方法形成光阻掩模時，不使用光罩，這造成製造成本的減少。

接著，進行用於氧化物半導體層 103 之脫水或脫氫。於脫水或脫氫之第一熱處理期間，最高溫度設定為 350°C

到 750°C，較佳 425°C 或更高。須知，在溫度為 425°C 或更高情況下，熱處理時間可為 1 小時或更短，而在溫度低於 425°C 情況下，熱處理時間長於 1 小時。於本實施例中，在氮氛圍，於 450°C 下進行熱處理 1 小時。

須知，在第一次熱處理中，較佳是在氮或如氮，氬，氫之稀有氣體中不含水、氫。較佳是引進熱處理設備之氮或如氮，氬，氫之稀有氣體之純度設定為 6N（99.9999%）或更高，較佳係 7N（99.99999%）或更高（亦即，雜質濃度為 1 ppm 或更低，較佳是 0.1 ppm 或更低）。

可藉由使用電爐之加熱方法進行第一熱處理。須知，用於第一熱處理之設備不限於電爐，且可為設有一加熱裝置，使用來自諸如電阻加熱器之加熱器之熱導或熱輻射將一加工物品加熱。例如，可使用諸如 GRTA（氣體快速熱退火）設備或 LRTA（燈快速熱退火）設備之 RTA（快速熱退火）設備。LRTA 設備係藉發自諸如鹵素燈、金屬鹵素燈、氬電弧燈、碳電弧燈、高壓鈉燈或高壓水銀燈之光輻射（電磁波），對待加工物品加熱之設備。GRTA 設備係用來藉高溫氣體進行熱處理之設備。使用不會與待藉由熱處理加工之物品反應之惰性氣體作為氣體，如，氮或諸如氬之稀有氣體。

其次，用以形成源極電極層和汲極電極層之導電層之堆疊層構造形成於閘極絕緣層 102 和氧化物半導體層 103 上方。

導電層的堆疊構造以厚度大於或等於 1 nm 及小於或等於 50 nm 氧化銦層或含氧化銦之合金層形成於氧化物半導體層 103 上以及和其接觸，金屬導電層使用選自鋁、鉻、銅、鈮、鈦、鉬或鎢、含此等元素之任一者作為成份的合金、含此等元素之任一者組合的合金等形成，或導電層使用諸如含鎢氧化物之氧化銦、含鎢氧化物之氧化銦鋅、含氧化鈦之氧化銦、含氧化鈦之氧化銦錫、氧化銦錫（後文稱為 ITO）、氧化銦鋅，或添加氧化矽之氧化銦錫堆疊於氧化銦層或含氧化銦之合金層之方式形成。

於本實施例中，使用四層堆疊構造，其中第一鉬層、鋁層及第二鉬層堆疊於厚度大於或等於 1 nm 及小於或等於 50 nm 含氧化銦之合金層，此厚度小於氧化物半導體層之厚度。使用第一鉬靶材，在可置放複數不同靶材之一多源濺設備中進行沉積，於氧氛圍中，銦顆粒置於該第一鉬靶材上。其次，使用第二鉬靶材，不暴露於空氣，於一室中連續堆疊四層，於該第二鉬靶材上不放置銦顆粒及鋁靶材。須知，含氧化銦之合金層之厚度在四層中最小，且小於氧化物半導體層。藉由連續沉積，防止含氧化銦之薄合金層之熱阻增加。

於本實施例中，說明含氧化銦之合金層被用來作為與源極電極層和汲極電極層之堆疊層構造之氧化物半導體層接觸之層；然而，除了氧化銦外，可使用以一種金屬氧化物形成之混合層，該金屬氧化物之工作函數低於至少氧化物半導體層或含此一金屬之合金之氧化物之工作函數，此

合金如含氧化銦、氧化鋅之合金、含氧化鋅、氧化釔之合金、含氧化釔、氧化鈦之合金、含氧化鈦之合金或含鎵之化合物。

於本實施例中，說明源極電極層和汲極電極層的堆疊構造具有含氧化銦的混合層和選自鋁，鉻，銅，鉭，鈦，鉬，或鎢之元素之金屬導電層，或含這些元素之任一者作為一成份，或含這些元素之任一者組合等之堆疊層的例子；如於第 4A 至 4D 圖中所示，可使用工作函數低於至少氧化物半導體層或含此一金屬之合金之氧化物之工作函數的金屬氧化物形成之混合層 115a 及 115b(單層)。

於第 4A 至 4D 圖之情形中，採用一種堆疊構造，其中，工作函數低於至少工作函數的氧化物半導體的金屬氧化物，如氧化銦、含氧化銦的合金、氧化鋅、含氧化鋅的合金、氧化釔、含氧化釔的合金、氧化鈦、含氧化鈦的合金、或含氧化鎵或含此一金屬之合金之氧化物之化合物，作為第一層，以及選自鋁，鉻，銅，鉭，鈦，鉬，鎢之元素或含這些元素之任一者作為一成份被用來作為第二層。在混合層中，第一層有大於或等於 1 nm 和小於或等於 50 nm 的小厚度。這種混合層可用於源極和汲極電極層。

其次，用以形成源極和汲極電極層之四層構造接受使用光罩之光微刻步驟，選擇性蝕刻，並形成源極電極層 104a 及 105a 和汲極電極層 104b 及 105b 的堆疊構造（見第 1B 圖）。須知，在源極和汲極電極層中，於氧化物半導體層 103 上與其接觸之含氧化銦之混合層對應以元件

符號 104a 和 104b 標示之層。此時，亦蝕刻氧化物半導體層 103 之一部分，從而形成具有凹槽(凹陷)之氧化物半導體層 103。須知，依氧化物半導體層 103 之材料、源極和汲極電極層之材料以及蝕刻條件而定，於某些情況下，不於氧化物半導體層 103 中形成凹槽(凹陷)。

其次，形成覆蓋閘極絕緣層 102、氧化物半導體層 103、源極電極層 105a 和汲極電極層 105b 並與氧化物半導體層 103 接觸之保護絕緣層 107。保護絕緣層 107 可適當地使用防止如水或氫之雜質混合至保護絕緣層 107 之方法，如 CVD 方法或濺射方法形成至少 1 nm 或更大之厚度。在此，保護絕緣層 107 例如藉由屬於濺射方法之一種的反應濺射方法形成。使用不含如濕氣、氫離子及 OH^- 之雜質並防止此等雜質從外側進入之無機絕緣層，形成與氧化物半導體層 103 之一部分接觸之保護絕緣層 107。具體而言，可使用氧化矽層、氮化矽層、氧化鋁層、氮化鋁層等。

又，替代地，保護絕緣層 107 可具有氮化矽層或氮化鋁層堆疊於氮化矽層、氮化氧化矽層、氮化鋁層或氮化鋁層上方之構造。氮化矽層尤佳，此乃因為其不含如濕氣、氫離子或 OH^- 之雜質並防止此等雜質從外側進入。

形成保護絕緣層 107 時之基板溫度可設定在室溫至 300°C 之範圍。氧化矽層可藉由濺射方法，於稀有氣體(通常為氬)氛圍、氧氛圍，或含有稀有氣體(通常是氬)和氧之氛圍。可使用氧化矽靶材或矽靶材作為靶材。例如，

藉由使用矽靶材，可利用濺射方法在含氧和稀有氣體之氛圍中形成氧化矽層。於本實施例中，使用矽靶材形成厚度 300 nm 之氧化矽膜。

透過上述程序，可形成底部閘極薄膜電晶體 150（見第 1D 圖）。在薄膜電晶體 150 中，閘極電極層 101 設在屬於具有絕緣表面之基板的基板 100 上方，閘極絕緣層 102 設在閘極電極層 101 上方，氧化物半導體層 103 設在閘極絕緣層 102 上方，源電極層 104a 及 105a 號和汲極電極層 104b 及 105b 之堆疊構造設在氧化物半導體層 103 上方，並設置覆蓋閘極絕緣層 102、氧化物半導體層 103、源電極層 104a 及 105a 號和汲極電極層 104b 及 105b 且與氧化物半導體層 103 之一部分接觸之保護絕緣層 107。

第 2 圖係本實施例中所說明薄膜電晶體 150 之俯視圖。第 1D 圖顯示沿第 2 圖中 X1-X2 線所取橫剖視圖。於第 2 圖中，L 代表通道長度，W 表示通道寬度。此外，A 代表在沿平行於通道寬度方向之方向中氧化物半導體層 103 不與源電極層 105a 或汲極電極層 105b 重疊之區域的長度。Ls 代表源極電極層 105a 中與閘極電極層 101 重疊部分之長度，且 Ld 代表汲極電極層 105b 中與閘極電極層 101 重疊部分之長度。

在形成厚度 300 nm 之氧化矽膜作為保護絕緣層 107 後，如果必要，於 100~400℃ 的溫度範圍內進行第二熱處理。於本實施例中以 150℃ 將基板加熱 10 小時。藉由第二熱處理，可形成極可靠之薄膜電晶體。

此外，第二熱處理之時序不限於保護絕緣層 107 形成後不久，且可在配線或電極(諸如像素電極)形成於其上方之後。

雖然於本實施例中說明第 1D 圖所示底部閘極薄膜電晶體 150 之製造方法，惟本實施例之構造不限於此。亦可使用類似材料及類似方法，形成如第 3A 圖中所示具有底部閘極構造之底部接觸型(倒共面型)之薄膜電晶體 160、如第 3B 圖中所示包含通道保護層 110 之通道保護型(亦稱為通道停止型)之薄膜電晶體 170。第 3C 圖顯示通道蝕刻型薄膜電晶體之另一例子。第 3C 圖所示薄膜電晶體 180 具有閘極電極層 101 延伸至氧化物半導體層 103 之邊緣部外的外側。

為減少光罩數及光微刻步驟數，可使用以多色掩模形成之光阻掩模進行蝕刻，該多色掩模係讓光透過以具有複數強度之曝光掩模。由於使用多色掩模形成之光阻掩模具有複數厚度，並可藉由進行蝕刻進一步改變形狀，因此，光阻掩模可用在複數蝕刻步驟以提供不同圖案。因此，可使用多色掩模形成對應至少兩種不同圖案之光阻掩模。因此，曝光掩模數可減少，且對應光微刻步驟數亦可減少，藉此，可實現程序之簡化。

須知，薄膜電晶體之通道長度(第 2 圖中之 L)被界定為源極電極層 105a 與汲極電極層 105b 間之距離，且通道保護薄膜電晶體之通道長度被界定為沿平行於載子流動方向之方向的通道保護層的寬度。

以此方式，藉由使用工作函數低於至少氧化物半導體之工作函數的金屬氧化物，可形成氧化物半導體和金屬氧化物間之接觸電阻小的半導體裝置。

本實施例可與其他實施例之任一者組合實施。

[實施例 4]

在本實施例中，說明製造薄膜電晶體，製造具有顯示功能，薄膜電晶體用於像素部之半導體裝置（也稱為顯示裝置），以及製造驅動器動電路之例子。又，驅動器電路，可如像素部形成相同基板上，藉此可獲得面板上系統。

顯示裝置包括一顯示元素。可使用液態晶體元件（也稱為液晶顯示元件）或發光元件（也稱為發光顯示元素），作為顯示元件。發光元素在其類別中包括亮度是由電流或電壓控制，且具體地包括無機發光（EL）的元素等的元件。而且，可使用一種顯示媒體，其對比因電效應，如電子墨水而改變。

此外，顯示裝置包括一面板，其中顯示元素密封，以及一模組，其中包括控制器之 IC 等安裝在面板上。顯示裝置係有關在顯示裝置之製程中完成顯示元件前，元素基板之一態樣，且顯示裝置設有用來將電流供至複數個像素中每一者之顯示元素元件之機構。具體而言，該元件可處在僅形成顯示元素元件之像素電極後的狀態，形成作為像素電極之導電層後及蝕刻導電膜以形成像素電極前，或其他狀態之任一者。

須知，於本說明書中，顯示裝置意指影像顯示裝置、顯示裝置或光源(包含發光裝置)。而且，顯示裝置亦在其類別中包含以下模組：附裝諸如撓性印刷電路(FPC)、膠帶自動黏接(TAB)膠帶或膠帶載體封裝(TCP)之連接器之模組；具有TAB膠帶或在端部設有印刷配線板之TCP之模組；以及積體電路(IC)藉玻璃上晶片(COG)直接安裝於顯示元件上之模組。

在本實施例中，說明本發明一實施例之液晶顯示裝置為半導體裝置之例子。首先，將參考第5A1、5A2及5B圖說明本發明之一實施例之液晶顯示面板之外觀及剖面。第5A1及5A2圖各為面板之俯視圖，其中各包含In-Ga-Zn-O(銦-鎵-鋅-氧)系非單晶層之薄膜電晶體4010及4011以及形成於第一基板4001上方之液晶元件4013藉密封劑4005密封於第一基板4001與第二基板4006間。第5B圖係沿第5A1及5A2圖之M-N線所取橫剖視圖，

提供密封劑4005以圍繞像素部4002及設於第一基板4001上方之掃描線驅動器電路4004。第二基板4006設在像素部4002及掃描線驅動器電路4004上方。因此，像素部4002及掃描線驅動器電路4004藉第一基板4001、第二基板4006及密封劑4005，與液晶層4008密封在一起。使用單晶半導體或多晶半導體形成於個別製備之基板上方之信號線驅動器電路4003安裝在異於第一基板4001上密封劑4005所圍繞之區域中。

須知，對個別形成之驅動器電路之連接並無特別限

制，對連接方法的驅動器電路是分別形成的，可使用 COG、配線接合、TAB 等。第 5A1 圖顯示藉由 COG 安裝驅動器電路 4003 之例子，第 5A2 圖顯示藉由 TAB 安裝驅動器電路的信號線 4003 之例子。

像素部 4002 和設於第一基板 4001 上方之掃描線驅動器電路 4004 基板各包含複數個薄膜電晶體。第 5B 圖顯示像素部 4002 所含薄膜電晶體 4010 及掃描線驅動器電路 4004 所含薄膜電晶體 4011。保護絕緣層 4020 及 4021 設在薄膜電晶體 4010 和 4011。

可使用實施例 1 中所說明包含氧化物半導體層之薄膜電晶體作為薄膜電晶體 4010 和 4011。須知，薄膜電晶體 4010 和 4011 之源極和汲極電極層形成有鋅層和鎢層的堆疊層構造，其中鋅層與氧化物半導體層接觸。於本實施例中，薄膜電晶體 4010 和 4011 係 n 通道薄膜電晶體。

導電層 4040 設在絕緣層 4021 的一部分上方，其與用於驅動器電路之薄膜電晶體 4011 中氧化物半導體層之通道形成區重疊。導電層 4040 設在與氧化物半導體層之通道形成區重疊之區域，藉此，可減少在 BT 測試之前和之後薄膜電晶體 4011 之臨限值電壓的變化量。此外，可藉由設置導電層 4040 在與用於驅動器電路之薄膜電晶體 4011 重疊之部分，進行靜電阻塞，俾可獲得正常斷開之薄膜電晶體。靜電阻塞是指外部電場的封阻，亦即防止外部電場作用於內部（包括 TFT 之電路等）。可減少在 BT 測試之前和之後薄膜電晶體 4011 之臨限值電壓的變化

量。導電層 4040 之電位可相同於或異於薄膜電晶體 4011 之閘極電極層者。導電層 4040 亦可用來作為第二閘極電極層。替代地，導電層 4040 之電位可為 GND 或 0V，或者導電層 4040 可處於浮接狀態。

液晶元件 4013 中所含像素電極層 4030 電氣連接至薄膜電晶體 4010。液晶元件 4013 之反電極層 4031 形成於第二基板 4006 上。像素電極層 4030、反電極層 4031 與液晶層 4008 相互重疊之部分對應於液晶元件 4013。須知，像素電極層 4030 及反電極層 4031 分別設有用來作為對齊膜之絕緣層 4032 及絕緣層 4033，且液晶層 4008 設在電極層間，其間有絕緣層 4032 及 4033。

在形成絕緣層 4032 之後於 200℃至 300℃下進行烘烤。

須知，第一基板 4001 及第二基板 4006 可由玻璃、金屬(通常不銹鋼)、陶瓷或塑膠。可使用纖維強化塑膠(FRP)板、聚乙烯氟(PVF)膜、聚酯膜或丙烯酸膜作為塑膠。此外，可使用具有鋁箔夾在 PVF 膜或聚酯膜之構造之薄片。

隔件 4035 係藉由選擇性蝕刻絕緣層及設置來控制像素電極層 4030 與反電極層 4031 間之距離的(柱形隔件)(單元間隙)。須知，可使用球形隔件來替代柱形隔件。此外，反電極層 4031 電氣連接至形成於相同基板上作為薄膜電晶體 4010 之共用電位線。而且，藉由使用共用連接部，反電極層 4031 及共用電位線藉配置於一對基

板間的導電粒子相互連接。須知，於密封劑 4005 中含有導電粒子。

替代地，可使用無需配向膜之呈現藍相之液晶。藍相係液晶向之一，這是膽固醇液晶之溫度增高時，在膽固醇相變成各向同性相之前產生的相。由於藍相只在狹窄的溫度範圍內產生，因此，使用含有 5wt% 或更多之手性劑的液晶組成於液晶層 4008，以改善溫度範圍。包括呈現藍相之液晶和手性劑之液晶組成具有 1 毫秒或以下的短響應速度，具有光學各向同性，無需校準程序，並且有小視角依存性。

當使用呈現藍相之液晶時，無須配向膜之摩擦處理；因此，可防止摩擦處理所造成的靜電放電損壞，並減少在製程中液晶顯示裝置之瑕疵及損壞。因此，可提高液晶顯示裝置製造的生產力。使用氧化物半導體層之薄膜電晶體特別是有薄膜電晶體之電氣特性可能因靜電影響而顯著改變，偏離了設計範圍的可能性。因此，更有效的是使用呈現藍相之液晶於包含使用氧化物半導體層之薄膜電晶體的液晶顯示裝置。

須知，本實施例中所說明之液晶顯示裝置係透射液晶顯示裝置之例子；然而，液晶顯示裝置可應用於反射型液晶顯示裝置或半透射型液晶顯示裝置。

本實施例中所說明之液晶顯示裝置顯示偏振板設在基板的外表面上(於觀看者側上)，且用於顯示元件之著色層及電極層依此順序設在基板之內表面；然而，偏振板可設

在基板的內表面上。偏振板與著色層之堆疊層不限於本實施例，並可依偏振板及著色層之材料或製程之條件適當設定。而且，可依需要設置用來作為黑色矩陣之阻光層。

此外，於本實施例中，為減少薄膜電晶體之表面粗糙及改進薄膜電晶體之可靠度，薄膜電晶體覆蓋用來作為保護層之絕緣層 4020 及用來作為平坦化絕緣層之絕緣層 4021。須知，設置保護層來防止諸如有機物質、金屬或空氣中所含水蒸氣之污染雜質進入，且較佳為厚膜。保護層可藉由濺射方法，由氧化矽層、氮化矽層、氧氮化矽層、氮化氧化矽層、氧化鋁層、氮化鋁層、氧氮化鋁層及/或氮化氧化鋁層之單層或堆疊層形成。於本實施例中說明保護層藉由濺射方法形成；然而，對本發明並無特別限制，且可使用各種方法。

在此，形成具有堆疊層之絕緣層 4020 作為保護層。在此，藉由濺射方法形成氧化矽層，作為絕緣層 4020 之第一層。在使用鋁層於源極電極層和汲極電極層情況下，氧化矽層之使用提供防止所用鋁層隆起之有利作用。

藉由濺射方法形成氮化矽層，作為絕緣層 4020 之第二層。使用氮化矽層作為保護層可防止諸如鈉離子之可動離子進入半導體區，藉此抑制 TFT 之電特性變化。

絕緣層 4021 形成為平坦化絕緣層為。可使用具有耐熱性之有機材料，如聚酰亞胺，壓克力，苯並環丁烯，聚酰胺，或環氧樹脂，作為絕緣層 4021。除了以上有機材料外，亦可使用低介電常數材料（低 k 材料），矽氧烷系

樹脂，PSG（磷矽酸玻璃），BPSG（硼磷矽玻璃）等。須知，絕緣層 4021 可藉由堆疊由此等材料形成之複數個絕緣層形成。

須知，矽氧烷系樹脂對應於使用矽氧烷為基料形成之包括 Si-O-Si 鍵的樹脂。矽氧烷基樹脂可包括取代基的有機族（如烷基或芳基族）或氟族。此外，該有機族可能包括有機氟族。

對形成絕緣層 4021 的方法無特別限制。依材料而定，可藉由諸如濺射方法、SOG 方法、旋轉塗佈法，浸漬法、噴塗法，滴放電法（如噴墨法，網版印刷，凸版印刷）之方法，或如刮刀、滾塗佈機、簾式塗佈機、或刀塗佈機之工具。在使用材料溶劑作為絕緣層 4021 的情況下，可在與烘烤步驟同一時間內進行半導體層退火（300 度℃至 400℃）。絕緣層 4021 之烘烤步驟亦作為半導體層的退火，俾可有效率地製造半導體裝置。

可使用諸如含有鎢氧化物之氧化銦、含鎢氧化物之氧化銦鋅、含氧化鈦之氧化銦、含氧化鈦之氧化銦錫、氧化銦錫（後文稱為 ITO）、氧化銦鋅、添加氧化矽之氧化銦錫之透光導電材料，形成像素電極層 4030 和電極層 4031。

可使用包含導電高分子（亦稱為導電聚合物）之導電化合物於像素電極層 4030 和電極層 4031。使用導電化合物形成之像素電極較佳地具有小於或等於 $1000\Omega^2$ 之薄膜電阻及 550 nm 波長之大於或等於 70% 之透射率。又，導電化合物中所含導電高分子之阻較佳地小於或等於 1000Ω 。

cm。

可使用所謂 π 電子共軛導電聚合物作為導電高分子。可舉例提供聚苯胺或其衍生物、聚吡咯或其衍生物、聚噻吩或其衍生物、其等之二或更多者等之共聚物。

又，從 FPC 4018 將多種信號及電位供至個別形成之信號線驅動器電路 4003、掃描線驅動器電路 4004 或像素部 4002。

於本實施例中，使用與液晶元件 4013 中所含像素電極層 4030 相同的導電層，形成連接終端電極 4015。使用與薄膜電晶體 4010 和 4011 中所含源極和汲極電極層相同的導電層，形成終端電極 4016。因此，終端電極 4016 具有鋅層 4014 及鎢層之堆疊構造。

終端電極 4015 透過各位異向導電層 4019 電氣連接至 FPC 4018 中所含終端。

第 5A1、5A2 及 5B 圖顯示信號線驅動器電路 4003 個別形成及安裝在第一基板 4001 上之例子；但是，本實施例並不限於此構造。掃描線驅動器電路可個別形成，然後裝入，或者只有部分的信號線驅動器電路或掃描線的部分可個別形成，然後安裝。

此外，如果有必要，彩色濾光片是為每個像素。而且，偏光片或擴散板設在第一基板 4001 和第二基板 4006 的外側。而且，使用冷陰極管或 LED 作為背光光源獲得液晶顯示模組。

用於液晶顯示模組，可使用扭曲向列（TN）模

式，、平面開關（IPS）模式、邊緣場轉換（FFS）模式、多域垂直對齊（MVA）模式、垂直對齊圖案（聚乙烯醇）模式，軸對稱於液晶顯示模組微胞元（ASM）模式、光學補償雙折射（OCB）模式、鐵電液晶（FLC）模式、反鐵電液晶（AFLC）模式等。

透過以上步驟，可製造包括具有優良電氣特性之薄膜電晶體之液晶顯示裝置。

本實施例可與其他實施例之任一者組合實施。

[實施例 5]

將說明電子紙例子，作為半導體裝置之實施例。

實施例 1 中所說明之薄膜電晶體可用於一種電子紙，其中電子墨水藉電氣連接到開關元件的元件驅動。該電子紙也稱為電泳顯示裝置（電泳顯示器）和其優點在於，其具有與普通紙相同水平的可讀性，耗電比其他顯示裝置少，可設定成具有薄及輕盈形式。

電泳顯示可具有多種態樣。電泳顯示包含分散在溶劑或溶質之複數個微囊，各微囊包含充以正電之第一粒子及充以負電之第二粒子。藉由施加電場至微囊，微囊中之粒子相互反向移動，且僅顯示集中於一側之粒子之顏色。須知，第一粒子及第二粒子各含色素，且無電場不移動。而且，第一粒子及第二粒子具有不同顏色（其可無色）

因此，電泳顯示係使用所謂介電泳作用，藉此，具有高介電常數之物質朝高電場區域移動之顯示。

供以上微囊分散之溶液稱為電子油墨。該電子油墨可藉由印刷塗佈於玻璃、塑膠、衣服、紙等之表面上。而且，藉由使用濾色器或具有色素之粒子，達成彩色顯示。

此外，若複數個以上微囊適當配置於主動矩陣基板上方，以介設於二電極間，即可完成主動矩陣顯示裝置，並可藉由施加電場於微囊，進行顯示。例如，可使用實施例 1 中所說明使用薄膜電晶體所獲得之主動矩陣基板。

須知，微囊中的第一及第二粒子可各由選自導電材料、絕緣材料、半導體材料、磁性材料、液晶材料、鐵電材料、電致發光材料、電致變色材料、磁泳材料，或此等材料之任一者之複合材料形成。

第 6 圖顯示一主動矩陣電子紙，作為半導體裝置之一例子。用於半導體裝置之薄膜電晶體 581 可用實施例 3 所說明之薄膜電晶體的方式製造，且包括堆疊，此等堆疊包含與氧化物半導體層接觸之氧化銦層，作為源極和汲極層。

第 6 圖中的電子紙是使用扭曲球形顯示系統之顯示裝置例子。扭曲球形顯示系統是指各呈黑色和白色的球形顆粒排列在第一電極層和第二電極層間，此等電極層是用於顯示元件者，且在第一電極層和第二電極層間產生控制球形粒子之位向之電位差，以進行顯示。

密封於基板 580 與基板 596 間之薄膜電晶體 581 係底部閘極薄膜電晶體，且覆以絕緣層 583。薄膜電晶體 581 之源極或汲極電極層透過形成於絕緣層 583 和絕緣層 585

之開口電氣連接至第一電極層 587。扭曲球 589 設在第一電極層 587 與第二電極層 588 間。扭曲球 589 之每一者包括黑色區域 590a、白色區域 590b 以及在黑色區域 590a 及白色區域 590b 充填液體之凹腔 594。扭曲球 589 的園周充填如樹脂之填充劑 595（見第 6 圖）。第一電極層 587 對應像素電極，第二電極層對應於共用電極 588。第二電極層 588 電氣連接到設在作為薄膜電晶體 581 之相同基板上方的共用電位線。藉由使用共用連接部，第二電極層 588 可透過設於一對基板間之導電粒子電氣連接至共用電位線。

又，可使用電泳元件取代扭曲球。使用直徑約 $10\mu\text{m}$ 至 $20\mu\text{m}$ 之微囊，其中封入透明液體、充以正電之白色微粒子以及充以負電之黑色微粒子。在設於第一電極層與第二電極層間之微囊中，白色微粒子及充黑色微粒子朝相反方向移動，俾可顯示黑白。使用此原理的是電泳顯示元件，且一般稱為電子紙。電泳顯示元件具有較液晶顯示元件更高的反射率，並因此無需輔助光，耗電低，可在昏暗地方辨識顯示部。此外，甚至當未供電至顯示部時，仍可維持已顯示之影像。因此，即使具有顯示功能之半導體裝置（可簡單稱為顯示裝置或設有顯示裝置之半導體裝置）遠離電波源，仍可儲存顯示影像。

透過以上步驟，可製造包含具有優異電特性之薄膜電晶體之電子紙。

本實施例可與其他實施例之任一者組合實施。

(實施例 6)

將參考第 7A 及 7B 圖說明對應於根據本發明之一實施例之發光顯示面板(亦稱發光面板)之外觀及橫剖面。第 7A 圖係形成於第一基板上之薄膜電晶體及發光元件藉密封劑密封於第一基板與第二基板間之面板之俯視圖。第 7B 圖係沿第 7A 圖中之 H-I 線所取橫剖視圖。

提供密封劑 4505，以環繞像素部 4502 以及設在第一基板 4501 上方之信號線驅動器電路 4503a 和 4503b，掃描線驅動器電路 4504a 和 4504b。此外，設置第二基板 4506 於像素部 4502、信號線驅動器電路 4503a 和 4503b 以及掃描線驅動器電路 4504a 和 4504b 之上方。因此，像素部 4502、信號線驅動器電路 4503a 和 4503b，掃描線驅動器電路 4504a 和 4504b 藉第一基板 4501、密封劑 4505、第二基板 4506，與填充劑 4507 密封在一起。較佳係面板藉保護膜（如複合膜或紫外線固化樹脂膜）或具有高氣密性和極少脫氣之覆蓋材料封裝（密封），以這種方式，使面板不暴露在外界空氣。

形成於第一基板 4501 上方之像素部 4502、信號線驅動器電路 4503a 和 4503b、掃描線驅動器電路 4504a 和 4504b 各包含複數個薄膜電晶體，且於第 7B 圖中舉例顯示像素部 4502 所含薄膜電晶體 4510 以及信號線驅動器電路 4503a 所含薄膜電晶體 4509。

可使用實施例 3 中所說明之薄膜電晶體於薄膜電晶體

4509 和 4510。須知，薄膜電晶體 4509 和 4510 之源極和汲極層之每一者具有含銮合金層已經堆疊構造的含氧化銮合金層和鉬層的堆疊層構造。本堆疊層構造中含氧化銮合金層與氧化物半導體層接觸。在本實施例中，薄膜電晶體 4509 和 4510 係 n 通道薄膜電晶體。

導電層 4540 設在絕緣層 4544 之一部分上方，其與用於驅動器電路之薄膜電晶體 4509 中氧化物半導體層之通道形成區重疊。導電層 4540 至少設在與氧化物半導體層之通道形成區重疊的部分中，俾可減少在 BT 測試之前和之後，薄膜電晶體 4509 之臨限電壓變化量。此外，可藉由設置導電層 4540 在與用於驅動器電路之薄膜電晶體 4509 重疊的部分中，進行靜電阻塞，俾可獲得正常斷開之薄膜電晶體。導電層 4540 之電位可相同於或異於薄膜電晶體 4509 之閘極電極層之電位。導電層 4540 亦可用來作為第二閘極電極層。此外，導電層 4540 之電位可為 GND 或 0V，或者導電層 4540 可成浮接狀態。

在薄膜電晶體 4509 中，絕緣層 4541 形成與包含通道形成區之半導體層接觸，作為保護絕緣層。絕緣層 4541 可使用類似於實施例 1 中所說明之材料及方法形成。而且，用來作為平坦化絕緣層之絕緣層 4544 覆蓋薄膜電晶體，以減少薄膜電晶體所造成的表面不均。在此，如絕緣層 4541，氧化矽層藉由濺射方法，使用實施例 1 中的保護絕緣層 107 形成。

形成絕緣層 4544 作為平坦化絕緣層。絕緣層 4544 可

使用類似於實施例 2 中所說明之材料及方法形成。在此，使用丙烯酸於絕緣層 4544。可設置濾色器層來替代絕緣層 4544。當進行全彩色顯示時，使用發光元件 4511 作為綠光發光元件，相鄰發光元件之一作為紅光發光元件，另一者作為藍光發光元件。替代地，可使用包含白色發光元件及所有三種發光元件之四種發光元件來製造可全彩色顯示之發光顯示裝置。可全彩色顯示之發光顯示裝置可製成所配置複數個發光元件全係白色發光元件，且具有濾色器等之密封基板配置於發光元件 4511 上。形成呈現諸如白色之單色之材料，並與濾色器或顏色轉換層結合，藉此可進行全彩色顯示。無庸贅言，亦可進行單色光顯示。例如，照明系統可藉由使用白色發光元件形成，或者與使用白色發光元件，或區域彩色發光裝置可使用單色光發射形成。

而且，元件符號 4511 表示一個發光元件。屬於發光元件中所含像素電極之第一電極層 4517 電氣連接到薄膜電晶體 4510 之源極電極層或汲極電極層。須知，雖然發光元件 4511 具有第一電極層 4517、電致發光層 4512 和 4513 的第二電極層 4513 之堆疊構造，發光元件 4511 之構造卻不限於本實施例所說明之構造。發光元件 4511 之構造可依來自發光元件 4511 之光的方向適當改變。

分區 4520 使用有機樹脂層，無機保溫層，或有機聚矽氧烷形成。尤佳者是分區 4520 使用感光材料形成，且一開口形成於第一電極層 4517 上方，使電極層側壁形成

為具有連續曲率之傾斜表面。

電致發光層 4512 可形成具有一單層或複數個堆疊層。

保護層可形成在第二電極層 4513 和隔件 4520 上方，以防止氧氣，氫氣，水分，二氧化碳等進入發光元件 4511。可形成氮化矽層、氮化矽氧化層、一 DLC 層等，作為保護層。

此外，從 FPC 4518a 及 4518b 提供各種信號和電位給信號線驅動器電路 4503a 和 4503b、掃描線驅動器電路 4504a 型和 4504b 或隔件 4520。

連接終端 4515 由與發光元件 4511 中所含之第一電極層 4517 相同的導電層形成，終端電極 4516 由與薄膜電晶體 4509 及 4510 中所含源極和汲極電極層相同的導電層形成。因此，終端電極 4516 具有含氧化銦之合金層 4514 和鉬層之堆疊層構造。

連接終端 4515 透過各向異性導電層 4519 電氣連接至 FCP 4518 中所含終端。

位於光自發光元件 4511 抽出之方向之基板須有透光性質。於此情況下，使用諸如玻璃板、塑膠板、聚酯板或丙烯酸板之透光材料。

除了諸如氮或氫之惰性氣體外，可使用可紫外線固化或熱固樹脂作為填充劑 4507。例如，可使用聚氯乙烯 (PVC)、丙烯酸、聚酰亞胺、環氧樹脂、矽樹脂、聚乙烯醇縮丁醛 (PVB) 或乙烯醋酸乙烯酯。例如使用氮於填充

劑。

此外，必要的話，可適當地設置諸如偏光板、圓偏光板（包含橢圓偏光板）、波片（ $1/4$ 板或半波板）或濾色片於發光元件之發光表面上。又，偏光板或圓偏光板可設有抗反射膜。例如，可進行抗反射處理，藉此，可藉表面上之凸起及凹陷漫散反射光，以減少強光。

可安裝信號線驅動器電路 4503a 和 4503b 以及掃描線驅動器電路 4504a 型和 4504b 作為驅動器電路，其使用個別製備之單晶半導體或多晶半導體形成。替代地，只有信號線驅動器電路或其一部分，或掃描線驅動器電路或其一部分個別形及安裝。本實施例並不限於第 7A 及 7B 圖所示構造。

透過以上步驟，可製造包括具有優良的電氣特性之薄膜電晶體之發光顯示裝置（顯示面板）。

本實施例可與其他實施例之任一者組合實施。

[實施例 7]

本說明書中所揭示之半導體裝置可應用於各種電子裝置（包括遊戲機）。電子裝置的例子是電視裝置（亦稱電視或電視接收器）、電腦等之監視器、如數位相機或數位影像相機之照相機、行動電話手機（亦稱為行動電話或行動電話裝置），便攜式遊戲機，便攜式資訊終端，音頻音響設備，如鋼珠機之大型遊戲機及太陽能電池等。

第 8A 圖顯示一行動電話例子。行動電話 1100 設有

併入外殼 1101 中之顯示部 1102、操作按鈕 1103、外部連接端口 1104、揚聲器 1105、麥克風 1106 等。

當以手指等接觸第 8A 圖所示行動電話 1100 之顯示部 1102 時，資料可輸入到行動電話 1100。又，操作，可藉由以手指等接觸顯示部 1102，進行諸如撥打電話和發短信的操作。

主要有三種顯示部 1102 之螢幕模式。第一種模式係主要用以顯示影像之顯示模式。第二種模式係主要用以輸入諸如訊文之輸入模式。第三種模式係顯示及輸入模式，其係此二模式之組合，亦即顯示模式與輸入模式之組合。

例如，於通話及發簡訊情況下，選擇訊文輸入模式，俾可輸入顯示於螢幕之文字。於此情況下，較佳係顯示鍵盤或數字鈕於顯示部 1102 之幾乎所有螢幕區上。

當包含用以偵測傾斜之感測器如陀螺儀或加速感測器之偵測裝置設於行動電話 1100 內部時，可藉由判定行動電話 1100 之方向(行動電話 1100 水平或垂直用於風景模式或肖像模式)，自動切換顯示部 1102 之螢幕上之顯示。

藉由接觸顯示部 1102 或外殼 1101 之操作鈕 1103 切換螢幕模式。替代地，螢幕模式可依顯示於顯示部 1102 上的影像種類。例如，當顯示於顯示部上之影像之信號係移動影像資料之信號時，螢幕模式變成顯示模式。當信號係訊文資料之信號，螢幕模式變成輸入模式。

又，於輸入模式中，當藉由接觸顯示部 1102 所作之輸入不進行某一段期間，惟偵出顯示部 1102 中光學感測

器所偵出之信號時，可控制螢幕模式，俾從輸入模式變成顯示模式。

顯示部 1102 可用來作為影像感測器。例如，當以手掌或手指觸摸顯示部 1102 時，即取得掌紋，指紋，等，俾可進行個人識別。又，藉由在顯示部設置發出近紅外光之背光或感應光源，可取得指紋，掌紋等的影像。

於顯示部 1102 中，實施例 1 中說明之複數個薄膜電晶體設置來作為像素的開關元件。

第 8B 圖顯示行動電話之另一例子。便攜式資訊終端可具有複數個功能，其一例子顯示於第 8B 圖中。例如，除了電話功能外，此一便攜式資訊終端可藉由併入電腦，具有各種不同資料處理功能。

第 8B 圖所示便攜式資訊終端由外殼 2800 及外殼 2801 形成。外殼 2801 設有顯示面板 2802、揚聲器 2803、麥克風 2804、指針裝置 2806、相機鏡頭 2807、外部接線終端 2808 等。外殼 2800 設有太陽能電池 2810 以對便攜式資訊終端、外部記憶體插槽 2811 充電。此外，天線併入外殼 2801。

顯示面板 2802 又設有一觸摸面板。複數個以影像顯示之操作鍵 2805 以虛線顯示於第 8B 圖中。

又，除了上述的構造，可併入無接觸式 IC 晶片，小型記憶體裝置等。

發光裝置可用於顯示面板 2802，並依應用模式而定，適當改變顯示方向。由於相機鏡頭 2807 設在與顯示

面板 2802 相同之平面上，作為顯示面板 2802，因此，便攜式資訊終端可用來作為視訊電話。揚聲器 2803 及麥克風 2804 可用於諸如視訊通話、聲音記錄及重放而不限於聲音通話功能。而且，處於如第 8B 圖展開之狀態之外殼 2800 及 2801 可滑動，使其一折疊在另一者上方，因此，便攜式資訊終端之尺寸可減小，其使便攜式資訊終端適於攜出。

外部連接終端 2808 可連接至 AC 配接器及諸如 USB 電纜之各種電纜等之終端），可進行充電及和個人電腦間的資料通信。而且，記錄媒體可插入外部記憶體插槽 2811 中，且便攜式資訊終端可處理更大量資料之儲存及轉送。

又，除了以上功能外，可提供紅外線通信功能、電視接收功能等。

第 9A 圖顯示一電視裝置例子。於電視裝置 9600 中，顯示部 9603 併設入外殼 9601。顯示部 9603 可顯示影像。在此，外殼 9601 以立架 9605 支撐。

電視裝置 9600 可藉外殼 9601 之操作開關或個別遙控器 9610 操作。頻道及音量可藉遙控器 9610 之操作鍵 9609 控制，俾可控制顯示於顯示部 9603 上之影像。而且，遙控器 9610 可設有顯示部 96077 以顯示自遙控器 9610 輸出之顯示資料。

須知，電視裝置 9600 設有接收器、調變解調器等。藉接收器，可接收一般電視廣播。又，當電視裝置 9600

藉由有線或無線連接，經由調變解調器連接至通信網路時，可進行單向（從發射器至接收器）或雙向（於發射器與接收器間、接收器間等）資料通信。

於顯示部 9603 中，實施例 1 中說明之複數個薄膜電晶體設置來作為像素的開關元件。

第 9B 圖顯示一數位相框例子。例如，在數位相框 9700 中，數位相框 9703 併設入外殼 9701 中。顯示部 9703 可顯示各種圖像。例如，顯示器 9703 可顯示數位相機所拍影像的資料並可如一般相框運作。

在顯示部 9703 中，實施例 1 中說明之複數個薄膜電晶體可用來作為像素之開關元件。

須知，數位相框 9700 設有操作部、外部連接部（如 USB 終端、可連接於諸如 USB 電纜之各種電纜等之終端），記錄媒體插入部等。雖然這些組件可設在設有顯示部之表面上，惟為了數位相框之設計，較佳者卻是將它們設在數位相框 9700 的側面或背面。例如，將儲存數位相機所拍影像的資料之記憶體插入數位相框之記錄媒體插入部，藉此，可傳輸影像數據，然後顯示在顯示部 9703 上。

數位相框 9700 可配置成無線發送和接收資料。該構造可用於無線傳輸待顯示之影像資料。

第 10 圖係根據實施例 4 形成之發光裝置用來作為室內照明裝置 3001 之例子。由於實施例 4 中說明之發光裝置可增加面積，因此，發光裝置可用來作為具有大面積之

發光裝置。又，實施例 4 中說明之發光裝置可用來作為桌上燈 3000。須知，於其類別中，發光設備包含壁燈、用於車輛內部之發光裝置、導引燈等以及天花板燈及桌上燈。

如上所述，以此方式，根據本發明一實施例之薄膜電晶體可設在多種電子裝置之顯示面板中。

本實施例可與其他實施例之任一者組合實施。

[實施例 8]

本說明書中所揭示之半導體裝置可應用於電子紙。電子紙可用於各種領域之電子裝置，只要其等可顯示資料。例如，電子紙可應用於 e 書讀取機(電子書)、海報、諸如火車之車輛中的廣告或諸如信用卡之多種卡之顯示。電子裝置例子顯示於第 11 圖中。

第 11 圖顯示 e 書讀取機例子。e 書讀取機 2700 包含二外殼：外殼 2701 及外殼 2703。外殼 2701 與外殼 2703 藉鉸鏈 2711 而相結合，俾 e 書讀取機 2700 可藉用來作為軸線之鉸鏈 2711 啓閉。藉此構造，e 書讀取機 2700 可作為紙書操作。

顯示部 2705 及顯示部 2707 分別併入外殼 2701 及外殼 2703 中。顯示部 2705 及顯示部 2707 可顯示一影像或不同影像。在顯示部 2705 及顯示部 2707 顯示不同影像情況下，例如右側顯示部(第 11 圖中之顯示部 2705)可顯示訊文，且左側顯示部(第 11 圖中之顯示部 2707)可顯示圖

表。

第 11 圖顯示外殼 2701 設有操作部等之例子。例如外殼 2701 設有電源開關 2721、操作鍵 2723、揚聲器 2725 等。藉操作鍵 2723 可翻動頁面。須知，鍵盤、指標裝置等亦可設於外殼之表面，於其上設有顯示部。而且，外部連接終端(耳機終端、USB 終端、可連接至諸如 AC 配接器之各種電纜、USB 電纜等之終端)、記錄媒體插入部等可設在外殼之背面或側面。而且，e 書讀取機可具有電子辭典之功能。

e 書讀取機 2700 可能無線收發資料。透過無線通信，可從電子書伺服器購買或下載所欲書籍資料等。

本實施例可與根據本發明一實施例之薄膜電晶體或實施例所述電子紙之構造組合實施。

本實施例可與其他實施例之任一者組合實施。

本申請案係根據 2009 年 11 月 6 日對日本特許廳所提日本特許申請案 2009-255103 號，在此併提其全文內容供參考。

【圖式簡單說明】

第 1A 至 1D 圖係顯示本發明之一實施例之橫剖視圖。

第 2 圖係顯示本發明之一實施例之俯視圖。

第 3A 至 3C 圖係顯示本發明之一實施例之橫剖視圖。

第 4A 至 4D 圖係顯示本發明之一實施例之橫剖視圖。

第 5A1、5A2 及 5B 圖係顯示本發明之一實施例之俯視圖及橫剖視圖。

第 6 圖係顯示本發明之一實施例之橫剖視圖。

第 7A 及 7B 圖係顯示本發明之一實施例之俯視圖及橫剖視圖。

第 8A 及 8B 圖各顯示電子例子。

第 9A 及 9B 圖各顯示電子例子。

第 10 圖顯示電子例子。

第 11 圖顯示電子例子。

第 12 圖係顯示本發明之一實施例之能源帶圖。

第 13A 及 13B 圖係顯示本發明之一實施例之剖視能源帶圖。

第 14 圖係顯示本發明之一實施例之能源帶圖。

第 15A 及 15B 圖係顯示本發明之一實施例之剖視能源帶圖。

第 16A 及 16B 圖係顯示本發明之一實施例之剖視能源帶圖。

【主要元件符號說明】

100：基板

102：閘極電極層

102：閘極絕緣層

103：氧化物半導體層

104a：源極電極層

104b：汲極電極層

105a：源極電極層

105b：汲極電極層

107：保護絕緣層

110：通道保護層

150：薄膜電晶體

160：薄膜電晶體

170：薄膜電晶體

180：薄膜電晶體

空白頁

七、申請專利範圍

1. 一種半導體裝置，包括：

氧化物半導體層；

源極電極層，包括第一混合層；以及

汲極電極層，包括第二混合層；

其中，該第一混合層及該第二混合層之每一者包括具有低於該氧化物半導體層之工作函數之金屬的氧化物，或包括該金屬之合金的氧化物，

其中，該第一混合層及該第二混合層之每一者與該氧化物半導體層接觸之第一區域具有大於該第一混合層及該第二混合層之每一者不與該氧化物半導體層接觸之第二區域之該金屬的該氧化物或該合金的該氧化物之濃度。

2. 一種半導體裝置，包括：

氧化物半導體層；

源極電極層，包括第一混合層；以及

汲極電極層，包括第二混合層；

其中，該第一混合層及該第二混合層之每一者包括具有工作函數低於該氧化物半導體層之電子親合力之金屬的氧化物，或包括該金屬之合金的氧化物，

其中，該第一混合層及該第二混合層之每一者與該氧化物半導體層接觸之第一區域具有大於該第一混合層及該第二混合層之每一者不與該氧化物半導體層接觸之第二區域之該金屬的該氧化物或該合金的該氧化物之濃度。

3. 如申請專利範圍第 1 或 2 項之半導體裝置，其中，

該源極電極層及該汲極電極層之每一者具有堆疊層構造。

4.如申請專利範圍第 1 或 2 項之半導體裝置，

其中，該金屬的該氧化物為氧化銮，以及

其中，該氧化物半導體層包括氧化銮。

5.如申請專利範圍第 1 或 2 項之半導體裝置，

其中，該金屬的該氧化物為氧化鋅，以及

其中，該氧化物半導體層包括氧化鋅。

6.如申請專利範圍第 1 或 2 項之半導體裝置，

其中，該金屬的該氧化物為氧化鈮。

7.如申請專利範圍第 1 或 2 項之半導體裝置，

其中，該金屬的該氧化物為氧化鈦，以及

其中，該氧化物半導體層包括氧化銮。

8.一種半導體裝置，包括：

氧化物半導體層；

源極電極層，包括第一混合層；以及

汲極電極層，包括第二混合層；

其中，該第一混合層及該第二混合層之每一者包括具有低於該氧化物半導體層之工作函數之第一金屬的氧化物，或包括該第一金屬之合金的氧化物；

其中，該第一混合層及該第二混合層之每一者進一步包括具有高熱阻之第二金屬；以及

其中，該第一混合層及該第二混合層之每一者與該氧化物半導體層接觸之第一區域具有大於該第一混合層及該第二混合層之每一者不與該氧化物半導體層接觸之第二區

域之該第一金屬的該氧化物或該合金的該氧化物之濃度。

9.一種半導體裝置，包括：

氧化物半導體層；

源極電極層，包括第一混合層；以及

汲極電極層，包括第二混合層；

其中，該第一混合層及該第二混合層之每一者包括具有工作函數低於該氧化物半導體層之電子親合力之第一金屬的氧化物，或包括該第一金屬之合金的氧化物；

其中，該第一混合層及該第二混合層之每一者進一步包括具有高熱阻之第二金屬；以及

其中，該第一混合層及該第二混合層之每一者與該氧化物半導體層接觸之第一區域具有大於該第一混合層及該第二混合層之每一者不與該氧化物半導體層接觸之第二區域之該第一金屬的該氧化物或該合金的該氧化物之濃度。

10.如申請專利範圍第 8 或 9 項之半導體裝置，

其中，該第一金屬的該氧化物為氧化銦，以及

其中，該氧化物半導體層包括氧化銦。

11.如申請專利範圍第 8 或 9 項之半導體裝置，

其中，該第一金屬的該氧化物為氧化鋅，以及

其中，該氧化物半導體層包括氧化鋅。

12.如申請專利範圍第 8 或 9 項之半導體裝置，

其中，該第一金屬的該氧化物為氧化鈮。

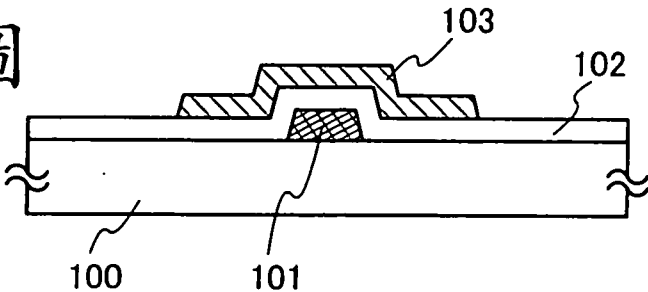
13.如申請專利範圍第 8 或 9 項之半導體裝置，

其中，該第一金屬的該氧化物為氧化鈦，以及

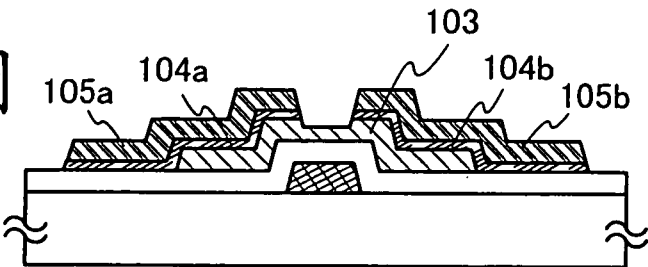
其中，該氧化物半導體層包括氧化銮。

14.如申請專利範圍第 8 或 9 項之半導體裝置，其中，該第二金屬為鎢或鉬。

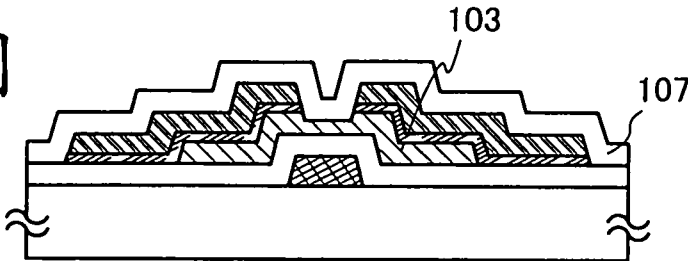
第1A圖



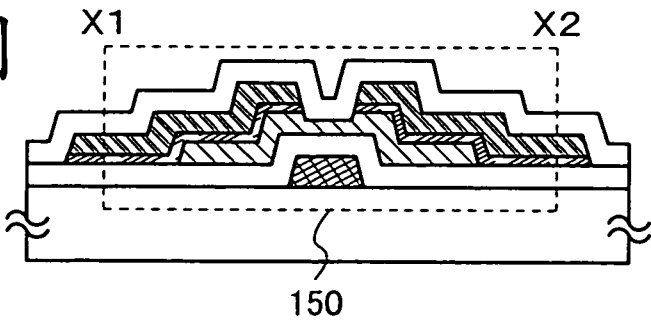
第1B圖



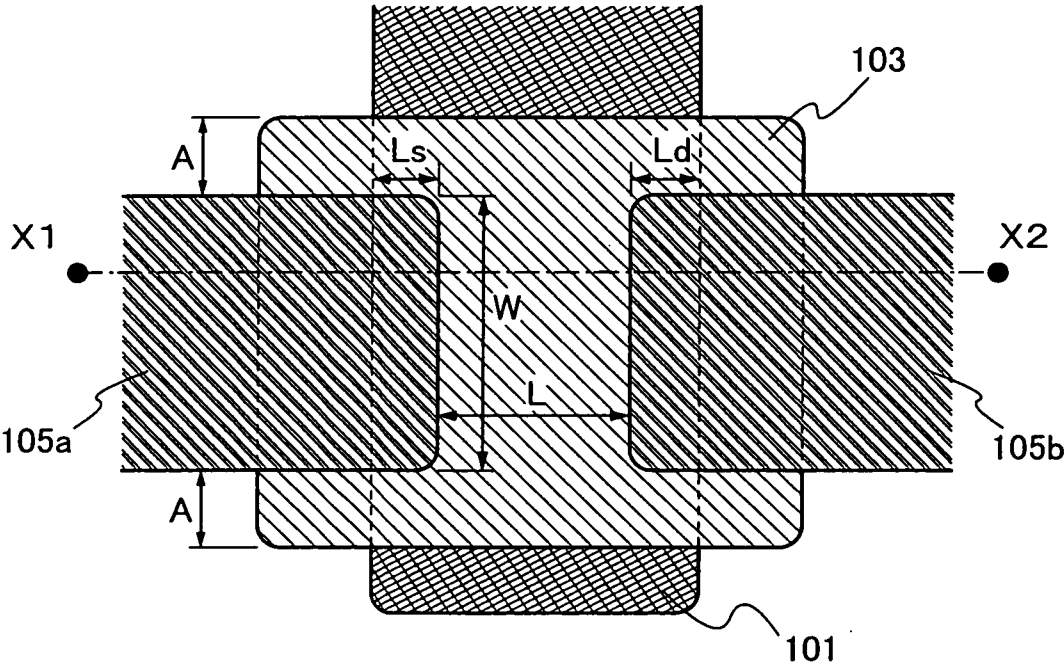
第1C圖



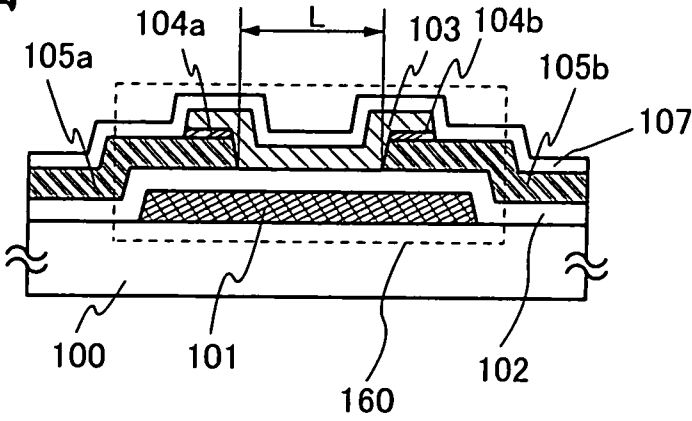
第1D圖



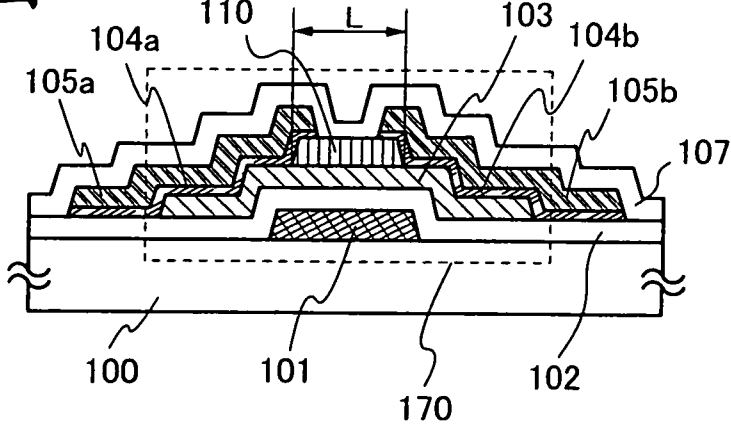
第2圖



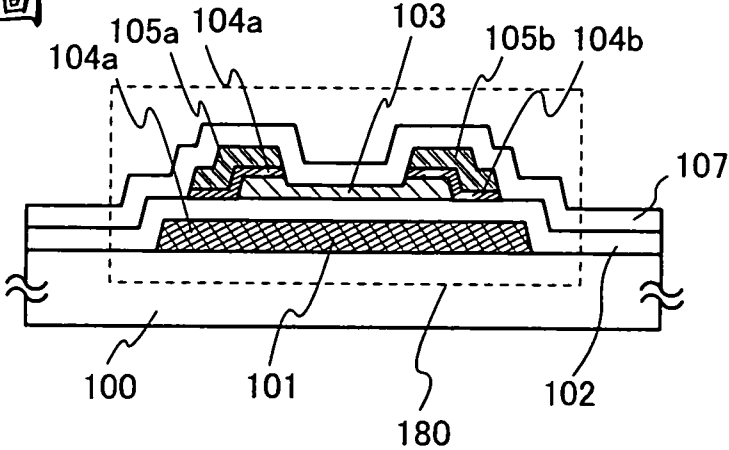
第3A圖



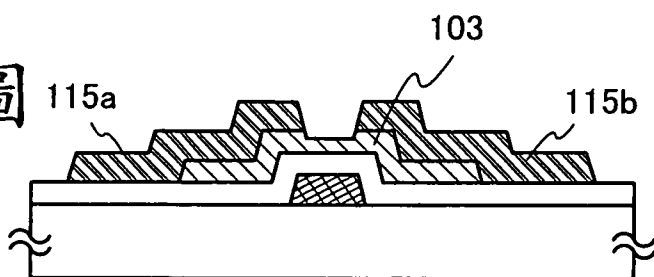
第3B圖



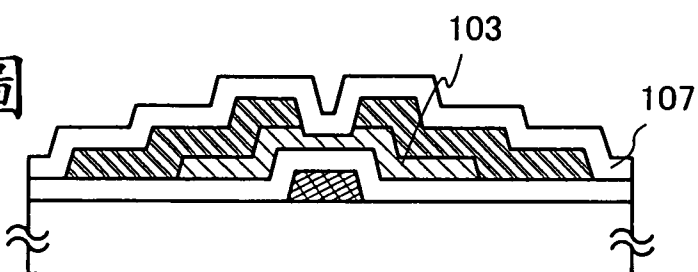
第3C圖



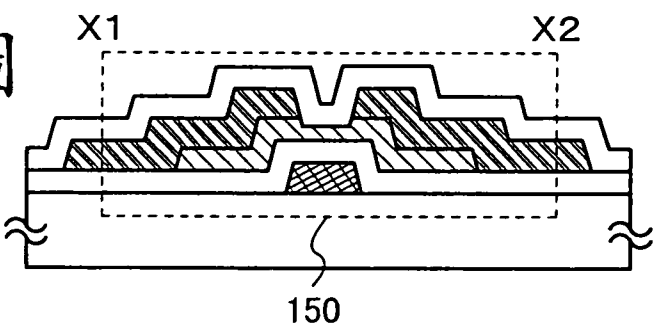
第4B圖



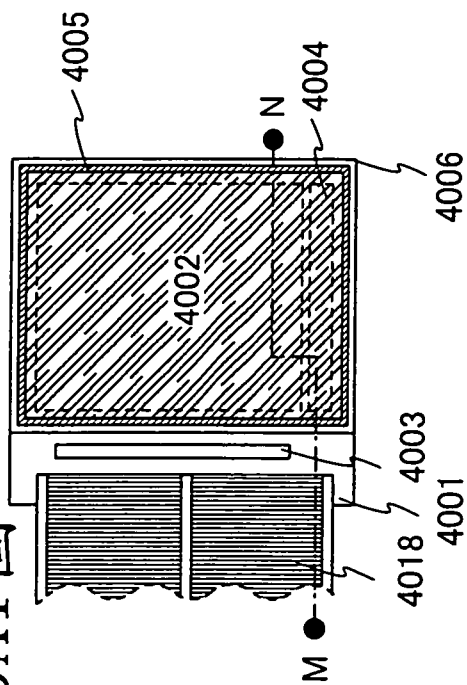
第4C圖



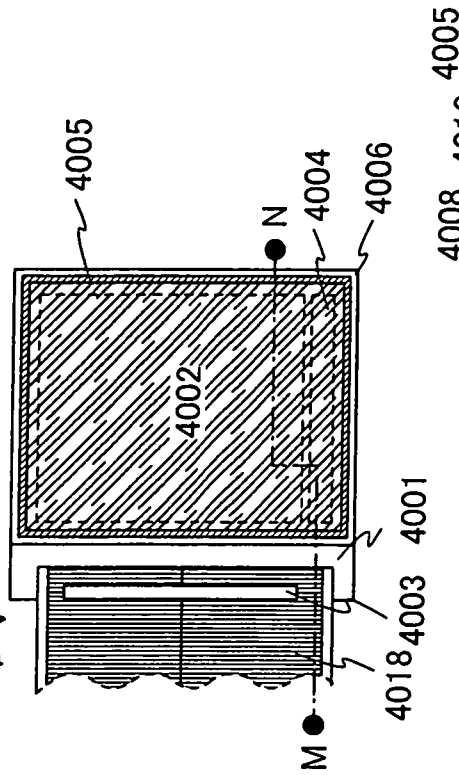
第4D圖



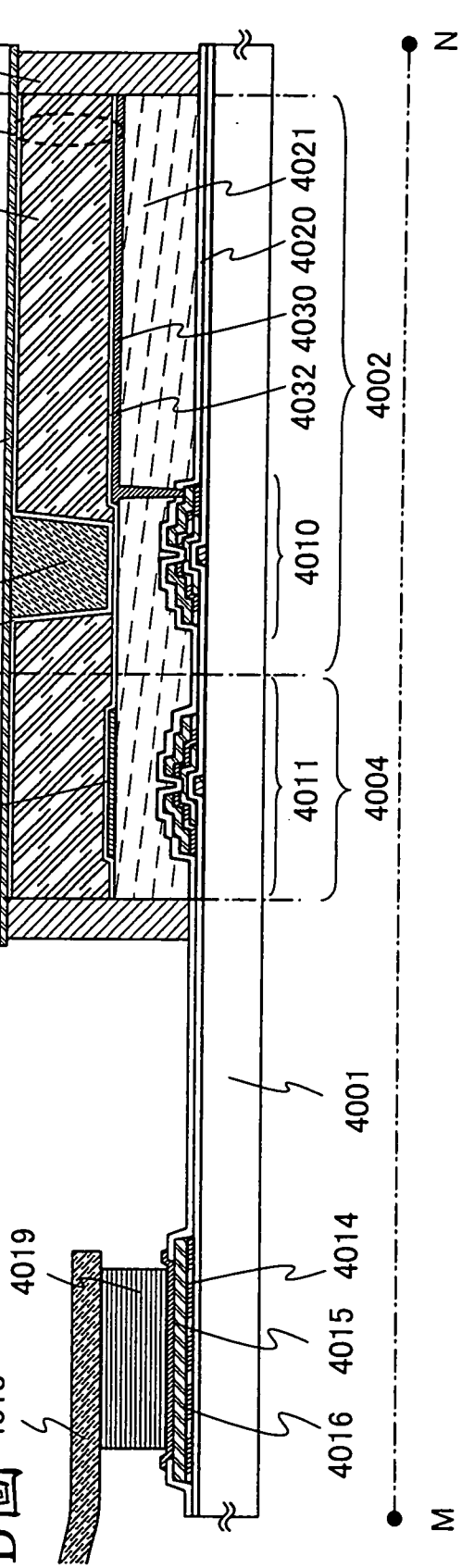
第5A1圖



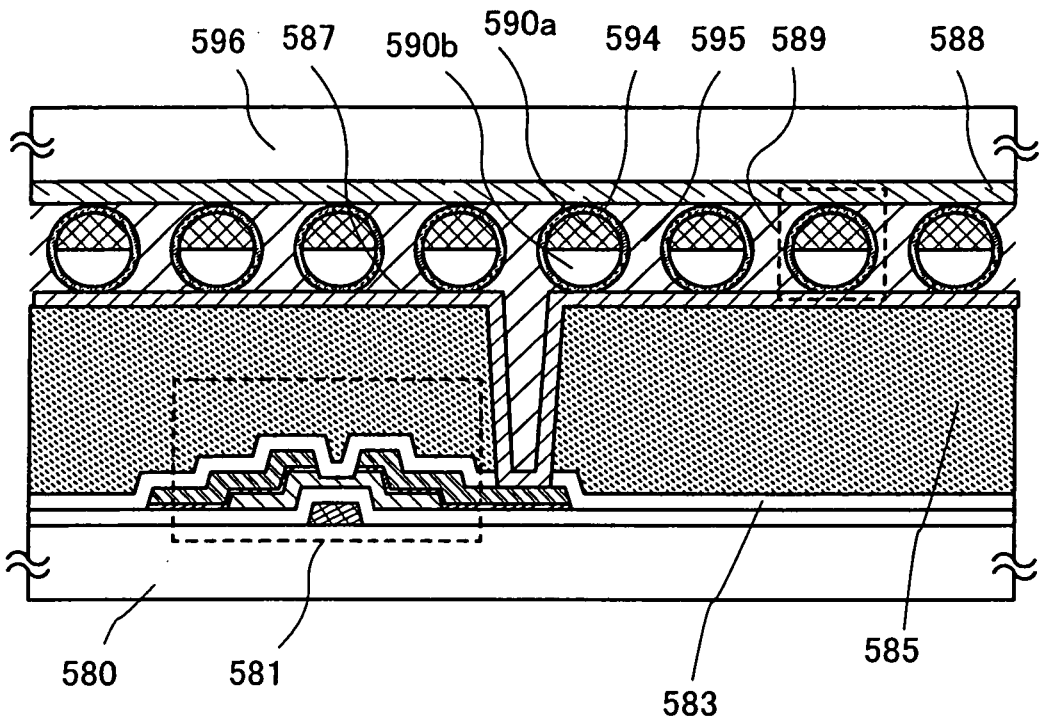
第5A2圖



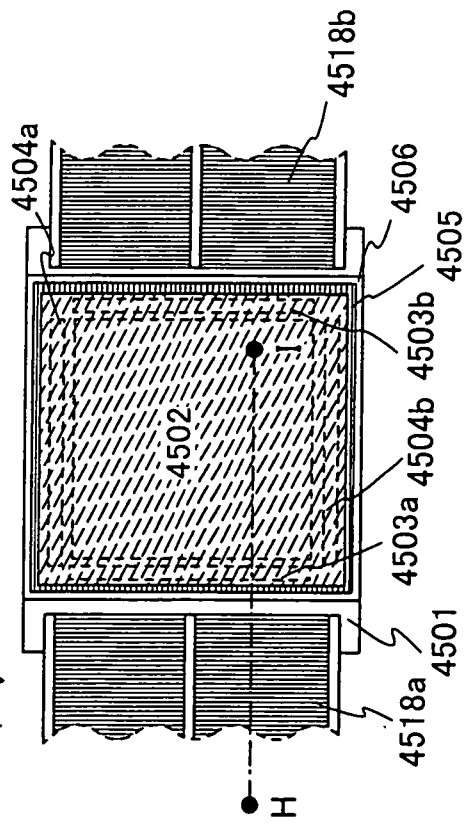
第5B圖



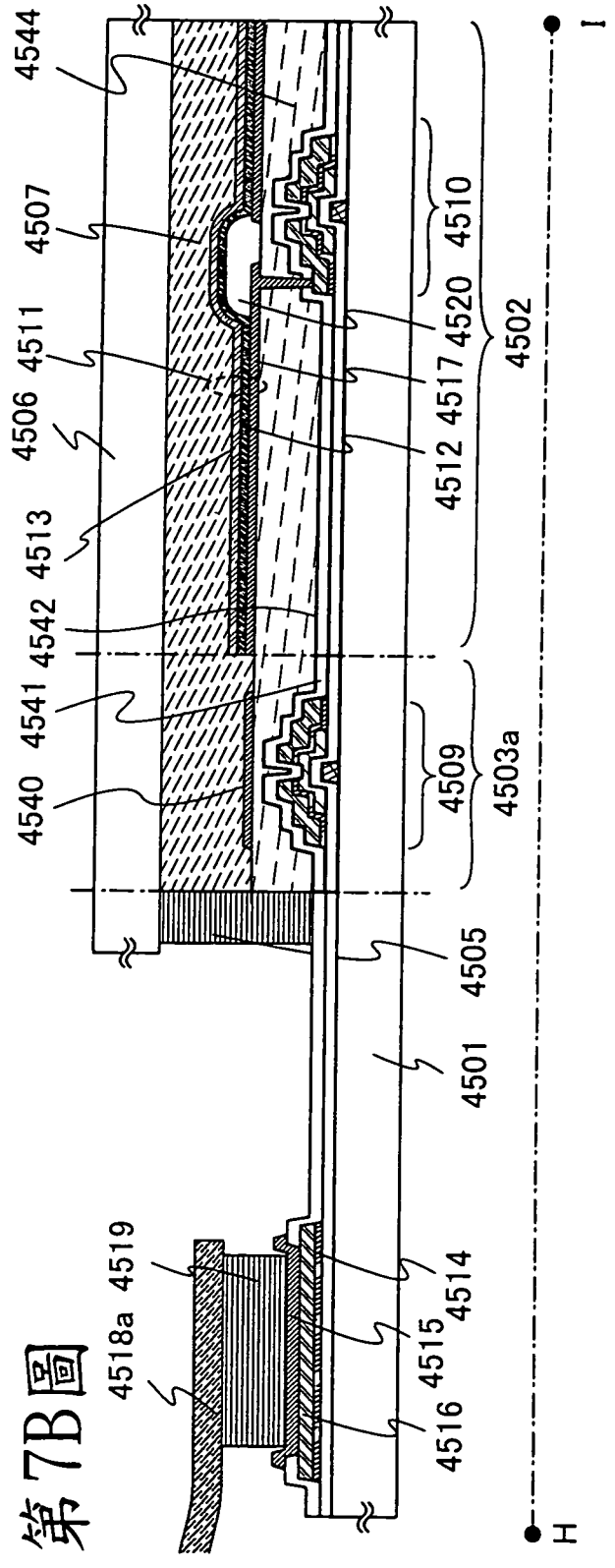
第6圖



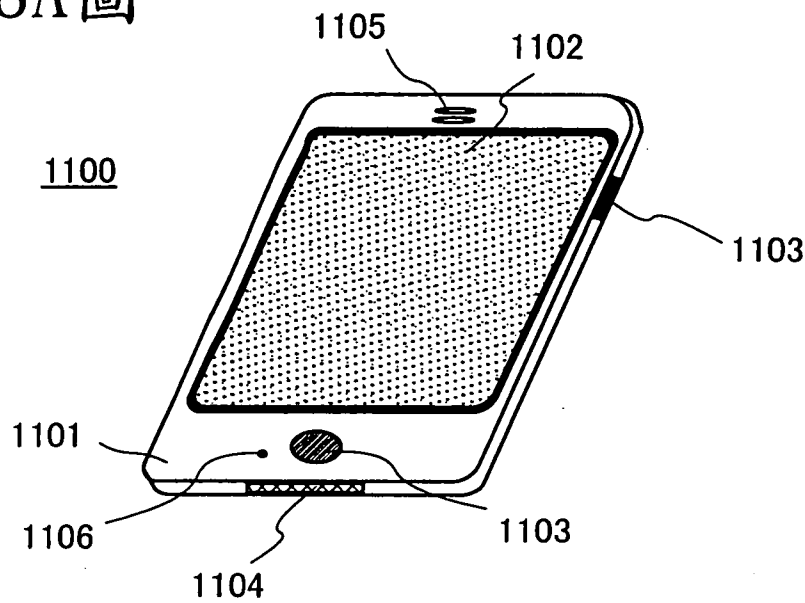
第7A圖



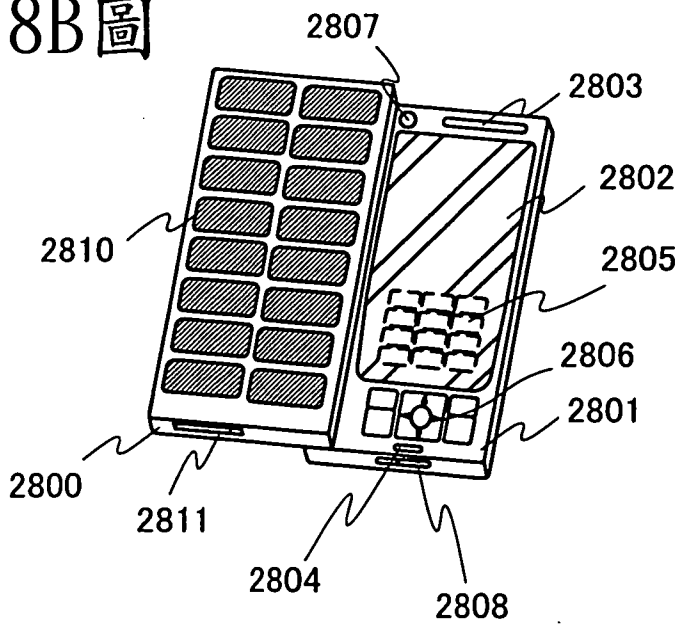
第7B圖



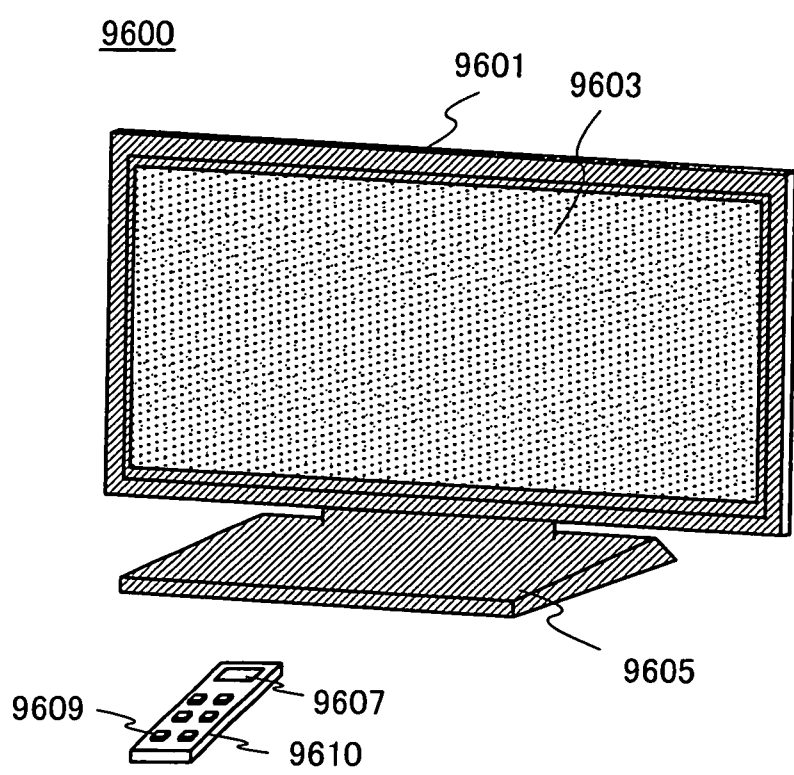
第8A圖



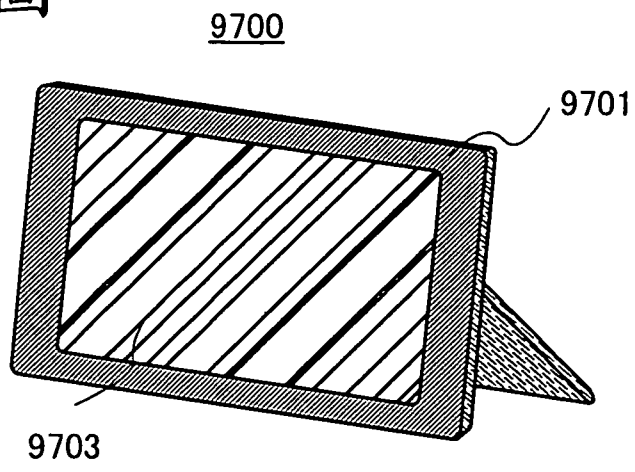
第8B圖



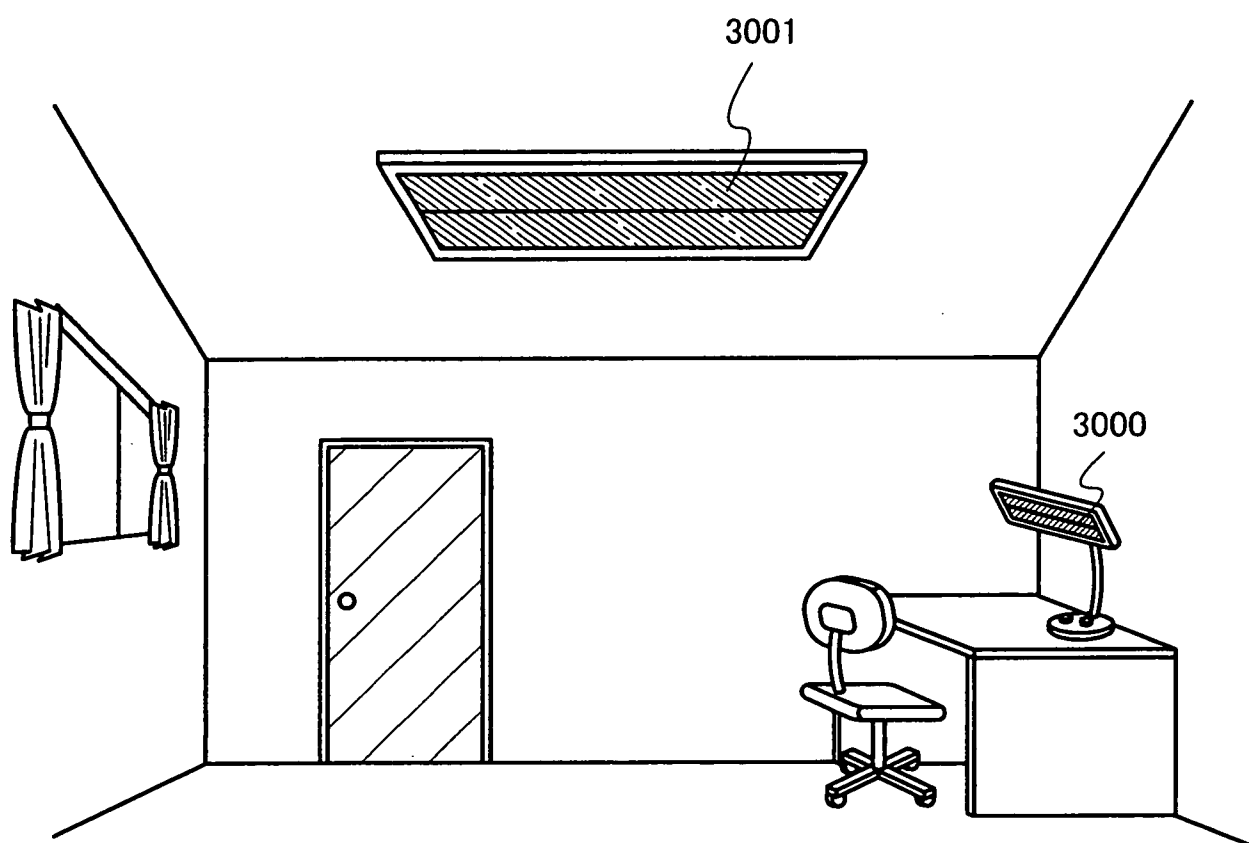
第9A圖



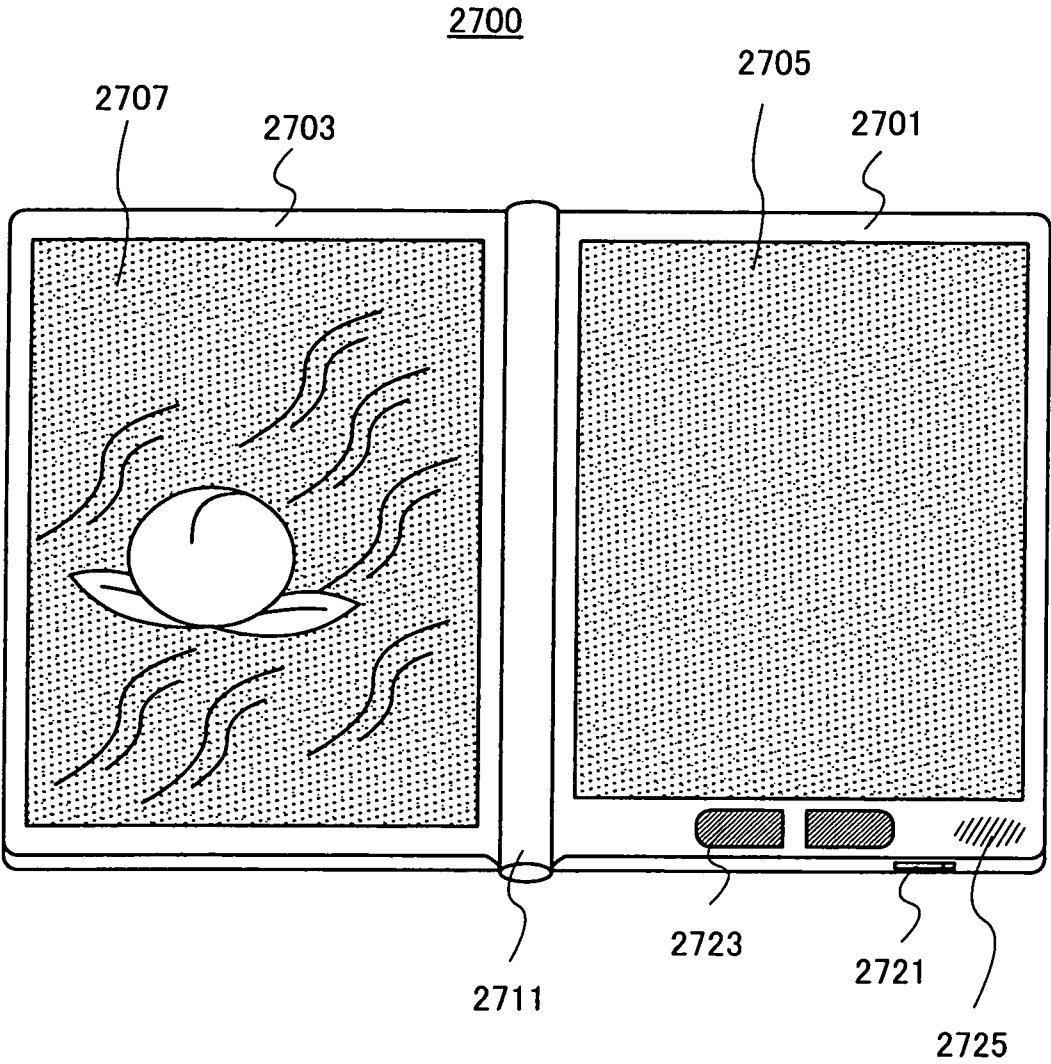
第9B圖



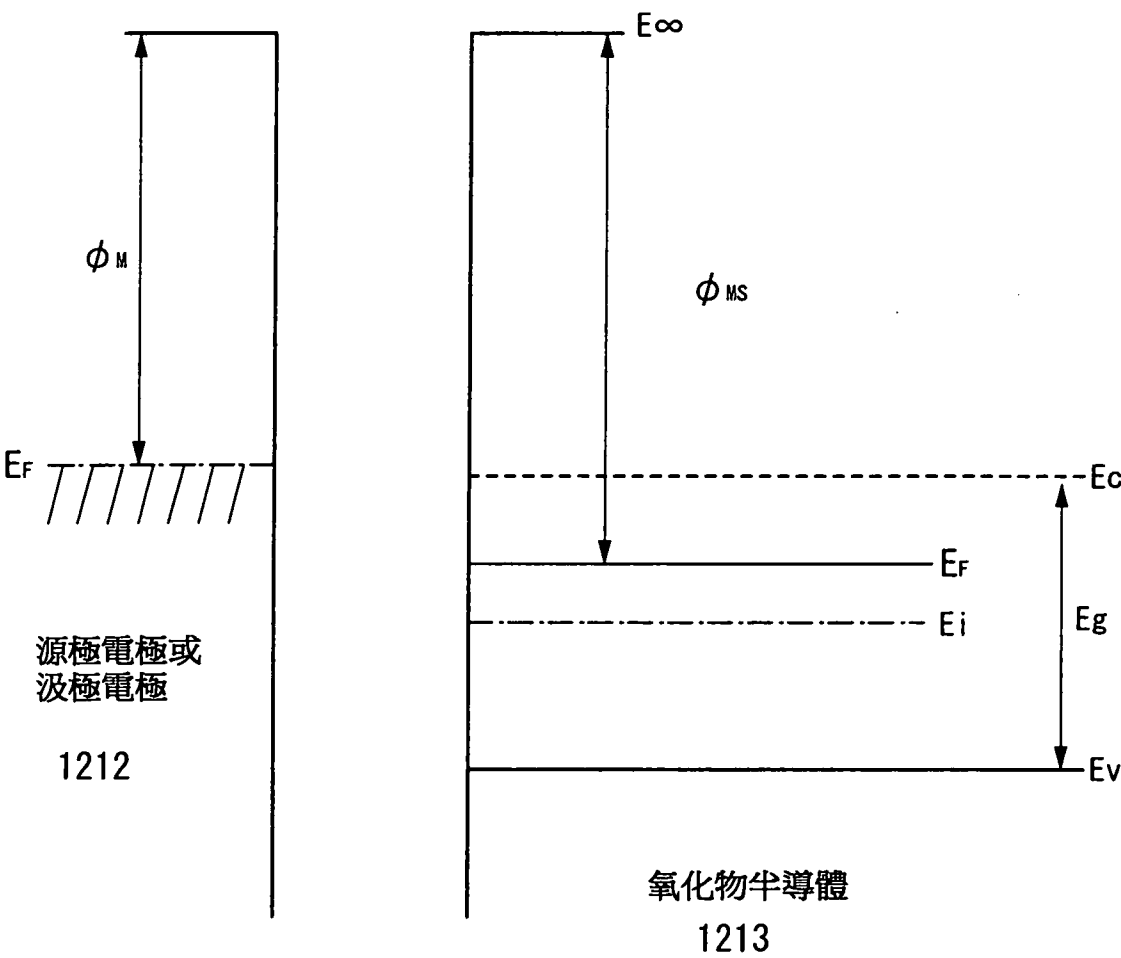
第10圖



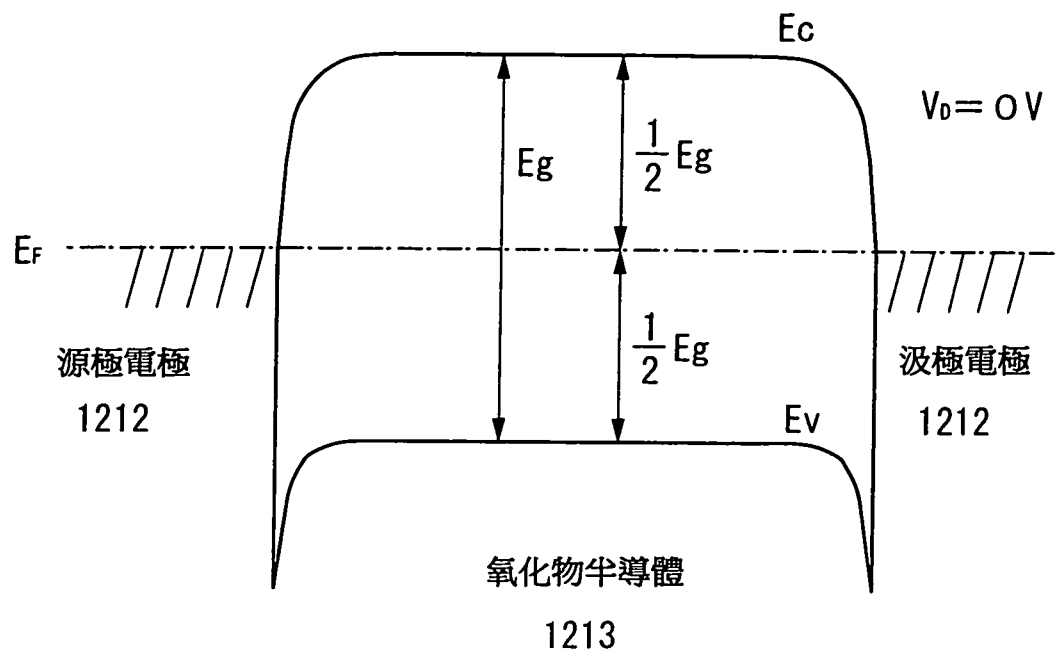
第11圖



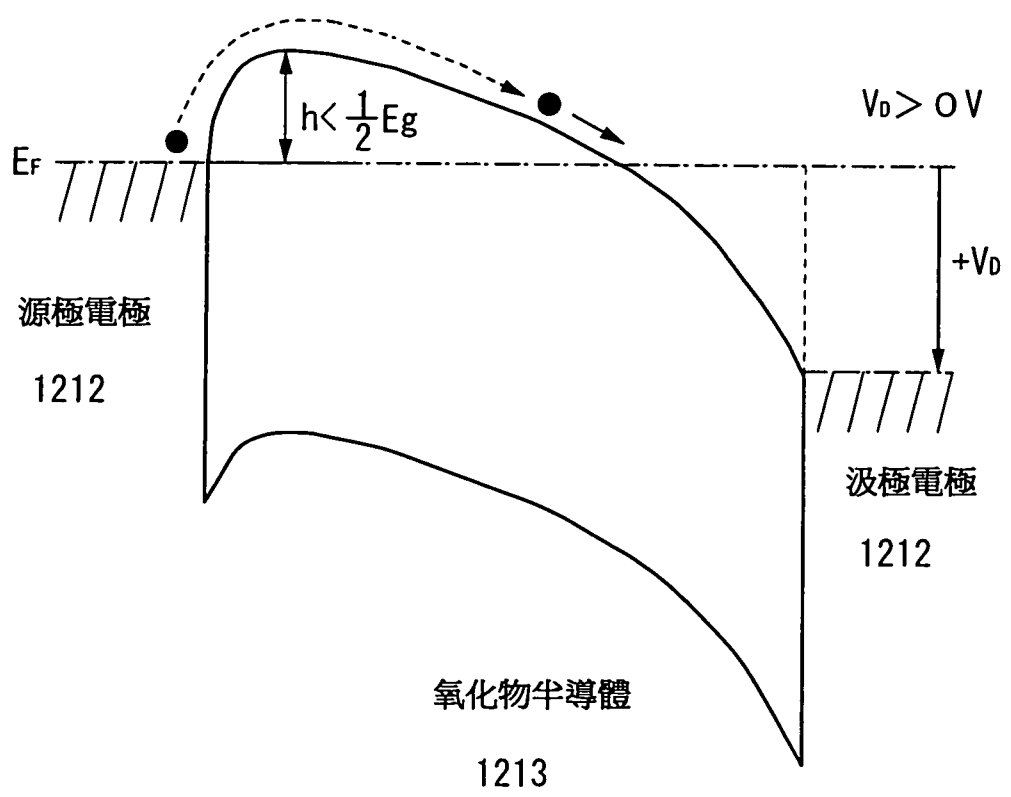
第12圖



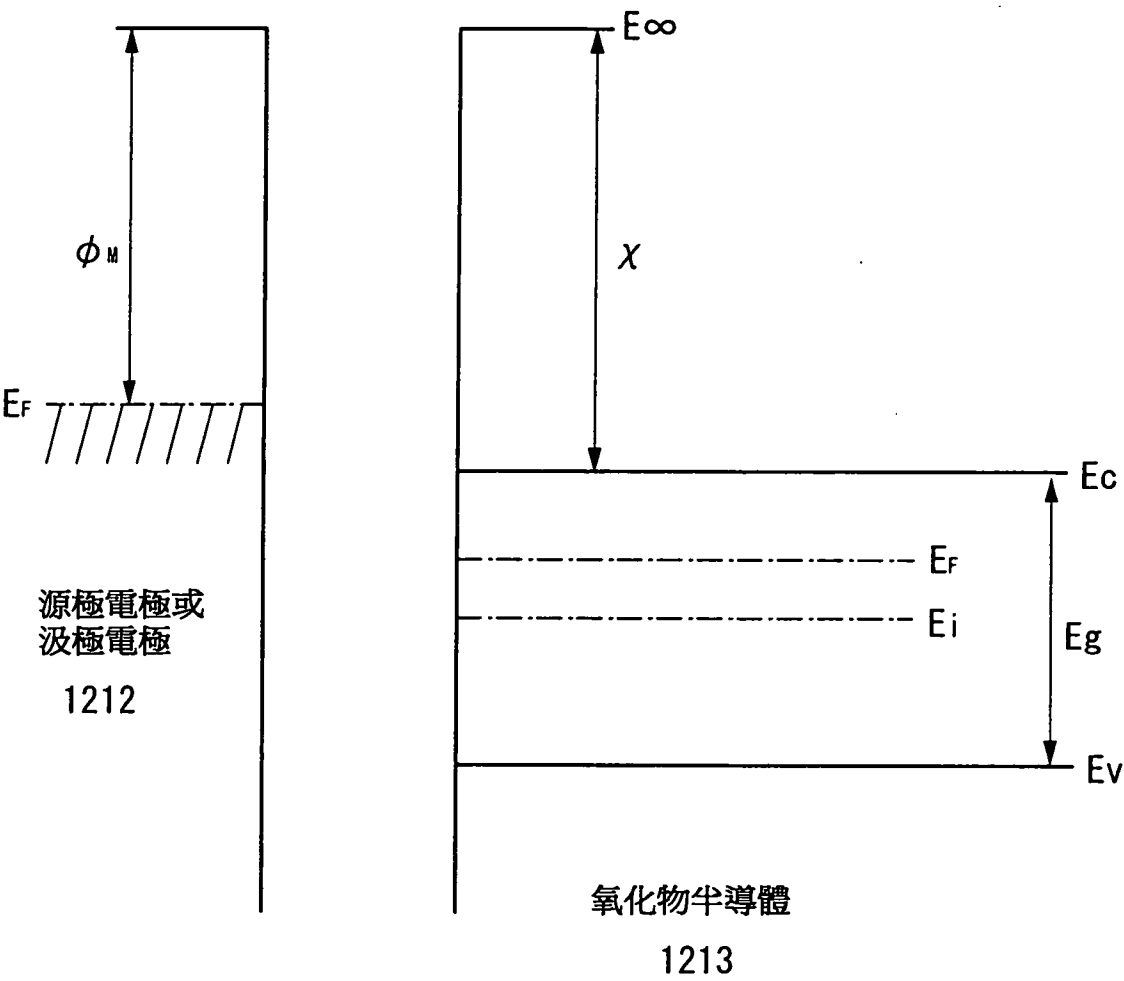
第13A圖



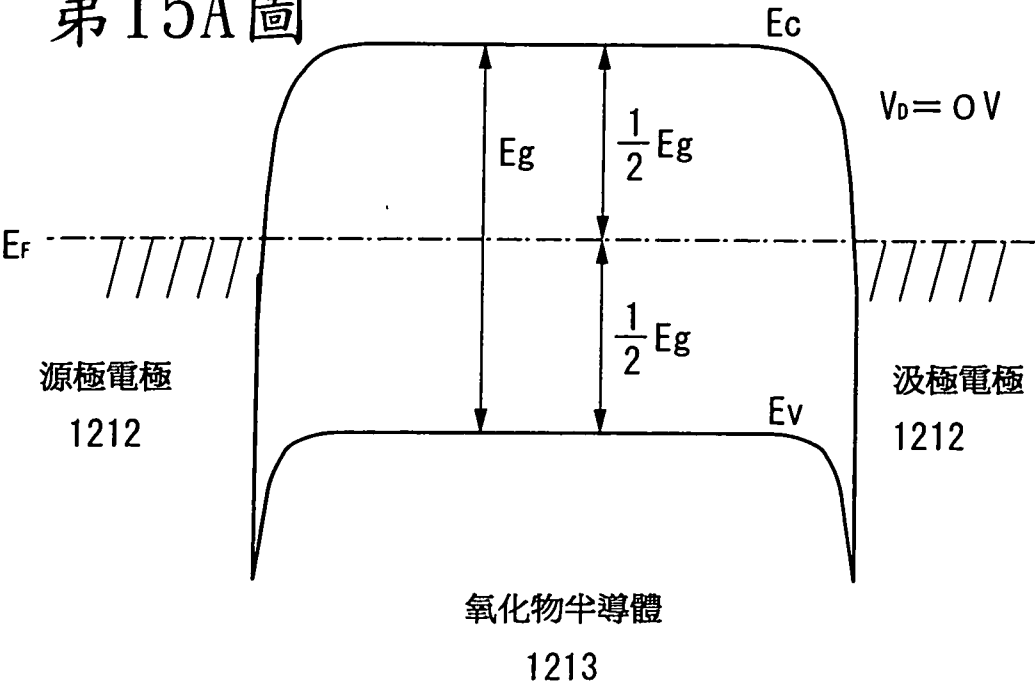
第13B圖



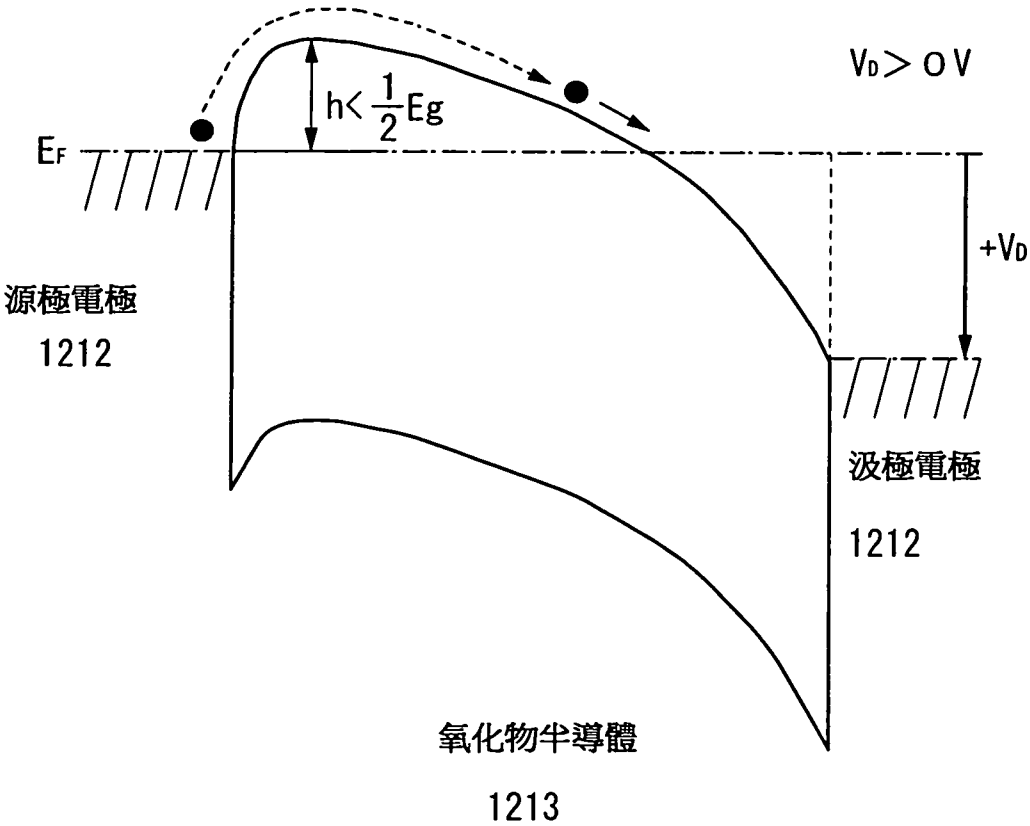
第14圖



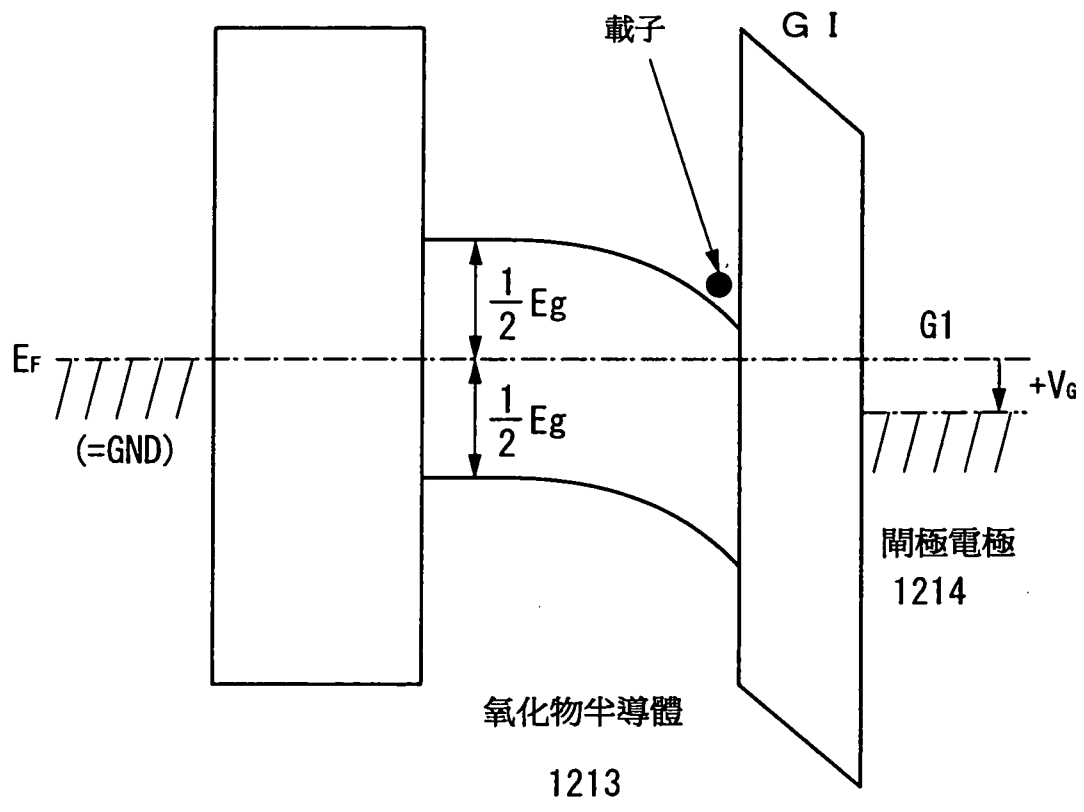
第15A圖



第15B圖



第16A圖



第16B圖

