

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年1月12日(12.01.2023)



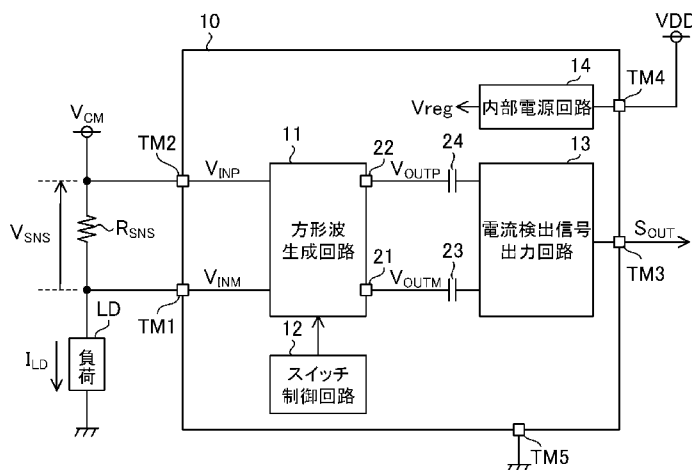
(10) 国際公開番号

WO 2023/281891 A1

- (51) 国際特許分類:
G01R 15/00 (2006.01) *H03K 17/693* (2006.01)
H03K 17/00 (2006.01) *H03K 19/0175* (2006.01)
H03K 17/08 (2006.01) *G01R 19/00* (2006.01)
H03K 17/0814 (2006.01)
- (21) 国際出願番号: PCT/JP2022/017357
- (22) 国際出願日: 2022年4月8日(08.04.2022)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2021-111297 2021年7月5日(05.07.2021) JP
- (71) 出願人: ローム株式会社 (ROHM CO., LTD.)
[JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町2-1番地 Kyoto (JP).
- (72) 発明者: 真砂 健一 (MASAGO Kenichi);
〒6158585 京都府京都市右京区西院溝崎町2-1番地 ローム株式会社内 Kyoto (JP).
- (74) 代理人: 特許業務法人 佐野特許事務所 (SANO PATENT OFFICE); 〒5400032 大阪府大阪市中央区天満橋京町2-6天満橋八千代ビル別館5F Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: ELECTRIC CURRENT SENSOR

(54) 発明の名称: 電流センサ



- 11 Square wave generation circuit
- 12 Switch control circuit
- 13 Electric current detection signal output circuit
- 14 Internal power source circuit
- LD Load

(57) Abstract: This electric current sensor comprises: first and second input terminals configured so that both ends of a sense resistor can be connected thereto; a square wave generation circuit that is connected to the first and second input terminals and configured so as to be capable of generating a square wave signal having an amplitude proportional to the voltage between the two ends of the sense resistor; and an electric current detection signal output circuit configured so as to be capable of using the square wave signal as a basis to output an electric current detection signal corresponding to the electric current flowing through the sense resistor.

(57) 要約: 電流センサは、センス抵抗の両端が接続可能に構成された第1及び第2入力端子と、第1及び第2入力端子に接続され、センス抵抗の両端間電圧に比例する振幅を有する方形波信号を生成可能に構成された方形波生成回路と、方形波信号に基づきセンス抵抗に流れる電流に応じた電流検出信号を出力可能に構成された電流検出信号出力回路と、を備える。



WO 2023/281891 A1

ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

明 細 書

発明の名称：電流センサ

技術分野

[0001] 本開示は、電流センサに関する。

背景技術

[0002] センス抵抗（シャント抵抗）に流れる電流を検出し、検出結果を示す電流検出信号を出力する電流センサがある。

先行技術文献

特許文献

[0003] 特許文献1：特開2004-173353号公報

発明の概要

発明が解決しようとする課題

[0004] センス抵抗の両端が接続される2つの入力端子を設けておき、2つの入力端子における電圧を差分アンプに直接入力すれば電流検出信号を生成することができる。但し、負荷の高電位側にセンス抵抗が設けられる場合などには、上記2つの入力端子に比較的高い電圧が加わるため、差動アンプの構成素子に高い耐圧が要求される。高耐圧の必要性は素子の大型化及びコスト増大を招く。

[0005] 本開示は、素子への要求耐圧の低減に寄与する電流センサを提供することを目的とする。

課題を解決するための手段

[0006] 本開示に係る電流センサは、センス抵抗の両端が接続可能に構成された第1及び第2入力端子と、前記第1及び第2入力端子に接続され、前記センス抵抗の両端間電圧に比例する振幅を有する方形波信号を生成可能に構成された方形波生成回路と、前記方形波信号に基づき前記センス抵抗に流れる電流に応じた電流検出信号を出力可能に構成された電流検出信号出力回路と、を備えたものである。

発明の効果

[0007] 本開示によれば、素子への要求耐圧の低減に寄与する電流センサを提供することが可能となる。

図面の簡単な説明

[0008] [図1]図1は、本開示の実施形態に係る電流センサの概略構成図である。

[図2]図2は、図1の電流センサの一部構成図である。

[図3]図3は、図2の構成における、2つのクロック信号及び4つのスイッチの状態などの関係を示すタイミングチャートである。

[図4]図4は、図2の構成における各スイッチの状態を示す図である。

[図5]図5は、本開示の実施形態に係る電流センサの内、方形波信号の生成に関わる部位の回路図である。

[図6]図6は、図5の回路の動作を説明するためのタイミングチャートである。

[図7]図7は、図5の回路の動作を説明するためのタイミングチャートである。

[図8]図8は、図5の回路の動作を説明するためのタイミングチャートである。

発明を実施するための形態

[0009] 以下、本開示の実施形態の例を、図面を参照して具体的に説明する。参照される各図において、同一の部分には同一の符号を付し、同一の部分に関する重複する説明を原則として省略する。尚、本明細書では、記述の簡略化上、情報、信号、物理量、素子又は部位等を参照する記号又は符号を記すことによって、該記号又は符号に対応する情報、信号、物理量、素子又は部位等の名称を省略又は略記することがある。例えば、後述の“13”によって参照される電流検出信号出力回路は（図1参照）、電流検出信号出力回路13と表記されることもあるし、回路13と略記されることもあり得るが、それらは全て同じものを指す。

[0010] まず、本開示の実施形態の記述にて用いられる幾つかの用語について説明

を設ける。ラインとは電気信号が伝播又は印加される配線を指す。グランドとは、基準となる0V（ゼロボルト）の電位を有する基準導電部を指す又は0Vの電位そのものを指す。基準導電部は金属等の導体にて形成される。0Vの電位をグランド電位と称することもある。本開示の実施形態において、特に基準を設けずに示される電圧はグランドから見た電位を表す。

[0011] レベルとは電位のレベルを指し、任意の注目した信号又は電圧についてハイレベルはローレベルよりも高い電位を有する。任意の注目した信号又は電圧について、信号又は電圧がハイレベルにあるとは厳密には信号又は電圧のレベルがハイレベルにあることを意味し、信号又は電圧がローレベルにあるとは厳密には信号又は電圧のレベルがローレベルにあることを意味する。信号についてのレベルは信号レベルと表現されることがあり、電圧についてのレベルは電圧レベルと表現されることがある。任意の注目した信号について、当該信号がハイレベルであるとき、当該信号の反転信号はローレベルをとり、当該信号がローレベルであるとき、当該信号の反転信号はハイレベルをとる。任意の注目した信号又は電圧において、ローレベルからハイレベルへの切り替わりをアップエッジ（或いはライジングエッジ）と称し、ハイレベルからローレベルへの切り替わりをダウンエッジ（或いはフォーリングエッジ）と称する。

[0012] MOSFETを含むFET（電界効果トランジスタ）として構成された任意のトランジスタについて、オン状態とは、当該トランジスタのドレイン及びソース間が導通している状態を指し、オフ状態とは、当該トランジスタのドレイン及びソース間が非導通となっている状態（遮断状態）を指す。FETに分類されないトランジスタについても同様である。MOSFETは、特に記述無き限り、エンハンスメント型のMOSFETであると解される。MOSFETは“metal-oxide-semiconductor field-effect transistor”の略称である。また、特に記述なき限り、任意のMOSFETにおいて、バックゲートはソースに短絡されていると考えて良い。

[0013] 任意のスイッチを1以上のFET（電界効果トランジスタ）にて構成する

ことができ、或るスイッチがオン状態のときには当該スイッチの両端間が導通する一方で或るスイッチがオフ状態のときには当該スイッチの両端間が非導通となる。以下、任意のトランジスタ又はスイッチについて、オン状態、オフ状態を、単に、オン、オフと表現することもある。任意のトランジスタ又はスイッチについて、オフ状態からオン状態への切り替わりをターンオンと表現し、オン状態からオフ状態への切り替わりをターンオフと表現する。

[0014] また、任意のトランジスタ又はスイッチについて、トランジスタ又はスイッチがオン状態となっている区間をオン区間と称することがあり、トランジスタ又はスイッチがオフ状態となっている区間をオフ区間と称することがある。ハイレベル又はローレベルの信号レベルをとる任意の信号について、当該信号のレベルがハイレベルとなる区間をハイレベル区間と称し、当該信号のレベルがローレベルとなる区間をローレベル区間と称する。ハイレベル又はローレベルの電圧レベルをとる任意の電圧についても同様である。

[0015] 任意の回路素子、配線（ライン）、ノードなど、回路を形成する複数の部位間についての接続とは、特に記述なき限り、電気的な接続を指すと解して良い。

[0016] 図1に本開示の実施形態に係る電流センサ10の概略構成図を示す。電流センサ10は、端子TM1～TM5を備えると共に、方形波生成回路11、スイッチ制御回路12、電流検出信号出力回路13、内部電源回路14、端子21及び22、並びに、コンデンサ23及び24を備える。端子TM1～TM5は外部端子に相当し、端子21及び22は内部端子に相当する。

[0017] 電流センサ10は、半導体基板上に形成された半導体集積回路を有する半導体チップと、半導体チップを収容する筐体（パッケージ）と、筐体から電流センサ10の外部に対して露出する複数の外部端子と、を備えた半導体装置（電子部品）である。半導体チップを樹脂にて構成された筐体（パッケージ）内に封入することで半導体装置が形成される。回路11～14並びにコンデンサ23及び24を含む、電流センサ10を構成する各回路及び各回路素子が半導体集積回路に含まれる。図1には、電流センサ10に設けられる

外部端子として端子T M 1 ~ T M 5のみが示されているが、これら以外の外部端子も電流センサ10に設けられ得る。

- [0018] 電流センサ10の外部にセンス抵抗 R_{SNS} が設けられる。センス抵抗 R_{SNS} の一端は端子T M 1に接続され、センス抵抗 R_{SNS} の他端は端子T M 2に接続される。端子T M 2とセンス抵抗 R_{SNS} との接続ノードは正の電圧 V_{CM} が加わる端子に接続され、故に端子T M 2には電圧 V_{CM} が加わる。電圧 V_{CM} を、以下、同相電圧と称することがある。
- [0019] 端子T M 1とセンス抵抗 R_{SNS} との接続ノードは負荷 L_D の一端に接続され、負荷 L_D の他端はグラウンドに接続される。同相電圧 V_{CM} が加わる端子からセンス抵抗 R_{SNS} を通じて負荷 L_D に電流 I_{LD} が流れる。そうすると、センス抵抗 R_{SNS} の両端間に電流 I_{LD} に基づく電圧降下が生じる。センス抵抗 R_{SNS} にて生じる電圧降下をセンス電圧 V_{SNS} と称する。端子T M 1には、同相電圧 V_{CM} よりもセンス電圧 V_{SNS} だけ低い電圧である電圧($V_{CM} - V_{SNS}$)が加わる。尚、以下では、端子T M 1における電圧を記号“ V_{INM} ”にて参照することがあり、端子T M 2における電圧を記号“ V_{INP} ”にて参照することがある。
- [0020] 端子T M 3から後述の電流検出信号 S_{OUT} が出力される。端子T M 4には電源電圧 V_{DD} が供給される。電源電圧 V_{DD} は所定の電圧範囲内の正の直流電圧値を有する。端子T M 5はグラウンドに接続される。
- [0021] 方形波生成回路11は端子T M 1及びT M 2に接続される。方形波生成回路11は、複数のスイッチを備え、電圧 V_{INP} 及び V_{INM} に基づきセンス抵抗 R_{SNS} の両端間電圧(即ちセンス電圧 V_{SNS})に比例する振幅を有する方形波信号を生成する。方形波生成回路11は、上記複数のスイッチを用い、端子21及び22を通じて方形波信号を出力する(詳細は後述)。端子21及び22は方形波生成回路11の出力端子に相当する。端子21、22に加わる電圧を、夫々、記号“ V_{OUTM} ”、“ V_{OUTP} ”にて参照する。
- [0022] スイッチ制御回路12は、方形波生成回路11内の各スイッチの状態(オン/オフ状態)を制御する。
- [0023] 電流検出信号出力回路13は、方形波生成回路11から出力される方形波

信号に基づき、センス抵抗 R_{SNS} に流れる電流 I_{LD} に応じた電流検出信号 S_{OUT} を生成し、電流検出信号 S_{OUT} を端子 $TM3$ から電流センサ 10 の外部回路（不図示）に向けて出力する。外部回路は電流検出信号 S_{OUT} に基づいて電流 I_{LD} の値を認識できる。例えば、電流検出信号 S_{OUT} は電流 I_{LD} に比例する電圧値を有したアナログ信号である。或いは例えば、電流検出信号 S_{OUT} は電流 I_{LD} の値を示すデジタル信号であっても良い。端子 21 及び回路 13 間にコンデンサ 23 が挿入され、端子 22 及び回路 13 間にコンデンサ 24 が挿入される。故に、電圧 V_{OUTM} 及び V_{OUTP} の各交流成分が回路 13 に入力されることになる。

[0024] 内部電源回路 14 は、端子 $TM4$ に供給される電源電圧 VDD に基づき 1 以上の内部電源電圧を生成する。電流センサ 10 内の各回路は内部電源回路 14 にて生成された内部電源電圧を元に駆動できる。図 1 には、内部電源回路 14 にて生成される内部電源電圧の例として内部電源電圧 $Vreg$ が示されている。内部電源電圧 $Vreg$ は所定の正の直流電圧値を有する。

[0025] 図 2 に方形波生成回路 11 の内部構成を示す。方形波生成回路 11 はスイッチ $SW1$ ～ $SW4$ を備える。スイッチ $SW1$ の第 1 端、第 2 端は、夫々、端子 $TM1$ 、端子 21 に接続される。スイッチ $SW2$ の第 1 端、第 2 端は、夫々、端子 $TM2$ 、端子 22 に接続される。スイッチ $SW3$ の第 1 端、第 2 端は、夫々、端子 $TM1$ 、端子 22 に接続される。スイッチ $SW4$ の第 1 端、第 2 端は、夫々、端子 $TM2$ 、端子 21 に接続される。

[0026] スイッチ制御回路 12 はクロック出力回路 30 を備える。クロック出力回路 30 はクロック信号 $CLK1$ 及び $CLK2$ を生成及び出力する。クロック信号 $CLK1$ 及び $CLK2$ は所定の周波数及び所定の振幅を有した矩形波信号である。クロック信号 $CLK1$ 及び $CLK2$ の周波数は互いに同じであると共に、クロック信号 $CLK1$ 及び $CLK2$ の振幅も互いに同じである。但し、クロック信号 $CLK1$ 及び $CLK2$ の位相は互いに 180° 異なる。即ち、クロック信号 $CLK2$ はクロック信号 $CLK1$ の反転信号に相当する（換言すれば、クロック信号 $CLK1$ はクロック信号 $CLK2$ の反転信号に相当する）。クロック信号 $CLK1$ 及び $CLK2$ は方形波生成回路 11 に供給

される。スイッチSW1～SW4の状態（オン／オフ状態）はクロック信号CLK1及びCLK2に基づいて個別に制御される。

[0027] 図3にクロック信号CLK1及びCLK2とスイッチSW1～SW4の状態との関係を示すタイミングチャートを示す。クロック信号CLK1及びCLK2は夫々にハイレベル又はローレベルの信号レベルを交互にとる。但し、クロック信号CLK1がハイレベルであるときクロック信号CLK2はローレベルであり、クロック信号CLK1がローレベルであるときクロック信号CLK2はハイレベルである。尚、クロック信号CLK1及びCLK2のデューティは任意である。クロック信号CLK1及びCLK2の信号レベルに関し、ローレベルは第1レベルの例であり、ハイレベルは第2レベルの例である。

[0028] クロック信号CLK1及びCLK2の夫々において、ハイレベルは電圧Vregの電位を有し、ローレベルは0Vの電位を有するものとする。電圧Vregは例えば4Vである。センス電圧V_{SNS}は電流I_{LD}に応じて刻々と変化するが、図3では、センス電圧V_{SNS}が一定であると仮定している。後述の他の図面及び以下の説明でも、特に必要な限り、センス電圧V_{SNS}が一定であると仮定する。

[0029] クロック信号CLK1のローレベル区間を第1区間と称する。クロック信号CLK1のローレベル区間はクロック信号CLK2のハイレベル区間と一致する。クロック信号CLK1のハイレベル区間を第2区間と称する。クロック信号CLK1のハイレベル区間はクロック信号CLK2のローレベル区間と一致する。電流センサ10に電源電圧VDDが供給開始されて所定の起動処理を経た後は、第1区間と第2区間とが交互に訪れる。

[0030] 図4に、方形波生成回路11がとり得る2つの状態である状態ST1及びST2を示す。第1区間において方形波生成回路11の状態は状態ST1となり、第2区間において方形波生成回路11の状態は状態ST2となる。状態ST1において（従って第1区間において）、スイッチSW1及びSW2はオン状態であって且つスイッチSW3及びSW4はオフ状態である。状態

ST2において（従って第2区間において）、スイッチSW1及びSW2はオフ状態であって且つスイッチSW3及びSW4はオン状態である。即ち、スイッチ制御回路12は、クロック信号CLK1及びCLK2を出力することを通じ、方形波生成回路11の状態（換言すればスイッチSW1～SW4の状態）を状態ST1及びST2間で交互に切り替える。

[0031] 第1状態においては、端子TM1の電圧が端子21に加わり且つ端子TM2の電圧が端子22に加わる。このため、第1状態において、“ $V_{OUTP} = V_{INP} = V_{CM}$ ” 且つ “ $V_{OUTM} = V_{INM} = V_{CM} - V_{SNS}$ ” である。第2状態においては、端子TM1の電圧が端子22に加わり且つ端子TM2の電圧が端子21に加わる。このため、第2状態において、“ $V_{OUTP} = V_{INM} = V_{CM} - V_{SNS}$ ” 且つ “ $V_{OUTM} = V_{INP} = V_{CM}$ ” である。

[0032] 電圧 V_{OUTP} 及び V_{OUTM} は、夫々に、“ $V_{SNS}/2$ ”を振幅として有する矩形波状の脈流電圧となる。但し、電圧 V_{OUTP} 及び V_{OUTM} の位相は互いに 180° 異なる。故に、端子21及び22間に、差電圧（ $V_{OUTP} - V_{OUTM}$ ）に相当する方形波信号が発生する。差電圧（ $V_{OUTP} - V_{OUTM}$ ）としての方角波信号は、“ V_{SNS} ”を振幅として有する矩形波信号である。電流検出信号出力回路13は、差電圧（ $V_{OUTP} - V_{OUTM}$ ）に相当する方形波信号に基づき当該方形波信号からセンス電圧 V_{SNS} の情報を抽出することで電流 I_{LD} に応じた電流検出信号 S_{OUT} を生成できる。尚、電圧 V_{OUTP} 及び V_{OUTM} も方形波信号である。このため、電流検出信号出力回路13は、電圧 V_{OUTP} に相当する方形波信号及び電圧 V_{OUTM} に相当する方形波信号に基づき電流検出信号 S_{OUT} を生成する、と考えるても良い。

[0033] 図5に電流センサ10の一部の詳細回路例を示す。図2のスイッチSW1～SW4は、夫々、図5のトランジスタTR1～TR4により構成される。図2のスイッチ制御回路12は、クロック出力回路30に加えてゲート信号生成回路110～140を備える。クロック出力回路30から出力されるクロック信号CLK1はクロックラインLN1に加わり、クロック出力回路30から出力されるクロック信号CLK2はクロックラインLN2に加わる。クロックラインLN1及びLN2もスイッチ制御回路12の構成要素に含ま

れると解して良い。

[0034] ゲート信号生成回路110~140は夫々トランジスタTR1~TR4のゲート信号を生成する。ゲート信号生成回路110~140は互いに共通の構成を有する。具体的には、ゲート信号生成回路110は、トランジスタTRa、コンデンサ111及び112並びに抵抗113を備える。ゲート信号生成回路120は、トランジスタTRb、コンデンサ121及び122並びに抵抗123を備える。ゲート信号生成回路130は、トランジスタTRc、コンデンサ131及び132並びに抵抗133を備える。ゲート信号生成回路140は、トランジスタTRd、コンデンサ141及び142並びに抵抗143を備える。

[0035] トランジスタTR1~TR4はメイントランジスタとして機能すると考えることができ、この場合、トランジスタTRa~TRdはサブトランジスタとして機能すると考えることができる。トランジスタTR1~TR4及びTRa~TRdはPチャネル型のMOSFETである。トランジスタTR1~TR4及びTRa~TRdの夫々のゲート閾電圧 V_{th} の絶対値（例えば0.6V）は、内部電源電圧 V_{reg} （例えば4V）よりも小さいものとする。故に例えば、トランジスタTR1のゲート電位がトランジスタTR1のソース電位よりも電圧 V_{reg} だけ低いとき、トランジスタTR1はオン状態である。トランジスタTR2~TR4及びTRa~TRdについても同様である。

[0036] 図5に示す各回路素子の接続関係を説明する。

[0037] トランジスタTR1のソースは端子TM1に接続され、トランジスタTR1のドレインは端子21に接続される。トランジスタTRaのソースは端子TM1に接続され、トランジスタTRaのドレインはノードND1に接続される。ノードND1はトランジスタTR1のゲートに接続されると共にコンデンサ111の第1端に接続される。コンデンサ111の第2端はクロックラインLN1に接続される。トランジスタTRaのゲートはノードNDaに接続される。コンデンサ112の第1端はノードNDaに接続され、コンデ

ンサ112の第2端はクロックラインLN2に接続される。また、ノードNDaは抵抗113を介して端子TM1に接続される。

[0038] トランジスタTR2のソースは端子TM2に接続され、トランジスタTR2のドレインは端子22に接続される。トランジスタTRbのソースは端子TM2に接続され、トランジスタTRbのドレインはノードND2に接続される。ノードND2はトランジスタTR2のゲートに接続されると共にコンデンサ121の第1端に接続される。コンデンサ121の第2端はクロックラインLN1に接続される。トランジスタTRbのゲートはノードNDbに接続される。コンデンサ122の第1端はノードNDbに接続され、コンデンサ122の第2端はクロックラインLN2に接続される。また、ノードNDbは抵抗123を介して端子TM2に接続される。

[0039] トランジスタTR3のソースは端子TM1に接続され、トランジスタTR3のドレインは端子22に接続される。トランジスタTRcのソースは端子TM1に接続され、トランジスタTRcのドレインはノードND3に接続される。ノードND3はトランジスタTR3のゲートに接続されると共にコンデンサ131の第1端に接続される。コンデンサ131の第2端はクロックラインLN2に接続される。トランジスタTRcのゲートはノードNDcに接続される。コンデンサ132の第1端はノードNDcに接続され、コンデンサ132の第2端はクロックラインLN1に接続される。また、ノードNDcは抵抗133を介して端子TM1に接続される。

[0040] トランジスタTR4のソースは端子TM2に接続され、トランジスタTR4のドレインは端子21に接続される。トランジスタTRdのソースは端子TM2に接続され、トランジスタTRdのドレインはノードND4に接続される。ノードND4はトランジスタTR4のゲートに接続されると共にコンデンサ141の第1端に接続される。コンデンサ141の第2端はクロックラインLN2に接続される。トランジスタTRdのゲートはノードNDdに接続される。コンデンサ142の第1端はノードNDdに接続され、コンデンサ142の第2端はクロックラインLN1に接続される。また、ノードN

Ddは抵抗143を介して端子TM2に接続される。

- [0041] 図6を参照して、トランジスタTR1及びゲート信号生成回路110の動作を説明する。当該動作をクロック信号CLK1のローレベル区間を起点に説明する。クロック信号CLK1のローレベル区間において、トランジスタTRaはオフであり、トランジスタTR1はオンである。時刻 t_1 にてクロック信号CLK1にアップエッジが生じると共にクロック信号CLK2にダウンエッジが生じる。時刻 t_1 の直前ではノードNDaに電圧 V_{INM} が加わる。
- [0042] 時刻 t_1 におけるクロック信号CLK2のレベル変化がコンデンサ112を通じてノードNDaに伝達される。そうすると、時刻 t_1 においてトランジスタTRaのゲート電位はトランジスタTRaのソース電位よりも電圧 V_{reg} だけ低くなり、結果、トランジスタTRaがターンオンする。
- [0043] 時刻 t_1 におけるトランジスタTRaのターンオンにより、即時にノードND1の電圧が実質的に電圧 V_{INM} へと上昇し、この上昇によりトランジスタTR1のゲート-ソース間電圧の絶対値がゲート閾電圧 V_{th} の絶対値よりも小さくなることでトランジスタTR1がターンオフする。また、時刻 t_1 の後、端子TM1から抵抗113を通じコンデンサ112に充電電流が流れることでノードNDaの電位が上昇してゆき、時刻 t_2 においてトランジスタTRaのゲート-ソース間電圧の絶対値がゲート閾電圧 V_{th} の絶対値よりも小さくなることでトランジスタTRaがターンオフする。時刻 t_1 及び t_2 間の時間差はクロック信号CLK1又はCLK2の1周期の半分よりも短いものとする（そうなるように、コンデンサ112の静電容量値及び抵抗113の抵抗値が設定されている）。
- [0044] 時刻 t_3 は、時刻 t_1 から見て、クロック信号CLK1又はCLK2の1周期の半分が経過した時刻である。時刻 t_1 の後、時刻 t_3 の直前におけるノードND1の電圧は実質的に電圧 V_{INM} と一致する。時刻 t_3 にてクロック信号CLK1にダウンエッジが生じると共にクロック信号CLK2にアップエッジが生じる。時刻 t_3 におけるクロック信号CLK1のレベル変化がコンデンサ111を通じてノードND1に伝達される。そうすると、時刻 t_3 においてラン

ジスタTR1のゲート電位はトランジスタTR1のソース電位よりも電圧 V_{reg} だけ低くなり、結果、トランジスタTR1がターンオンする。以後、クロック信号CLK2にダウンエッジが生じるたびに時刻 t_1 における上述の回路動作が行われ、且つ、クロック信号CLK1にダウンエッジが生じるたびに時刻 t_3 における上述の回路動作が行われる。

[0045] トランジスタTR2及びゲート信号生成回路120の動作は、トランジスタTR1及びゲート信号生成回路110の動作と同様である（図8参照）。トランジスタTR1及びゲート信号生成回路110の動作の説明文における記号“TR1”、“TRa”、“111”、“112”、“113”、“ND1”、“NDa”、“TM1”、“ V_{INM} ”を、トランジスタTR2及びゲート信号生成回路120の動作では、夫々、記号“TR2”、“TRb”、“121”、“122”、“123”、“ND2”、“NDb”、“TM2”、“ V_{INP} ”に読み替えれば良い。トランジスタTR1のオン区間とトランジスタTR2のオン区間は一致する。トランジスタTR1のオン区間では“ $V_{OUTM} = V_{INM}$ ”となり、トランジスタTR2のオン区間では“ $V_{OUTP} = V_{INP}$ ”となる。

[0046] このように、クロック信号CLK2のダウンエッジのタイミング（ t_1 ）においてクロック信号CLK2のレベル変化がコンデンサ112及び122を通じトランジスタTRa及びTRbの各ゲートに伝達されることでトランジスタTRa及びTRbがターンオンし、これによってトランジスタTR1及びTR2がターンオフする。その後、トランジスタTRa及びTRbのターンオフを経て（ t_2 を経て）、クロック信号CLK1のダウンエッジのタイミング（ t_3 ）にてクロック信号CLK1のレベル変化がコンデンサ111及び121を通じトランジスタTR1及びTR2の各ゲートに伝達され、これによってトランジスタTR1及びTR2がターンオンする。

[0047] 図7を参照して、トランジスタTR3及びゲート信号生成回路130の動作を説明する。当該動作をクロック信号CLK2のローレベル区間を起点に説明する。クロック信号CLK2のローレベル区間において、トランジス

タ $T R c$ はオフであり、トランジスタ $T R 3$ はオンである。時刻 t_3 にてクロック信号 $C L K 2$ にアップエッジが生じると共にクロック信号 $C L K 1$ にダウンエッジが生じる。時刻 t_3 の直前ではノード $N D c$ に電圧 V_{INM} が加わる。

[0048] 時刻 t_3 におけるクロック信号 $C L K 1$ のレベル変化がコンデンサ 132 を通じてノード $N D c$ に伝達される。そうすると、時刻 t_3 においてトランジスタ $T R c$ のゲート電位はトランジスタ $T R c$ のソース電位よりも電圧 V_{reg} だけ低くなり、結果、トランジスタ $T R c$ がターンオンする。

[0049] 時刻 t_3 におけるトランジスタ $T R c$ のターンオンにより、即時にノード $N D 3$ の電圧が実質的に電圧 V_{INM} へと上昇し、この上昇によりトランジスタ $T R 3$ のゲート-ソース間電圧の絶対値がゲート閾電圧 V_{th} の絶対値よりも小さくなることでトランジスタ $T R 3$ がターンオフする。また、時刻 t_3 の後、端子 $T M 1$ から抵抗 133 を通じコンデンサ 132 に充電電流が流れることでノード $N D c$ の電位が上昇してゆき、時刻 t_4 においてトランジスタ $T R c$ のゲート-ソース間電圧の絶対値がゲート閾電圧 V_{th} の絶対値よりも小さくなることでトランジスタ $T R c$ がターンオフする。時刻 t_3 及び t_4 間の時間差はクロック信号 $C L K 1$ 又は $C L K 2$ の 1 周期の半分よりも短いものとする（そうなるように、コンデンサ 132 の静電容量値及び抵抗 133 の抵抗値が設定されている）。

[0050] 時刻 t_5 は、時刻 t_3 から見て、クロック信号 $C L K 1$ 又は $C L K 2$ の 1 周期の半分が経過した時刻である。時刻 t_3 の後、時刻 t_5 の直前におけるノード $N D 3$ の電圧は実質的に電圧 V_{INM} と一致する。時刻 t_5 にてクロック信号 $C L K 2$ にダウンエッジが生じると共にクロック信号 $C L K 1$ にアップエッジが生じる。時刻 t_5 におけるクロック信号 $C L K 2$ のレベル変化がコンデンサ 131 を通じてノード $N D 3$ に伝達される。そうすると、時刻 t_5 においてトランジスタ $T R 3$ のゲート電位はトランジスタ $T R 3$ のソース電位よりも電圧 V_{reg} だけ低くなり、結果、トランジスタ $T R 3$ がターンオンする。以後、クロック信号 $C L K 1$ にダウンエッジが生じるたびに時刻 t_3 における上述の回路動作が行われ、且つ、クロック信号 $C L K 2$ にダウンエッジが生じるた

びに時刻 t_5 における上述の回路動作が行われる。

[0051] トランジスタ TR4 及びゲート信号生成回路 140 の動作は、トランジスタ TR3 及びゲート信号生成回路 130 の動作と同様である（図 8 参照）。トランジスタ TR3 及びゲート信号生成回路 130 の動作の説明文における記号 “TR3”、“TRc”、“131”、“132”、“133”、“ND3”、“NDc”、“TM1”、“ V_{INM} ” を、トランジスタ TR4 及びゲート信号生成回路 140 の動作では、夫々、記号 “TR4”、“TRd”、“141”、“142”、“143”、“ND4”、“NDd”、“TM2”、“ V_{INP} ” に読み替えれば良い。トランジスタ TR3 のオン区間とトランジスタ TR4 のオン区間は一致する。トランジスタ TR3 のオン区間では “ $V_{OUTP} = V_{INM}$ ” となり、トランジスタ TR4 のオン区間では “ $V_{OUTM} = V_{INP}$ ” となる。

[0052] このように、クロック信号 CLK1 のダウンエッジのタイミング (t_3) においてクロック信号 CLK1 のレベル変化がコンデンサ 132 及び 142 を通じトランジスタ TRc 及び TRd の各ゲートに伝達されることでトランジスタ TRc 及び TRd がターンオンし、これによってトランジスタ TR3 及び TR4 がターンオフする。その後、トランジスタ TRc 及び TRd のターンオフを経て (t_4 を経て)、クロック信号 CLK2 のダウンエッジのタイミング (t_5) にてクロック信号 CLK2 のレベル変化がコンデンサ 131 及び 141 を通じトランジスタ TR3 及び TR4 の各ゲートに伝達され、これによってトランジスタ TR3 及び TR4 がターンオンする。

[0053] 図 8 には、図 5 の各部の信号及び電圧の波形並びに各トランジスタの状態遷移の様子がまとめて示される。

[0054] ここで電流センサ 10 に関わる具体的な数値例を挙げる。内部電源電圧 V_{reg} は、例えば 4.0 V である。同相電圧 V_{CM} として想定される電圧の最大値が 40.0 V であるとし、実際に同相電圧 V_{CM} が 40.0 V であるときにおいてセンス電圧 V_{SNS} が 0.1 V であるとする、(V_{INP} 、 V_{INM}) = (40.0, 39.9) となる（単位はボルト）。

[0055] このような数値例において、仮に、スイッチSW1～SW4を構成する各トランジスタに内部電源電圧 V_{reg} 又は0Vのゲート信号を供給する構成（以下、仮想構成と称する）を採用したならば、それらのトランジスタのゲートソース間に36V又は40Vの電圧が加わる。つまり、仮想構成では、スイッチSW1～SW4を構成する各トランジスタに高耐圧が要求される。高耐圧の実現はトランジスタの大型化及び電流センサ10のコスト増大を招く。

[0056] これに対し、図5に示す構成によれば、トランジスタTR1～TR4の各ゲートソース間に内部電源電圧 V_{reg} を超える電圧が加わることが無い（トランジスタTRa～TRdについても同様）。このため、低耐圧のトランジスタを採用することが可能となり、トランジスタの小型化及び電流センサ10のコスト低減が見込まれる。

[0057] 尚、端子TM1、TM2、21及び22に接続される半導体基板の耐圧は、同相電圧 V_{cm} 以上とされる。端子21及び22と回路13との間にコンデンサ23及び24が設けられているため、回路13内の各構成素子の耐圧は、同相電圧 V_{cm} に依らず、内部電源電圧 V_{reg} より若干高い程度で足る。

[0058] 上述の実施形態に対する幾つかの変形例、応用技術、補足事項等を説明する。

[0059] 上述の実施形態では、電圧 V_{reg} が電源電圧VDDから生成される電圧であることを想定したが、電圧 V_{reg} は電流センサ10の外部から端子TM4に供給される電源電圧VDDそのものであっても良い。この場合、内部電源回路14を電流センサ10から省略可能である。

[0060] センス抵抗 R_{SNS} が電流センサ10に対して外付け接続される構成を上述したが、センス抵抗 R_{SNS} は電流センサ10に内蔵されていても良い。

[0061] センス抵抗 R_{SNS} が負荷LDよりも高電位側に設けられる構成を上述したが、センス抵抗 R_{SNS} が負荷LDより低電位側に設けられていても構わない。

[0062] 電流センサ10を自動車等の車両に設置し、当該車両における任意の負荷LDに対して電流センサ10を適用して良い。但し、電流センサ10の用途

は車載用途に限定されず、任意である。

[0063] 任意の信号又は電圧に関して、上述の主旨を損なわない形で、それらのハイレベルとローレベルの関係は上述したものの逆とされ得る。

[0064] 各実施形態に示されたFET（電界効果トランジスタ）のチャンネルの種類は例示である。上述の主旨を損なわない形で、任意のFETのチャンネルの種類はPチャンネル型及びNチャンネル型間で変更され得る。

[0065] 本開示の実施形態は、特許請求の範囲に示された技術的思想の範囲内において、適宜、種々の変更が可能である。以上の実施形態は、あくまでも、本開示の実施形態の例であって、本開示ないし各構成要件の用語の意義は、以上の実施形態に記載されたものに制限されるものではない。上述の説明文中に示した具体的な数値は、単なる例示であって、当然の如く、それらを様々な数値に変更することができる。

[0066] <<付記>>

上述の実施形態にて具体的構成例が示された本開示について付記を設ける。

[0067] 本開示の一側面に係る電流センサ（10；図1参照）は、センス抵抗（ R_{SNS} ）の両端が接続可能に構成された第1及び第2入力端子（ $TM1$ 、 $TM2$ ）と、前記第1及び第2入力端子に接続され、前記センス抵抗の両端間電圧に比例する振幅を有する方形波信号を生成可能に構成された方形波生成回路（11）と、前記方形波信号に基づき前記センス抵抗に流れる電流に応じた電流検出信号（ S_{OUT} ）を出力可能に構成された電流検出信号出力回路（13）と、を備えた構成（第1の構成）である。

[0068] 第1及び第2入力端子間の電圧を直接モニタする構成では、各入力端子に加わる電圧以上の耐圧を第1及び第2入力端子の電圧を受ける素子に持たせる必要がある。必要耐圧の増加は素子の大型化及びコスト増大を招く。第1の構成の如く、センス抵抗の両端間電圧に比例する振幅を有する方形波信号を生成し、方形波信号に基づき電流検出信号を出力する方法を用いれば、第1及び第2入力端子の電圧を受ける素子の必要耐圧の低減を図ることが可能

となる。

[0069] 第1の構成に係る電流センサにおいて（図2参照）、前記方形波生成回路は、第1及び第2出力端子（21、22）と、前記第1入力端子と前記第1出力端子との間に設けられた第1スイッチ（SW1）と、前記第2入力端子と前記第2出力端子との間に設けられた第2スイッチ（SW2）と、前記第1入力端子と前記第2出力端子との間に設けられた第3スイッチ（SW3）と、前記第2入力端子と前記第1出力端子との間に設けられた第4スイッチ（SW4）と、を有し、当該電流センサは、前記第1～第4スイッチの状態を制御することで前記第1出力端子及び前記第2出力端子間に前記方形波信号を発生させるよう構成されたスイッチ制御回路（12）を更に備える構成（第2の構成）であっても良い。

[0070] 第2の構成に係る電流センサにおいて（図3及び図4参照）、前記スイッチ制御回路は、前記第1スイッチ及び前記第2スイッチがオン状態且つ前記第3スイッチ及び前記第4スイッチがオフ状態に制御される第1状態（ST1）と、前記第1スイッチ及び前記第2スイッチがオフ状態且つ前記第3スイッチ及び前記第4スイッチがオン状態に制御される第2状態（ST2）とを、交互に切り替えることにより、前記第1出力端子及び前記第2出力端子間に前記方形波信号を発生させるよう構成される構成（第3の構成）であっても良い。

[0071] 第2又は第3の構成に係る電流センサにおいて、前記第1～第4スイッチは、夫々、電界効果トランジスタにより構成された第1～第4メイントランジスタ（TR1～TR4）であり、前記スイッチ制御回路は、前記第1入力端子と前記第1メイントランジスタのゲートとの間に設けられた第1サブトランジスタ（TRa）と、前記第2入力端子と前記第2メイントランジスタのゲートとの間に設けられた第2サブトランジスタ（TRb）と、前記第1入力端子と前記第3メイントランジスタのゲートとの間に設けられた第3サブトランジスタ（TRc）と、前記第2入力端子と前記第4メイントランジスタのゲートとの間に設けられた第4サブトランジスタ（TRd）と、矩形

波信号である第1クロック信号(CLK1)、及び、前記第1クロック信号の反転信号に相当する第2クロック信号(CLK2)を出力するよう構成されたクロック出力回路(30)と、を有し、前記スイッチ制御回路は、前記第1及び第2クロック信号を用い各サブトランジスタを通じて各メイントランジスタのゲート電圧を制御することにより、各メイントランジスタをオン又はオフ状態に制御可能に構成される構成(第4の構成)であっても良い。

[0072] 第4の構成に係る電流センサにおいて、前記スイッチ制御回路は、前記第1サブトランジスタを含んで構成される第1ゲート信号生成回路(110)と、前記第2サブトランジスタを含んで構成される第2ゲート信号生成回路(120)と、前記第3サブトランジスタを含んで構成される第3ゲート信号生成回路(130)と、前記第4サブトランジスタを含んで構成される第4ゲート信号生成回路(140)と、前記第1クロック信号が加わる第1クロックライン(LN1)と、前記第2クロック信号が加わる第2クロックライン(LN2)と、を有し、各ゲート信号生成回路は、第1コンデンサ及び第2コンデンサ並びに抵抗を有し、前記第1ゲート信号生成回路において、前記第1コンデンサ(111)は、前記第1メイントランジスタのゲートと前記第1クロックラインとの間に設けられ、前記第2コンデンサ(112)は、前記第1サブトランジスタのゲートと前記第2クロックラインとの間に設けられ、且つ、前記抵抗(113)は、前記第1サブトランジスタのゲートと前記第1入力端子との間に設けられ、前記第2ゲート信号生成回路において、前記第1コンデンサ(121)は、前記第2メイントランジスタのゲートと前記第1クロックラインとの間に設けられ、前記第2コンデンサ(122)は、前記第2サブトランジスタのゲートと前記第2クロックラインとの間に設けられ、且つ、前記抵抗(123)は、前記第2サブトランジスタのゲートと前記第2入力端子との間に設けられ、前記第3ゲート信号生成回路において、前記第1コンデンサ(131)は、前記第3メイントランジスタのゲートと前記第2クロックラインとの間に設けられ、前記第2コンデンサ(132)は、前記第3サブトランジスタのゲートと前記第1クロックラ

インとの間に設けられ、且つ、前記抵抗（133）は、前記第3サブトランジスタのゲートと前記第1入力端子との間に設けられ、前記第4ゲート信号生成回路において、前記第1コンデンサ（141）は、前記第4メイントランジスタのゲートと前記第2クロックラインとの間に設けられ、前記第2コンデンサ（142）は、前記第4サブトランジスタのゲートと前記第1クロックラインとの間に設けられ、且つ、前記抵抗（143）は、前記第4サブトランジスタのゲートと前記第2入力端子との間に設けられる構成（第5の構成）であっても良い。

[0073] 第5の構成によれば、各トランジスタの電極間に加わる電圧を、第1又は第2入力端子に加わる電圧に依らず、第1及び第2レベル間の電位差以下とすることができる。つまり、第1又は第2入力端子に加わる電圧に対応する耐圧を各トランジスタに持たせる必要がなく、各トランジスタの小型化が可能となる。

[0074] 第5の構成に係る電流センサにおいて、前記第1及び第2クロック信号の各信号レベルが互いに異なる第1及び第2レベル間で変化し、これによって、前記第1クロック信号の信号レベルが前記第1レベルから前記第2レベルに切り替わるとともに前記第2クロック信号の信号レベルが前記第2レベルから前記第1レベルに切り替わる第1タイミング（ t_1 、 t_5 ）と、前記第1クロック信号の信号レベルが前記第2レベルから前記第1レベルに切り替わるとともに前記第2クロック信号の信号レベルが前記第1レベルから前記第2レベルに切り替わる第2タイミング（ t_3 ）と、が交互に訪れ、前記第1タイミングにおいて（図6の t_1 参照）前記第2クロック信号のレベル変化が前記第1及び第2ゲート信号生成回路内の各第2コンデンサを通じ前記第1及び第2サブトランジスタの各ゲートに伝達されることで前記第1及び第2サブトランジスタがターンオンし、これによって前記第1及び第2メイントランジスタがターンオフし、その後、前記第1及び第2サブトランジスタのターンオフを経て（図6の t_2 参照）、前記第2タイミングにて（図6の t_3 参照）前記第1クロック信号のレベル変化が前記第1及び第2ゲート信号生成回路

内の各第1コンデンサを通じ前記第1及び第2メイントランジスタの各ゲートに伝達されることにより前記第1及び第2メイントランジスタがターンオンし、前記第2タイミングにおいて（図7の t_3 参照）前記第1クロック信号のレベル変化が前記第3及び第4ゲート信号生成回路内の各第2コンデンサを通じ前記第3及び第4サブトランジスタの各ゲートに伝達されることで前記第3及び第4サブトランジスタがターンオンし、これによって前記第3及び第4メイントランジスタがターンオフし、その後、前記第3及び第4サブトランジスタのターンオフを経て（図7の t_4 参照）、前記第1タイミングにて（図7の t_5 参照）前記第2クロック信号のレベル変化が前記第3及び第4ゲート信号生成回路内の各第1コンデンサを通じ前記第3及び第4メイントランジスタの各ゲートに伝達されることにより前記第3及び第4メイントランジスタがターンオンする構成（第6の構成）であっても良い。

符号の説明

- [0075] 10 電流センサ
11 方形波生成回路
12 スイッチ制御回路
13 電流検出信号出力回路
14 内部電源回路
21、22 端子（内部端子）
TM1～TM5 端子（外部端子）
 R_{SNS} センス抵抗
SW1～SW4 スイッチ
30 クロック出力回路
TR1～TR4 トランジスタ（メイントランジスタ）
TRa～TRd トランジスタ（サブトランジスタ）
110、120、130、140 ゲート信号生成回路
111、121、131、141 コンデンサ（第1コンデンサ）
112、122、132、142 コンデンサ（第2コンデンサ）

1 1 3、1 2 3、1 3 3、1 4 3 抵抗
L N 1、L N 2 クロックライン

請求の範囲

- [請求項1] センス抵抗の両端が接続可能に構成された第1及び第2入力端子と、
- 、
- 前記第1及び第2入力端子に接続され、前記センス抵抗の両端間電圧に比例する振幅を有する方形波信号を生成可能に構成された方形波生成回路と、
- 前記方形波信号に基づき前記センス抵抗に流れる電流に応じた電流検出信号を出力可能に構成された電流検出信号出力回路と、を備えた、電流センサ。
- [請求項2] 前記方形波生成回路は、
- 第1及び第2出力端子と、
- 前記第1入力端子と前記第1出力端子との間に設けられた第1スイッチと、
- 前記第2入力端子と前記第2出力端子との間に設けられた第2スイッチと、
- 前記第1入力端子と前記第2出力端子との間に設けられた第3スイッチと、
- 前記第2入力端子と前記第1出力端子との間に設けられた第4スイッチと、を有し、
- 当該電流センサは、前記第1～第4スイッチの状態を制御することで前記第1出力端子及び前記第2出力端子間に前記方形波信号を発生させるよう構成されたスイッチ制御回路を更に備える、請求項1に記載の電流センサ。
- [請求項3] 前記スイッチ制御回路は、前記第1スイッチ及び前記第2スイッチがオン状態且つ前記第3スイッチ及び前記第4スイッチがオフ状態に制御される第1状態と、前記第1スイッチ及び前記第2スイッチがオフ状態且つ前記第3スイッチ及び前記第4スイッチがオン状態に制御される第2状態とを、交互に切り替えることにより、前記第1出力端

子及び前記第2出力端子間に前記方形波信号を発生させるよう構成される

、請求項2に記載の電流センサ。

[請求項4]

前記第1～第4スイッチは、夫々、電界効果トランジスタにより構成された第1～第4メイントランジスタであり、

前記スイッチ制御回路は、

前記第1入力端子と前記第1メイントランジスタのゲートとの間に設けられた第1サブトランジスタと、

前記第2入力端子と前記第2メイントランジスタのゲートとの間に設けられた第2サブトランジスタと、

前記第1入力端子と前記第3メイントランジスタのゲートとの間に設けられた第3サブトランジスタと、

前記第2入力端子と前記第4メイントランジスタのゲートとの間に設けられた第4サブトランジスタと、

矩形波信号である第1クロック信号、及び、前記第1クロック信号の反転信号に相当する第2クロック信号を出力するよう構成されたクロック出力回路と、を有し、

前記スイッチ制御回路は、前記第1及び第2クロック信号を用い各サブトランジスタを通じて各メイントランジスタのゲート電圧を制御することにより、各メイントランジスタをオン又はオフ状態に制御可能に構成される

、請求項2又は3に記載の電流センサ。

[請求項5]

前記スイッチ制御回路は、

前記第1サブトランジスタを含んで構成される第1ゲート信号生成回路と、

前記第2サブトランジスタを含んで構成される第2ゲート信号生成回路と、

前記第3サブトランジスタを含んで構成される第3ゲート信号生成

回路と、

前記第4サブトランジスタを含んで構成される第4ゲート信号生成回路と、

前記第1クロック信号が加わる第1クロックラインと、

前記第2クロック信号が加わる第2クロックラインと、を有し、

各ゲート信号生成回路は、第1コンデンサ及び第2コンデンサ並びに抵抗を有し、

前記第1ゲート信号生成回路において、前記第1コンデンサは、前記第1メイントランジスタのゲートと前記第1クロックラインとの間に設けられ、前記第2コンデンサは、前記第1サブトランジスタのゲートと前記第2クロックラインとの間に設けられ、且つ、前記抵抗は、前記第1サブトランジスタのゲートと前記第1入力端子との間に設けられ、

前記第2ゲート信号生成回路において、前記第1コンデンサは、前記第2メイントランジスタのゲートと前記第1クロックラインとの間に設けられ、前記第2コンデンサは、前記第2サブトランジスタのゲートと前記第2クロックラインとの間に設けられ、且つ、前記抵抗は、前記第2サブトランジスタのゲートと前記第2入力端子との間に設けられ、

前記第3ゲート信号生成回路において、前記第1コンデンサは、前記第3メイントランジスタのゲートと前記第2クロックラインとの間に設けられ、前記第2コンデンサは、前記第3サブトランジスタのゲートと前記第1クロックラインとの間に設けられ、且つ、前記抵抗は、前記第3サブトランジスタのゲートと前記第1入力端子との間に設けられ、

前記第4ゲート信号生成回路において、前記第1コンデンサは、前記第4メイントランジスタのゲートと前記第2クロックラインとの間に設けられ、前記第2コンデンサは、前記第4サブトランジスタのゲ

ートと前記第1クロックラインとの間に設けられ、且つ、前記抵抗は、前記第4サブトランジスタのゲートと前記第2入力端子との間に設けられる

、請求項4に記載の電流センサ。

[請求項6]

前記第1及び第2クロック信号の各信号レベルが互いに異なる第1及び第2レベル間で変化し、これによって、前記第1クロック信号の信号レベルが前記第1レベルから前記第2レベルに切り替わるとともに前記第2クロック信号の信号レベルが前記第2レベルから前記第1レベルに切り替わる第1タイミングと、前記第1クロック信号の信号レベルが前記第2レベルから前記第1レベルに切り替わるとともに前記第2クロック信号の信号レベルが前記第1レベルから前記第2レベルに切り替わる第2タイミングと、が交互に訪れ、

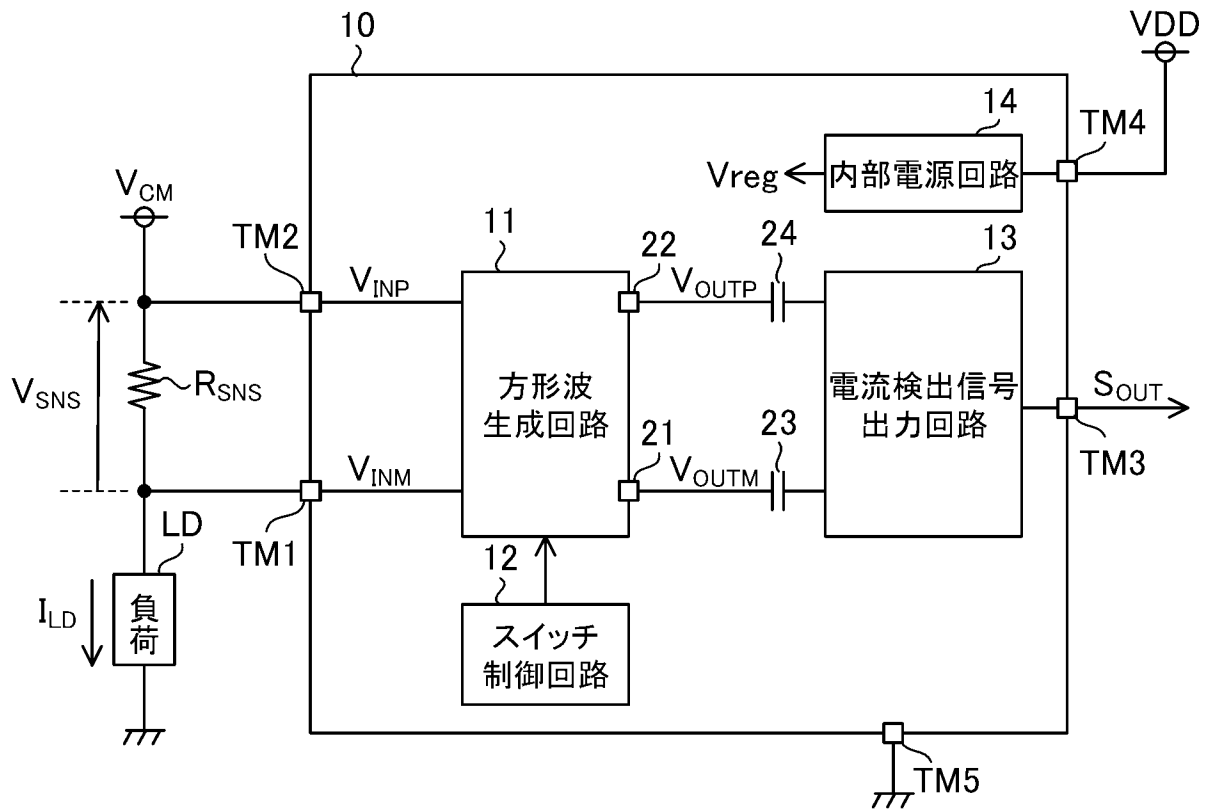
前記第1タイミングにおいて前記第2クロック信号のレベル変化が前記第1及び第2ゲート信号生成回路内の各第2コンデンサを通じ前記第1及び第2サブトランジスタの各ゲートに伝達されることで前記第1及び第2サブトランジスタがターンオンし、これによって前記第1及び第2メイントランジスタがターンオフし、その後、前記第1及び第2サブトランジスタのターンオフを経て、前記第2タイミングにて前記第1クロック信号のレベル変化が前記第1及び第2ゲート信号生成回路内の各第1コンデンサを通じ前記第1及び第2メイントランジスタの各ゲートに伝達されることにより前記第1及び第2メイントランジスタがターンオンし、

前記第2タイミングにおいて前記第1クロック信号のレベル変化が前記第3及び第4ゲート信号生成回路内の各第2コンデンサを通じ前記第3及び第4サブトランジスタの各ゲートに伝達されることで前記第3及び第4サブトランジスタがターンオンし、これによって前記第3及び第4メイントランジスタがターンオフし、その後、前記第3及び第4サブトランジスタのターンオフを経て、前記第1タイミングに

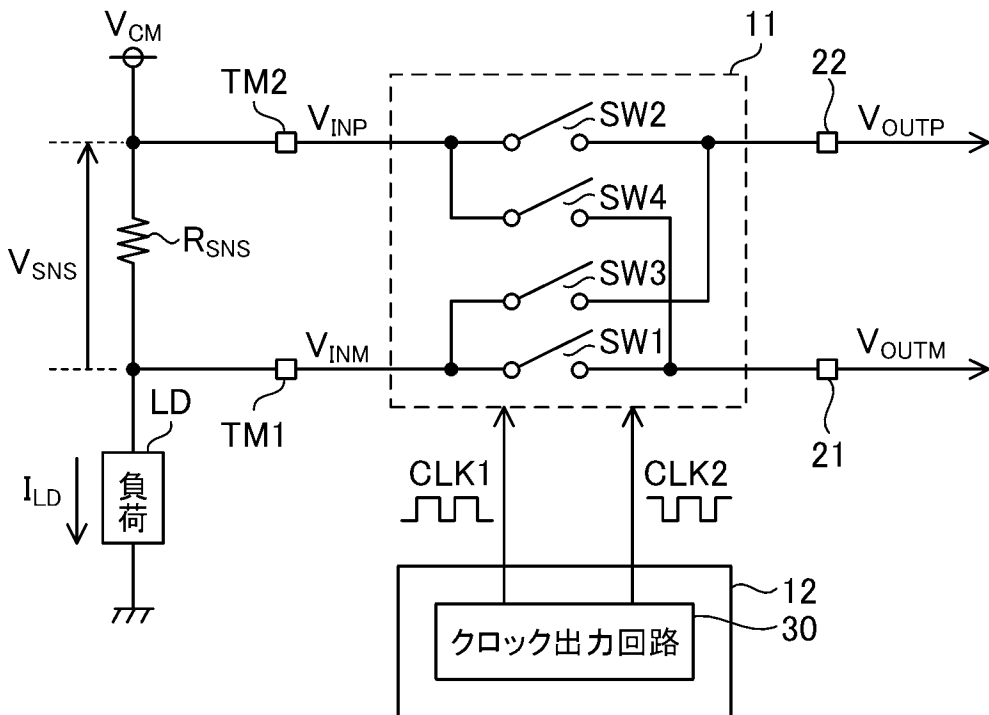
て前記第2クロック信号のレベル変化が前記第3及び第4ゲート信号生成回路内の各第1コンデンサを通じ前記第3及び第4メインランジスタの各ゲートに伝達されることにより前記第3及び第4メインランジスタがターンオンする

、請求項5に記載の電流センサ。

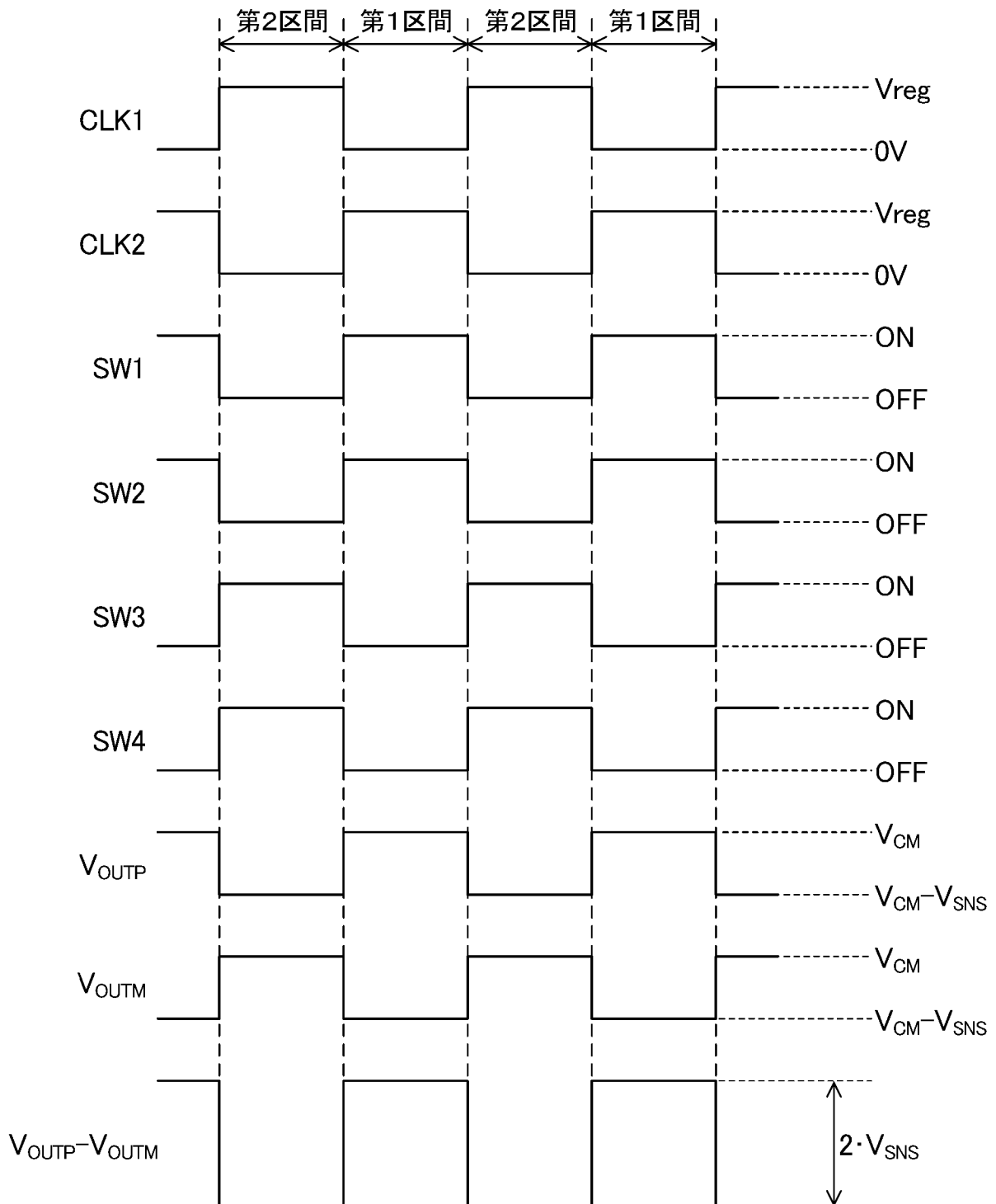
[図1]



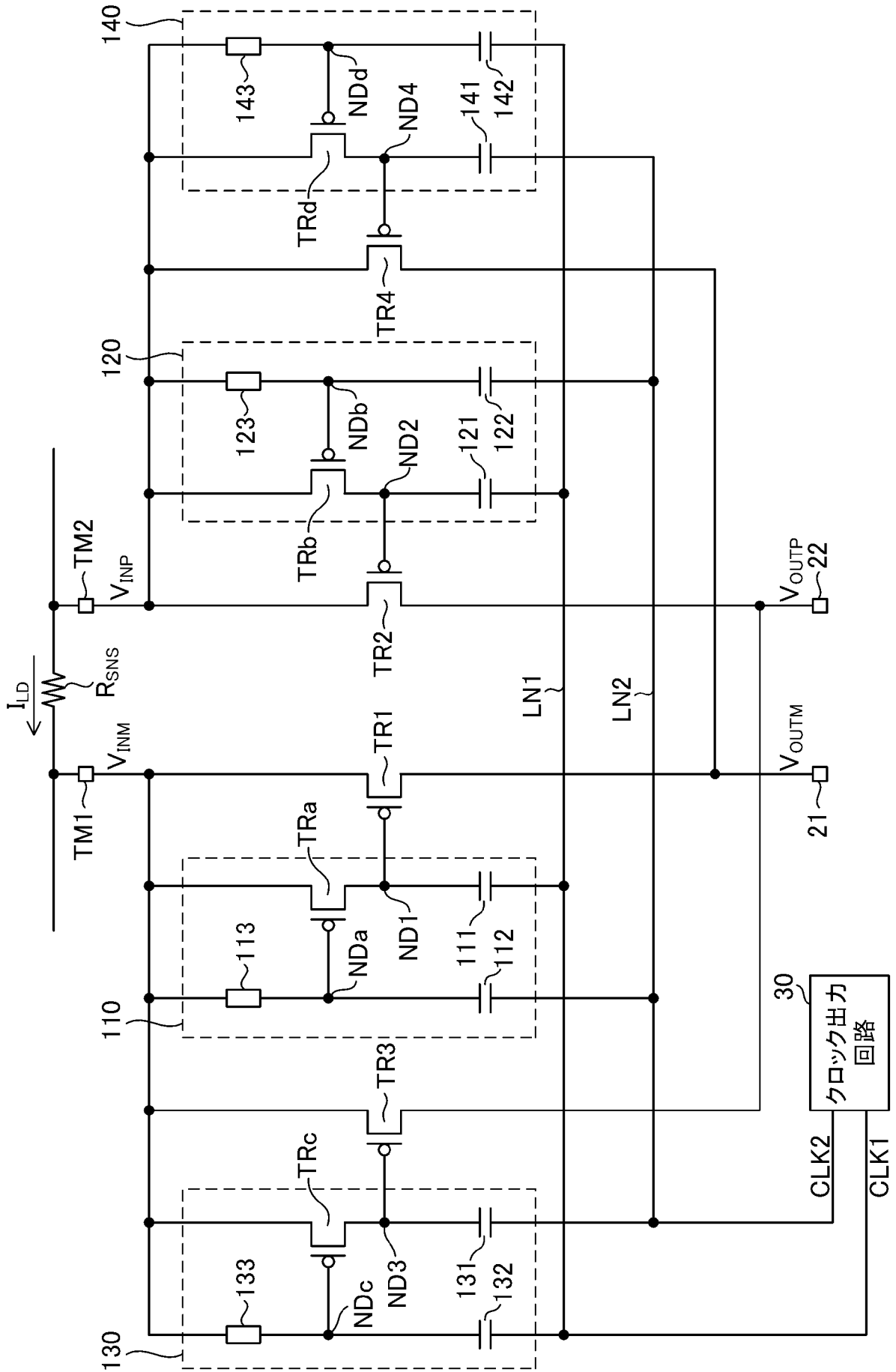
[図2]



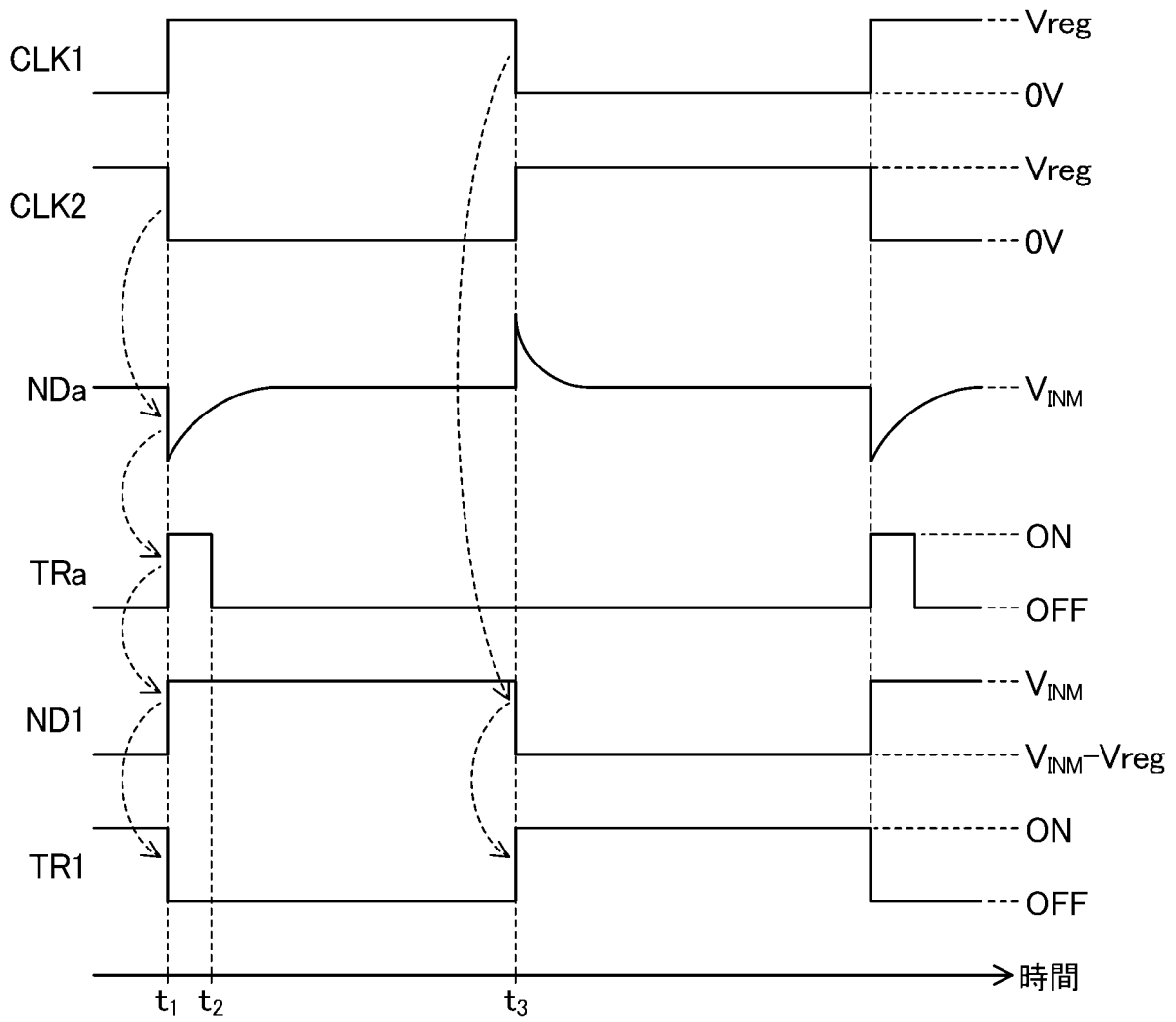
[図3]



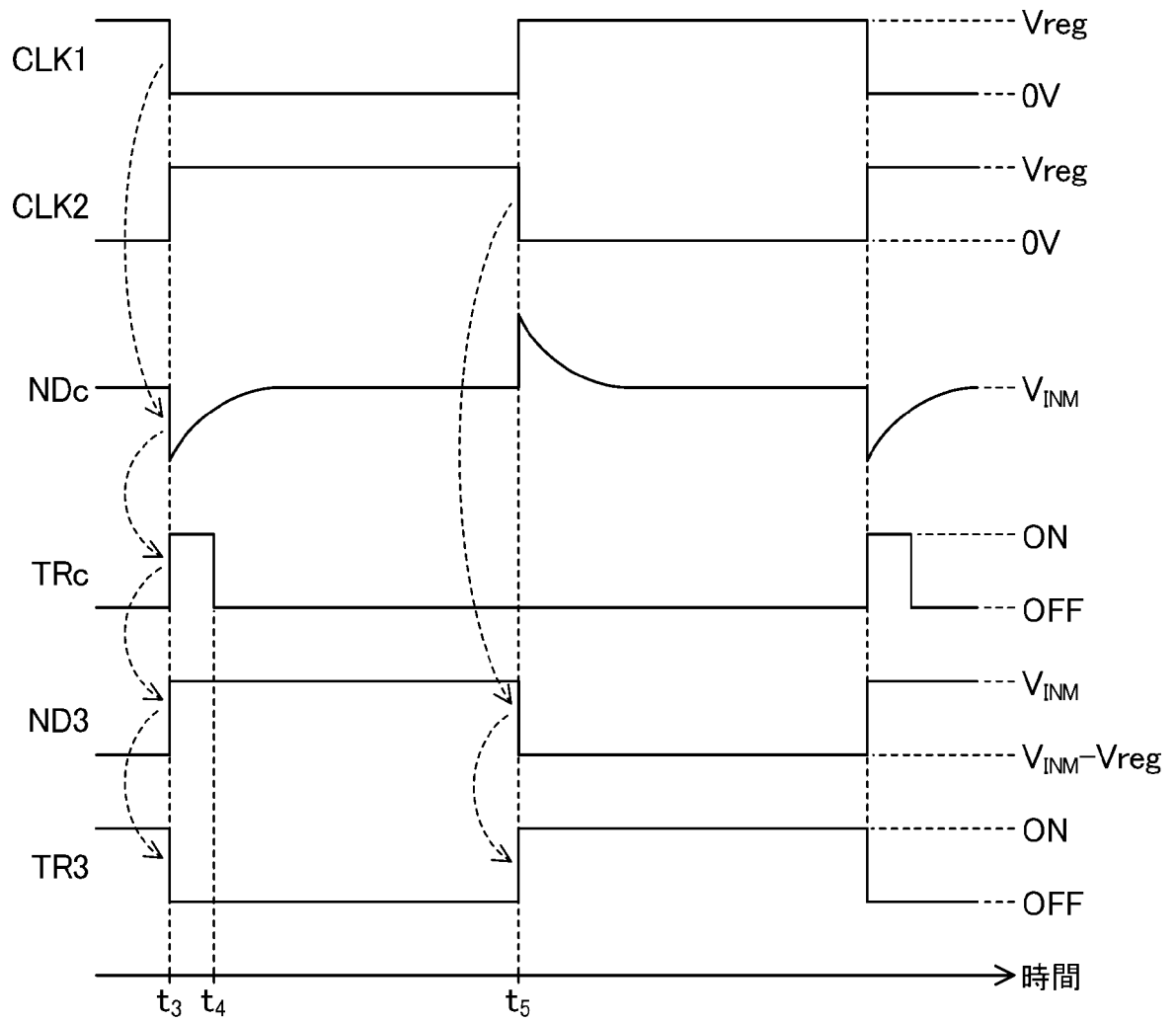
[図5]



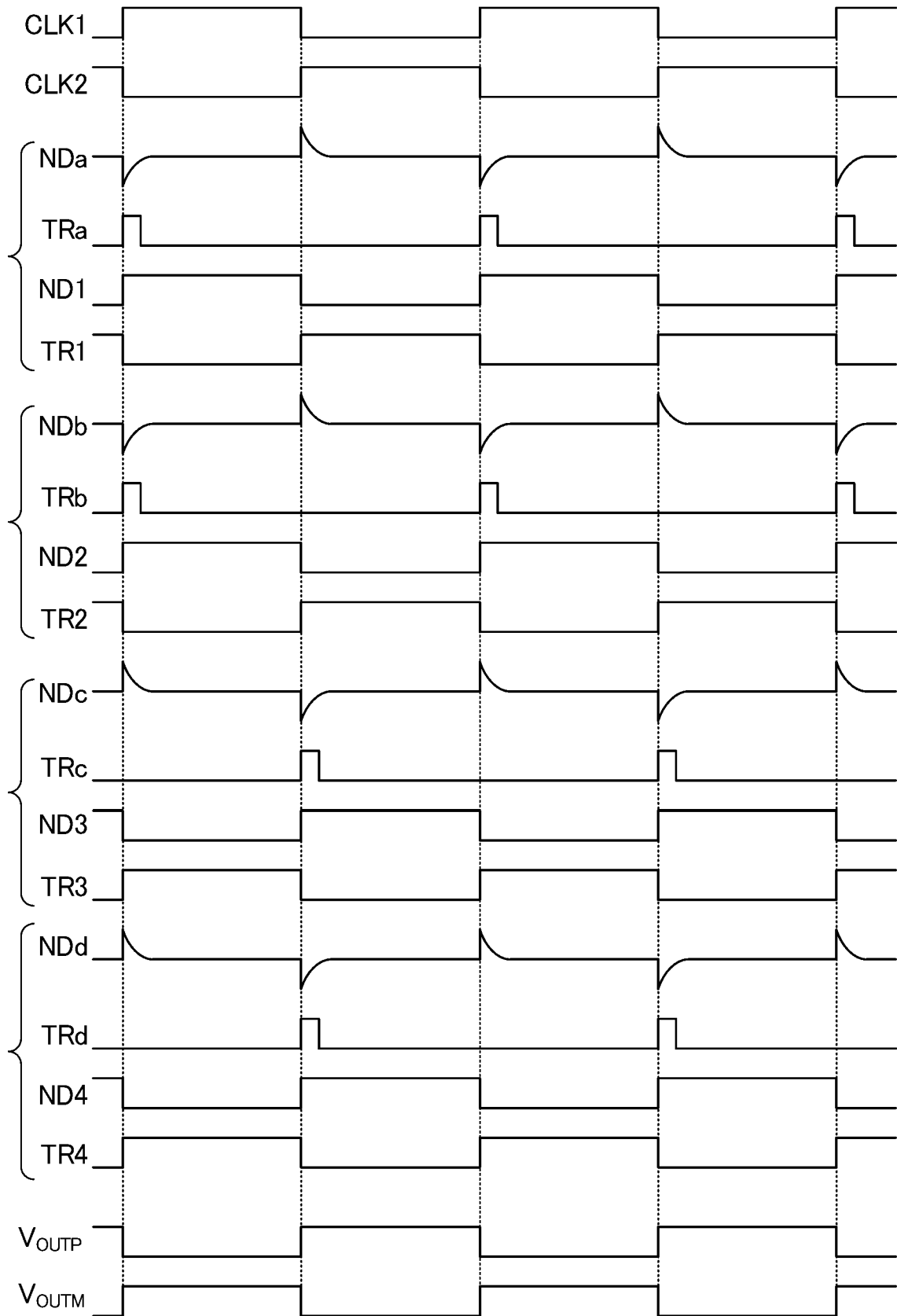
[図6]



[図7]



[図8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/017357

A. CLASSIFICATION OF SUBJECT MATTER		
<i>G01R 15/00</i> (2006.01)i; <i>H03K 17/00</i> (2006.01)i; <i>H03K 17/08</i> (2006.01)i; <i>H03K 17/0814</i> (2006.01)i; <i>H03K 17/693</i> (2006.01)i; <i>H03K 19/0175</i> (2006.01)i; <i>G01R 19/00</i> (2006.01)i		
FI: G01R15/00 500; H03K19/0175 280; H03K17/00 B; H03K17/00 E; H03K17/693 A; G01R19/00 B; H03K17/08 C; H03K17/0814		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) G01R15/00; H03K17/00; H03K17/08; H03K17/0814; H03K17/693; H03K19/0175; G01R19/00		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2022 Registered utility model specifications of Japan 1996-2022 Published registered utility model applications of Japan 1994-2022		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2004-309386 A (TOYOTA MOTOR CORP) 04 November 2004 (2004-11-04) paragraphs [0017]-[0070], fig. 1-4	1
A		2-6
X	JP 2002-311065 A (SEIKO INSTRUMENTS INC) 23 October 2002 (2002-10-23) paragraphs [0001]-[0009], fig. 1-3	1
A		2-6
X	JP 2000-231940 A (MARUNITTO KK) 22 August 2000 (2000-08-22) paragraphs [0007]-[0015], fig. 2-3	1
A		2-6
A	WO 2009/122520 A1 (MITSUBISHI ELECTRIC CORPORATION) 08 October 2009 (2009-10-08)	1-6
A	WO 2021/085475 A1 (JAPAN SCIENCE & TECH AGENCY) 06 May 2021 (2021-05-06)	1-6
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 13 June 2022		Date of mailing of the international search report 21 June 2022
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/017357

C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 206411180 U (SENDYNE CORPORATION) 15 August 2017 (2017-08-15)	1-6

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No. PCT/JP2022/017357

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 2004-309386 A	04 November 2004	(Family: none)	
JP 2002-311065 A	23 October 2002	(Family: none)	
JP 2000-231940 A	22 August 2000	(Family: none)	
WO 2009/122520 A1	08 October 2009	US 2010/0295489 A1 KR 10-2010-0090725 A CN 101983477 A	
WO 2021/085475 A1	06 May 2021	(Family: none)	
CN 206411180 U	15 August 2017	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） G01R 15/00(2006.01)i; H03K 17/00(2006.01)i; H03K 17/08(2006.01)i; H03K 17/0814(2006.01)i; H03K 17/693(2006.01)i; H03K 19/0175(2006.01)i; G01R 19/00(2006.01)i FI: G01R15/00 500; H03K19/0175 280; H03K17/00 B; H03K17/00 E; H03K17/693 A; G01R19/00 B; H03K17/08 C; H03K17/0814		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） G01R15/00; H03K17/00; H03K17/08; H03K17/0814; H03K17/693; H03K19/0175; G01R19/00 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2022年 日本国実用新案登録公報 1996-2022年 日本国登録実用新案公報 1994-2022年 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	JP 2004-309386 A（トヨタ自動車株式会社）04.11.2004（2004-11-04） 第0017-0070段落, 第1-4図	1 2-6
X A	JP 2002-311065 A（セイコーインスツルメンツ株式会社）23.10.2002（2002-10-23） 第0001-0009段落, 第1-3図	1 2-6
X A	JP 2000-231940 A（株式会社マルニット）22.08.2000（2000-08-22） 第0007-0015段落, 第2-3図	1 2-6
A	WO 2009/122520 A1（三菱電機株式会社）08.10.2009（2009-10-08）	1-6
A	WO 2021/085475 A1（国立研究開発法人科学技術振興機構）06.05.2021（2021-05-06）	1-6
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日	国際調査報告の発送日	
13.06.2022	21.06.2022	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 青木 洋平 2S 3104 電話番号 03-3581-1101 内線 3216	

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	CN 206411180 U (SENDYNE CORPORATION) 15.08.2017 (2017 - 08 - 15)	1-6

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2022/017357

引用文献	公表日	パテントファミリー文献	公表日
JP 2004-309386 A	04.11.2004	(ファミリーなし)	
JP 2002-311065 A	23.10.2002	(ファミリーなし)	
JP 2000-231940 A	22.08.2000	(ファミリーなし)	
WO 2009/122520 A1	08.10.2009	US 2010/0295489 A1 KR 10-2010-0090725 A CN 101983477 A	
WO 2021/085475 A1	06.05.2021	(ファミリーなし)	
CN 206411180 U	15.08.2017	(ファミリーなし)	