

전체 청구항 수 : 총 5 항

(54) 적층형 캐패시터 어레이의 배선접속구조

(57) 요약

본 발명은 적층형 캐패시터 어레이의 배선접속구조에 관한 것으로서, 적어도 2개의 전원공급라인과 접지라인이 구비된 모기관; 및, 상기 모기관에 실장되며, 마이크로 프로세싱 유닛(MPU)칩이 구비된 배선기관과 상기 배선기관 하부에 장착된 적층형 캐패시터 어레이를 포함하는 적층형 캐패시터 어레이 패키지를 포함하며, 상기 전원공급라인 및 접지라인 중 적어도 하나가 적층형 캐패시터 어레이의 도전성 비아홀을 통해 MPU칩의 단자에 연결되는 적층형 캐패시터 어레이의 배선접속구조를 제공한다.

대표도

도 4

특허청구의 범위

청구항 1.

적어도 2개의 전원공급라인과 접지라인이 구비된 모기관; 및,

상기 모기관에 실장되며, 마이크로 프로세싱 유닛(MPU)칩이 구비된 배선기관과 상기 배선기관 하부에 장착된 적층형 캐패시터 어레이를 포함하는 적층형 캐패시터 어레이 패키지를 포함하며,

상기 적층형 캐패시터 어레이는,

복수개의 유전체층이 적층되어 형성된 캐패시터 본체와, 상기 복수의 유전체층 상에 각각 형성되며, 일 유전체층을 사이에 두고 대향하도록 교대로 배치된 복수쌍의 제1 및 제2 내부전극과, 상기 캐패시터 본체의 상면 및 하면 중 적어도 한면에 형성된 복수의 제1 및 제2 외부단자와, 상기 캐패시터 본체의 적층방향으로 형성되어 상기 제1 및 제2 외부단자에 각각 연결된 복수의 제1 및 제2 도전성 비아홀을 포함하며, 상기 복수개의 제1 도전성 비아홀은 상기 제1 내부전극에 접속되고, 상기 제2 내부전극과는 전기적으로 절연되며, 상기 복수개의 제2 도전성 비아홀은 적어도 하나의 제2 도전성 비아홀을 포함한 적어도 2개의 그룹으로 구분되고, 상기 복수개의 제2 내부전극은 적어도 하나의 제2 내부전극을 포함한 적어도 2개의 그룹으로 구분되며, 상기 각 그룹의 제2 도전성 비아홀은 상기 각 그룹의 제2 내부전극에 접속되고 다른 그룹의 제2 내부전극 및 상기 제1 내부전극과는 전기적으로 절연되고,

상기 접지라인은 상기 제1 외부단자에 연결되며, 상기 적어도 2개의 전원라인은 각각 상기 적어도 2개의 그룹의 제2 도전성 비아홀에 연결된 제2 외부단자에 연결되고,

상기 적어도 2개의 전원라인 및 접지라인 중 적어도 하나는 상기 적층형 캐패시터의 관련 제1 또는 제2 도전성 비아홀을 통해서 상기 MPU칩에 연결된 것을 특징으로 하는 적층형 캐패시터 어레이의 배선접속구조.

청구항 2.

제1항에 있어서,

상기 적어도 2개의 전원라인 및 접지라인 중 적어도 하나와 상기 MPU칩을 연결하는 제1 또는 제2 도전성 비아홀에 관련된 제1 및 제2 외부단자는 상기 캐패시터본체의 상하면에 모두 형성된 것을 특징으로 하는 적층형 캐패시터 어레이의 배선접속구조.

청구항 3.

제1항에 있어서,

상기 인쇄회로기판의 적어도 2개의 전원라인은 각각 적어도 2개의 그룹의 제2 도전성 비아홀을 통해서 상기 MPU칩에 연결된 것을 특징으로 하는 적층형 캐패시터 어레이의 배선접속구조.

청구항 4.

제3항에 있어서,

상기 인쇄회로기판의 접지라인은 상기 제1 도전성 비아홀을 통해서 상기 MPU칩에 연결된 것을 특징으로 하는 적층형 캐패시터 어레이의 배선접속구조.

청구항 5.

제1항에 있어서,

상기 적층형 캐패시터 어레이의 제1 및 제2 외부단자의 배열과 간격은 상기 MPU칩의 단자의 배열과 간격과 실질적으로 동일한 것을 특징으로 하는 적층형 캐패시터 어레이의 배선접속구조.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 적층형 캐패시터 어레이의 배선구조에 관한 것으로서, 보다 상세하게 복수개의 캐패시터부를 포함하고 각각의 캐패시터부의 외부단자를 캐패시터 상하면에 형성한 적층형 캐패시터 어레이에 채용가능한 배선접속구조에 관한 것이다.

일반적으로, 적층형 캐패시터(Multi-Layered Chip Capacitor)는 복수개의 유전체층 사이에 내부전극이 삽입된 구조를 갖는다. 이러한 MLCC는 소형이면서도 고용량이 보장되고 실장이 용이하다는 장점으로 인하여 다양한 전자장치의 부품으로서 널리 사용된다.

최근에는 부품을 소형화하는 동시에 용이한 실장공정을 위해서, 동일하거나 상이한 정전용량을 갖는 2개이상의 캐패시터를 하나의 칩으로 구현한 적층형 캐패시터 어레이가 요구되고 있다.

도1a 및 도1b는 각각 종래의 일예에 따른 적층형 캐패시터 어레이를 나타내는 분해사시도 및 개략사시도이다.

도1a의 분해사시도를 참조하면, 복수의 유전체층(11a,11b) 각각에 2개의 제1 내부전극(12a,12b)과 2개의 제2 내부전극(13a,13b)이 형성된다. 상기 제1 및 제2 내부전극(12a,12b,13a,13b)은 일면으로부터 인출된 리드(14a,14b,15a,15b)를 갖는다. 도1a에 도시된 제1 및 제2 내부전극(12a,12b,13a,13b)이 형성된 유전체층(11a,11b)은 적층되어 도1b와 같이 캐패시터본체(11)를 형성한다. 또한, 도1b와 같이, 각 리드(14a,14b,15a,15b)에 연결된 외부단자(16a,16b,17a,17b)를 형성하여 적층형 캐패시터(10)로 완성된다.

이와 같은 구조에서, 일측의 제1 및 제2 내부전극(12a,13a)과 다른 측의 제1 및 제2 내부전극(12b,13b)은 독립적인 캐패시터로 작용한다. 도1a 및 도1b에 설명된 종래의 적층형 캐패시터 어레이(10)는 다른 캐패시터를 수평적 배열로 구성함으로써, 3개 또는 그 이상의 캐패시터를 구성할 때에 소형화가 어렵다는 단점이 있다.

또한, 종래의 적층형 캐패시터 어레이(10)는 등가직렬인덕턴스(ESL)가 비교적 크므로, 특히 LSI 등의 전원회로에서 반도체 칩과 전원 사이에 접속된 디커플링 캐패시터로서는 적절치 않다는 문제가 있다.

일반적인 등가직렬인덕턴스를 저감시키는 방안으로서, 미국특허 5,880,925에는 리드를 복수개로 인출하여 다른 극성의 리드가 교차하도록 배열하는구조가 제안되고 있으나, 수평적으로 복수개의 내부전극을 배열하는 종래의 적층형 캐패시터 어레이에 채용되기에는 적합하지 않다. 즉, 도1a에도시된 적층형 캐패시터 어레이에서 일 내부전극의 한변에서 리드를 2배로 증가시키는 경우에, 캐패시터의 갯수에 따라 그 곱으로 리드 수가 증가하므로, 제한된 공간에서 충분한 ESL 저감을 위해 리드를 증가시키는 것은 어렵다는 구조적인 문제가 있다.

따라서, 종래의 적층형 캐패시터 어레이는 구조적인 한계로 인해 소형화가 어려울 뿐만 아니라, ESL를 감소시키기 위한 리드구조를 변경하는데 한계가 있다는 단점이 있으며, 이를 개선하기 위해서, 대한민국 특허출원 2004-89314호(출원인: 삼성전기주식회사, 출원일자: 2004. 11. 4)에서 내부전극과 연결된 도전성 비아홀을 형성하고, 캐패시터 상면 또는 하면에 도전성 비아홀과 연결된 외부단자를 형성한 구조를 갖는 새로운 적층형 칩 캐패시터 어레이를 제안하였다.

하지만, 이러한 ESL저감을 위한 구조적인 변경에 따라, 적층형 캐패시터 어레이에 적합한 배선접속구조가 요구된다. 즉, 상기한 문헌에 개시된 적층형 캐패시터 어레이를 실용하기 위해서는, 그 어레이구조와 MPU칩을 갖는 배선기판 패키지의 내부접속구조와 함께, 상기 배선기판 패키지와 PC보드와 같은 모기판의 접속구조가 적절히 변경될 것이 요구된다.

발명이 이루고자 하는 기술적 과제

본 발명은 상술한 종래기술의 문제점을 해결하기 위한 것으로서, 그 목적은 적층방향으로 형성된 도전성 비아홀과 캐패시터 본체의 상면 또는 하면에 마련된 외부단자를 포함한 저ESL특성을 갖는 적층형 캐패시터 어레이에 적합한 배선접속구조를 제공하는데 있다.

발명의 구성

상기한 기술적 과제를 달성하기 위해서, 본 발명은

적어도 2개의 전원공급라인과 접지라인이 구비된 모기판; 및, 상기 모기판에 실장되며, 마이크로 프로세싱 유닛(MPU)칩이 구비된 배선기판과 상기 배선기판 하부에 장착된 적층형 캐패시터 어레이를 포함하는 적층형 캐패시터 어레이 패키지를 포함하며, 상기 적층형 캐패시터 어레이는, 복수개의 유전체층이 적층되어 형성된 캐패시터 본체와, 상기 복수의 유전체층 상에 각각 형성되며, 일 유전체층을 사이에 두고 대향하도록 교대로 배치된 복수쌍의 제1 및 제2 내부전극과, 상기 캐패시터 본체의 상면 및 하면 중 적어도 한면에 형성된 복수의 제1 및 제2 외부단자와, 상기 캐패시터 본체의 적층방향으로 형성되어 상기 제1 및 상기 제2 외부단자에 각각 연결된 복수의 제1 및 제2 도전성 비아홀을 포함하며, 상기 복수개의 제1 도전성 비아홀은 상기 제1 내부전극에 접속되고, 상기 제2 내부전극과는 전기적으로 절연되며, 상기 복수개의 제2 도전성 비아홀은 적어도 하나의 제2 도전성 비아홀을 포함한 적어도 2개의 그룹으로 구분되고, 상기 복수개의 제2 내부전극은 적어도 하나의 제2 내부전극을 포함한 적어도 2개의 그룹으로 구분되며, 상기 각 그룹의 제2 도전성 비아홀은 상기 각 그룹의 제2 내부전극에 접속되고 다른 그룹의 제2 내부전극 및 상기 제1 내부전극과는 전기적으로 절연되고, 상기 접지라인은 상기 제1 외부단자라인에 연결되며, 상기 적어도 2개의 전원라인은 각각 상기 적어도 2개의 그룹의 제2 도전성 비아홀에 연결된 제2 외부단자에 연결되고, 상기 접지라인과 적어도 2개의 전원라인 중 적어도 하나는 상기 적층형 캐패시터의 제1 또는 제2 도전성 비아홀을 통해서 상기 MPU칩에 연결된 것을 특징으로 하는 적층형 캐패시터 어레이의 배선접속구조를 제공한다.

바람직하게는, 상기 접지라인과 적어도 2개의 전원라인 중 적어도 하나와 상기 MPU칩을 연결하는 제1 또는 제2 도전성 비아홀에 접속된 제1 및 제2 외부단자는 상기 캐패시터본체의 상하면에 모두 형성될 수 있다.

상기 인쇄회로기판의 적어도 2개의 전원라인은 각각 적어도 2개의 그룹의 제2 도전성 비아홀을 통해서 상기 MPU칩에 연결될 수 있으며, 추가적으로 상기 인쇄회로기판의 접지라인은 상기 제1 도전성 비아홀을 통해서 상기 MPU칩에 연결될 수 있다.

또한, 상기 적층형 캐패시터 어레이의 제1 및 제2 외부단자는 적어도 상기 캐패시터 상면에 형성되고, 그 배열과 간격은 상기 MPU칩의 단자배열과 간격과 실질적으로 동일하게 형성되어, 상기 배선기판의 내부패턴구조를 단순화시킬 수 있다.

이하, 첨부된 도면을 참조하여 본 발명을 보다 상세하게 설명한다.

도2a 및 도2b는 본 발명의 실시형태에 따른 적층형 캐패시터 어레이의 개략사시도 및 측단면도이다. 본 실시형태는 동일한 정전용량을 갖는 2개의 캐패시터를 포함한 적층형 캐패시터 어레이를 예시한다.

도2a를 참조하면, 본 실시형태에 따른 적층형 캐패시터 어레이(20)는 캐패시터본체(21)를 포함하며, 그 상면에 제1 외부단자(27)와 두 그룹의 제2 외부단자(26a,26b)를 형성된다. 상기 제1 외부단자(27)는 (-)극성에 연결되어 2개의 캐패시터에 의해 공유되며, 일 그룹의 제2 외부단자(26a)는 일 캐패시터의 (+)극 단자로 제공되며, 다른 그룹의 제2 외부단자(26b)는 다른 캐패시터의 (+)극 단자로 제공될 수 있다. 도2a에서는 캐패시터 본체의 상면에 한하여 도시되어 있으나, 그 하면에도 상면에 대응하는 외부단자(26a,26b,27)가 형성될 수 있다(도2b 참조).

본 실시형태에서, 상기 제1 및 제2 외부단자(27,26a,26b)와 제1 및 제2 내부전극(23a,23b,22a,22b)의 연결은 도2b와 같이 수직방향으로 형성된 도전성 비아홀(25,24a,24b)에 의해 구현된다. 도2b는 도2a의 적층형 캐패시터 어레이(20)를 A-A'를 따라 절개한 단면도로 이해할 수 있을 것이다.

도2b에 도시된 바와 같이, 상기 적층형 캐패시터 어레이(20)의 본체(21)는 복수개의 유전체층(21a-21e)을 적층하여 이루어지며, 상기 유전체층(21a-21e)에는 제1 및 제2 내부전극(23a,23b,22a,22b)이 하나의 유전체층을 사이에 두고 서로 대향하도록 교대로 배치된다.

또한, 상기 제1 도전성 비아홀(25)은 상기 2개의 제1 내부전극(23a,23b)에 접속되어 상기 제1 외부단자(27)와 상기 제1 내부전극(23a,23b)을 전기적으로 연결시킨다. 하지만, 상기 제1 도전성 비아홀(25)은 2개의 제2 내부전극(22a,22b)과는 오픈영역을 통해 전기적으로 절연된다.

하나의 제2 도전성 비아홀(24a)은 C로 표시된 바와 같이 하나의 제2 내부전극(22a)에 접속되어 상기 제2 내부전극(22a)을 상기 제2 외부단자(26a)와 전기적으로 연결시키며, 상기 제1 내부전극(23a,23b)과 다른 제2 내부전극(22b)과는 O로 표시된 바와 같이 오픈영역을 통해 전기적으로 절연된다. 이와 유사하게, 다른 하나의 제2 도전성 비아홀(24b)은 다른 하나의 제2 내부전극(22b)에 접속되어 그 제2 내부전극(22b)을 상기 제2 외부단자(26b)와 전기적으로 연결시키며, 상기 제1 내부전극(23a,23b)과 다른 제2 내부전극(22a)과는 오픈영역을 통해 전기적으로 절연된다.

도2b에서는 A-A'방향에 따른 가장 앞열의 외부단자에 연결된 도전성 비아홀과 그를 통한 내부전극과의 연결구조를 설명하였으나, 이와 유사하게, 다른 열의 외부단자도 도전성 비아홀을 이용한 내부전극과의 연결구조를 갖는다.

즉, 상기 제1 외부단자(27)에는 도2b에 도시된 제1 도전성 비아홀(25)과 같이 제1 내부전극(23a,23b)에 연결되면서 제2 내부전극(22a,22b)과는 전기적으로 분리된 구조를 가지며, 제1 (+)극성에 관련된 제2 외부단자(26a)와 제2 (+)극성에 관련된 제2 외부단자(26b)는 각각 가장 아래의 제2 내부전극(22a) 또는 다른 제2 내부전극(22b)에만 전기적으로 연결되도록 형성된다.

도2a 및 도2b에 도시된 적층형 캐패시터 어레이는 실제 디커플링 캐패시터로서 적용하기 위해서는 새로운 배선접속구조가 요구된다. 즉, (-)극성에 관련된 제1 외부단자(27)와 제1 및 제2 (+)극성에 관련된 제2 외부단자(26a,26b)에 적합한 배선접속구조가 요구되며, 이러한 배선접속구조는 적층형 캐패시터 어레이를 관통하는 제1 및/또는 제2 도전성 비아홀을 이용하여 단축된 배선경로를 가짐으로써 기생 인덕턴스성분을 최소화하는 구조를 갖는 것이 바람직하다.

도3은 이러한 요구를 만족하는 배선접속구조가 도시되어 있다. 본 실시형태에서 사용된 적층형 캐패시터 어레이는 도2a 및 도2b에 도시된 적층형 캐패시터 어레이로 이해될 수 있다.

도3을 참조하면, 적층형 캐패시터 어레이의 배선접속구조(60)는 PC보드와 같은 모기관(61)과 적층형 캐패시터 어레이 패키지(50)를 포함한다. 상기 적층형 캐패시터 어레이 패키지(50)는 내부회로구조(53a,53b,54a,54b,54c,57a,57b,57c,58a,58b,58c)를 갖는 배선기판(51)과 그 상면에 탑재된 마이크로 프로세싱 유닛(MPU)(55)을 포함한다. 또한, 상기 배선기판(51)은 하부에 마련된 캐비티영역(C)을 구비하며, 그 캐비티영역(C)에 적층형 캐패시터 어레이(20)를 실장할 수 있다.

상기 모기관(61)에는 제1 및 제2 전원공급라인(PWL1,PWL2)과 접지라인(GND)이 설치된다. 상기 모기관(61)을 통해 제공되는 접지라인(GND)은 적층형 캐패시터 어레이(20)의 하면에 마련된 제2 외부단자(27)에 솔더링(S)과 같은 접속수단에 의해 연결된다. 상기 제1 외부단자(27)에 연결된 접지라인(GND)은 캐패시터 어레이(20)의 제1 도전성 비아홀(25)을 통해 상면에 형성된 제1 외부단자(27)에 연결되고, 배선기관(51)의 내부회로(54c,57c,58c)를 통해 MPU칩의 단자(56)에 연결된다.

제1 및 제2 전원공급라인(PWL1,PWL2)은 소켓구조(52a,52b)로 연결된 배선기관의 내부회로구조(53a,53b,54a,54b,57a,57b,58a,58b)를 통해 MPU칩(55)의 단자(56)와 적층형 캐패시터(20)의 단자(26a,26b)와 연결되며, 상기 내부회로구조(54a,54b,57a, 57b,58a,58b)를 통해 MPU칩(55)과 적층형 캐패시터(20)도 서로 연결된다.

이와 같이, 적층형 캐패시터 어레이(20)와 MPU칩(55)의 접지라인(GND)과의 접속구조는 제1 도전성 비아홀(25)을 통해 MPU칩(55)과 모기관(61)에 접속된 경로로 단축될 수 있다. 따라서, 배선기관(51)의 제조공정을 간소화할 수 있으며, 접지라인(GND)과의 접속라인경로의 단축으로 인해 기생인덕턴스성분을 저감시킬 수 있다.

도3에 도시된 실시형태는, 2개의 캐패시터부를 포함한 어레이(20), 즉 제2 외부단자가 2개의 그룹(26a,26b)으로 형성된 캐패시터 어레이(20)를 예시하고 있으나, 본 발명에 따른 배선접속구조(60)는 3개 또는 그 이상의 캐패시터부가 포함된 적층형 캐패시터 어레이에도 유사하게 적용될 수 있다. 보다 구체적으로, 캐패시터부의 수(제2 외부단자의 그룹수)에 따라 모기관(61)의 전원공급라인을 추가로 설치하고, 도3에서 설명된 접속방식을 응용하여 적절한 배선접속구조를 구현할 수 있다.

이와 같이, 적층형 캐패시터 어레이를 통해 MPU칩을 복수개의 전원공급라인과 연결시킴으로써 가변되는 전류에 대한 캐패시터의 용량을 적절하게 선택할 수 있다.

또한, 본 실시형태에서는 접지라인(GND)만을 제1 도전성 비아홀(25)구조를 통해 연결한 형태만을 예시하였으나, 제1 및 제2 전원라인(PWL1,PWL2) 중 적어도 하나를 추가로 또는 선택적으로 제2 도전성 비아홀(24a,24b)을 통해 MPU칩(55)과 연결하는 방식을 취할 수 있다.

나아가, 바람직하게는, 제1 및 제2 전원라인(PWL1,PWL2)과 관련된 배선기관(51)의 회로(53a,53b)를 추가적으로 생략할 수 있도록 제1 및 제2 전원라인(PWL1,PWL2)과 접지라인(GND)을 모두 적층형 캐패시터 어레이(20)의 제1 및 제2 도전성 비아홀(25,24a,24b)을 통해 연결시킬 수 있다. 이러한 실시형태는 도4에 도시되어 있다.

도4을 참조하면, 적층형 캐패시터 어레이의 배선접속구조(40)는 PC보드와 같은 모기관(41)과 적층형 캐패시터 어레이 패키지(30)를 포함한다. 상기 적층형 캐패시터 어레이 패키지(30)는 도전성 비아홀과 같은 수직접속구조(37a,37b,37c)를 갖는 배선기관(31)과 그 상면에 탑재된 마이크로 프로세싱 유닛(MPU)(35)을 포함한다. 또한, 상기 배선기관(31)의 하부에 실장할 수 있는 캐비티영역(C)이 마련되고, 그 캐비티영역(C)에 적층형 캐패시터 어레이(20)를 실장할 수 있다.

상기 모기관(41)에는 제1 및 제2 전원공급라인(PWL1,PWL2)과 접지라인(GND)이 설치된다. 상기 모기관(41)을 통해 제공되는 제1 및 제2 전원공급라인(PWL1,PWL2)과 접지라인(GND)은 모두 적층형 캐패시터 어레이(20)의 하면에 마련된 각 외부단자(26a,26b,27)에 솔더링과 같은 접속수단(S)에 의해 연결된다. 보다 구체적으로, 접지라인(GND)은 (-)극성과 관련된 제1 외부단자(27)에 연결되고, 제1 전원공급라인(PWL1)은 제1 (+)극성과 관련된 일그룹의 제2 외부단자(26a)에 연결되며, 제2 전원공급라인(PWL2)은 제2 (+)극성과 관련된 다른 그룹의 제2 외부단자(26b)에 연결된다.

따라서, 모기관의 모든 라인(PWL1,PWL2,GND)은 캐패시터 어레이(20)의 제1 및 제2 도전성 비아홀(25,24a,24b)을 통해 그 상면에 형성된 각 제1 및 제2 외부단자(27,26a,26b)에 연결될 수 있으며, 상면의 외부단자(27,26a,26b)는 각각 배선기관(31)의 수직접속구조(37a,37b,37c)를 통해 MPU칩(35)의 각 단자(36)에 연결된다.

이와 같이, 적층형 캐패시터 어레이(20)의 제1 및 제2 도전성 비아홀(24a,24b,25)을 통해 MPU칩(35)과 모기관(31)의 접속경로를 단축시켜 배선기관(41)의 제조공정을 간소화할 수 있으며, 접속라인경로의 단축으로 인해 기생인덕턴스성분을 저감시킬 수 있다.

추가적으로, 본 실시형태에서는, 상기 적층형 캐패시터 어레이의 제1 및 제2 외부단자(27,26a,26b)는 상기 MPU칩(35)의 단자(36)와 실질적으로 동일한 배열과 간격을 가지므로, 상기 배선기판(31)의 내부회로는 도전성 비아홀과 같은 수직접속구조(37a,37b,37c)만으로 형성될 수 있다. 따라서, 배선기판(31)의 내부회로경로를 추가적으로 간소화시킬 수 있으며, 이를 통해 기생 인덕턴스성분을 보다 효과적으로 감소시킬 수 있다.

상술한 실시형태 및 첨부된 도면은 바람직한 실시형태의 예시에 불과하며, 본 발명은 첨부된 청구범위에 의해 한정하고자 한다. 또한, 본 발명은 청구범위에 기재된 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 다양한 형태의 치환, 변형 및 변경이 가능하다는 것은 당 기술분야의 통상의 지식을 가진 자에게는 자명할 것이다.

발명의 효과

상술한 바와 같이, 본 발명에 따르면, 외부단자가 상하면에 형성된 적층형 캐패시터 어레이의 도전성 비아홀을 통해 전원 공급라인 또는 접지라인 중 적어도 하나를 MPU칩과 직접 연결하는 배선접속구조를 제공함으로써, 가변적인 전류공급에 따라 디커플링 캐패시터의 용량을 선택적으로 조절할 수 있을 뿐만 아니라, 배선접속을 보다 단순화시켜 기생인덕턴스성분을 효과적으로 감소시킬 수 있다.

도면의 간단한 설명

도1a 및 도1b는 각각 종래의 일예에 따른 적층형 캐패시터 어레이를 나타내는 분해사시도 및 개략사시도이다.

도2a 및 도2b는 본 발명의 배선접속구조가 적용되는 적층형 캐패시터 어레이의 개략사시도 및 측단면도이다.

도3은 본 발명의 일실시형태에 따른 적층형 캐패시터 어레이의 배선접속구조를 나타낸다.

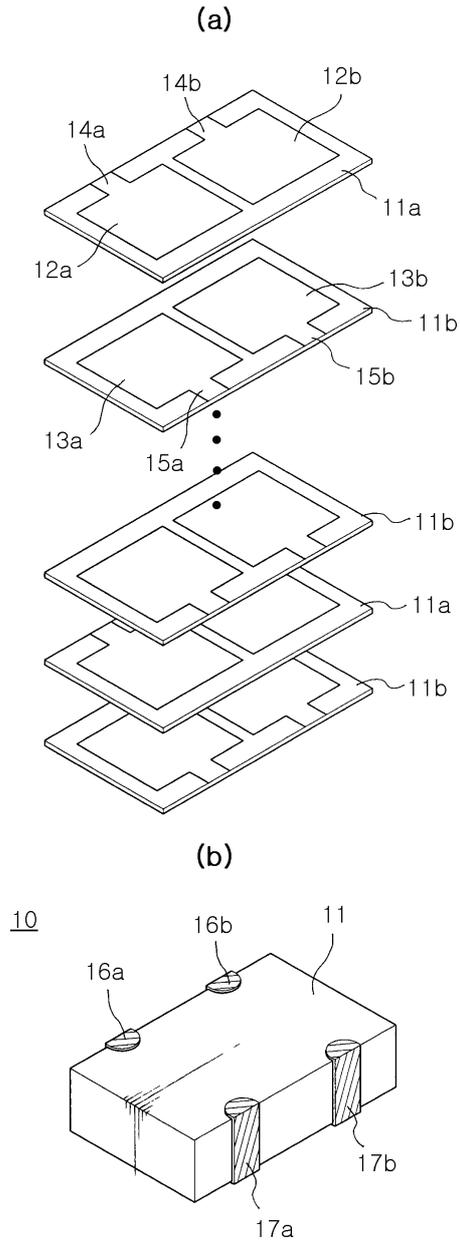
도4은 본 발명의 다른 실시형태에 따른 적층형 캐패시터 어레이의 배선접속구조를 나타낸다.

<도면의 주요부분에 대한 부호설명>

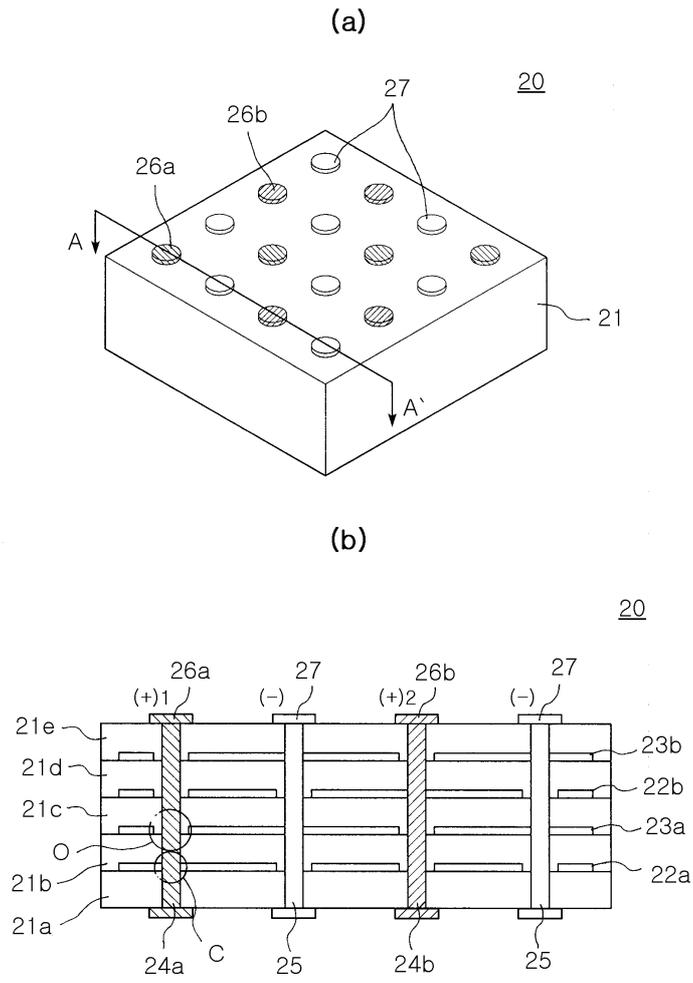
- 20: 적층형 캐패시터 어레이 21: 캐패시터 본체
- 22a,22b: 제2 내부전극 23a,23b: 제1 내부전극
- 24a,24b: 제2 도전성 비아홀 25: 제1 도전성 비아홀
- 26a,26b: 제2 외부단자 27: 제1 외부단자
- 31,51: 배선기판 35,55: MPU 칩
- 41,61: 모기판

도면

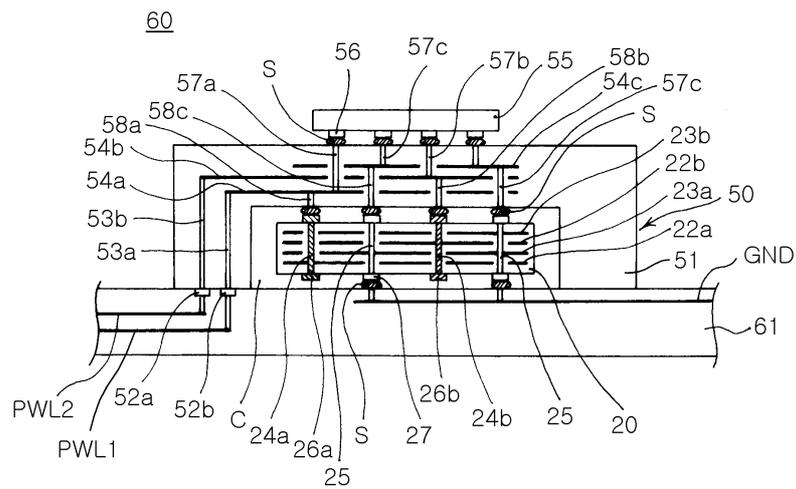
도면1



도면2



도면3



도면4

