

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成30年4月12日(2018.4.12)

【公開番号】特開2016-163156(P2016-163156A)

【公開日】平成28年9月5日(2016.9.5)

【年通号数】公開・登録公報2016-053

【出願番号】特願2015-39318(P2015-39318)

【国際特許分類】

H 04 L	25/02	(2006.01)
H 04 N	5/378	(2011.01)
H 04 L	25/40	(2006.01)
H 03 K	23/00	(2006.01)
H 03 K	21/12	(2006.01)

【F I】

H 04 L	25/02	J
H 04 N	5/335	7 8 0
H 04 L	25/40	Z
H 03 K	23/00	E
H 03 K	21/12	

【手続補正書】

【提出日】平成30年2月27日(2018.2.27)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1信号を出力する第1出力端子および前記第1信号より周期が小さい第2信号を出力する第2出力端子を有する生成回路と、

第1入力端子および第3出力端子を有する第1デコーダと、

第2入力端子、第3入力端子および第4出力端子を有する第2デコーダと、

前記生成回路の前記第1出力端子に電気的に接続された第1伝送線および前記生成回路の前記第2出力端子に電気的に接続された第2伝送線を含む伝送路と、を備え、

前記第1信号は、基準クロックの立ち上がりエッジおよび立ち下がりエッジの一方である第1エッジに同期し、前記第2信号は、前記基準クロックの立ち上がりエッジおよび立ち下がりエッジの他方である第2エッジに同期し、

前記第1デコーダの前記第1入力端子は、前記第1伝送線に電気的に接続され、

前記第1デコーダの前記第3出力端子は、前記第2デコーダの前記第2入力端子への信号の入力を制御し、

前記第2デコーダの前記第3入力端子は、前記第2伝送線に電気的に接続され、

前記第2デコーダは、前記第2入力端子および前記第3入力端子に入力される信号に従って、デコードされた信号を第4出力端子から出力する、

ことを特徴とする電子回路。

【請求項2】

前記生成回路は、前記第1信号を含む第1信号群および前記第2信号を含む第2信号群を生成し、

前記第1信号群は、前記第1エッジに同期し、前記第2信号群は、前記第2エッジに同

期し、

前記伝送路は、前記第1伝送線を含む複数の第1信号線および前記第2伝送線を含む複数の第2信号線を含み、

前記複数の第1信号線は、前記第1信号群のうち対応する第1信号を伝送し、前記複数の第2信号線は、前記第2信号群のうち対応する第2信号を伝送し、

前記複数の第1伝送線と前記複数の第2伝送線とは交互に配置されている、

ことを特徴とする請求項1に記載の電子回路。

【請求項3】

前記伝送路を介して送られてくる前記第1信号群および前記第2信号群を前記第1エッジおよび前記第2エッジの一方にのみ同期するように同期化する同期化回路を更に備える、

ことを特徴とする請求項2に記載の電子回路。

【請求項4】

前記生成回路は、前記基準クロックに従って動作して複数ビットの信号を生成する論理回路と、前記論理回路から出力される前記複数ビットの信号に従って前記第1信号群および前記第2信号群を生成するタイミング調整回路とを含む、

ことを特徴とする請求項2又は3に記載の電子回路。

【請求項5】

前記タイミング調整回路は、前記第1エッジに従って同期化を行うことによって前記第1信号群を生成する複数の第1フリップフロップと、前記第2エッジに従って同期化を行うことによって前記第2信号群を生成する複数の第2フリップフロップとを含み、

前記複数の第1フリップフロップに前記第1エッジを提供する信号線と、前記複数の第2フリップフロップに前記第2エッジを提供する信号線とが互いに交差しない、

ことを特徴とする請求項4に記載の電子回路。

【請求項6】

前記論理回路は、前記基準クロックに従ってカウント動作を行うカウンタを含む、  
ことを特徴とする請求項4又は5に記載の電子回路。

【請求項7】

前記カウンタは、バイナリカウンタである、  
ことを特徴とする請求項6に記載の電子回路。

【請求項8】

前記カウンタは、グレイコードカウンタである、  
ことを特徴とする請求項6に記載の電子回路。

【請求項9】

前記カウンタは、カウント値をリセットする機能およびカウント値をセットする機能の少なくとも一方を有することを特徴とする請求項8に記載の電子回路。

【請求項10】

複数の画素を有する画素アレイと、  
前記画素アレイからの信号をA/D変換するA/D変換器と、を更に備え、  
前記カウンタによるカウント値が前記A/D変換器に供給される、  
ことを特徴とする請求項6乃至9のいずれか1項に記載の電子回路。

【請求項11】

複数の画素を有する画素アレイと、  
前記画素アレイにおける画素を選択するための選択回路を更に備え、  
前記第1信号群および前記第2信号群は、前記伝送路を介して前記選択回路に供給される、  
ことを特徴とする請求項6乃至9のいずれか1項に記載の電子回路。

【請求項12】

前記第1デコーダの前記第3出力端子は、同期回路を介して前記第2デコーダの前記第2入力端子に接続されている、

ことを特徴とする請求項 1 乃至 1 1 のいずれか 1 項に記載の電子回路。

**【請求項 1 3】**

前記同期回路は、前記第 1 デコーダの前記第 3 出力端子から出力される信号を前記基準クロックに同期させた信号を前記第 2 デコーダの前記第 2 入力端子に出力する、

ことを特徴とする請求項 1 2 に記載の電子回路。

**【請求項 1 4】**

前記同期回路は、前記第 1 デコーダの前記第 3 出力端子から出力される信号を前記基準クロックの前記第 2 エッジに同期させた信号を前記第 2 デコーダの前記第 2 入力端子に出力する、

ことを特徴とする請求項 1 3 に記載の電子回路。

**【請求項 1 5】**

請求項 1 0 又は 1 1 に記載の電子回路を固体撮像装置として備えることを特徴とするカメラ。

**【手続補正 2】**

**【補正対象書類名】**明細書

**【補正対象項目名】**0 0 0 6

**【補正方法】**変更

**【補正の内容】**

**【0 0 0 6】**

本発明の 1 つの側面は、電子回路に係り、前記電子回路は、第 1 信号を出力する第 1 出力端子および前記第 1 信号より周期が小さい第 2 信号を出力する第 2 出力端子を有する生成回路と、第 1 入力端子および第 3 出力端子を有する第 1 デコーダと、第 2 入力端子、第 3 入力端子 および第 4 出力端子を有する第 2 デコーダと、前記生成回路の前記第 1 出力端子に電気的に接続された第 1 伝送線および前記生成回路の前記第 2 出力端子に電気的に接続された第 2 伝送線を含む伝送路と、を備え、前記第 1 信号は、基準クロックの立ち上がりエッジおよび立ち下がりエッジの一方である第 1 エッジに同期し、前記第 2 信号は、前記基準クロックの立ち上がりエッジおよび立ち下がりエッジの他方である第 2 エッジに同期し、前記第 1 デコーダの前記第 1 入力端子は、前記第 1 伝送線に電気的に接続され、前記第 1 デコーダの前記第 3 出力端子は、前記第 2 デコーダの前記第 2 入力端子への信号の入力を制御し、前記第 2 デコーダの前記第 3 入力端子は、前記第 2 伝送線に電気的に接続され、前記第 2 デコーダは、前記第 2 入力端子および前記第 3 入力端子に入力される信号に従って、デコードされた信号を第 4 出力端子から出力する。