

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年3月31日(31.03.2022)



(10) 国際公開番号

WO 2022/065186 A1

(51) 国際特許分類:
H01L 27/146 (2006.01) *H04N 5/374* (2011.01)

(21) 国際出願番号: PCT/JP2021/034067

(22) 国際出願日: 2021年9月16日(16.09.2021)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2020-161365 2020年9月25日(25.09.2020) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目1番1号 Kanagawa (JP).

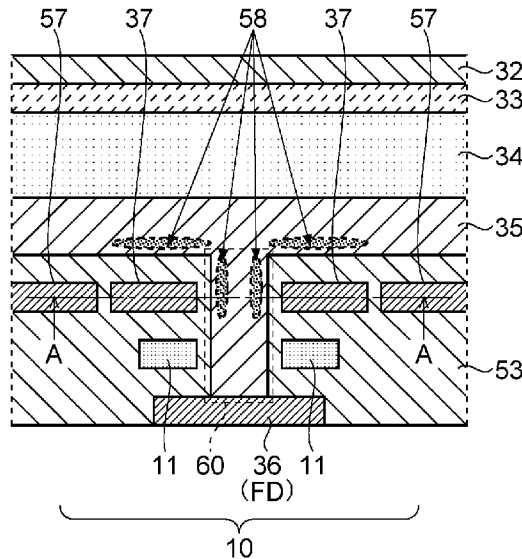
(72) 発明者: 平松 智記 (HIRAMATSU, Tomoki); 〒2430014 神奈川県厚木市旭町四丁目1番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 特許業務法人酒井国際特許事務所 (SAKAI INTERNATIONAL PATENT OFFICE); 〒1000013 東京都千代田区霞が関3丁目8番1号 虎の門三井ビルディング Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH,

(54) Title: SOLID-STATE IMAGING DEVICE AND ELECTRONIC APPARATUS

(54) 発明の名称: 固体撮像装置及び電子機器



(57) Abstract: The present invention improves quantum efficiency. A solid-state imaging device according to an embodiment is provided with a plurality of pixels (110) arrayed in a matrix, each of the pixels comprising: a first semiconductor layer (35); a photoelectric conversion portion (PD1) disposed on a first surface side of the first semiconductor layer; a storage electrode (37) disposed in proximity to a second surface side of the first semiconductor layer opposite the first surface; a wire (61, 62, 63, 64) extending from the second surface of the first semiconductor layer; a floating diffusion region (FD1) connected to the first semiconductor layer via the wire; and a first gate (11) forming a potential barrier in a

[続葉有]

KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

charge flow path from the first semiconductor layer to the floating diffusion region via the wire.

(57) 要約: 量子効率の向上を可能にする。実施形態に係る固体撮像装置は、行列状に配列する複数の画素 (110) を備え、前記画素それぞれは、第1半導体層 (35) と、前記第1半導体層の第1面側に配置された光電変換部 (PD1) と、前記第1半導体層における前記第1面と反対側の第2面側に近接配置された蓄積電極 (37) と、前記第1半導体層の前記第2面から延出する配線 (61、62、63、64) と、前記配線を介して前記第1半導体層に接続された浮遊拡散領域 (FD1) と、前記第1半導体層から前記配線を介して前記浮遊拡散領域への電荷の流路に電位障壁を形成する第1ゲート (11) と、を備える。

明 細 書

発明の名称： 固体撮像装置及び電子機器

技術分野

[0001] 本開示は、固体撮像装置及び電子機器に関する。

背景技術

[0002] 近年、複数の光電変換素子を半導体基板の基板厚方向に積層した積層型イメージセンサが提案されている。例えば、特許文献1には、偽色を解決する方法として、同一の画素の縦方向にグリーン、ブルー及びレッドそれぞれの波長の光を光電変換する光電変換領域を積層し、グリーンの光電変換領域は、有機光電変換膜で構成するという積層型固体撮像装置が提案されている。また、特許文献2には、光電変換で発生して蓄積電極の上側に溜まった電荷を、蓄積電極の下方に設置した捕集電極へ縦方向に転送する構造も提案されている。

先行技術文献

特許文献

[0003] 特許文献1：特開2017-157816号公報

特許文献2：特開2016-63156号公報

発明の概要

発明が解決しようとする課題

[0004] しかしながら、従来の積層型固体撮像装置では、有機光電変換膜に発生した電荷を有機光電変換膜の下層に位置する半導体層に効率的に蓄えておくことができず、それにより、量子効率が低下してしまうという課題が存在した。

[0005] そこで本開示は、量子効率の向上を可能にする固体撮像装置及び電子機器を提案する。

課題を解決するための手段

[0006] 上記の課題を解決するために、本開示に係る一形態の固体撮像装置は、行

列状に配列する複数の画素を備え、前記画素それぞれは、第 1 半導体層と、前記第 1 半導体層の第 1 面側に配置された光電変換部と、前記第 1 半導体層における前記第 1 面と反対側の第 2 面側に近接配置された蓄積電極と、前記第 1 半導体層の前記第 2 面から延出する配線と、前記配線を介して前記第 1 半導体層に接続された浮遊拡散領域と、前記第 1 半導体層から前記配線を介して前記浮遊拡散領域への電荷の流路に電位障壁を形成する第 1 ゲートと、を備える。

図面の簡単な説明

- [0007] [図1]一実施形態に係る電子機器の概略構成例を示す模式図である。
- [図2]一実施形態に係る電子機器を用いた測距装置の概略構成例を示すブロック図である。
- [図3]一実施形態にイメージセンサの概略構成例を示すブロック図である。
- [図4]一実施形態に係るイメージセンサの積層構造例を示す図である。
- [図5]一実施形態に係る画素アレイ部の概略構成例を示す模式図である。
- [図6]一実施形態に係る単位画素の概略構成例を示す回路図である。
- [図7]一実施形態の変形例に係る単位画素の概略構成例を示す回路図である。
- [図8]一実施形態に係るイメージセンサの断面構造例を示す断面図である。
- [図9]一実施形態の変形例に係る単位画素の概略構成例を示す模式図である。
- [図10]一実施形態の変形例に係る単位画素の概略構成例を示す回路図である。
- [図11]一実施形態の変形例に係るイメージセンサの断面構造例を示す断面図である。
- [図12]一実施形態の第 1 例に係る画素の断面構造を示す垂直断面図である。
- [図13]図 1 2 における A - A 断面を示す水平断面図である。
- [図14]図 1 2 における A - A 断面の他の例を示す水平断面図である。
- [図15]図 1 2 における A - A 断面のさらに他の例を示す水平断面図である。
- [図16]一実施形態の第 2 例に係る画素の断面構造を示す垂直断面図である。
- [図17]一実施形態の第 3 例に係る画素の断面構造を示す垂直断面図である。

[図18]一実施形態の第4例に係る画素の断面構造を示す垂直断面図である。

[図19]一実施形態の第5例に係る画素の断面構造を示す垂直断面図である。

[図20]図19におけるB－B断面を示す水平断面図である。

[図21]一実施形態の第6例に係る画素の断面構造を示す垂直断面図である。

[図22]一実施形態の第7例に係る画素の断面構造を示す垂直断面図である。

[図23]図22におけるC－C断面を示す水平断面図である。

[図24]一実施形態の第8例に係る画素の断面構造を示す垂直断面図である。

[図25]一実施形態の第9例に係る画素の断面構造を示す垂直断面図である。

[図26]一実施形態の第10例に係る画素の断面構造を示す垂直断面図である

。

[図27]一実施形態の第11例に係る画素の断面構造を示す垂直断面図である

。

[図28]一実施形態の第12例に係る画素の断面構造例を示す垂直断面図である。

[図29]一実施形態の第13例に係る画素の断面構造例を示す垂直断面図である。

[図30]一実施形態の第13例に係る画素の他の断面構造例を示す垂直断面図である。

[図31]一実施形態の第14例に係る画素の断面構造を示す垂直断面図である。

。

[図32]図31におけるD－D断面を示す水平断面図である。

[図33]一実施形態の第15例に係る画素の断面構造を示す垂直断面図である。

。

[図34]一実施形態の第16例に係る画素の断面構造を示す垂直断面図である。

。

[図35]一実施形態の第17例に係る画素の断面構造を示す垂直断面図である。

。

[図36]一実施形態の第18例に係る画素の断面構造を示す垂直断面図である

。

[図37]一実施形態の第19例に係る画素の断面構造を示す垂直断面図である

。

[図38]一実施形態の第20例に係る画素の断面構造を示す垂直断面図である

。

[図39]一実施形態の第20例に係る画素の他の断面構造を示す垂直断面図である。

[図40]一実施形態の第21例に係る画素の断面構造を示す垂直断面図である

。

[図41]一実施形態の第22例に係る画素の断面構造を示す垂直断面図である

。

[図42]図41におけるE-E断面を示す水平断面図である。

[図43]一実施形態の第23例に係る画素の断面構造を示す垂直断面図である

。

[図44]一実施形態の第24例に係る画素の断面構造を示す垂直断面図である

。

[図45]一実施形態の第25例に係る画素の断面構造を示す垂直断面図である

。

[図46]図45におけるF-F断面を示す水平断面図である。

[図47]一実施形態の第26例に係る画素の断面構造を示す垂直断面図である

。

[図48]図47におけるG-G断面を示す水平断面図である。

[図49]一実施形態の第27例に係る画素の断面構造を示す垂直断面図である

。

[図50]一実施形態の第28例に係る画素の断面構造を示す垂直断面図である

。

[図51]一実施形態の第29例に係る画素の断面構造を示す垂直断面図である

。

[図52]一実施形態の第30例に係る画素の断面構造を示す垂直断面図である

。

[図53]一実施形態の第31例に係る画素の断面構造を示す垂直断面図である

。

[図54]一実施形態の第32例に係る画素の断面構造を示す垂直断面図である

。

[図55]一実施形態の第33例に係る画素の断面構造を示す垂直断面図である

。

[図56]一実施形態の第34例に係る画素の断面構造を示す垂直断面図である

。

[図57]一実施形態の第35例に係る画素の断面構造を示す垂直断面図である

。

[図58]一実施形態の第36例に係る画素の断面構造を示す垂直断面図である

。

[図59]一実施形態の第37例に係る画素の断面構造を示す垂直断面図である

。

[図60]一実施形態の第38例に係る画素の断面構造を示す垂直断面図である

。

[図61]一実施形態の第39例に係る画素の断面構造を示す垂直断面図である

。

[図62]一実施形態の第40例に係る画素の断面構造を示す垂直断面図である

。

[図63]一実施形態の第41例に係る画素の断面構造を示す垂直断面図である

。

[図64]一実施形態の第42例に係る画素の断面構造を示す垂直断面図である

。

[図65]一実施形態の第43例に係る画素の断面構造を示す垂直断面図である

。

[図66]一実施形態の第44例に係る画素の断面構造を示す垂直断面図である。

。

[図67]一実施形態の第45例に係る画素の断面構造を示す垂直断面図である。

。

[図68]一実施形態の第46例に係る画素の断面構造を示す垂直断面図である。

。

[図69]一実施形態の第47例に係る画素の断面構造を示す垂直断面図である。

。

[図70]一実施形態の第48例に係る画素の断面構造を示す垂直断面図である。

。

[図71]一実施形態の第49例に係る画素の断面構造を示す垂直断面図である。

。

[図72]一実施形態の第50例に係る画素の断面構造を示す垂直断面図である。

。

[図73]一実施形態の第51例に係る画素の断面構造を示す垂直断面図である。

。

[図74]本開示の第1バリエーションに係るイメージセンサの断面構造例を示す垂直断面図である。

[図75]図74におけるⅠ-Ⅰ断面を示す水平断面図である。

[図76]本開示の第2バリエーションに係るイメージセンサの断面構造例を示す垂直断面図である。

[図77]図76におけるⅠⅠ-ⅠⅠ断面を示す水平断面図である。

[図78]本開示を適用した電子機器としての撮像装置の一実施の形態の構成例を示すブロック図である。

[図79]車両制御システムの概略的な構成の一例を示すブロック図である。

[図80]車外情報検出部及び撮像部の設置位置の一例を示す説明図である。

[図81]内視鏡手術システムの概略的な構成の一例を示す図である。

[図82]カメラヘッド及びCCUの機能構成の一例を示すブロック図である。

発明を実施するための形態

[0008] 以下に、本開示の実施形態について図面に基づいて詳細に説明する。なお、以下の実施形態において、同一の部位には同一の符号を付することにより重複する説明を省略する。

[0009] また、以下に示す項目順序に従って本開示を説明する。

1. 一実施形態

1. 1 システム構成例

1. 2 固体撮像装置の構成例

1. 3 固体撮像装置の積層構造例

1. 4 単位画素の構成例

1. 5 単位画素の回路構成例

1. 5. 1 回路構成の変形例

1. 6 単位画素の断面構造例

1. 7 各層の材料

1. 8 単位画素の変形例

1. 8. 1 単位画素の構成例

1. 8. 2 単位画素の回路構成例

1. 8. 3 単位画素の断面構造例

1. 9 量子効率の向上

1. 9. 1 第1例

1. 9. 2 第2例

1. 9. 3 第3例

1. 9. 4 第4例

1. 9. 5 第5例

1. 9. 6 第6例

1. 9. 7 第7例

1. 9. 8 第8例

1. 9. 9 第9例

- 1. 9. 10 第10例
- 1. 9. 11 第11例
- 1. 9. 12 第12例
- 1. 9. 13 第13例
- 1. 9. 14 第14例
- 1. 9. 15 第15例
- 1. 9. 16 第16例
- 1. 9. 17 第17例
- 1. 9. 18 第18例
- 1. 9. 19 第19例
- 1. 9. 20 第20例
- 1. 9. 21 第21例
- 1. 9. 22 第22例
- 1. 9. 23 第23例
- 1. 9. 24 第24例
- 1. 9. 25 第25例
- 1. 9. 26 第26例
- 1. 9. 27 第27例
- 1. 9. 28 第28例
- 1. 9. 29 第29例
- 1. 9. 30 第30例
- 1. 9. 31 第31例
- 1. 9. 32 第32例
- 1. 9. 33 第33例
- 1. 9. 34 第34例
- 1. 9. 35 第35例
- 1. 9. 36 第36例
- 1. 9. 37 第37例

1. 9. 38 第38例

1. 9. 39 第39例

1. 9. 40 第40例

1. 9. 41 第41例

1. 9. 42 第42例

1. 9. 43 第43例

1. 9. 44 第44例

1. 9. 45 第45例

1. 9. 46 第46例

1. 9. 47 第47例

1. 9. 48 第48例

1. 9. 49 第49例

1. 9. 50 第50例

1. 9. 51 第51例

1. 10 まとめ

2. 断面構造のバリエーション

2. 1 第1バリエーション

2. 2 第2バリエーション

3. 撮像装置の構成例

4. 移動体への応用例

5. 内視鏡手術システムへの応用例

[0010] 1. 一実施形態

まず、一実施形態に係る固体撮像装置（以下、イメージセンサという）、電子機器及び認識システムについて、図面を参照して詳細に説明する。なお、本実施形態では、CMOS（Complementary Metal-Oxide Semiconductor）型のイメージセンサに本実施形態に係る技術を適用した場合を例示するが、これに限定されず、例えば、CCD（Charge-Coupled Device）型のイメージセンサやToF（Time-of-Flight）センサや同期型又は非同期型のEV

S (Event Visio Sensor) など、光電変換素子を備える種々のセンサに本実施形態に係る技術を適用することが可能である。なお、CMOS型のイメージセンサとは、CMOSプロセスを応用して、または、部分的に使用して作成されたイメージセンサであってよい。

[0011] 1. 1 システム構成例

図1は、本実施形態に係る電子機器の概略構成例を示す模式図であり、図2は、本実施形態に係る電子機器を用いた測距装置の概略構成例を示すブロック図である。

[0012] 図1に示すように、本実施形態に係る電子機器1は、レーザ光源1010と、照射レンズ1030と、撮像レンズ1040と、イメージセンサ100と、システム制御部1050とを備える。

[0013] レーザ光源1010は、図2に示すように、例えば、垂直共振器型面発光レーザ (VCSEL) 1012と、VCSEL 1012を駆動する光源駆動部1011とから構成される。ただし、VCSEL 1012に限定されず、LED (Light Emitting Diode) などの種々の光源が使用されてもよい。また、レーザ光源1010は、点光源、面光源、線光源のいずれであってもよい。面光源又は線光源の場合、レーザ光源1010は、例えば、複数の点光源 (例えばVCSEL) が1次元又は2次元に配列した構成を備えてもよい。なお、本実施形態において、レーザ光源1010は、例えば赤外 (IR) 光など、可視光の波長帯とは異なる波長帯の光を出射してよい。

[0014] 照射レンズ1030は、レーザ光源1010の出射面側に配置され、レーザ光源1010から出射した光を所定の広がり角の照射光に変換する。

[0015] 撮像レンズ1040は、イメージセンサ100の受光面側に配置され、入射光による像をイメージセンサ100の受光面に結像する。入射光には、レーザ光源1010から出射して被写体901で反射した反射光も含まれ得る。

[0016] イメージセンサ100は、その詳細については後述するが、図2に示すように、例えば、複数の画素が2次元格子状に配列する受光部1022と、受

光部 1022 を駆動して画像データを生成するセンサ制御部 1021 とから構成される。受光部 1022 に配置される画素には、例えば可視光の波長帯の光を検出する画素や、可視光以外の波長帯の光、例えば赤外光の波長帯の光を検出する画素などが含まれてもよい。その際、可視光以外の波長帯の光を検出する画素は、可視光以外の波長帯の光の画像データを生成するための画素（イメージセンサ用）であってもよいし、物体までの距離を測定するための画素（ToF センサ用）であってもよいし、輝度変化を検出するための画素（EVS 用）であってもよい。以下、説明の簡略化のため、受光部 1022 の各画素から読み出されて生成されたデータをすべて画像データと称する。

[0017] システム制御部 1050 は、例えばプロセッサ（CPU）によって構成され、光源駆動部 1011 を介して VCSEL 1012 を駆動する。また、システム制御部 1050 は、イメージセンサ 100 を制御することで、画像データを取得する。その際、システム制御部 1050 は、レーザ光源 1010 に対する制御と同期してイメージセンサ 100 を制御することで、レーザ光源 1010 から出射された照射光の反射光を検出することで得られた画像データを取得してもよい。

[0018] 例えば、レーザ光源 1010 から出射した照射光は、照射レンズ 1030 を透して被写体（測定対象物又は物体ともいう）901 に投影される。この投影された光は、被写体 901 で反射される。そして、被写体 901 で反射された光は、撮像レンズ 1040 を透してイメージセンサ 100 に入射する。イメージセンサ 100 における受光部 1022 は、被写体 901 で反射した反射光を受光して画像データを生成する。イメージセンサ 100 で生成された画像データは、電子機器 1 のアプリケーションプロセッサ 1100 に供給される。アプリケーションプロセッサ 1100 は、イメージセンサ 100 から入力された画像データに対して認識処理や演算処理などの各種処理を実行し得る。

[0019] 1. 2 固体撮像装置の構成例

図3は、本実施形態にイメージセンサの概略構成例を示すブロック図である。図3に示すように、イメージセンサ100は、例えば、画素アレイ部101と、垂直駆動回路102と、信号処理回路103と、水平駆動回路104と、システム制御回路105と、データ処理部108と、データ格納部109とを備える。以下の説明において、垂直駆動回路102、信号処理回路103、水平駆動回路104、システム制御回路105、データ処理部108及びデータ格納部109は、周辺回路とも称される。

[0020] 画素アレイ部101は、受光した光量に応じた電荷を生成しかつ蓄積する光電変換素子を有する画素（以下、単位画素という）110が行方向及び列方向に、すなわち、2次元格子状（以下、行列状ともいう）に配置された構成を有する。ここで、行方向とは画素行の画素の配列方向（図面中、横方向）をいい、列方向とは画素列の画素の配列方向（図面中、縦方向）をいう。

[0021] 画素アレイ部101では、行列状の画素配列に対し、画素行ごとに画素駆動線LDが行方向に沿って配線され、画素列ごとに垂直信号線VSLが列方向に沿って配線されている。画素駆動線LDは、画素から信号を読み出す際の駆動を行うための駆動信号を伝送する。図3では、画素駆動線LDが1本ずつの配線として示されているが、1本ずつに限られるものではない。画素駆動線LDの一端は、垂直駆動回路102の各行に対応した出力端に接続されている。

[0022] 垂直駆動回路102は、シフトレジスタやアドレスデコーダなどによって構成され、画素アレイ部101の各画素を全画素同時あるいは行単位等で駆動する。すなわち、垂直駆動回路102は、当該垂直駆動回路102を制御するシステム制御回路105と共に、画素アレイ部101の各画素の動作を制御する駆動部を構成している。この垂直駆動回路102はその具体的な構成については図示を省略するが、一般的に、読出し走査系と掃出し走査系との2つの走査系を備えている。

[0023] 読出し走査系は、単位画素110の各画素から信号を読み出すために、画素アレイ部101の単位画素110の各画素を行単位で順に選択走査する。

単位画素 110 の各画素から読み出される信号はアナログ信号である。掃出し走査系は、読出し走査系によって読出し走査が行われる読出し行に対して、その読出し走査よりも露光時間分だけ先行して掃出し走査を行う。

[0024] この掃出し走査系による掃出し走査により、読出し行の単位画素 110 の各画素の光電変換素子から不要な電荷が掃き出されることによって当該光電変換素子がリセットされる。そして、この掃出し走査系で不要電荷を掃き出す（リセットする）ことにより、所謂電子シャッタ動作が行われる。ここで、電子シャッタ動作とは、光電変換素子の電荷を捨てて、新たに露光を開始する（電荷の蓄積を開始する）動作のことを言う。

[0025] 読出し走査系による読出し動作によって読み出される信号は、その直前の読出し動作または電子シャッタ動作以降に受光した光量に対応している。そして、直前の読出し動作による読出しタイミングまたは電子シャッタ動作による掃出しタイミングから、今回の読出し動作による読出しタイミングまでの期間が、単位画素 110 の各画素における電荷の蓄積期間（露光期間ともいう）となる。

[0026] 垂直駆動回路 102 によって選択走査された画素行の各単位画素 110 から出力される信号は、画素列ごとに垂直信号線 VSL の各々を通して信号処理回路 103 に入力される。信号処理回路 103 は、画素アレイ部 101 の画素列ごとに、選択行の各画素から垂直信号線 VSL を通して出力される信号に対して所定の信号処理を行うとともに、信号処理後の画素信号を一時的に保持する。

[0027] 具体的には、信号処理回路 103 は、信号処理として少なくとも、ノイズ除去処理、例えば CDS（Correlated Double Sampling：相関二重サンプリング）処理や、DDS（Double Data Sampling）処理を行う。例えば、CDS 処理により、リセットノイズや画素内の増幅トランジスタの閾値ばらつき等の画素固有の固定パターンノイズが除去される。信号処理回路 103 は、その他にも、例えば、AD（アナログーデジタル）変換機能を備え、光電変換素子から読み出され得たアナログの画素信号をデジタル信号に変換し

て出力する。

[0028] 水平駆動回路 104 は、シフトレジスタやアドレスデコーダなどによって構成され、信号処理回路 103 の画素列に対応する読出し回路（以下、画素回路という）を順番に選択する。この水平駆動回路 104 による選択走査により、信号処理回路 103 において画素回路ごとに信号処理された画素信号が順番に出力される。

[0029] システム制御回路 105 は、各種のタイミング信号を生成するタイミングジェネレータなどによって構成され、当該タイミングジェネレータで生成された各種のタイミングを基に、垂直駆動回路 102、信号処理回路 103、及び、水平駆動回路 104 などの駆動制御を行う。

[0030] データ処理部 108 は、少なくとも演算処理機能を有し、信号処理回路 103 から出力される画素信号に対して演算処理等の種々の信号処理を行う。データ格納部 109 は、データ処理部 108 での信号処理にあたって、その処理に必要なデータを一時的に格納する。

[0031] なお、データ処理部 108 から出力された画像データは、例えば、イメージセンサ 100 を搭載する電子機器 1 におけるアプリケーションプロセッサ 1100 等において所定の処理が実行されたり、所定のネットワークを介して外部へ送信されたりしてもよい。

[0032] 1. 3 固体撮像装置の積層構造例

図 4 は、本実施形態に係るイメージセンサの積層構造例を示す図である。図 4 に示すように、イメージセンサ 100 は、受光チップ 121 と回路チップ 122 とが上下に積層されたスタック構造を備える。受光チップ 121 は、例えば、複数の単位画素 110 が行列状に配列する画素アレイ部 101 を備える半導体チップであり、回路チップ 122 は、例えば、図 3 における周辺回路等を備える半導体チップであってよい。

[0033] 受光チップ 121 と回路チップ 122 との接合には、例えば、それぞれの接合面を平坦化して両者を電子間力で貼り合わせる、いわゆる直接接合を用いることができる。ただし、これに限定されず、例えば、互いの接合面に形

成された銅（Cu）製の電極パッド同士をボンディングする、いわゆるCu-Cu接合や、その他、バンプ接合などを用いることも可能である。

[0034] また、受光チップ121と回路チップ122とは、例えば、半導体基板を貫通するTSV（Through-Silicon Via）などの接続部を介して電氣的に接続される。TSVを用いた接続には、例えば、受光チップ121に設けられたTSVと受光チップ121から回路チップ122にかけて設けられたTSVとの2つのTSVをチップ外表で接続する、いわゆるツインTSV方式や、受光チップ121から回路チップ122まで貫通するTSVで両者を接続する、いわゆるシェアードTSV方式などを採用することができる。

[0035] ただし、受光チップ121と回路チップ122との接合にCu-Cu接合やバンプ接合を用いた場合には、Cu-Cu接合部やバンプ接合部を介して両者が電氣的に接続される。

[0036] 1. 4 単位画素の構成例

次に、単位画素110の構成例について説明する。なお、ここでは、単位画素110が、RGB三原色における各色成分を検出する画素（以下、RGB画素10ともいう）と、赤外（IR）光を検出する画素（以下、IR画素20ともいう）とを含む場合を例示に挙げる。なお、図5及び以下では、RGB三原色を構成する各色成分の光を透過させるカラーフィルタ31r、31g又は31bを区別しない場合、その符号が31とされている。

[0037] 図5は、本実施形態に係る画素アレイ部の概略構成例を示す模式図である。図5に示すように、画素アレイ部101は、RGB画素10とIR画素20とからなる単位画素110が光の入射方向に沿って配列した構造を備える単位画素110が2次元格子状に配列した構成を備える。すなわち、本実施形態では、RGB画素10とIR画素20とが単位画素110の配列方向（平面方向）に対して垂直方向に位置されており、入射光の光路における上流側に位置するRGB画素10を透過した光が、このRGB画素10の下流側に位置するIR画素20に入射するように構成されている。このような構成によれば、RGB画素10の光電変換部PD1における入射光の入射面と反

対側の面側に 1 R 画素 20 の光電変換部 PD 2 が配置される。それにより、本実施形態では、光の入射方向に沿って配列する RGB 画素 10 と 1 R 画素 20 との入射光の光軸が一致又は略一致している。

[0038] なお、本実施形態では、RGB 画素 10 を構成する光電変換部 PD 1 を有機材料で構成し、1 R 画素 20 を構成する光電変換部 PD 2 をシリコンなどの半導体材料で構成する場合を例示するが、これに限定されるものではない。例えば、光電変換部 PD 1 と光電変換部 PD 2 との両方が半導体材料で構成されてもよいし、光電変換部 PD 1 と光電変換部 PD 2 との両方が有機材料で構成されてもよいし、光電変換部 PD 1 が半導体材料で構成され、光電変換部 PD 2 が有機材料で構成されてもよい。若しくは、光電変換部 PD 1 と光電変換部 PD 2 との少なくとも一方が有機材料及び半導体材料とは異なる光電変換材料で構成されてもよい。

[0039] 1. 5 単位画素の回路構成例

次に、単位画素 110 の回路構成例について説明する。図 6 は、本実施形態に係る単位画素の概略構成例を示す回路図である。図 6 に示すように、本例では、単位画素 110 は、RGB 画素 10 と、1 R 画素 20 とを 1 つずつ備える。

[0040] (RGB 画素 10)

RGB 画素 10 は、例えば、光電変換部 PD 1 と、転送ゲート 11 と、浮遊拡散領域 FD 1 と、リセットトランジスタ 12 と、増幅トランジスタ 13 と、選択トランジスタ 14 とを備える。

[0041] 選択トランジスタ 14 のゲートには、画素駆動線 LD に含まれる選択制御線が接続され、リセットトランジスタ 12 のゲートには、画素駆動線 LD に含まれるリセット制御線が接続され、転送ゲート 11 の後述する蓄積電極（後述において説明する図 8 の蓄積電極 37 参照）には、画素駆動線 LD に含まれる転送制御線が接続される。また、増幅トランジスタ 13 のドレインには、信号処理回路 103 に一端が接続される垂直信号線 VSL 1 が選択トランジスタ 14 を介して接続される。

- [0042] 以下の説明において、リセットトランジスタ 12、増幅トランジスタ 13 及び選択トランジスタ 14 は、まとめて画素回路とも称される。この画素回路には、浮遊拡散領域 F D 1 及び／又は転送ゲート 11 が含まれてもよい。
- [0043] 光電変換部 P D 1 は、例えば有機材料で構成され、入射した光を光電変換する。転送ゲート 11 は、光電変換部 P D 1 に発生した電荷を転送する。浮遊拡散領域 F D 1 は、転送ゲート 11 が転送した電荷を蓄積する。増幅トランジスタ 13 は、浮遊拡散領域 F D 1 に蓄積された電荷に応じた電圧値の画素信号を垂直信号線 V S L 1 に出現させる。リセットトランジスタ 12 は、浮遊拡散領域 F D 1 に蓄積された電荷を放出する。選択トランジスタ 14 は、読出し対象の R G B 画素 10 を選択する。
- [0044] 光電変換部 P D 1 のアノードは、接地されており、カソードは、転送ゲート 11 に接続される。光電変換部 P D 1 には、その詳細については後述において図 8 を用いて説明するが、例えば、蓄積電極 37 が近接配置される。露光時には、光電変換部 P D 1 に発生した電荷を蓄積電極 37 の近傍の半導体層 35 に集めるための電圧が、転送制御線を介して蓄積電極 37 に印加される。読出し時には、蓄積電極 37 の近傍の半導体層 35 に集められた電荷を読出し電極 36 を介して流出させるための電圧が、転送制御線を介して蓄積電極 37 に印加される。
- [0045] 読出し電極 36 を介して流出した電荷は、読出し電極 36 と、リセットトランジスタ 12 のソースと、増幅トランジスタ 13 のゲートとを接続する配線構造によって構成される浮遊拡散領域 F D 1 に蓄積される。なお、リセットトランジスタ 12 のドレインは、例えば、電源電圧 V D D や電源電圧 V D D よりも低いリセット電圧が供給される電源線に接続されてもよい。
- [0046] 増幅トランジスタ 13 のソースは、例えば、不図示の定電流回路等を介して電源線に接続されてよい。増幅トランジスタ 13 のドレインは、選択トランジスタ 14 のソースに接続され、選択トランジスタ 14 のドレインは、垂直信号線 V S L 1 に接続される。
- [0047] 浮遊拡散領域 F D 1 は、蓄積している電荷をその電荷量に応じた電圧値の

電圧に変換する。なお、浮遊拡散領域FD1は、例えば、対接地容量であってもよい。ただし、これに限定されず、浮遊拡散領域FD1は、転送ゲート11のドレインとリセットトランジスタ12のソースと増幅トランジスタ13のゲートとが接続するノードにキャパシタなどを意図的に接続することで付加された容量等であってもよい。

[0048] 垂直信号線VSL1は、信号処理回路103においてカラム毎（すなわち、垂直信号線VSL1毎）に設けられたAD（Analog-to-Digital）変換回路103aに接続される。AD変換回路103aは、例えば、比較器とカウンタとを備え、外部の基準電圧生成回路（DAC（Digital-to-Analog Converter））から入力されたシングルスロープやランプ形状等の基準電圧と、垂直信号線VSL1に出現した画素信号とを比較することで、アナログの画素信号をデジタルの画素信号に変換する。なお、AD変換回路103aは、例えば、CDS（Correlated Double Sampling）回路などを備え、kTCノイズ等を低減可能に構成されていてもよい。

[0049] （IR画素20）

IR画素20は、例えば、光電変換部PD2と、転送トランジスタ21と、浮遊拡散領域FD2と、リセットトランジスタ22と、増幅トランジスタ23と、選択トランジスタ24と、排出トランジスタ25とを備える。すなわち、IR画素20では、RGB画素10における転送ゲート11が転送トランジスタ21に置き換えられるとともに、排出トランジスタ25が追加されている。

[0050] 転送トランジスタ21に対する浮遊拡散領域FD2、リセットトランジスタ22及び増幅トランジスタ23の接続関係は、RGB画素10における転送ゲート11に対する浮遊拡散領域FD1、リセットトランジスタ12及び増幅トランジスタ13の接続関係と同様であってよい。また、増幅トランジスタ23と選択トランジスタ24と垂直信号線VSL2との接続関係も、RGB画素10における増幅トランジスタ13と選択トランジスタ14と垂直信号線VSL1との接続関係と同様であってよい。

- [0051] 転送トランジスタ 21 のソースは、例えば、光電変換部 PD 2 のカソードに接続され、ドレインは浮遊拡散領域 FD 2 に接続される。また、転送トランジスタ 21 のゲートには、画素駆動線 LD に含まれる転送制御線が接続される。
- [0052] 排出トランジスタ 25 のソースは、例えば、光電変換部 PD 2 のカソードに接続され、ドレインは、電源電圧 VDD や電源電圧 VDD よりも低いリセット電圧が供給される電源線に接続されてよい。また、排出トランジスタ 25 のゲートには、画素駆動線 LD に含まれる排出制御線が接続される。
- [0053] 以下の説明において、リセットトランジスタ 22、増幅トランジスタ 23 及び選択トランジスタ 24 は、まとめて画素回路とも称される。この画素回路には、浮遊拡散領域 FD 2、転送トランジスタ 21 及び排出トランジスタ 25 のうちの 1 つ以上が含まれてもよい。
- [0054] 光電変換部 PD 2 は、例えば半導体材料で構成され、入射した光を光電変換する。転送トランジスタ 21 は、光電変換部 PD 2 に発生した電荷を転送する。浮遊拡散領域 FD 2 は、転送トランジスタ 21 が転送した電荷を蓄積する。増幅トランジスタ 23 は、浮遊拡散領域 FD 2 に蓄積された電荷に応じた電圧値の画素信号を垂直信号線 VSL 2 に出現させる。リセットトランジスタ 22 は、浮遊拡散領域 FD 2 に蓄積された電荷を放出する。選択トランジスタ 24 は、読出し対象の IR 画素 20 を選択する。
- [0055] 光電変換部 PD 2 のアノードは、接地されており、カソードは、転送トランジスタ 21 に接続される。転送トランジスタ 21 のドレインは、リセットトランジスタ 22 のソースおよび増幅トランジスタ 23 のゲートに接続されており、これらを接続する配線構造が、浮遊拡散領域 FD 2 を構成する。光電変換部 PD 2 から転送トランジスタ 21 を介して流出した電荷は、浮遊拡散領域 FD 2 に蓄積される。
- [0056] 浮遊拡散領域 FD 2 は、蓄積している電荷をその電荷量に応じた電圧値の電圧に変換する。なお、浮遊拡散領域 FD 2 は、例えば、対接地容量であってもよい。ただし、これに限定されず、浮遊拡散領域 FD 2 は、転送トラン

ジスタ 21 のドレインとリセットトランジスタ 22 のソースと増幅トランジスタ 23 のゲートとが接続するノードにキャパシタなどを意図的に接続することで付加された容量等であってもよい。

[0057] 排出トランジスタ 25 は、光電変換部 PD 2 に蓄積された電荷を排出して、光電変換部 PD 2 をリセットする際にオン状態とされる。それにより、光電変換部 PD 2 に蓄積された電荷が排出トランジスタ 25 を介して電源線へ流出し、光電変換部 PD 2 が露光されていない状態にリセットされる。

[0058] 垂直信号線 VSL 2 は、垂直信号線 VSL 1 と同様、IR 信号処理回路 103B においてカラム毎（すなわち、垂直信号線 VSL 2 毎）に設けられた AD 変換回路 103a に接続される。

[0059] 1. 5. 1 回路構成の変形例

ここで、画素アレイ部 101 における RGB 画素 10 に対して所謂グローバルシャッタ方式の読出し駆動を可能にする回路構成を、変形例として説明する。図 7 は、本実施形態の変形例に係る単位画素の概略構成例を示す回路図である。図 7 に示すように、本変形例では、各単位画素 110 における RGB 画素 10A が、メモリ MEM と転送ゲート 15 とをさらに備える。

[0060] メモリ MEM は、転送ゲート 11 に接続され、光電変換部 PD 1 から流出した電荷を一時保持する。転送ゲート 15 は、メモリ MEM と浮遊拡散領域 FD 1 との間に設けられ、メモリ MEM からの電荷の漏れ出しを抑制する。

[0061] 露光後の電荷転送時には、画素アレイ部 101 における全ての RGB 画素 10 の転送ゲート 11 が一斉にオン状態とされる。転送ゲート 11 のオン状態とは、蓄積電極 37 との関係で構成される状態であり、例えば、光電変換部 PD 1 において発生する電荷が電子である場合には蓄積電極 37 の電位が転送ゲートの電位よりも高く、電荷が正孔である場合には蓄積電極 37 の電位が転送ゲートの電位よりも低いことで、半導体層 35 に蓄積された電荷が転送ゲート 11 を介して FD 1 へ流出する状態にあることをいう。一方、転送ゲート 11 のオフ状態とは、例えば、光電変換部 PD 1 において発生する電荷が電子である場合には蓄積電極 37 の電位が転送ゲート 11 の電位より

も低く、電荷が正孔である場合には蓄積電極 37 の電位が転送ゲートの電位よりも高いことで、光電変換膜 34 で発生した電荷が半導体層 35 に蓄積される状態にあることをいう。全ての RGB 画素 10 の転送ゲート 11 を一斉にオン状態とすることで、同一期間中に各 RGB 画素 10 の光電変換部 PD1 で発生した電荷が各 RGB 画素 10 のメモリ MEM に転送されて保持される。メモリ MEM に保持された電荷に基づく画素信号の読出しは、所謂ローリングシャッタ方式の読出し駆動と同様であってよい。なお、以下の説明では、光電変換部 PD1 及び PD2 が光電変換により発生させる電荷が電子である場合を例示するが、これに限定されず、正孔である場合にも、電位制御の方向を反転させることで、本開示に係る技術を同様に適用することが可能である。

[0062] 1. 6 単位画素の断面構造例

次に、図 8 を参照して、一実施形態に係るイメージセンサ 100 の断面構造例を説明する。図 8 は、本実施形態に係るイメージセンサの断面構造例を示す断面図である。ここでは、単位画素 110 における光電変換部 PD1 及び PD2 が形成された半導体チップに着目してその断面構造例を説明する。

[0063] また、以下の説明では、光の入射面が半導体基板 50 の裏面側（素子形成面と反対側）である、いわゆる裏面照射型の断面構造を例示するが、これに限定されず、光の入射面が半導体基板 50 の表面側（素子形成面側）である、いわゆる表面照射型の断面構造であってもよい。さらに、本説明では、RGB 画素 10 の光電変換部 PD1 に有機材料が用いられた場合を例示するが、上述したように、光電変換部 PD1 及び PD2 それぞれの光電変換材料には、有機材料及び半導体材料（無機材料ともいう）のうちの一方若しくは両方が用いられてよい。

[0064] なお、光電変換部 PD1 の光電変換材料及び光電変換部 PD2 の光電変換材料の両方に半導体材料を用いる場合、イメージセンサ 100 は、光電変換部 PD1 と光電変換部 PD2 とが同一の半導体基板 50 に作り込まれた断面構造を有してもよいし、光電変換部 PD1 が作り込まれた半導体基板と光電

変換部PD2が作り込まれた半導体基板とが貼り合わされた断面構造を有してもよいし、光電変換部PD1及びPD2のうちの一方が半導体基板50に作り込まれ、他方が半導体基板50の裏面又は表面上に形成された半導体層に作り込まれた断面構造を有してもよい。

[0065] 図8に示すように、本実施形態では、半導体基板50にIR画素20の光電変換部PD2が形成され、半導体基板50の裏面側（素子形成面と反対側）の面上に、RGB画素10の光電変換部PD1が設けられた構造を備える。なお、図8では、説明の都合上、半導体基板50の裏面が紙面中上側に位置し、表面が下側に位置している。

[0066] 半導体基板50には、例えば、シリコン（Si）などの半導体材料が用いられてよい。ただし、これに限定されず、GaAs、InGaAs、InP、AlGaAs、InGaP、AlGaInP、InGaAsP等の化合物半導体を含む種々の半導体材料が用いられてよい。

[0067] （RGB画素10）

RGB画素10の光電変換部PD1は、絶縁層53を挟んで、半導体基板50の裏面側に設けられている。光電変換部PD1は、例えば、有機材料により構成された光電変換膜34と、光電変換膜34を挟むように配置された透明電極33及び半導体層35とを備える。光電変換膜34に対して紙面中上側（以降、紙面中上側を上面側とし、下側を下面側とする）に設けられた透明電極33は、例えば、光電変換部PD1のアノードとして機能し、下面側に設けられた半導体層35は、光電変換部PD1のカソードとして機能する。

[0068] カソードとして機能する半導体層35は、絶縁層53中に形成された読出し電極36に電氣的に接続される。読出し電極36は、絶縁層53及び半導体基板50を貫通する配線61、62、63及び64に接続することで、半導体基板50の表面（下面）側にまで電氣的に引き出されている。なお、図8には示されていないが、配線64は、図6に示す浮遊拡散領域FD1に電氣的に接続されている。

[0069] カソードとして機能する半導体層 35 の下面側には、絶縁層 53 を挟んで蓄積電極 37 が併設される。図 8 には示されていないが、蓄積電極 37 は、画素駆動線 LD1 における転送制御線に接続されており、上述したように、露光時には、光電変換部 PD1 に発生した電荷を蓄積電極 37 の近傍の半導体層 35 に集めるための電圧が印加され、読出し時には、蓄積電極 37 の近傍の半導体層 35 に集められた電荷を読出し電極 36 を介して流出させるための電圧が印加される。

[0070] 読出し電極 36 及び蓄積電極 37 は、透明電極 33 と同様に、透明な導電膜であってよい。透明電極 33 並びに読出し電極 36 及び蓄積電極 37 には、例えば、酸化インジウムスズ (ITO) や酸化亜鉛 (IZO) などの透明導電膜が用いられてよい。ただし、これらに限定されず、光電変換部 PD2 が検出対象とする波長帯の光を透過させ得る導電膜であれば、種々の導電膜が使用されてよい。

[0071] また、半導体層 35 には、例えば、IGZO などの透明な半導体層が用いられてよい。ただし、これらに限定されず、光電変換部 PD2 が検出対象とする波長帯の光を透過させ得る半導体層であれば、種々の半導体層が使用されてよい。

[0072] さらに、絶縁層 53 は、例えば、シリコン酸化膜 (SiO₂) やシリコン窒化膜 (SiN) などの絶縁膜が使用されてよい。ただし、これらに限定されず、光電変換部 PD2 が検出対象とする波長帯の光を透過させ得る絶縁膜であれば、種々の絶縁膜が使用されてよい。

[0073] アノードとして機能する透明電極 33 の上面側には、封止膜 32 を挟んでカラーフィルタ 31 が設けられる。封止膜 32 は、例えば、窒化シリコン (SiN) などの絶縁材料で構成され、透明電極 33 からアルミニウム (Al) やチタニウム (Ti) などの原子が拡散することを防止するために、これらの原子を含み得る。

[0074] カラーフィルタ 31 の配列については後述において説明するが、例えば、1つのRGB画素10に対しては、特定の波長成分の光を選択的に透過させ

るカラーフィルタ 31 が設けられる。ただし、色情報を取得する RGB 画素 10 の代わりに輝度情報を取得するモノクロ画素を設ける場合には、カラーフィルタ 31 が省略されてもよい。

[0075] (IR 画素 20)

IR 画素 20 の光電変換部 PD 2 は、例えば、半導体基板 50 における p ウェル領域 42 に形成された p 型半導体領域 43 と、p 型半導体領域 43 の中央付近に形成された n 型半導体領域 44 とを備える。n 型半導体領域 44 は、例えば、光電変換により発生した電荷（電子）を蓄積する電荷蓄積領域として機能し、p 型半導体領域 43 は、光電変換により発生した電荷を n 型半導体領域 44 内に集めるための電位勾配を形成する領域として機能する。

[0076] 光電変換部 PD 2 の光入射面側には、例えば、IR 光を選択的に透過させる IR フィルタ 41 が配置される。IR フィルタ 41 は、例えば、半導体基板 50 の裏面側に設けられた絶縁層 53 内に配置されてよい。IR フィルタ 41 を光電変換部 PD 2 の光入射面に配置することで、光電変換部 PD 2 への可視光の入射を抑制することが可能となるため、可視光に対する IR 光の S/N 比を改善することができる。それにより、IR 光のより正確な検出結果を得ることが可能となる。

[0077] 半導体基板 50 の光入射面には、入射光（本例では IR 光）の反射を抑制するために、例えば、微細な凹凸構造が設けられている。この凹凸構造は、いわゆるモスアイ構造と称される構造であってもよいし、モスアイ構造とはサイズやピッチが異なる凹凸構造であってもよい。

[0078] 半導体基板 50 の表面（紙面中下面）側、すなわち、素子形成面側には、転送トランジスタ 21 として機能する縦型トランジスタ 45 が設けられる。縦型トランジスタ 45 のゲート電極は、半導体基板 50 の表面から n 型半導体領域 44 にまで達しており、層間絶縁膜 56 に形成された配線 65 及び 66（画素駆動線 LD 2 の転送制御線の一部）を介して垂直駆動回路 102 に接続されている。

[0079] 縦型トランジスタ 45 を介して流出した電荷は、浮遊拡散領域 FD 2 に蓄

積される。浮遊拡散領域FD2は、層間絶縁膜56に形成された不図示の配線を介して、リセットトランジスタ22のソース及び増幅トランジスタ23のゲートに接続される。なお、浮遊拡散領域FD2、リセットトランジスタ22、増幅トランジスタ23及び選択トランジスタ24は、半導体基板50の素子形成面に設けられてもよいし、半導体基板50とは異なる半導体基板に設けられてもよい。

[0080] なお、本説明では、入射光に対して上流に位置するRGB画素10がRGBの画像信号を生成し、下流に位置するIR画素20がIR光に基づく画像信号を生成する場合を例示したが、このような構成に限定されない。例えば、上流側の画素（RGB画素10に相当）で緑色に相当する波長成分の光に基づく画像信号を生成し、下流側の画素（IR画素20に相当）で赤色に相当する波長成分の光に基づく画像信号及び青色に相当する波長成分の光に基づく画像信号を生成するように構成されてもよい。その場合、光電変換膜34に緑色に相当する波長成分を選択的に吸収する材料が用いられるとともに、IRフィルタ41の代わりに、赤色に相当する波長成分を選択的に透過させるカラーフィルタ及び青色に相当する波長成分を選択的に透過させるカラーフィルタが行列状に配列され得る。さらにこの構成では、カラーフィルタ31を省略することも可能である。このように構成することで、カラー画像を構成するRGB三原色（CMY三原色等であってもよい）それぞれの波長成分を検出する画素の受光面積を拡大することが可能となるため、量子効率の増加によるS/N比の向上を達成することが可能となる。

[0081] （画素分離構造）

半導体基板50には、複数の単位画素110の間を電氣的に分離する画素分離部54が設けられており、この画素分離部54で区画された各領域内に、光電変換部PD2が設けられる。例えば、半導体基板50の裏面（図中上面）側からイメージセンサ100を見た場合、画素分離部54は、例えば、複数の単位画素110の間に介在する格子形状を有しており、各光電変換部PD2は、この画素分離部54で区画された各領域内に形成されている。

- [0082] 画素分離部54には、例えば、タングステン（W）やアルミニウム（Al）などの光を反射する反射膜が用いられてもよい。それにより、光電変換部PD2内に進入した入射光を画素分離部54で反射させることが可能となるため、光電変換部PD2内での入射光の光路長を長くすることが可能となる。加えて、画素分離部54を光反射構造とすることで、隣接画素への光の漏れ込みを低減することが可能となるため、画質や測距精度等をより向上させることも可能となる。なお、画素分離部54を光反射構造とする構成は、反射膜を用いる構成に限定されず、例えば、画素分離部54に半導体基板50とは異なる屈折率の材料を用いることでも実現することができる。
- [0083] 半導体基板50と画素分離部54との間には、例えば、固定電荷膜55が設けられる。固定電荷膜55は、例えば、半導体基板50との界面部分において正電荷（ホール）蓄積領域が形成されて暗電流の発生が抑制されるように、負の固定電荷を有する高誘電体を用いて形成されている。固定電荷膜55が負の固定電荷を有するように形成されていることで、その負の固定電荷によって、半導体基板138との界面に電界が加わり、正電荷（ホール）蓄積領域が形成される。
- [0084] 固定電荷膜55は、例えば、ハフニウム酸化膜（ HfO_2 膜）で形成することができる。また、固定電荷膜55は、その他、例えば、ハフニウム、ジルコニウム、アルミニウム、タンタル、チタン、マグネシウム、イットリウム、ランタノイド元素等の酸化物の少なくとも1つを含むように形成することができる。
- [0085] なお、図8には、画素分離部54が半導体基板50の表面から裏面にまで達する、いわゆるFTI（Full Trench Isolation）構造を有する場合が例示されているが、これに限定されず、例えば、画素分離部54が半導体基板50の裏面又は表面から半導体基板50の中腹付近まで形成された、いわゆるDTI（Deep Trench Isolation）構造など、種々の素子分離構造を採用することが可能である。
- [0086] （瞳補正）

カラーフィルタ 31 の上面上には、シリコン酸化膜やシリコン窒化膜などによる平坦化膜 52 が設けられる。平坦化膜 52 の上面上は、例えば、CMP (Chemical Mechanical Polishing) により平坦化され、この平坦化された上面上には、単位画素 110 ごとのオンチップレンズ 51 が設けられる。各単位画素 110 のオンチップレンズ 51 は、入射光を光電変換部 PD1 及び PD2 に集めるような曲率を備えている。なお、各単位画素 110 におけるオンチップレンズ 51、カラーフィルタ 31、IR フィルタ 41、光電変換部 PD2 の位置関係は、例えば、画素アレイ部 101 の中心からの距離（像高）に応じて調節されていてもよい（瞳補正）。

[0087] また、図 8 に示す構造において、斜めに入射した光が隣接画素へ漏れ込むことを防止するための遮光膜が設けられてもよい。遮光膜は、半導体基板 50 の内部に設けられた画素分離部 54 の上方（入射光の光路における上流側）に位置し得る。ただし、瞳補正をする場合、遮光膜の位置は、例えば、画素アレイ部 101 の中心からの距離（像高）に応じて調節されていてもよい。このような遮光膜は、例えば、封止膜 32 内や平坦化膜 52 内に設けられてよい。また、遮光膜の材料には、例えば、アルミニウム (Al) やタングステン (W) などの遮光材料が用いられてよい。

[0088] 1. 7 各層の材料

一実施形態において、光電変換膜 34 の材料に有機系半導体を用いる場合、光電変換膜 34 の層構造は、以下のような構造とすることが可能である。ただし、積層構造の場合、その積層順は適宜入れ替えることが可能である。

- (1) p 型有機半導体の単層構造
- (2) n 型有機半導体の単層構造
- (3-1) p 型有機半導体層 / n 型有機半導体層の積層構造
- (3-2) p 型有機半導体層 / p 型有機半導体と n 型有機半導体との混合層 (バルクヘテロ構造) / n 型有機半導体層の積層構造
- (3-3) p 型有機半導体層 / p 型有機半導体と n 型有機半導体との混合層 (バルクヘテロ構造) の積層構造

(3-4) n型有機半導体層／p型有機半導体とn型有機半導体との混合層
(バルクヘテロ構造)の積層構造

(4) p型有機半導体とp型有機半導体との混合層(バルクヘテロ構造)

[0089] ここで、p型有機半導体としては、ナフタレン誘導体、アントラセン誘導体、フェナントレン誘導体、ピレン誘導体、ペリレン誘導体、テトラセン誘導体、ペンタセン誘導体、キナクリドン誘導体、チオフェン誘導体、チエノチオフェン誘導体、ベンゾチオフェン誘導体、ベンゾチエノベンゾチオフェン誘導体、トリアリルアミン誘導体、カルバゾール誘導体、ペリレン誘導体、ピセン誘導体、クリセン誘導体、フルオランテン誘導体、フタロシアニン誘導体、サブフタロシアニン誘導体、サブポルフィラジン誘導体、複素環化合物を配位子とする金属錯体、ポリチオフェン誘導体、ポリベンゾチアジアゾール誘導体、ポリフルオレン誘導体等を挙げることができる。

[0090] n型有機半導体としては、フラーレン及びフラーレン誘導体(例えば、C₆₀や、C₇₀、C₇₄等のフラーレン(高次フラーレン、内包フラーレン等)又はフラーレン誘導体(例えば、フラーレンフッ化物やPCBMフラーレン化合物、フラーレン多量体等))、p型有機半導体よりもHOMO及びLUMOが大きい(深い)有機半導体、透明な無機金属酸化物を挙げることができる。

[0091] n型有機半導体として、具体的には、窒素原子、酸素原子、硫黄原子を含有する複素環化合物、例えば、ピリジン誘導体、ピラジン誘導体、ピリミジン誘導体、トリアジン誘導体、キノリン誘導体、キノキサリン誘導体、イソキノリン誘導体、アクリジン誘導体、フェナジン誘導体、フェナントロリン誘導体、テトラゾール誘導体、ピラゾール誘導体、イミダゾール誘導体、チアゾール誘導体、オキサゾール誘導体、イミダゾール誘導体、ベンズイミダゾール誘導体、ベンゾトリアゾール誘導体、ベンズオキサゾール誘導体、ベンズオキサゾール誘導体、カルバゾール誘導体、ベンゾフラン誘導体、ジベンゾフラン誘導体、サブポルフィラジン誘導体、ポリフェニレンビニレン誘導体、ポリベンゾチアジアゾール誘導体、ポリフルオレン誘導体等を分子骨

格の一部に有する有機分子、有機金属錯体やサブフタロシアニン誘導体を挙げることができる。

[0092] フラーレン誘導体に含まれる基等として、ハロゲン原子；直鎖、分岐若しくは環状のアルキル基若しくはフェニル基；直鎖若しくは縮環した芳香族化合物を有する基；ハロゲン化物を有する基；パーシャルフルオロアルキル基；パーフルオロアルキル基；シリルアルキル基；シリルアルコキシ基；アリーールシリル基；アリーールスルファニル基；アルキルスルファニル基；アリーールスルホニル基；アルキルスルホニル基；アリーールスルフィド基；アルキルスルフィド基；アミノ基；アルキルアミノ基；アリーールアミノ基；ヒドロキシ基；アルコキシ基；アシルアミノ基；アシルオキシ基；カルボニル基；カルボキシ基；カルボキソアミド基；カルボアルコキシ基；アシル基；スルホニル基；シアノ基；ニトロ基；カルコゲン化物を有する基；ホスフィン基；ホスホン基；これらの誘導体を挙げることができる。

[0093] 以上のような有機系材料から構成された光電変換膜34の膜厚としては、次の値に限定されるものではないが、例えば、 $1 \times 10^{-8} \text{ m}$ （メートル）乃至 $5 \times 10^{-7} \text{ m}$ 、好ましくは、 $2.5 \times 10^{-8} \text{ m}$ 乃至 $3 \times 10^{-7} \text{ m}$ 、より好ましくは、 $2.5 \times 10^{-8} \text{ m}$ 乃至 $2 \times 10^{-7} \text{ m}$ 、一層好ましくは、 $1 \times 10^{-7} \text{ m}$ 乃至 $1.8 \times 10^{-7} \text{ m}$ を例示することができる。尚、有機半導体は、p型、n型と分類されることが多いが、p型とは正孔を輸送し易いという意味であり、n型とは電子を輸送し易いという意味であり、無機半導体のように熱励起の多数キャリアとして正孔又は電子を有しているという解釈に限定されるものではない。

[0094] 緑色の波長の光を光電変換する光電変換膜34を構成する材料としては、例えば、ローダミン系色素、メラシアニン系色素、キナクリドン誘導体、サブフタロシアニン系色素（サブフタロシアニン誘導体）等を挙げることができる。

[0095] また、青色の光を光電変換する光電変換膜34を構成する材料としては、例えば、クマリン酸色素、トリスー8ーヒドリックシキノリアルミニウム（A

l q 3)、メラシアニン系色素等を挙げることができる。

[0096] さらに、赤色の光を光電変換する光電変換膜 3 4 を構成する材料としては、例えば、フタロシアニン系色素、サブフタロシアニン系色素（サブフタロシアニン誘導体）を挙げることができる。

[0097] さらにまた、光電変換膜 3 4 としては、紫外域から赤色域にかけて略全ての可視光に対して感光するパングロマチックな感光性有機光電変換膜を用いることも可能である。

[0098] 一方、半導体層 3 5 を構成する材料には、バンドギャップの値が大きく（例えば、 3.0 eV （エレクトロンボルト）以上のバンドギャップの値）、しかも、光電変換膜 3 4 を構成する材料よりも高い移動度を有する材料が用いられることが好ましい。具体的には、IGZO等の酸化物半導体材料、遷移金属ダイカルコゲナイド、シリコンカーバイド、ダイヤモンド、グラフェン、カーボンナノチューブ、縮合多環炭化水素化合物や縮合複素環化合物等の有機半導体材料等を挙げることができる。

[0099] 或いは、光電変換膜 3 4 で発生する電荷が電子である場合、半導体層 3 5 を構成する材料には、光電変換膜 3 4 を構成する材料のイオン化ポテンシャルよりも大きなイオン化ポテンシャルを有する材料を用いることができる。一方、電荷が正孔である場合、半導体層 3 5 を構成する材料には、光電変換膜 3 4 を構成する材料の電子親和力よりも小さな電子親和力を有する材料を用いることができる。

[0100] なお、半導体層 3 5 を構成する材料における不純物濃度は、 $1 \times 10^{18}\text{ cm}^{-3}$ 以下であることが好ましい。また、光電変換性能と移動度性能とを満たすことが可能であれば、光電変換膜 3 4 と半導体層 3 5 とを同じ材料で構成することも可能である。

[0101] さらに、透明電極 3 3、読出し電極 3 6、半導体層 3 5 及び蓄積電極 3 7 それぞれの材料には、透明材料が用いられることが望ましい。具体的には、Al-Nd（アルミニウム及びネオジウムの合金）又はASC（アルミニウム、サマリウム及び銅の合金）から成る材料を用いることができる。

[0102] また、透明導電材料のバンドギャップエネルギーは、 2.5 eV 以上、好ましくは、 3.1 eV 以上であることが望ましい。

[0103] 一方、透明電極33、読出し電極36及び蓄積電極37を透明電極とする場合には、それらを構成する透明導電材料としては、導電性のある金属酸化物を挙げることができる。

[0104] 具体的には、酸化インジウム、インジウム－錫酸化物（ITO (Indium Tin Oxide)、Snドープの In_2O_3 、結晶性ITO及びアモルファスITOを含む）、酸化亜鉛にドーパントとしてインジウムを添加したインジウム－亜鉛酸化物（IZO (Indium Zinc Oxide)）、酸化ガリウムにドーパントとしてインジウムを添加したインジウム－ガリウム酸化物（IGO）、酸化亜鉛にドーパントとしてインジウムとガリウムを添加したインジウム－ガリウム－亜鉛酸化物（IGZO (In-Ga-ZnO_4))、酸化亜鉛にドーパントとしてインジウムと錫を添加したインジウム－錫－亜鉛酸化物（ITZO）、IFO（Fドープの In_2O_3 ）、酸化錫（ SnO_2 ）、ATO（Sbドープの SnO_2 ）、FTO（Fドープの SnO_2 ）、酸化亜鉛（他元素をドーパした ZnO を含む）、酸化亜鉛にドーパントとしてアルミニウムを添加したアルミニウム－亜鉛酸化物（AZO）、酸化亜鉛にドーパントとしてガリウムを添加したガリウム－亜鉛酸化物（GZO）、酸化チタン（ TiO_2 ）、酸化チタンにドーパントとしてニオブを添加したニオブ－チタン酸化物（TNO）、酸化アンチモン、スピネル型酸化物、 YbFe_2O_4 構造を有する酸化物を例示することができる。

[0105] 或いは、ガリウム酸化物、チタン酸化物、ニオブ酸化物、ニッケル酸化物等を母層とする透明電極を挙げることにもできる。

[0106] さらに、透明電極の厚さとしては、 $2 \times 10^{-8}\text{ m}$ 乃至 $2 \times 10^{-7}\text{ m}$ 、好ましくは、 $3 \times 10^{-8}\text{ m}$ 乃至 $1 \times 10^{-7}\text{ m}$ を挙げることができる。

[0107] 1.8 単位画素の変形例

上述では、1つの単位画素が1つのRGB画素10と1つのIR画素20とを備える場合を例示したが、このような構成に限定されない。すなわち、

各单位画素110は、N個（Nは1以上の整数）のRGB画素10とM個（Mは1以上の整数）のIR画素20とを備えていてもよい。その際、N個のRGB画素10は、画素回路の一部を共有してもよく、同様に、M個のIR画素20は、画素回路の一部を共有してもよい。

[0108] 1. 8. 1 単位画素の構成例

図9は、本実施形態の変形例に係る単位画素の概略構成例を示す模式図である。図9に示すように、単位画素110Aは、2行2列に配列した4つのRGB画素10に対して1つのIR画素20が、光の入射方向に配置された構造を備える。すなわち、本変形例では、4つのRGB画素10に対して1つのIR画素20が、単位画素110Aの配列方向（平面方向）に対して垂直方向に位置されており、入射光の光路における上流側に位置する4つのRGB画素10を透過した光が、これら4つのRGB画素10の下流側に位置する1つのIR画素20に入射するように構成されている。したがって、本変形例では、4つのRGB画素10で構成されたベイヤー配列の単位配列とIR画素20との入射光の光軸が一致又は略一致している。

[0109] 1. 8. 2 単位画素の回路構成例

図10は、本実施形態の変形例に係る単位画素の概略構成例を示す回路図である。図10に示すように、単位画素110Aは、複数のRGB画素10-1～10-N（図10では、Nは4）と、1つのIR画素20とを備える。このように、1つの単位画素110Aが複数のRGB画素10を備える場合、複数のRGB画素10で1つの画素回路（リセットトランジスタ12、浮遊拡散領域FD1、増幅トランジスタ13及び選択トランジスタ14）を共有することが可能である（画素共有）。そこで、本変形例では、複数のRGB画素10-1～10-Nが、リセットトランジスタ12、浮遊拡散領域FD1、増幅トランジスタ13及び選択トランジスタ14よりなる画素回路を共有する。すなわち、本変形例では、共通の浮遊拡散領域FD1に複数の光電変換部PD1及び転送ゲート11が接続されている。

[0110] 1. 8. 3 単位画素の断面構造例

図 1 1 は、本実施形態の変形例に係るイメージセンサの断面構造例を示す断面図である。なお、本説明では、図 8 と同様に、各单位画素 1 1 0 A が 2 行 2 列に配列した 4 つの R G B 画素 1 0 と、1 つの I R 画素 2 0 とから構成されている場合を例に挙げる。また、以下の説明では、図 8 と同様に、単位画素 1 1 0 A における光電変換部 P D 1 及び P D 2 が形成された半導体チップに着目してその断面構造例を説明する。さらに、以下の説明において、図 8 を用いて説明したイメージセンサ 1 0 0 の断面構造と同様の構造については、それらを引用することで、重複する説明を省略する。

[0111] 図 1 1 に示すように、本変形例では、図 8 に例示した断面構造と同様の断面構造において、オンチップレンズ 5 1 と、カラーフィルタ 3 1 と、蓄積電極 3 7 とが、2 行 2 列の 4 つ（ただし、図 1 1 では 4 つのうちの 2 つが示されている）に分割され、それにより、4 つの R G B 画素 1 0 が構成されている。なお、各单位画素 2 1 0 における 4 つの R G B 画素 1 0 は、ベイヤー配列の基本配列を構成してよい。

[0112] 1. 9 量子効率の向上

つづいて、上記のような基本構成を備える単位画素 1 1 0（又は単位画素 1 1 0 A。以下同じ）において、量子効率を高める構成について、いくつか例を挙げて説明する。なお、以下では、明確化のため、光電変換部が有機光電変換膜で構成された画素（本例では、R G B 画素 1 0）に着目し、光電変換部が半導体で構成された画素（本例では、I R 画素 2 0）の図示及びその説明を省略する。また、説明の簡略化のため、R G B 画素 1 0 の断面構造において、カラーフィルタ 3 1 より上層の構成、並びに、読出し電極 3 6 より下層の構成については、図示並びにその説明を省略する。さらに、以下の説明では、R G B 画素 1 0 を単に画素 1 0 とも称する。さらにまた、以下の説明において、浮遊拡散領域 F D 1 に電氣的に接続する読出し電極 3 6 を浮遊拡散領域 F D 1 の一部として説明する。さらにまた、以下の説明では、光電変換膜 3 4 が光電変換により発生する電荷が負の電荷（すなわち、電子）である場合を例示する。ただし、光電変換膜 3 4 が光電変換により発生する電

荷は、正の電荷（すなわち、正孔）であってもよい。さらにまた、各例で説明した構造及び効果は、特に言及されていない場合、他の例に対しても同様であってよい。

[0113] 1. 9. 1 第1例

図12は、本実施形態の第1例に係る画素の断面構造を示す垂直断面図である。図13は、図12におけるA-A断面を示す水平断面図である。なお、ここでの垂直とは、半導体基板50の素子形成面に対して垂直であることを意味し、水平とは、素子形成面に対して水平であることを意味する。

[0114] 図12及び図13に示すように、第1例に係る画素10では、光電変換膜34の直下に位置する半導体層35の一部が、光電変換膜34とは反対側に突出して読出し電極36に接続される。以下の説明では、この突出した部分を半導体配線60という。

[0115] 半導体配線60における半導体層35側には、中央が開口された蓄積電極37が半導体配線60を囲むように配置される。蓄積電極37と半導体配線60との間は、絶縁層53が介在することで、電氣的に分離される。

[0116] また、半導体配線60における読出し電極36側には、転送ゲート11が配置される。転送ゲート11は、例えば、光電変換膜34が発生する電荷と同じ極性を持つ固定電荷膜により構成されている。固定電荷膜の材料としては、固定電荷膜55と同様に、ハフニウム酸化膜（ HfO_2 膜）や、その他、例えば、ハフニウム、ジルコニウム、アルミニウム、タンタル、チタン、マグネシウム、イットリウム、ランタノイド元素等の酸化物の少なくとも1つを含むように形成することができる。この固定電荷膜、すなわち転送ゲート11が持つ電位は、蓄積電極37をオフ状態としたときの蓄積電極37近傍の半導体層35の電位よりも低い電位であることが望ましい。このような転送ゲート11は、蓄積電極37と同様に、中央が開口された形状を有し、半導体配線60を囲むように配置される。転送ゲート11と半導体配線60との間は、絶縁層53を介することで離間してもよいし、接触してもよい。

[0117] なお、単位画素110が図11に例示したような画素回路の一部を共有す

る画素共有の構成を備える場合、半導体配線 60 に対して配置される蓄積電極 37 及び転送ゲート 11 は、画素 10 ごとに分割されていてもよい。

[0118] このような構造において、露光期間中、蓄積電極 37 には、この蓄積電極 37 近傍の半導体層 35 における電位を下げる駆動信号（制御電圧ともいう）が垂直駆動回路 102 から印加される。したがって、光電変換膜 34 で発生して半導体層 35 に進入した電荷 58 は、半導体層 35 における蓄積電極 37 近傍の領域に溜まる。その際、電荷と同じ極性を持つ転送ゲート 11 により、電荷が蓄積された領域と転送ゲート 11 との間の半導体配線 60 に電位障壁が形成されているため、蓄積された電荷の読出し電極 36 側への漏れ出しが抑制される。それにより、量子効率を向上させることが可能となる。

[0119] また、第 1 例では、各画素 10 の蓄積電極（ASE）37 の周囲を囲むように、シールド電極（SLD）57 が配置される。シールド電極 57 は、画素駆動線 LD の 1 つである不図示の配線を介して垂直駆動回路 102 に接続される。垂直駆動回路 102 は、各画素 10 を個別に駆動する場合、シールド電極 57 に駆動信号を印加することで、隣接する画素 10 の間に位置する半導体層 35 に電位障壁を形成する。それにより、ある画素 10 の光電変換膜 34 で発生して半導体層 35 に進入した電荷が隣接の画素 10 へ流出することが抑制されるため、画素 10 の量子効率をより向上させることが可能となる。

[0120] なお、図 13 では、半導体配線 60 の水平断面並びに蓄積電極 37 及び転送ゲート 11 の開口形状が円形である場合を例示したが、例えば、図 14 や図 15 に示すように、四角形や正八角形などの多角形や楕円等の様々な形状に変更されてよい。これは、後述する他の例についても同様である。

[0121] 1. 9. 2 第 2 例

図 16 は、本実施形態の第 2 例に係る画素の断面構造を示す垂直断面図である。図 16 に示すように、第 2 例に係る画素 10 は、上述において図 12 を用いて説明した第 1 例に係る画素 10 と同様の断面構造において、転送ゲート 11 が蓄積電極 37 の内側に配置された構造を備える。すなわち、第 2

例では、蓄積電極 37 の開口が拡径され、蓄積電極 37 と同一平面に転送ゲート 11 が配置されている。

[0122] このような構造によれば、半導体配線 60 の長さを短くすることが可能となるため、イメージセンサ 100 の低背化、強いては小型化が可能となる。

[0123] 1. 9. 3 第3例

図 17 は、本実施形態の第 3 例に係る画素の断面構造を示す垂直断面図である。図 17 に示すように、第 3 例に係る画素 10 は、上述において図 12 を用いて説明した第 1 例に係る画素 10 と同様の断面構造において、半導体配線 60 が、読出し電極 36 に近づくにつれて細くなるテーパ形状を有する。

[0124] このような構造によれば、半導体層 35 側の半導体配線 60 の径が広くなるため、半導体層 35 に蓄積された電荷の読出し電極 36 側への転送をスムーズに行うことが可能となる。

[0125] また、読出し電極 36 側の半導体配線 60 の径が狭くなるため、読出し電極 36 との接触面積が小さくなり、それにより、読出し電極 36 の縮小が可能となる。その結果、読出し電極 36 よりも下層へ伝搬する光の量を増加させることが可能となるため、例えば、画素 10 の下層に IR 画素 20 の光電変換部 PD2 を配した場合の IR 画素 20 の量子効率をより高めることが可能となる。

[0126] 1. 9. 4 第4例

図 18 は、本実施形態の第 4 例に係る画素の断面構造を示す垂直断面図である。図 18 に示すように、第 4 例に係る画素 10 は、上述において図 12 を用いて説明した第 1 例に係る画素 10 と同様の断面構造において、隣接する画素 10 間で読出し電極 36（及び浮遊拡散領域 FD）が共有された構造を備える。

[0127] このように、読出し電極 36 及び浮遊拡散領域 FD が共有化され、転送ゲート 11 を用いて各画素 10 から浮遊拡散領域 FD への電荷の転送が制御可能な構造によれば、画素 10 ごとの読出しと、複数の画素 10 からの同時読

出しとを切り替えることが可能となる。

[0128] 1. 9. 5 第5例

図19は、本実施形態の第5例に係る画素の断面構造を示す垂直断面図である。図20は、図19におけるB-B断面を示す水平断面図である。なお、図19では、説明の都合上、カラーフィルタ31より上層の構成が示されている。

[0129] 図19及び図20に示すように、第5例に係る画素10は、上述において図12を用いて説明した第1例に係る画素10と同様の断面構造において、複数（本例では2つ）の画素10に対して1つのオンチップレンズ51が設けられた構造を備える。

[0130] このような構造によれば、1つのオンチップレンズ51を共有する画素10間で像面位相差情報を取得することが可能となるため、イメージセンサ100を制御するシステム制御部1050において像面位相差情報に基づいたオートフォーカスなどの制御を実行することが可能となる。

[0131] 1. 9. 6 第6例

第6例では、図7に例示したグローバルシャッタ方式の読出し駆動が可能な画素10について説明する。図21は、本実施形態の第6例に係る画素の断面構造を示す垂直断面図である。図21に示すように、第6例に係る画素10は、上述において図12を用いて説明した第1例に係る画素10と同様の断面構造において、転送ゲート11と読出し電極36との間に、メモリMEMを構成するメモリ電極16と転送ゲート15とが順に配置された構造を備える。

[0132] 転送ゲート15は、例えば、転送ゲート11と同様に、固定電荷膜で構成され、半導体配線60における最も読出し電極36に近い側に配置される。ただし、転送ゲート15の電位は、転送ゲート11の電位よりも低い電位であってよい。転送ゲート15は、蓄積電極37と同様に、中央が開口された形状を有し、半導体配線60を囲むように配置される。転送ゲート15と半導体配線60との間には、絶縁層53を介して離間してもよいし、接触しても

よい。

[0133] メモリ電極 16 は、転送ゲート 11 と転送ゲート 15 との間に配置される。また、メモリ電極 16 は、蓄積電極 37 と同様に、中央が開口された形状を有し、半導体配線 60 を囲むように配置される。

[0134] このような構造によれば、半導体層 35 から転送ゲート 11 を介して転送された電荷を、半導体配線 60 におけるメモリ電極 16 近傍の領域に一時保持することが可能となる。それにより、グローバルシャッタ方式の読出し駆動が可能となる。

[0135] 1. 9. 7 第 7 例

第 7 例では、第 6 例で説明したグローバルシャッタ方式の読出し駆動が可能な画素 10 における配線例について説明する。図 22 は、本実施形態の第 7 例に係る画素の断面構造を示す垂直断面図である。図 23 は、図 22 における C-C 断面を示す水平断面図である。

[0136] グローバルシャッタ方式の読出し駆動の場合、全ての画素 10 における転送ゲート 11、すなわち蓄積電極 37 が同時に駆動される。そのため、図 22 及び図 23 に示すように、画素アレイ部 101 における全ての画素 10 の蓄積電極 37 は、配線 73 により結合されていてもよい。同様に、画素アレイ部 101 における全ての画素 10 のメモリ電極 16 も、配線 72 により結合されていてもよい。

[0137] 1. 9. 8 第 8 例

第 8 例では、グローバルシャッタ方式の読出し駆動が可能な画素 10 の他の断面構造例について説明する。図 24 は、本実施形態の第 8 例に係る画素の断面構造を示す垂直断面図である。

[0138] 図 24 に示すように、第 8 例に係る画素 10 は、上述において図 21 を用いて説明した第 6 例に係る画素 10 と同様の断面構造において、半導体層 35 が第 1 半導体層 35 A と第 2 半導体層 35 B との 2 層に分かれた構造を有する。第 1 半導体層 35 A と第 2 半導体層 35 B との間には、絶縁層 53 が介在する。半導体配線 60 は、第 1 半導体層 35 A から第 2 半導体層 35 B

を貫通して読出し電極 36 まで達している。

[0139] 蓄積電極 37、転送ゲート 11 及びシールド電極 57 は、第 6 例と同様に、第 1 半導体層 35A と第 2 半導体層 35B との間の絶縁層 53 に配置される。一方、メモリ電極 16 及び転送ゲート 15 は、第 2 半導体層 35B と読出し電極 36 との間の絶縁層 53 に配置される。より具体的には、メモリ電極 16 は、第 2 半導体層 35B と読出し電極 36 との間の半導体配線 60 における第 2 半導体層 35B 側に配置され、転送ゲート 15 は、第 2 半導体層 35B と読出し電極 36 との間の半導体配線 60 における読出し電極 36 側に配置される。

[0140] また、第 8 例では、第 2 半導体層 35B におけるメモリ電極 16 の近傍の領域に保持された電荷が隣接する画素 10 へ流出することを抑制するために、隣接する画素 10 のメモリ電極 16 間に、シールド電極 57 と同様のシールド電極 57B が設けられる。シールド電極 57B は、画素駆動線 LD の 1 つである不図示の配線を介して垂直駆動回路 102 に接続される。垂直駆動回路 102 は、各画素 10 を個別に駆動する場合、シールド電極 57 に駆動信号を印加することで、隣接する画素 10 の間に位置する第 2 半導体層 35B に電位障壁を形成する。それにより、ある画素 10 のメモリ MEM に保持された電荷が隣接の画素 10 のメモリ MEM へ流出することが抑制されるため、画素 10 の量子効率をより向上させることが可能となる。

[0141] 1. 9. 9 第 9 例

第 9 例では、グローバルシャッタ方式の駆動例を説明する。なお、本例では、第 6 例において図 21 を用いて説明した画素 10 の駆動例を説明するが、これに限定されず、グローバルシャッタ方式の駆動（以下、グローバルシャッタ駆動という）が可能な他の例に対しても同様に適用することが可能である。

[0142] 図 25 は、本実施形態の第 9 例に係る画素の断面構造を示す垂直断面図である。図 25 に示すように、第 9 例に係るグローバルシャッタ駆動では、隣接する 2 つの画素 10a 及び 10b のうち、一方の画素 10 が露光動作を実

行している期間、他方の画素１０では露光動作が実行されない。なお、２つの画素１０a及び１０bは、それぞれ上述した画素１０と同様の構成であってよい。

[0143] 具体的には、例えば、画素１０bが露光動作を実行中、この画素１０bの蓄積電極３７がオン状態とされ、画素１０aの蓄積電極３７がオフ状態とされる。また、これら２つの画素１０a及び１０bの間に位置するシールド電極５７は、オフ状態とされる。この状態では、画素１０aの転送ゲート１１及び転送ゲート１５、並びに、画素１０bの転送ゲート１１、メモリ電極１６及び転送ゲート１５は、オフ状態とされる。また、画素１０aのメモリ電極１６は、オン状態とされる。なお、蓄積電極３７、シールド電極５７及びメモリ電極１６がオン状態とは、垂直駆動回路１０２から各電極に駆動信号が供給されている状態をいい、オフ状態とは、垂直駆動回路１０２から駆動信号が供給されていない状態をいう。

[0144] このような状態では、画素１０a及び１０bそれぞれの光電変換部PD１に相当する光電変換膜３４に発生した電荷５８が画素１０bの蓄積電極３７に引き寄せられ、それにより、光電変換膜３４に発生した電荷５８が画素１０bにおける蓄積電極３７近傍の半導体層３５に溜まる。なお、画素１０bにおける蓄積電極３７近傍の半導体層３５から溢れ出した電荷５８の流出先は、画素１０bの読出し電極３６に接続された浮遊拡散領域FDであってよい。

[0145] 一方、画素１０aでは、前フレームで蓄積電極３７近傍の半導体層３５に蓄積された電荷５９がメモリMEMに保持されている。メモリMEMに蓄積されている電荷５９は、画素１０bに対する露光中に並行して実行される画素１０aに対する読出し動作により、順次読み出され、画素信号の生成に使用される。

[0146] 以上のような動作を実行することで、半導体層３５内の蓄積電極３７による蓄積領域から溢れ出した電荷がメモリMEMに流入することによる寄生受光感度の低下を抑制することが可能となる。

[0147] 1. 9. 10 第10例

第10例は、第9例で例示したグローバルシャッタ駆動を実現するための画素10の変形例について説明する。図26は、本実施形態の第10例に係る画素の断面構造を示す垂直断面図である。上述した第9例では、グローバルシャッタ駆動を実行中、ペアを形成する2つの画素10a及び10bの間に位置するシールド電極57がオフ状態とされた。それに対し、第10例では、図26に例示するように、ペアを形成する2つの画素10a及び10bの間のシールド電極57が省略されている。それにより、シールド電極57を駆動するための構成を省略できるため、シールド電極57及びシールド電極57を駆動するための画素駆動線LDの省略による小型化や、グローバルシャッタ駆動時の消費電力の低減などの効果が得られる。

[0148] 1. 9. 11 第11例

第11例は、第9例で例示したグローバルシャッタ駆動を実現するための画素10の他の変形例について説明する。図27は、本実施形態の第11例に係る画素の断面構造を示す垂直断面図である。図27に示すように、第11例では、ペアを形成する2つの画素10a及び10bの読出し電極36及び浮遊拡散領域FDが共通化される。このように、ペアを形成する2つの画素10a及び10bで読出し電極36及び浮遊拡散領域FDが共有する場合でも、第9例で説明した駆動により、グローバルシャッタ駆動を実現することができる。

[0149] 1. 9. 12 第12例

図28は、本実施形態の第12例に係る画素の断面構造例を示す垂直断面図である。図28に示すように、上述した及び後述する各例における半導体層35（第8例で説明した第1半導体層35A及び第2半導体層35Bを含む）は、第1層35aと第2層35bとの2層で構成されていてもよい。第2層35bは、例えば、半導体層35における絶縁層53と接触する面に設けられる。

[0150] 第2層35bは、絶縁層53と第1層35aとの間に形成される界面トラ

ップ準位を低減する目的で設けられた膜であってよい。また、第1層35a及び第2層35bそれぞれを構成する材料には、例えば、上述した半導体層35と同様の材料が用いられてよい。ただし、第1層35aと第2層35bとは、例えば、組成等の相違により異なる性質を備えていてもよい。

[0151] このように、絶縁層53と第1層35aとの間に、界面トラップ準位を低減するための第2層35bを設けることで、絶縁層53と第1層35aとの間に形成される界面トラップ準位が低減されるため、フレーム間で発生する残像を低減することが可能となる。

[0152] 1. 9. 13 第13例

第13例では、上述した又は後述する各例におけるカラーフィルタ31の位置について、いくつか例を挙げる。上述した又は後述する各例において、カラーフィルタ31は、図29に例示するように、光電変換膜34よりも光の入射面側（オンチップレンズ51側）に配置されてもよいし、図30に例示するように、光電変換膜34よりも光の入射面と反対側（不図示の回路チップ122側）に配置されてもよい。カラーフィルタ31を光電変換膜34よりも光の入射面と反対側に配置する場合には、図30に例示するように、カラーフィルタ31は、例えば、絶縁層53内に配置されてもよい。

[0153] 1. 9. 14 第14例

上述した各例では、画素10間での電荷の漏れ出し（ブルーミング）を防止するために、画素10間にシールド電極57（及びシールド電極57B）が配置された構成を例示した。これに対し、第14例では、シールド電極57（及びシールド電極57B）の代わりに、画素10間に電荷と同じ極性を持つ固定電荷膜を配置することで、画素10間での電荷の漏れ出し（ブルーミング）を防止する構成について説明する。なお、以下では、第1例で説明した画素10をベースとした場合を説明するが、ベースとなる画素10は第1例に係る画素10に限定されず、他の例に係る画素10であってもよい。

[0154] 図31は、本実施形態の第14例に係る画素の断面構造を示す垂直断面図である。図32は、図31におけるD-D断面を示す水平断面図である。図

31及び図32に示すように、第14例に係る画素10では、隣接する画素10間にシールド電荷膜67が配置されている。シールド電荷膜67は、光電変換膜34で発生する電荷と同じ極性を持つ固定電荷膜で構成されている。第14例では、シールド電荷膜67は、蓄積電極37が配置された面と同じ面に配置される。なお、シールド電荷膜67は、蓄積電極37の側面に接触してもよいし、蓄積電極37の側面から離間してもよい。

[0155] このような構造によっても、ある画素10の光電変換膜34で発生して半導体層35に進入した電荷が隣接の画素10へ流出することが抑制されるため、画素10の量子効率をより向上させることが可能となる。

[0156] また、本例によれば、シールド電極57を駆動するための構成を省略できるため、シールド電極57及びシールド電極57を駆動するための画素駆動線LDの省略による小型化が可能となる。さらに、第14例では、蓄積電極37をシールド電荷膜67から離間する必要がないため、蓄積電極37を拡大することが可能となる。それにより、蓄積電極37近傍の半導体層35により効率的に電荷を集めることが可能となるため、量子効率のさらなる向上が期待できる。

[0157] 以下の例では、シールド電荷膜67の位置の変形例について説明する。

[0158] 1. 9. 15 第15例

図33は、本実施形態の第15例に係る画素の断面構造を示す垂直断面図である。図33に示すように、シールド電荷膜67は、隣接する画素10間の境界部分であって、絶縁層53における蓄積電極37の上面が配置された面と半導体層35（半導体配線60以外）の下面との間に配置されてもよい。その際、シールド電荷膜67における開口周辺の領域は、垂直方向において蓄積電極37の外周部分と重畳してもよい。

[0159] 1. 9. 16 第16例

図34は、本実施形態の第16例に係る画素の断面構造を示す垂直断面図である。図34に示すように、シールド電荷膜67は、隣接する画素10間の境界部分であって、半導体層35の下層部分、すなわち半導体層35にお

ける絶縁層 53 と接する領域に配置されてもよい。その際、シールド電荷膜 67 における開口周辺の領域は、垂直方向において蓄積電極 37 の外周部分と重畳してもよい。

[0160] 1. 9. 17 第 17 例

図 35 は、本実施形態の第 17 例に係る画素の断面構造を示す垂直断面図である。図 35 に示すように、シールド電荷膜 67 は、隣接する画素 10 間の境界部分に、この部分の半導体層 35 を置き換えるようにして配置されてもよい。その際、シールド電荷膜 67 における開口周辺の領域は、垂直方向において蓄積電極 37 の外周部分と重畳してもよい。

[0161] 1. 9. 18 第 18 例

図 36 は、本実施形態の第 18 例に係る画素の断面構造を示す垂直断面図である。図 36 に示すように、シールド電荷膜 67 は、隣接する画素 10 間の境界部分であって、光電変換膜 34 の下層部分、すなわち光電変換膜 34 における半導体層 35 と接する領域に配置されてもよい。その際、シールド電荷膜 67 における開口周辺の領域は、垂直方向において蓄積電極 37 の外周部分と重畳してもよい。

[0162] 1. 9. 19 第 19 例

図 37 は、本実施形態の第 19 例に係る画素の断面構造を示す垂直断面図である。図 37 に示すように、シールド電荷膜 67 は、隣接する画素 10 間の境界部分に、この部分の光電変換膜 34 を置き換えるようにして配置されてもよい。その際、シールド電荷膜 67 における開口周辺の領域は、垂直方向において蓄積電極 37 の外周部分と重畳してもよい。

[0163] 1. 9. 20 第 20 例

図 38 及び図 39 は、本実施形態の第 20 例に係る画素の断面構造を示す垂直断面図である。図 38 及び図 39 に示すように、シールド電荷膜 67 は、隣接する画素 10 間の境界部分であって、絶縁層 53 における蓄積電極 37 の下面よりも下側（読出し電極 36 側）に配置されてもよい。その際、シールド電荷膜 67 における開口周辺の領域は、垂直方向において蓄積電極 3

7の外周部分と重畳してもよい。また、シールド電荷膜67における開口周辺の領域と蓄積電極37の外周部分とは、図38に示すように、接触してもよいし、図39に示すように、垂直方向に離間してもよい。

[0164] 1. 9. 21 第21例

図40は、本実施形態の第21例に係る画素の断面構造を示す垂直断面図である。図40に示すように、上述した例における転送ゲート11とシールド電荷膜67とは、一体化された固定電荷膜81に置き換えられてもよい。

[0165] 1. 9. 22 第22例

上述した例では、各画素10の中央に半導体配線60が配置された場合を例示したが、例えば、図10に例示したような、複数の画素10で浮遊拡散領域FDを共有する構成では、画素10間で半導体配線60を共有することも可能である。そこで、以下で説明する第22例～第28例では、複数の画素10で半導体配線60を共有する場合の断面構造について例を挙げて説明する。なお、第22例～第28例では、読出し電極36（浮遊拡散領域FD）と蓄積電極37とが同じ面（すなわち、半導体基板50の素子形成面からの高さが同じ）に配置された場合を例示するが、これに限定されず、上述した例のように、異なる面に配置されてもよい。

[0166] 図41は、本実施形態の第22例に係る画素の断面構造を示す垂直断面図である。図42は、図41におけるE-E断面を示す水平断面図である。図41及び図42に示すように、第22例では、転送ゲート11及びシールド電荷膜67が一体化された固定電荷膜81が、半導体層35と蓄積電極37及び読出し電極36との間（ただし、読出し電極36が蓄積電極37よりも下層に配置されている場合には、蓄積電極37を挟んで読出し電極36と反対側）に配置される。固定電荷膜81には、各画素10の蓄積電極37と対応する領域に開口81aが設けられている。その際、基板厚方向において、蓄積電極37の周縁部が固定電荷膜81と重畳してもよい。光電変換膜34で発生した電荷は、半導体層35における開口81aと対応する蓄積領域に蓄積される。

[0167] このように、蓄積電極 37 と固定電荷膜 81 とが異なる層に配置された構造では、蓄積電極 37（及び開口 81a）を隣接する画素 10 の方向へ拡大することが可能である。それにより、半導体層 35 における蓄積領域を拡大することが可能となるため、より多くの電荷を蓄えることが可能となる。

[0168] なお、本例では、半導体層 35 が上層の第 1 層 35a と下層の第 2 層 35b とに分かれた場合を例示したが、これに限定されず、半導体層 35 が単層で構成されていてもよい。

[0169] 1. 9. 23 第 23 例

図 43 は、本実施形態の第 23 例に係る画素の断面構造を示す垂直断面図である。図 43 に示すように、第 22 例で例示した固定電荷膜 81 は、半導体層 35 における下層部分に配置されてもよい。その際、半導体層 35 が上層の第 1 層 35a と下層の第 2 層 35b とに分かれている場合には、固定電荷膜 81 は、下層の第 2 層 35b を部分的に置き換える形で配置されてもよい。

[0170] 1. 9. 24 第 24 例

図 44 は、本実施形態の第 24 例に係る画素の断面構造を示す垂直断面図である。図 44 に示すように、第 24 例では、第 23 例における固定電荷膜 81 が絶縁膜 82 に置き換えられている。したがって、第 24 例では、半導体層 35 の下層の一部が、例えば図 42 に示した開口 81a と同様の形状で蓄積電極 37 側に突出している。

[0171] このような構造では、蓄積電極 37 に印加する駆動信号を制御することで、半導体層 35 における蓄積電極 37 側に突出した部分への電荷の蓄積と排出とを制御することが可能であるため、他の例と同様に、蓄積電荷の読出し電極 36 側への漏れ出しや、隣接画素 10 への漏れ出し（ブルーミング）を抑制することが可能となる。

[0172] 1. 9. 25 第 25 例

図 45 は、本実施形態の第 25 例に係る画素の断面構造を示す垂直断面図である。図 46 は、図 45 における F-F 断面を示す水平断面図である。図

4 5 及び図 4 6 に示すように、第 2 5 例では、例えば、第 2 4 例と同様の構造において、固定電荷膜 8 1 が、転送ゲート 1 1 に相当する部分が省略された固定電荷膜 8 3 に置き換えられている。すなわち、本例に係る固定電荷膜 8 3 は、上述した例におけるシールド電荷膜 6 7 に相当する。

[0173] このように、転送ゲート 1 1 を省略した場合でも、画素 1 0 間での電荷の漏れ出し（ブルーミング）を抑制することが可能となるため、量子効率の向上を図ることが可能である。

[0174] 1. 9. 2 6 第 2 6 例

図 4 7 は、本実施形態の第 2 6 例に係る画素の断面構造を示す垂直断面図である。図 4 8 は、図 4 7 における G-G 断面を示す水平断面図である。図 4 7 及び図 4 8 に示すように、第 2 6 例では、例えば、第 2 4 例と同様の構造において、固定電荷膜 8 1 が、シールド電荷膜 6 7 に相当する部分が省略された固定電荷膜 8 4 に置き換えられている。すなわち、本例に係る固定電荷膜 8 3 は、上述した例における転送ゲート 1 1 に相当する。

[0175] このように、シールド電荷膜 6 7 を省略した場合でも、蓄積電荷の浮遊拡散領域 F D への漏れ出しを抑制することが可能となるため、量子効率の向上を図ることが可能である。

[0176] 1. 9. 2 7 第 2 7 例

図 4 9 は、本実施形態の第 2 7 例に係る画素の断面構造を示す垂直断面図である。図 4 9 に示すように、第 2 7 例では、上述において図 4 3 を用いて説明した第 2 3 例と同様の構造において、半導体層 3 5 が第 1 層 3 5 a と第 2 層 3 5 b とに分かれていない構造が例示されている。このように、半導体層 3 5 が第 1 層 3 5 a と第 2 層 3 5 b とに分かれていない場合には、半導体層 3 5 の下層部分に固定電荷膜 8 1 を配置してよい。

[0177] 1. 9. 2 8 第 2 8 例

図 5 0 は、本実施形態の第 2 8 例に係る画素の断面構造を示す垂直断面図である。図 5 0 に示すように、第 2 8 例では、蓄積電極 3 7（及び読出し電極 3 6）を挟んで半導体層 3 5 と反対（下層ともいう）側の絶縁層 5 3 内に

、電位を制御するための電位制御電極 85 が配置されている。

[0178] このように、蓄積電極 37（及び読出し電極 36）よりも下層側に電位を制御するための電位制御電極 85 を配置することで、半導体層 35 の蓄積領域から浮遊拡散領域 FD への電荷の流れをアシストすることが可能となるため、よりスムーズな電荷の読出しが可能となる。

[0179] 1. 9. 29 第 29 例

第 29 例～第 34 例では、シールド電荷膜 67 の配置バリエーションについて説明する。なお、第 29 例～第 34 例では、第 22 例～第 28 例と同様に、読出し電極 36（浮遊拡散領域 FD）と蓄積電極 37 とが同じ面に配置された場合を例示するが、これに限定されず、上述した例のように、異なる面に配置されてもよい。

[0180] 図 5 1 は、本実施形態の第 29 例に係る画素の断面構造を示す垂直断面図である。図 5 1 に示すように、シールド電荷膜 67 は、隣接する画素 10 間の境界部分であって、蓄積電極 37 と同じ面に配置されてもよい。その際、シールド電荷膜 67 と蓄積電極 37 とは、接触してもよいし、離間してもよい。

[0181] 1. 9. 30 第 30 例

図 5 2 は、本実施形態の第 30 例に係る画素の断面構造を示す垂直断面図である。図 5 2 に示すように、シールド電荷膜 67 は、隣接する画素 10 間の境界部分であって、絶縁層 53 における蓄積電極 37 の上面が配置された面と半導体層 35（半導体配線 60 以外）の下面との間に配置されてもよい。その際、シールド電荷膜 67 における開口周辺の領域は、垂直方向において蓄積電極 37 の外周部分と重畳してもよい。

[0182] 1. 9. 31 第 31 例

図 5 3 は、本実施形態の第 31 例に係る画素の断面構造を示す垂直断面図である。図 5 3 に示すように、シールド電荷膜 67 は、隣接する画素 10 間の境界部分であって、絶縁層 53 における蓄積電極 37 の下面よりも下側に配置されてもよい。その際、シールド電荷膜 67 における開口周辺の領域は

、垂直方向において蓄積電極 37 の外周部分と重畳してもよい。また、シールド電荷膜 67 における開口周辺の領域と蓄積電極 37 の外周部分とは、接触してもよいし、垂直方向に離間してもよい。

[0183] 1. 9. 32 第32例

図54は、本実施形態の第32例に係る画素の断面構造を示す垂直断面図である。図54に示すように、シールド電荷膜67は、隣接する画素10間の境界部分であって、半導体層35の下層部分、すなわち半導体層35における絶縁層53と接する領域に配置されてもよい。その際、半導体層35が第1層35aと第2層35bとに分かれている場合には、シールド電荷膜67は、第1層35aの下層部分に配置されてもよい。また、シールド電荷膜67における開口周辺の領域は、垂直方向において蓄積電極37の外周部分と重畳してもよい。

[0184] 1. 9. 33 第33例

図55は、本実施形態の第33例に係る画素の断面構造を示す垂直断面図である。図55に示すように、シールド電荷膜67は、隣接する画素10間の境界部分であって、光電変換膜34の下層部分、すなわち光電変換膜34における半導体層35と接する領域に配置されてもよい。その際、シールド電荷膜67における開口周辺の領域は、垂直方向において蓄積電極37の外周部分と重畳してもよい。

[0185] 1. 9. 34 第34例

図56は、本実施形態の第34例に係る画素の断面構造を示す垂直断面図である。図56に示すように、シールド電荷膜67は、隣接する画素10間の境界部分に、この部分の光電変換膜34を置き換えるようにして配置されてもよい。その際、シールド電荷膜67における開口周辺の領域は、垂直方向において蓄積電極37の外周部分と重畳してもよい。

[0186] 1. 9. 35 第35例

第35例～第40例では、転送ゲート11の配置バリエーションについて説明する。なお、第35例～第40例では、第22例～第34例と同様に、

読出し電極 36（浮遊拡散領域 FD）と蓄積電極 37 とが同じ面に配置された場合を例示するが、これに限定されず、上述した例のように、異なる面に配置されてもよい。

[0187] 図 57 は、本実施形態の第 35 例に係る画素の断面構造を示す垂直断面図である。図 57 に示すように、転送ゲート 11 は、読出し電極 36 と蓄積電極 37 との間であって、絶縁層 53 における蓄積電極 37 の上面が配置された面と半導体層 35（半導体配線 60 以外）の下面との間に配置されてもよい。その際、転送ゲート 11 の周縁は、垂直方向において読出し電極 36 及び蓄積電極 37 とそれぞれ重畳してもよい。

[0188] 1. 9. 36 第 36 例

図 58 は、本実施形態の第 36 例に係る画素の断面構造を示す垂直断面図である。図 58 に示すように、転送ゲート 11 は、読出し電極 36 と蓄積電極 37 との間であって、読出し電極 36 及び蓄積電極 37 と同じ面に配置されてもよい。その際、転送ゲート 11 と読出し電極 36 及び蓄積電極 37 とは、それぞれ接触してもよいし、離間してもよい。

[0189] 1. 9. 37 第 37 例

図 59 は、本実施形態の第 37 例に係る画素の断面構造を示す垂直断面図である。図 59 に示すように、転送ゲート 11 は、読出し電極 36 と蓄積電極 37 との間であって、絶縁層 53 における蓄積電極 37 の下面よりも下側に配置されてもよい。その際、転送ゲート 11 の周縁は、垂直方向において読出し電極 36 の一部及び蓄積電極 37 とそれぞれ重畳してもよい。また、転送ゲート 11 の周縁と読出し電極 36 及び蓄積電極 37 とは、それぞれ接触してもよいし、垂直方向に離間してもよい。

[0190] 1. 9. 38 第 38 例

図 60 は、本実施形態の第 38 例に係る画素の断面構造を示す垂直断面図である。図 60 に示すように、転送ゲート 11 は、読出し電極 36 と蓄積電極 37 との間であって、半導体層 35 の下層部分、すなわち半導体層 35 における絶縁層 53 と接する領域に配置されてもよい。その際、半導体層 35

が第1層35aと第2層35bとに分かれている場合には、転送ゲート11は、第1層35aの下層に配置されてもよい。また、転送ゲート11の周縁は、垂直方向において読出し電極36及び蓄積電極37とそれぞれ重畳してもよい。

[0191] 1. 9. 39 第39例

図61は、本実施形態の第39例に係る画素の断面構造を示す垂直断面図である。図61に示すように、転送ゲート11は、読出し電極36と蓄積電極37との間であって、光電変換膜34の下層部分、すなわち光電変換膜34における半導体層35と接する領域に配置されてもよい。その際、転送ゲート11の周縁は、垂直方向において読出し電極36及び蓄積電極37とそれぞれ重畳してもよい。

[0192] 1. 9. 40 第40例

図62は、本実施形態の第40例に係る画素の断面構造を示す垂直断面図である。図62に示すように、転送ゲート11は、読出し電極36と蓄積電極37との間であって、この部分の光電変換膜34を置き換えるようにして配置されてもよい。その際、転送ゲート11の周縁は、垂直方向において読出し電極36及び蓄積電極37とそれぞれ重畳してもよい。

[0193] 1. 9. 41 第41例

上述した第22例～第40例では、読出し電極36（浮遊拡散領域FD）と蓄積電極37とが同じ面に配置された場合のシールド電荷膜67及び転送ゲート11の配置バリエーションについて説明した。これに対し、以下の第41例～第51例では、上述の第1例～第21例と同様に、読出し電極36（浮遊拡散領域FD）が蓄積電極37よりも下層に配置された場合の配置バリエーションについて説明する。

[0194] 図63は、本実施形態の第41例に係る画素の断面構造を示す垂直断面図である。図63に示すように、第41例において、転送ゲート11及びシールド電荷膜67は、読出し電極36及び蓄積電極37と同じ面に配置されてもよい。その際、転送ゲート11と読出し電極36及び蓄積電極37とは、

それぞれ接触してもよいし、離間してもよく、また、シールド電荷膜 6 7 と蓄積電極 3 7 とは、それぞれ接触してもよいし、離間してもよい。

[0195] 1. 9. 4 2 第 4 2 例

図 6 4 は、本実施形態の第 4 2 例に係る画素の断面構造を示す垂直断面図である。図 6 4 に示すように、第 4 2 例において、転送ゲート 1 1 は、読出し電極 3 6 と蓄積電極 3 7 との間であって、絶縁層 5 3 における蓄積電極 3 7 の下面よりも下側に配置されてもよい。その際、転送ゲート 1 1 の周縁は、垂直方向において読出し電極 3 6 の一部及び蓄積電極 3 7 とそれぞれ重畳してもよい。また、転送ゲート 1 1 の周縁と読出し電極 3 6 及び蓄積電極 3 7 とは、それぞれ接触してもよいし、垂直方向に離間してもよい。

[0196] シールド電荷膜 6 7 は、隣接する画素 1 0 間の境界部分であって、半導体層 3 5 の下層部分、すなわち光電変換膜 3 4 における半導体層 3 5 と接する領域に配置されてもよい。その際、半導体層 3 5 が第 1 層 3 5 a と第 2 層 3 5 b とに分かれている場合には、シールド電荷膜 6 7 は、第 2 層 3 5 b の一部を置き換える形で配置されてもよい。また、シールド電荷膜 6 7 における開口周辺の領域は、垂直方向において蓄積電極 3 7 の外周部分と重畳してもよい。

[0197] 1. 9. 4 3 第 4 3 例

図 6 5 は、本実施形態の第 4 3 例に係る画素の断面構造を示す垂直断面図である。図 6 5 に示すように、第 4 3 例では、上述において図 6 4 を用いて説明した第 4 2 例に係る断面構造と同様の構造において、転送ゲート 1 1 がゲート電極 9 1 を備える転送ゲートに置き換えられている。ゲート電極 9 1 は、例えば、蓄積電極 3 7 等と同様の透明導電材料で構成されてよく、垂直駆動回路 1 0 2 から印加された駆動信号に従って半導体配線 6 0 内に電位障壁を形成することで、半導体配線 6 0 の導通をオン／オフする。

[0198] 1. 9. 4 4 第 4 4 例

図 6 6 は、本実施形態の第 4 4 例に係る画素の断面構造を示す垂直断面図である。図 6 6 に示すように、第 4 4 例では、上述において図 6 3 を用いて

説明した第４１例に係る断面構造と同様の構造において、転送ゲート１１が、第４２例と同様に、読出し電極３６と蓄積電極３７との間であって、絶縁層５３における蓄積電極３７の下面よりも下側に配置されるとともに、シールド電荷膜６７がシールド電極５７に置き換えられている。

[0199] １．９．４５ 第４５例

図６７は、本実施形態の第４５例に係る画素の断面構造を示す垂直断面図である。図６７に示すように、第４５例では、上述において図６５を用いて説明した第４３例に係る断面構造と同様の構造において、シールド電荷膜６７が、隣接する画素１０間の境界部分であって、絶縁層５３における蓄積電極３７の下面よりも下側（読出し電極３６側）に配置されている。その際、シールド電荷膜６７における開口周辺の領域は、垂直方向において蓄積電極３７の外周部分と重畳してもよい。また、シールド電荷膜６７における開口周辺の領域と蓄積電極３７の外周部分とは、接触してもよいし、垂直方向に離間してもよい。

[0200] １．９．４６ 第４６例

図６８は、本実施形態の第４６例に係る画素の断面構造を示す垂直断面図である。図６８に示すように、第４６例では、上述において図６５を用いて説明した第４３例に係る断面構造と同様の構造において、シールド電荷膜６７が、隣接する画素１０間の境界部分であって、蓄積電極３７と同じ面に配置されている。その際、シールド電荷膜６７と蓄積電極３７とは、接触してもよいし、離間してもよい。

[0201] １．９．４７ 第４７例

図６９は、本実施形態の第４７例に係る画素の断面構造を示す垂直断面図である。図６９に示すように、第４７例では、上述において図６５を用いて説明した第４３例に係る断面構造と同様の構造において、シールド電荷膜６７が、隣接する画素１０間の境界部分であって、絶縁層５３における蓄積電極３７の上面が配置された面と半導体層３５（半導体配線６０以外）の下面との間に配置されている。その際、シールド電荷膜６７における開口周辺の

領域は、垂直方向において蓄積電極 37 の外周部分と重畳してもよい。

[0202] 1. 9. 48 第48例

図70は、本実施形態の第48例に係る画素の断面構造を示す垂直断面図である。図70に示すように、第48例では、上述において図65を用いて説明した第43例に係る断面構造と同様の構造において、シールド電荷膜67が、隣接する画素10間の境界部分であって、半導体層35の下層部分、すなわち半導体層35における絶縁層53と接する領域に配置されている。その際、半導体層35が第1層35aと第2層35bとに分かれている場合には、シールド電荷膜67は、第1層35aの下層部分に配置されてもよい。また、シールド電荷膜67における開口周辺の領域は、垂直方向において蓄積電極37の外周部分と重畳してもよい。

[0203] 1. 9. 49 第49例

図71は、本実施形態の第49例に係る画素の断面構造を示す垂直断面図である。図71に示すように、第49例では、上述において図65を用いて説明した第43例に係る断面構造と同様の構造において、シールド電荷膜67が、隣接する画素10間の境界部分に位置する半導体層35を置き換える形で配置されている。その際、半導体層35が第1層35aと第2層35bとに分かれている場合には、シールド電荷膜67は、第1層35aの一部を置き換える形で配置されてもよい。また、シールド電荷膜67における開口周辺の領域は、垂直方向において蓄積電極37の外周部分と重畳してもよい。

[0204] 1. 9. 50 第50例

図72は、本実施形態の第50例に係る画素の断面構造を示す垂直断面図である。図72に示すように、第50例では、上述において図65を用いて説明した第43例に係る断面構造と同様の構造において、シールド電荷膜67が、隣接する画素10間の境界部分であって、光電変換膜34の下層部分、すなわち光電変換膜34における半導体層35と接する領域に配置されている。その際、シールド電荷膜67における開口周辺の領域は、垂直方向に

において蓄積電極 37 の外周部分と重畳してもよい。

[0205] 1. 9. 51 第 51 例

図 73 は、本実施形態の第 51 例に係る画素の断面構造を示す垂直断面図である。図 73 に示すように、第 51 例では、上述において図 65 を用いて説明した第 43 例に係る断面構造と同様の構造において、シールド電荷膜 67 が、隣接する画素 10 間の境界部分に、この部分の光電変換膜 34 を置き換えるようにして配置されている。その際、シールド電荷膜 67 における開口周辺の領域は、垂直方向において蓄積電極 37 の外周部分と重畳してもよい。

[0206] 1. 10 まとめ

以上のように、本実施形態によれば、蓄積電極 37 と読出し電極 36 との間の電位障壁が転送ゲート 11 を用いて制御される。それにより、蓄積電極 37 近傍の半導体層 35 に蓄積された電荷が読出し電極 36 側へ漏れ出ることを抑制することが可能となるため、量子効率を向上させることが可能となる。また、隣接する画素 10 間の電位障壁がシールド電極 57 又はシールド電荷膜 67 を用いて制御される。それにより、ある画素 10 の光電変換膜 34 で発生して半導体層 35 に進入した電荷が隣接の画素 10 へ流出すること（ブルーミング）が抑制されるため、画素 10 の量子効率をより向上させることが可能となる。

[0207] 2. 断面構造のバリエーション

ここで、上述した実施形態に係るイメージセンサ 100 の断面構造について、いくつかのバリエーションを説明する。なお、以下の説明において特に限定されていない構造については、上述において説明した断面構造と同様の構造であってよい。

[0208] 2. 1 第 1 バリエーション

図 74 は、第 1 バリエーションに係るイメージセンサの断面構造例を示す垂直断面図である。図 75 は、図 74 における I-I 断面を示す水平断面図である。図 74 及び図 75 に示すように、イメージセンサ 100 は、例えば

、入射光に対して上流側に配置されたRGB画素10と下流側に配置されたIR画素20とが積層された積層型の撮像素子である。上流側では、例えば、赤色光(R)を選択的に透過させるカラーフィルタ31rを備える1つのRGB画素10と、緑色光(G)を選択的に透過させるカラーフィルタ31gを備える2つのRGB画素10と、青色光(B)を選択的に透過させるカラーフィルタ31bを備える1つのRGB画素10と、の4つのRGB画素10が、ベイヤー配列における2行×2列の単位配列を構成するように配置される。画素アレイ部101では、この単位配列が繰り返し単位となり、行方向と列方向とからなるアレイ状に繰り返し配置されている。

[0209] 2行×2列で配置された4つのRGB画素10からなる単位配列において、緑色光(G)を選択的に透過させる2つのカラーフィルタ31gが対角線上に配置され、赤色光(R)および青色光(B)を選択的に透過させるカラーフィルタ31r及び31bが、直交する対角線上に1つずつ配置される。カラーフィルタ31r、31g及び31bのうちの1つが設けられた各RGB画素10の光電変換膜34は、各カラーフィルタ31に対応する色光を光電変換して電荷を発生させる。

[0210] カラーフィルタ31を透過した光のうち、可視光領域の光(赤色光(R)、緑色光(G)および青色光(B))は、それぞれ、各カラーフィルタ31が設けられたRGB画素10の光電変換膜34で吸収され、それ以外の光、例えば、赤外光領域(例えば、700nm以上1000nm以下)の光(IR光)は、光電変換膜34を透過する。この光電変換膜34を透過したIR光は、各RGB画素10に対して下流に配置されたIR画素20の光電変換部PD1において検出される。このように、第1バリエーションに係るイメージセンサ100では、可視光画像および赤外光画像の両方を同時に生成可能となっている。

[0211] 2. 2 第2バリエーション

図76は、第2バリエーションに係るイメージセンサの断面構造例を示す垂直断面図である。図77は、図76における11-11断面を示す水平断

面図である。上述した第1バリエーションでは、赤色光（R）、緑色光（G）および青色光（B）を選択的に透過させるカラーフィルタ31が光電変換膜34の上方（光入射側）に設けられた例を示したが、カラーフィルタ31は、例えば、図76に示したように、光電変換部PD1と光電変換部PD2との間に設けるようにしてもよい。

[0212] 第2バリエーションでは、例えば、カラーフィルタ31が、少なくとも赤色光（R）を選択的に透過させるカラーフィルタ31rと、少なくとも青色光（B）を選択的に透過させるカラーフィルタ31bとが互いに対角線上に配置された構成を有している。入射光に対して上流側に位置する光電変換膜34は、例えば緑色光に対応する波長を選択的に吸収するように構成されている。これにより、上流側の光電変換部PD1及びカラーフィルタ31r及び31bの下方にそれぞれ配置された下流側の光電変換部PD2において、RGB三原色に対応する信号を取得することが可能となる。第2バリエーションでは、一般的なベイヤー配列を有する撮像素子よりもRGB三原色それぞれの光電変換部PD1及びPD2の受光面積を拡大することができるため、S/N比を向上させることが可能となる。

[0213] 3. 撮像装置の構成例

図78は、本開示を適用した電子機器としての撮像装置の一実施の形態の構成例を示すブロック図である。

[0214] 図78の撮像装置2000は、ビデオカメラやデジタルスチルカメラ等である。撮像装置2000は、レンズ群2001、固体撮像装置2002、DSP回路2003、フレームメモリ2004、表示部2005、記録部2006、操作部2007、および電源部2008からなる。DSP回路2003、フレームメモリ2004、表示部2005、記録部2006、操作部2007、および電源部2008は、バスライン2009を介して相互に接続されている。

[0215] レンズ群2001は、被写体からの入射光（像光）を取り込んで固体撮像装置2002の撮像面上に結像する。固体撮像装置2002は、上述した実

施形態に係るイメージセンサ１００であってよい。固体撮像装置２００２は、レンズ群２００１によって撮像面上に結像された入射光の光量を画素単位で電気信号に変換して画素信号としてDSP回路２００３に供給する。

[0216] DSP回路２００３は、固体撮像装置２００２から供給される画素信号に対して所定の画像処理を行い、画像処理後の画像信号をフレーム単位でフレームメモリ２００４に供給し、一時的に記憶させる。

[0217] 表示部２００５は、例えば、液晶パネルや有機EL(Electro Luminescence)パネル等のパネル型表示装置からなり、フレームメモリ２００４に一時的に記憶されたフレーム単位の画素信号に基づいて、画像を表示する。

[0218] 記録部２００６は、DVD(Digital Versatile Disk)、フラッシュメモリ等からなり、フレームメモリ２００４に一時的に記憶されたフレーム単位の画素信号を読み出し、記録する。

[0219] 操作部２００７は、ユーザによる操作の下に、撮像装置２０００が持つ様々な機能について操作指令を発する。電源部２００８は、電源を、DSP回路２００３、フレームメモリ２００４、表示部２００５、記録部２００６、および操作部２００７に対して適宜供給する。

[0220] 本技術を適用する電子機器は、画像取込部（光電変換部）にイメージセンサを用いる装置であればよく、撮像装置２０００のほか、撮像機能を有する携帯端末装置、画像読取部にイメージセンサを用いる複写機などがある。

[0221] ４．移動体への応用例

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0222] 図７９は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[0223] 車両制御システム１２０００は、通信ネットワーク１２００１を介して接

続された複数の電子制御ユニットを備える。図 79 に示した例では、車両制御システム 12000 は、駆動系制御ユニット 12010、ボディ系制御ユニット 12020、車外情報検出ユニット 12030、車内情報検出ユニット 12040、及び統合制御ユニット 12050 を備える。また、統合制御ユニット 12050 の機能構成として、マイクロコンピュータ 12051、音声画像出力部 12052、及び車載ネットワーク I/F (Interface) 12053 が図示されている。

[0224] 駆動系制御ユニット 12010 は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット 12010 は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

[0225] ボディ系制御ユニット 12020 は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット 12020 は、キーレスエントリシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウinker 又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット 12020 には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット 12020 は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

[0226] 車外情報検出ユニット 12030 は、車両制御システム 12000 を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット 12030 には、撮像部 12031 が接続される。車外情報検出ユニット 12030 は、撮像部 12031 に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット 12030 は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処

理を行ってもよい。

[0227] 撮像部12031は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部12031は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部12031が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

[0228] 車内情報検出ユニット12040は、車内の情報を検出する。車内情報検出ユニット12040には、例えば、運転者の状態を検出する運転者状態検出部12041が接続される。運転者状態検出部12041は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット12040は、運転者状態検出部12041から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

[0229] マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット12010に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むADAS (Advanced Driver Assistance System) の機能実現を目的とした協調制御を行うことができる。

[0230] また、マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0231] また、マイクロコンピュータ12051は、車外情報検出ユニット12030で取得される車外の情報に基づいて、ボディ系制御ユニット12020

に対して制御指令を出力することができる。例えば、マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

[0232] 音声画像出力部 12052 は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図 79 の例では、出力装置として、オーディオスピーカ 12061、表示部 12062 及びインストルメントパネル 12063 が例示されている。表示部 12062 は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでもよい。

[0233] 図 80 は、撮像部 12031 の設置位置の例を示す図である。

[0234] 図 80 では、撮像部 12031 として、撮像部 12101、12102、12103、12104、12105 を有する。

[0235] 撮像部 12101、12102、12103、12104、12105 は、例えば、車両 12100 のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部 12101 及び車室内のフロントガラスの上部に備えられる撮像部 12105 は、主として車両 12100 の前方の画像を取得する。サイドミラーに備えられる撮像部 12102、12103 は、主として車両 12100 の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部 12104 は、主として車両 12100 の後方の画像を取得する。車室内のフロントガラスの上部に備えられる撮像部 12105 は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0236] なお、図 80 には、撮像部 12101 ないし 12104 の撮影範囲の一例が示されている。撮像範囲 12111 は、フロントノーズに設けられた撮像部 12101 の撮像範囲を示し、撮像範囲 12112、12113 は、それ

ぞれサイドミラーに設けられた撮像部 12102, 12103 の撮像範囲を示し、撮像範囲 12114 は、リアバンパ又はバックドアに設けられた撮像部 12104 の撮像範囲を示す。例えば、撮像部 12101 ないし 12104 で撮像された画像データが重ね合わせられることにより、車両 12100 を上方から見た俯瞰画像が得られる。

[0237] 撮像部 12101 ないし 12104 の少なくとも 1 つは、距離情報を取得する機能を有していてもよい。例えば、撮像部 12101 ないし 12104 の少なくとも 1 つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

[0238] 例えば、マイクロコンピュータ 12051 は、撮像部 12101 ないし 12104 から得られた距離情報を基に、撮像範囲 12111 ないし 12114 内における各立体物までの距離と、この距離の時間的变化（車両 12100 に対する相対速度）を求めることにより、特に車両 12100 の進行路上にある最も近い立体物で、車両 12100 と略同じ方向に所定の速度（例えば、0 km/h 以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ 12051 は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0239] 例えば、マイクロコンピュータ 12051 は、撮像部 12101 ないし 12104 から得られた距離情報を元に、立体物に関する立体物データを、2 輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ 12051 は、車両 12100 の周辺の障害物を、車両 12100 のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ 12051 は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには

、オーディオスピーカ１２０６１や表示部１２０６２を介してドライバに警報を出力することや、駆動系制御ユニット１２０１０を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0240] 撮像部１２１０１ないし１２１０４の少なくとも１つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ１２０５１は、撮像部１２１０１ないし１２１０４の撮像画像中に歩行者が存在するかどうかを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部１２１０１ないし１２１０４の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ１２０５１が、撮像部１２１０１ないし１２１０４の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部１２０５２は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部１２０６２を制御する。また、音声画像出力部１２０５２は、歩行者を示すアイコン等を所望の位置に表示するように表示部１２０６２を制御してもよい。

[0241] 以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、撮像部１２０３１等に適用され得る。図８０に例示する撮像部１２１０１、１２１０２、１２１０３、１２１０４、１２１０５等として、車両１２１００に搭載されてよい。撮像部１２１０１、１２１０２、１２１０３、１２１０４、１２１０５等に本開示に係る技術を適用することにより、撮像部１２０３１の感度を向上させることが可能となるため、より鮮明な画像をドライバ等に表示だけでなく、撮像部１２０３１で取得された画像を用いた各種処理の精度を向上させることも可能となる。

[0242] ５．内視鏡手術システムへの応用例

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、内視鏡手術システムに適用されてもよい。

[0243] 図81は、本開示に係る技術（本技術）が適用され得る内視鏡手術システムの概略的な構成の一例を示す図である。

[0244] 図81では、術者（医師）11131が、内視鏡手術システム11000を用いて、患者ベッド11133上の患者11132に手術を行っている様子が図示されている。図示するように、内視鏡手術システム11000は、内視鏡11100と、気腹チューブ11111やエネルギー処置具11112等の、その他の術具11110と、内視鏡11100を支持する支持アーム装置11120と、内視鏡下手術のための各種の装置が搭載されたカート11200と、から構成される。

[0245] 内視鏡11100は、先端から所定の長さの領域が患者11132の体腔内に挿入される鏡筒11101と、鏡筒11101の基端に接続されるカメラヘッド11102と、から構成される。図示する例では、硬性の鏡筒11101を有するいわゆる硬性鏡として構成される内視鏡11100を図示しているが、内視鏡11100は、軟性の鏡筒を有するいわゆる軟性鏡として構成されてもよい。

[0246] 鏡筒11101の先端には、対物レンズが嵌め込まれた開口部が設けられている。内視鏡11100には光源装置11203が接続されており、当該光源装置11203によって生成された光が、鏡筒11101の内部に延設されるライトガイドによって当該鏡筒の先端まで導光され、対物レンズを介して患者11132の体腔内の観察対象に向かって照射される。なお、内視鏡11100は、直視鏡であってもよいし、斜視鏡又は側視鏡であってもよい。

[0247] カメラヘッド11102の内部には光学系及び撮像素子が設けられており、観察対象からの反射光（観察光）は当該光学系によって当該撮像素子に集光される。当該撮像素子によって観察光が光電変換され、観察光に対応する電気信号、すなわち観察像に対応する画像信号が生成される。当該画像信号は、RAWデータとしてカメラコントロールユニット（CCU: Camera Control Unit）11201に送信される。

- [0248] CCU 11201は、CPU (Central Processing Unit) やGPU (Graphics Processing Unit) 等によって構成され、内視鏡11100及び表示装置11202の動作を統括的に制御する。さらに、CCU 11201は、カメラヘッド11102から画像信号を受け取り、その画像信号に対して、例えば現像処理（デモザイク処理）等の、当該画像信号に基づく画像を表示するための各種の画像処理を施す。
- [0249] 表示装置11202は、CCU 11201からの制御により、当該CCU 11201によって画像処理が施された画像信号に基づく画像を表示する。
- [0250] 光源装置11203は、例えばLED (light emitting diode) 等の光源から構成され、術部等を撮影する際の照射光を内視鏡11100に供給する。
- [0251] 入力装置11204は、内視鏡手術システム11000に対する入力インタフェースである。ユーザは、入力装置11204を介して、内視鏡手術システム11000に対して各種の情報の入力や指示入力を行うことができる。例えば、ユーザは、内視鏡11100による撮像条件（照射光の種類、倍率及び焦点距離等）を変更する旨の指示等を入力する。
- [0252] 処置具制御装置11205は、組織の焼灼、切開又は血管の封止等のためのエネルギー処置具11112の駆動を制御する。気腹装置11206は、内視鏡11100による視野の確保及び術者の作業空間の確保の目的で、患者11132の体腔を膨らめるために、気腹チューブ11111を介して当該体腔内にガスを送り込む。レコーダ11207は、手術に関する各種の情報を記録可能な装置である。プリンタ11208は、手術に関する各種の情報を、テキスト、画像又はグラフ等各種の形式で印刷可能な装置である。
- [0253] なお、内視鏡11100に術部を撮影する際の照射光を供給する光源装置11203は、例えばLED、レーザ光源又はこれらの組み合わせによって構成される白色光源から構成することができる。RGBレーザ光源の組み合わせにより白色光源が構成される場合には、各色（各波長）の出力強度及び出力タイミングを高精度に制御することができるため、光源装置11203

において撮像画像のホワイトバランスの調整を行うことができる。また、この場合には、RGBレーザ光源それぞれからのレーザ光を時分割で観察対象に照射し、その照射タイミングに同期してカメラヘッド11102の撮像素子の駆動を制御することにより、RGBそれぞれに対応した画像を時分割で撮像することも可能である。当該方法によれば、当該撮像素子にカラーフィルタを設けなくても、カラー画像を得ることができる。

[0254] また、光源装置11203は、出力する光の強度を所定の時間ごとに変更するようにその駆動が制御されてもよい。その光の強度の変更のタイミングに同期してカメラヘッド11102の撮像素子の駆動を制御して時分割で画像を取得し、その画像を合成することにより、いわゆる黒つぶれ及び白とびのない高ダイナミックレンジの画像を生成することができる。

[0255] また、光源装置11203は、特殊光観察に対応した所定の波長帯域の光を供給可能に構成されてもよい。特殊光観察では、例えば、体組織における光の吸収の波長依存性を利用して、通常の観察時における照射光（すなわち、白色光）に比べて狭帯域の光を照射することにより、粘膜表層の血管等の所定の組織を高コントラストで撮影する、いわゆる狭帯域光観察（Narrow Band Imaging）が行われる。あるいは、特殊光観察では、励起光を照射することにより発生する蛍光により画像を得る蛍光観察が行われてもよい。蛍光観察では、体組織に励起光を照射し当該体組織からの蛍光を観察すること（自家蛍光観察）、又はインドシアニンググリーン（ICG）等の試薬を体組織に局注するとともに当該体組織にその試薬の蛍光波長に対応した励起光を照射し蛍光像を得ること等を行うことができる。光源装置11203は、このような特殊光観察に対応した狭帯域光及び／又は励起光を供給可能に構成され得る。

[0256] 図82は、図81に示すカメラヘッド11102及びCCU11201の機能構成の一例を示すブロック図である。

[0257] カメラヘッド11102は、レンズユニット11401と、撮像部11402と、駆動部11403と、通信部11404と、カメラヘッド制御部1

1405と、を有する。CCU11201は、通信部11411と、画像処理部11412と、制御部11413と、を有する。カメラヘッド11102とCCU11201とは、伝送ケーブル11400によって互いに通信可能に接続されている。

[0258] レンズユニット11401は、鏡筒11101との接続部に設けられる光学系である。鏡筒11101の先端から取り込まれた観察光は、カメラヘッド11102まで導光され、当該レンズユニット11401に入射する。レンズユニット11401は、ズームレンズ及びフォーカスレンズを含む複数のレンズが組み合わされて構成される。

[0259] 撮像部11402を構成する撮像素子は、1つ（いわゆる単板式）であってもよいし、複数（いわゆる多板式）であってもよい。撮像部11402が多板式で構成される場合には、例えば各撮像素子によってRGBそれぞれに対応する画像信号が生成され、それらが合成されることによりカラー画像が得られてもよい。あるいは、撮像部11402は、3D（dimensional）表示に対応する右目用及び左目用の画像信号をそれぞれ取得するための1対の撮像素子を有するように構成されてもよい。3D表示が行われることにより、術者11131は術部における生体組織の奥行きをより正確に把握することが可能になる。なお、撮像部11402が多板式で構成される場合には、各撮像素子に対応して、レンズユニット11401も複数系統設けられ得る。

[0260] また、撮像部11402は、必ずしもカメラヘッド11102に設けられなくてもよい。例えば、撮像部11402は、鏡筒11101の内部に、対物レンズの直後に設けられてもよい。

[0261] 駆動部11403は、アクチュエータによって構成され、カメラヘッド制御部11405からの制御により、レンズユニット11401のズームレンズ及びフォーカスレンズを光軸に沿って所定の距離だけ移動させる。これにより、撮像部11402による撮像画像の倍率及び焦点が適宜調整され得る。

[0262] 通信部11404は、CCU11201との間で各種の情報を送受信する

ための通信装置によって構成される。通信部 11404 は、撮像部 11402 から得た画像信号を RAW データとして伝送ケーブル 11400 を介して CCU 11201 に送信する。

[0263] また、通信部 11404 は、CCU 11201 から、カメラヘッド 11102 の駆動を制御するための制御信号を受信し、カメラヘッド制御部 11405 に供給する。当該制御信号には、例えば、撮像画像のフレームレートを指定する旨の情報、撮像時の露出値を指定する旨の情報、並びに／又は撮像画像の倍率及び焦点を指定する旨の情報等、撮像条件に関する情報が含まれる。

[0264] なお、上記のフレームレートや露出値、倍率、焦点等の撮像条件は、ユーザによって適宜指定されてもよいし、取得された画像信号に基づいて CCU 11201 の制御部 11413 によって自動的に設定されてもよい。後者の場合には、いわゆる AE (Auto Exposure) 機能、AF (Auto Focus) 機能及び AWB (Auto White Balance) 機能が内視鏡 11100 に搭載されていることになる。

[0265] カメラヘッド制御部 11405 は、通信部 11404 を介して受信した CCU 11201 からの制御信号に基づいて、カメラヘッド 11102 の駆動を制御する。

[0266] 通信部 11411 は、カメラヘッド 11102 との間で各種の情報を送受信するための通信装置によって構成される。通信部 11411 は、カメラヘッド 11102 から、伝送ケーブル 11400 を介して送信される画像信号を受信する。

[0267] また、通信部 11411 は、カメラヘッド 11102 に対して、カメラヘッド 11102 の駆動を制御するための制御信号を送信する。画像信号や制御信号は、電気通信や光通信等によって送信することができる。

[0268] 画像処理部 11412 は、カメラヘッド 11102 から送信された RAW データである画像信号に対して各種の画像処理を施す。

[0269] 制御部 11413 は、内視鏡 11100 による術部等の撮像、及び、術部

等の撮像により得られる撮像画像の表示に関する各種の制御を行う。例えば、制御部 11413 は、カメラヘッド 11102 の駆動を制御するための制御信号を生成する。

[0270] また、制御部 11413 は、画像処理部 11412 によって画像処理が施された画像信号に基づいて、術部等が映った撮像画像を表示装置 11202 に表示させる。この際、制御部 11413 は、各種の画像認識技術を用いて撮像画像内における各種の物体を認識してもよい。例えば、制御部 11413 は、撮像画像に含まれる物体のエッジの形状や色等を検出することにより、鉗子等の術具、特定の生体部位、出血、エネルギー処置具 11112 の使用時のミスト等を認識することができる。制御部 11413 は、表示装置 11202 に撮像画像を表示させる際に、その認識結果を用いて、各種の手術支援情報を当該術部の画像に重畳表示させてもよい。手術支援情報が重畳表示され、術者 11131 に提示されることにより、術者 11131 の負担を軽減することや、術者 11131 が確実に手術を進めることが可能になる。

[0271] カメラヘッド 11102 及び CCU 11201 を接続する伝送ケーブル 11400 は、電気信号の通信に対応した電気信号ケーブル、光通信に対応した光ファイバ、又はこれらの複合ケーブルである。

[0272] ここで、図示する例では、伝送ケーブル 11400 を用いて有線で通信が行われていたが、カメラヘッド 11102 と CCU 11201 との間の通信は無線で行われてもよい。

[0273] 以上、本開示に係る技術が適用され得る内視鏡手術システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、例えば、内視鏡 11100 や、カメラヘッド 11102 (の撮像部 11402)、CCU 11201 (の画像処理部 11412) 等に適用され得る。これらの構成に本開示に係る技術を適用することにより、術者に対してより鮮明な画像を表示することが可能になるなどの効果を得ることができる。

[0274] なお、ここでは、一例として内視鏡手術システムについて説明したが、本開示に係る技術は、その他、例えば、顕微鏡手術システム等に適用されても

よい。

[0275] 以上、本開示の実施形態について説明したが、本開示の技術的範囲は、上述の実施形態そのままに限定されるものではなく、本開示の要旨を逸脱しない範囲において種々の変更が可能である。また、異なる実施形態及び変形例にわたる構成要素を適宜組み合わせてもよい。

[0276] また、本明細書に記載された各実施形態における効果はあくまで例示であって限定されるものではなく、他の効果があってもよい。

[0277] なお、本技術は以下のような構成も取ることができる。

(1)

行列状に配列する複数の画素を備え、

前記画素それぞれは、

第1半導体層と、

前記第1半導体層の第1面側に配置された光電変換部と、

前記第1半導体層における前記第1面と反対側の第2面側に近接配置された蓄積電極と、

前記第1半導体層の前記第2面から延出する配線と、

前記配線を介して前記第1半導体層に接続された浮遊拡散領域と、

前記第1半導体層から前記配線を介して前記浮遊拡散領域への電荷の流路に電位障壁を形成する第1ゲートと、

を備える固体撮像装置。

(2)

前記第1ゲートは、前記光電変換部が光電変換により発生する電荷と同じ極性を備える固定電荷膜である

前記(1)に記載の固体撮像装置。

(3)

前記第1ゲートは、前記蓄積電極と同一平面に配置される

前記(1)又は(2)に記載の固体撮像装置。

(4)

前記第 1 ゲートは、前記蓄積電極を挟んで前記浮遊拡散領域と反対側に配置される

前記（１）又は（２）に記載の固体撮像装置。

（５）

前記第 1 ゲートは、前記蓄積電極を挟んで前記第 1 半導体層と反対側に配置される

前記（１）又は（２）に記載の固体撮像装置。

（６）

前記第 1 ゲートの一部は、前記第 1 半導体層の主平面と垂直な方向において前記蓄積電極と重畳する

前記（４）又は（５）に記載の固体撮像装置。

（７）

前記画素それぞれは、隣接する画素との境界に配置され、各画素から隣接画素への電荷の流出を抑制する電位障壁を形成するシールド層をさらに備える

前記（１）～（６）の何れか 1 つに記載の固体撮像装置。

（８）

前記シールド層は、前記光電変換部が光電変換により発生する電荷と同じ極性を備える固定電荷膜である

前記（７）に記載の固体撮像装置。

（９）

前記シールド層は、前記蓄積電極と同一平面に配置される

前記（７）又は（８）に記載の固体撮像装置。

（１０）

前記シールド層は、前記蓄積電極を挟んで前記浮遊拡散領域と反対側に配置される

前記（７）又は（８）に記載の固体撮像装置。

（１１）

前記シールド層は、前記蓄積電極を挟んで前記第 1 半導体層と反対側に配置される

前記（ 7 ）又は（ 8 ）に記載の固体撮像装置。

（ 1 2 ）

前記シールド層の一部は、前記第 1 半導体層の主平面と垂直な方向において前記蓄積電極と重畳する

前記（ 1 0 ）又は（ 1 1 ）に記載の固体撮像装置。

（ 1 3 ）

前記画素それぞれは、

前記第 1 ゲートよりも前記浮遊拡散領域に近い位置で前記配線に近接配置された第 2 ゲートと、

前記第 1 ゲートと前記第 2 ゲートとの間の位置で前記配線に近接配置されたメモリ電極と、

をさらに備える前記（ 1 ）～（ 1 2 ）の何れか 1 つに記載の固体撮像装置。

（ 1 4 ）

前記画素それぞれは、前記第 1 半導体層と前記浮遊拡散領域との間に位置する第 2 半導体層をさらに備え、

前記配線は、

前記第 1 半導体層から延出して前記第 2 半導体層に接続する第 1 配線と、

前記第 2 半導体層から延出して前記浮遊拡散領域に接続する第 2 配線と、

を備え、

前記第 1 ゲートは、前記第 1 配線に近接配置され、

前記メモリ電極は、前記第 2 半導体層に近接配置され、

前記第 2 ゲートは、前記第 2 配線に近接配置される

前記（ 1 3 ）に記載の固体撮像装置。

(15)

前記配線の断面は、円形または多角形である

前記(1)～(14)の何れか1つに記載の固体撮像装置。

(16)

前記配線は、前記第1半導体層から前記浮遊拡散領域にかけて縮径するテーパー形状を備える

前記(1)～(15)の何れか1つに記載の固体撮像装置。

(17)

前記複数の画素のうち隣接する画素は、共通の前記浮遊拡散領域に接続される

前記(1)～(16)の何れか1つに記載の固体撮像装置。

(18)

前記光電変換部は、有機膜である

前記(1)～(17)の何れか1つに記載の固体撮像装置。

(19)

前記第1半導体層は、

前記光電変換部に接触する第1層と、

前記第1層を挟んで前記光電変換部と反対側に位置する第2層とを備える

前記(1)～(18)の何れか1つに記載の固体撮像装置。

(20)

前記(1)～(19)の何れか1つに記載の固体撮像装置と、

前記固体撮像装置に入射光の像を結像するレンズと、

前記固体撮像装置から出力された信号に対して所定の処理を実行する処理回路と、

を備える電子機器。

符号の説明

[0278] 1 電子機器

- 10、10-1~10-N、10A、10a、10b RGB画素
- 11、15 転送ゲート
- 12、22 リセットトランジスタ
- 13、23 増幅トランジスタ
- 14、24 選択トランジスタ
- 16 メモリ電極
- 20 IR画素
- 21 転送トランジスタ
- 25 排出トランジスタ
- 31、31r、31g、31b カラーフィルタ
- 32 封止膜
- 33 透明電極
- 34 光電変換膜
- 35 半導体層
- 35A 第1半導体層
- 35B 第2半導体層
- 35a 第1層
- 35b 第2層
- 36 読出し電極
- 37 蓄積電極
- 41 IRフィルタ
- 42 pウェル領域
- 43 p型半導体領域
- 44 n型半導体領域
- 45 縦型トランジスタ
- 51 オンチップレンズ
- 52 平坦化膜
- 53 絶縁層

5 4 画素分離部
5 5 固定電荷膜
5 6 層間絶縁膜
5 7、5 7 B シールド電極
5 8、5 9 電荷
6 0 半導体配線
6 1～6 6、7 2、7 3 配線
6 7 シールド電荷膜
8 1、8 3、8 4 固定電荷膜
8 1 a 開口
8 2 絶縁膜
9 1 ゲート電極
1 0 0 イメージセンサ
1 0 1 画素アレイ部
1 0 2 垂直駆動回路
1 0 3 信号処理回路
1 0 3 a A D変換回路
1 0 4 水平駆動回路
1 0 5 システム制御回路
1 0 8 データ処理部
1 0 9 データ格納部
1 1 0、1 1 0 A 単位画素
1 2 1 受光チップ
1 2 2 回路チップ
9 0 1 被写体
1 0 1 0 レーザ光源
1 0 1 1 光源駆動部
1 0 1 2 V C S E L

1 0 2 1 センサ制御部

1 0 2 2 受光部

1 0 3 0 照射レンズ

1 0 4 0 撮像レンズ

1 0 5 0 システム制御部

1 1 0 0 アプリケーションプロセッサ

L D 画素駆動線

M E M メモリ

P D 1、P D 2 光電変換部

V S L、V S L 1、V S L 2 垂直信号線

請求の範囲

- [請求項1] 行列状に配列する複数の画素を備え、
前記画素それぞれは、
第1半導体層と、
前記第1半導体層の第1面側に配置された光電変換部と、
前記第1半導体層における前記第1面と反対側の第2面側に近接配置された蓄積電極と、
前記第1半導体層の前記第2面から延出する配線と、
前記配線を介して前記第1半導体層に接続された浮遊拡散領域と、
前記第1半導体層から前記配線を介して前記浮遊拡散領域への電荷の流路に電位障壁を形成する第1ゲートと、
を備える固体撮像装置。
- [請求項2] 前記第1ゲートは、前記光電変換部が光電変換により発生する電荷と同じ極性を備える固定電荷膜である
請求項1に記載の固体撮像装置。
- [請求項3] 前記第1ゲートは、前記蓄積電極と同一平面に配置される
請求項1に記載の固体撮像装置。
- [請求項4] 前記第1ゲートは、前記蓄積電極を挟んで前記浮遊拡散領域と反対側に配置される
請求項1に記載の固体撮像装置。
- [請求項5] 前記第1ゲートは、前記蓄積電極を挟んで前記第1半導体層と反対側に配置される
請求項1に記載の固体撮像装置。
- [請求項6] 前記第1ゲートの一部は、前記第1半導体層の主平面と垂直な方向において前記蓄積電極と重畳する
請求項4に記載の固体撮像装置。
- [請求項7] 前記画素それぞれは、隣接する画素との境界に配置され、各画素が

ら隣接画素への電荷の流出を抑制する電位障壁を形成するシールド層をさらに備える

請求項 1 に記載の固体撮像装置。

[請求項8] 前記シールド層は、前記光電変換部が光電変換により発生する電荷と同じ極性を備える固定電荷膜である

請求項 7 に記載の固体撮像装置。

[請求項9] 前記シールド層は、前記蓄積電極と同一平面に配置される

請求項 7 に記載の固体撮像装置。

[請求項10] 前記シールド層は、前記蓄積電極を挟んで前記浮遊拡散領域と反対側に配置される

請求項 7 に記載の固体撮像装置。

[請求項11] 前記シールド層は、前記蓄積電極を挟んで前記第 1 半導体層と反対側に配置される

請求項 7 に記載の固体撮像装置。

[請求項12] 前記シールド層の一部は、前記第 1 半導体層の主平面と垂直な方向において前記蓄積電極と重畳する

請求項 10 に記載の固体撮像装置。

[請求項13] 前記画素それぞれは、

前記第 1 ゲートよりも前記浮遊拡散領域に近い位置で前記配線に近接配置された第 2 ゲートと、

前記第 1 ゲートと前記第 2 ゲートとの間の位置で前記配線に近接配置されたメモリ電極と、

をさらに備える請求項 1 に記載の固体撮像装置。

[請求項14] 前記画素それぞれは、前記第 1 半導体層と前記浮遊拡散領域との間に位置する第 2 半導体層をさらに備え、

前記配線は、

前記第 1 半導体層から延出して前記第 2 半導体層に接続する第 1 配線と、

前記第 2 半導体層から延出して前記浮遊拡散領域に接続する第 2 配線と、

を備え、

前記第 1 ゲートは、前記第 1 配線に近接配置され、

前記メモリ電極は、前記第 2 半導体層に近接配置され、

前記第 2 ゲートは、前記第 2 配線に近接配置される

請求項 1 3 に記載の固体撮像装置。

[請求項15] 前記配線の断面は、円形または多角形である

請求項 1 に記載の固体撮像装置。

[請求項16] 前記配線は、前記第 1 半導体層から前記浮遊拡散領域にかけて縮径するテーパ形状を備える

請求項 1 に記載の固体撮像装置。

[請求項17] 前記複数の画素のうち隣接する画素は、共通の前記浮遊拡散領域に接続される

請求項 1 に記載の固体撮像装置。

[請求項18] 前記光電変換部は、有機膜である

請求項 1 に記載の固体撮像装置。

[請求項19] 前記第 1 半導体層は、

前記光電変換部に接触する第 1 層と、

前記第 1 層を挟んで前記光電変換部と反対側に位置する第 2 層とを備える

請求項 1 に記載の固体撮像装置。

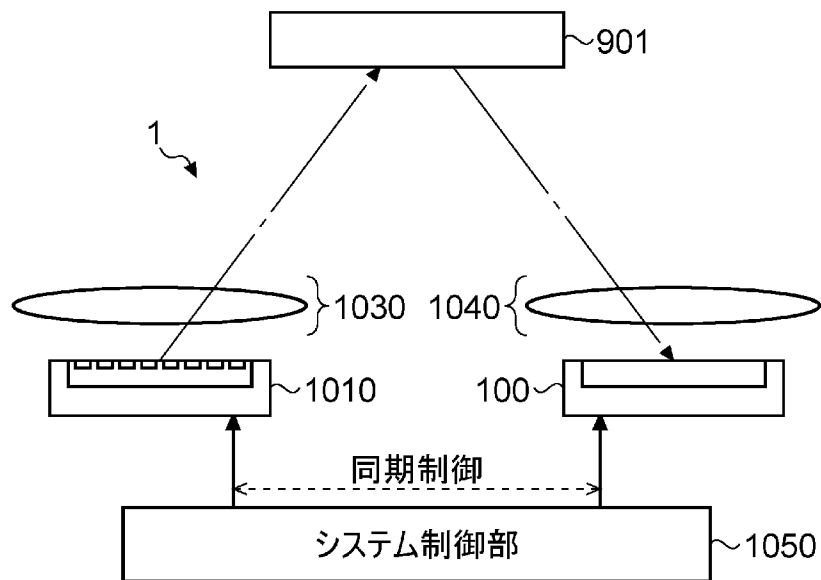
[請求項20] 請求項 1 に記載の固体撮像装置と、

前記固体撮像装置に入射光の像を結像するレンズと、

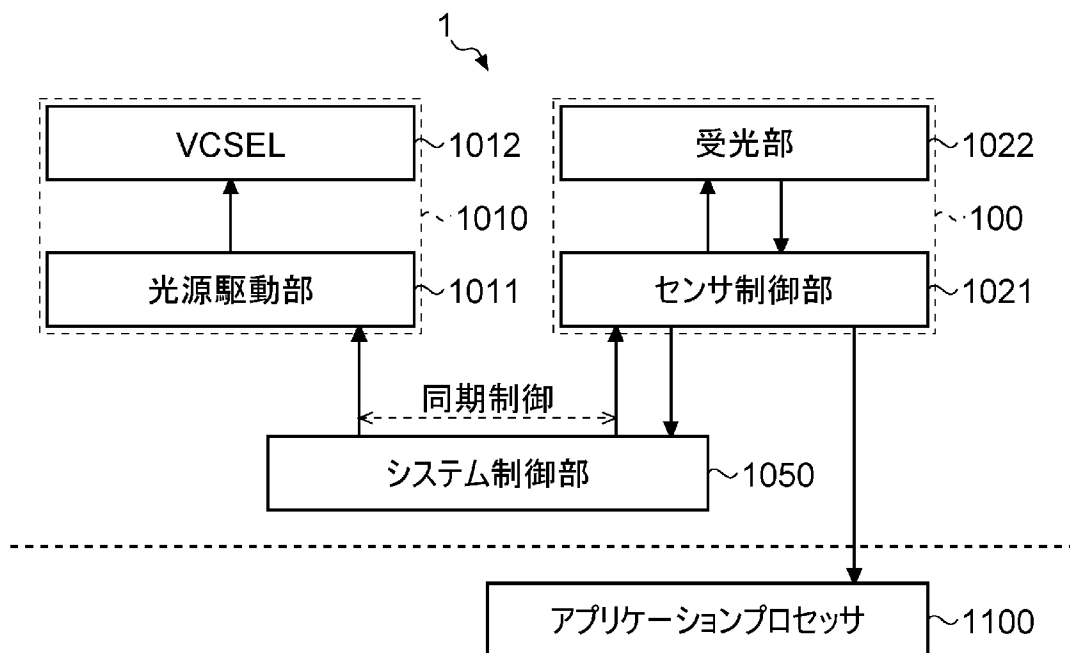
前記固体撮像装置から出力された信号に対して所定の処理を実行する処理回路と、

を備える電子機器。

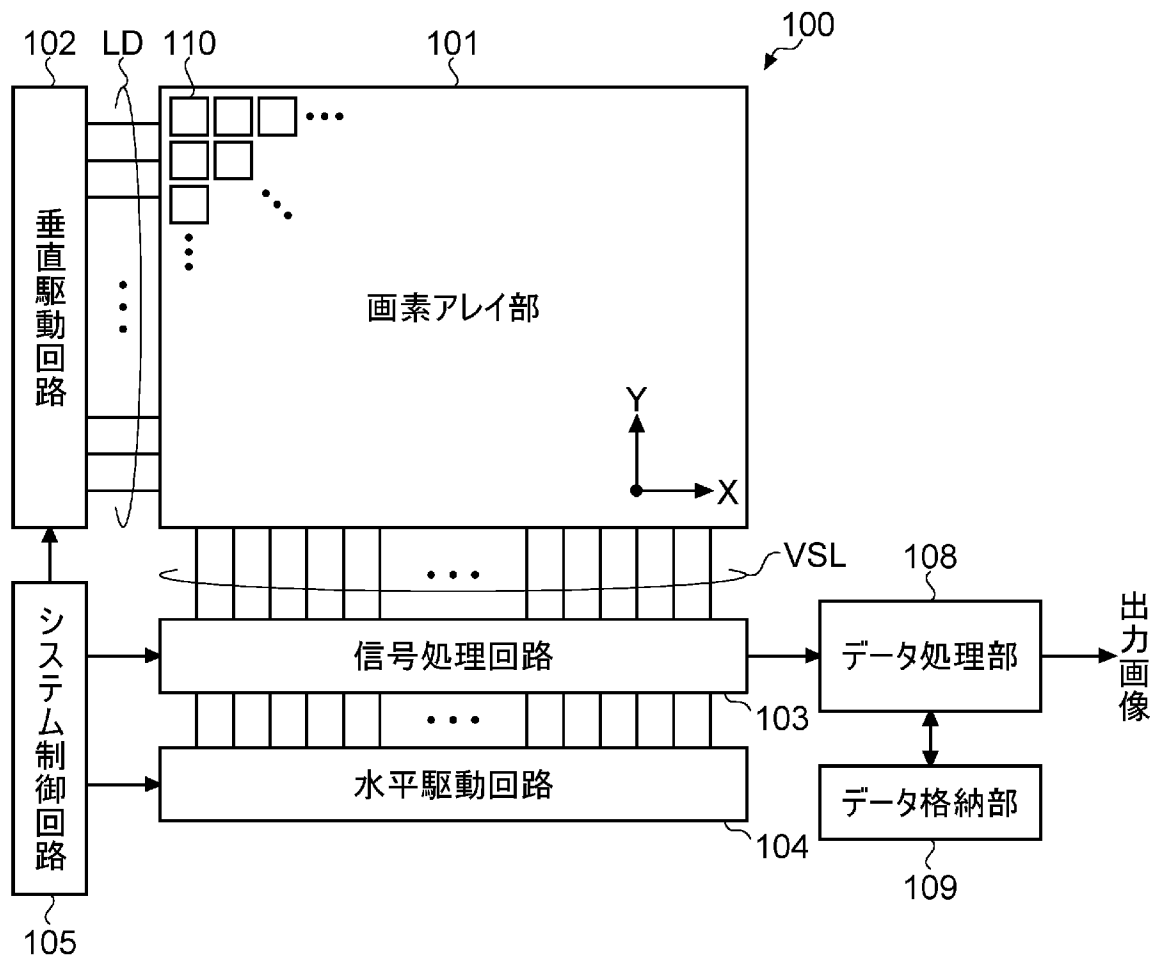
[図1]



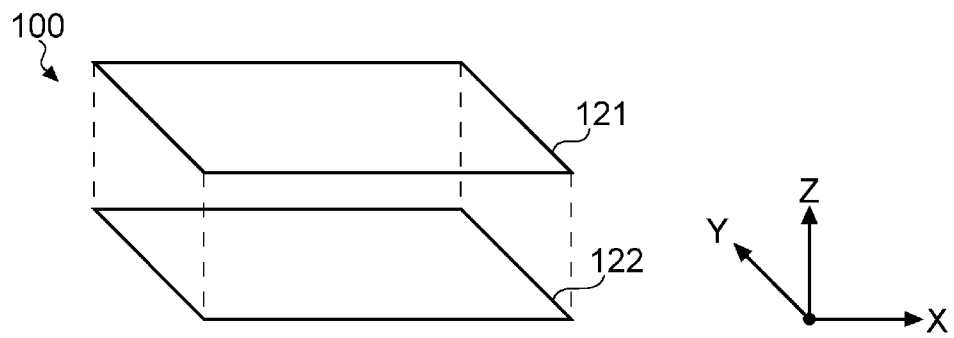
[図2]



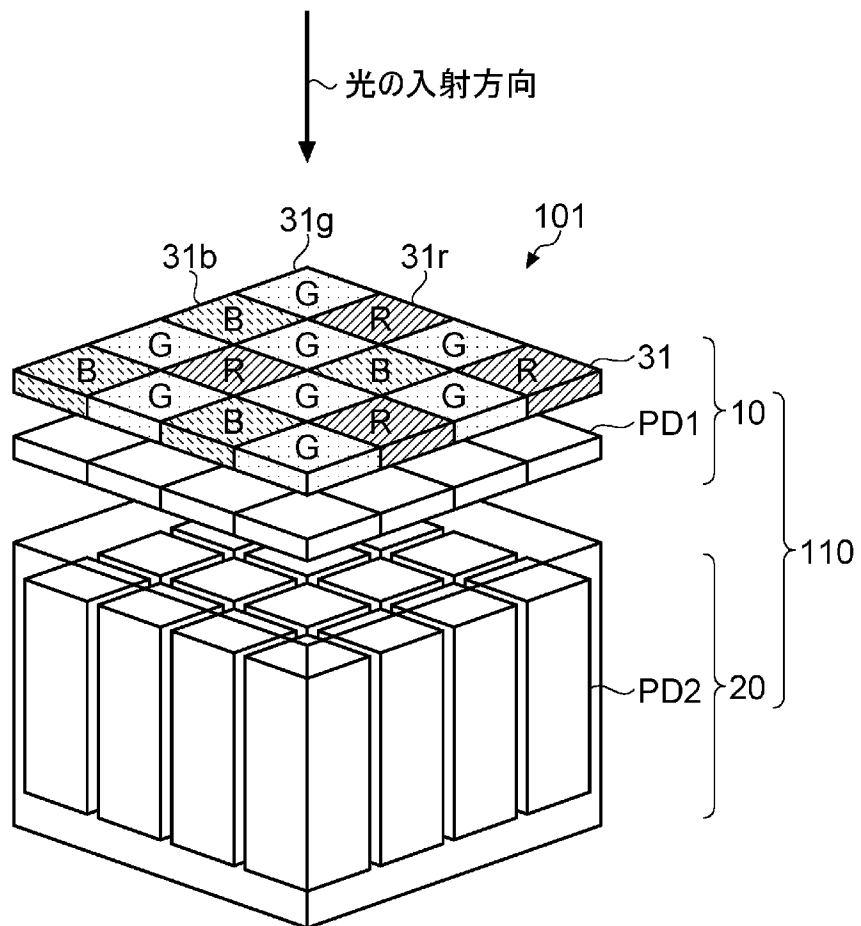
[図3]



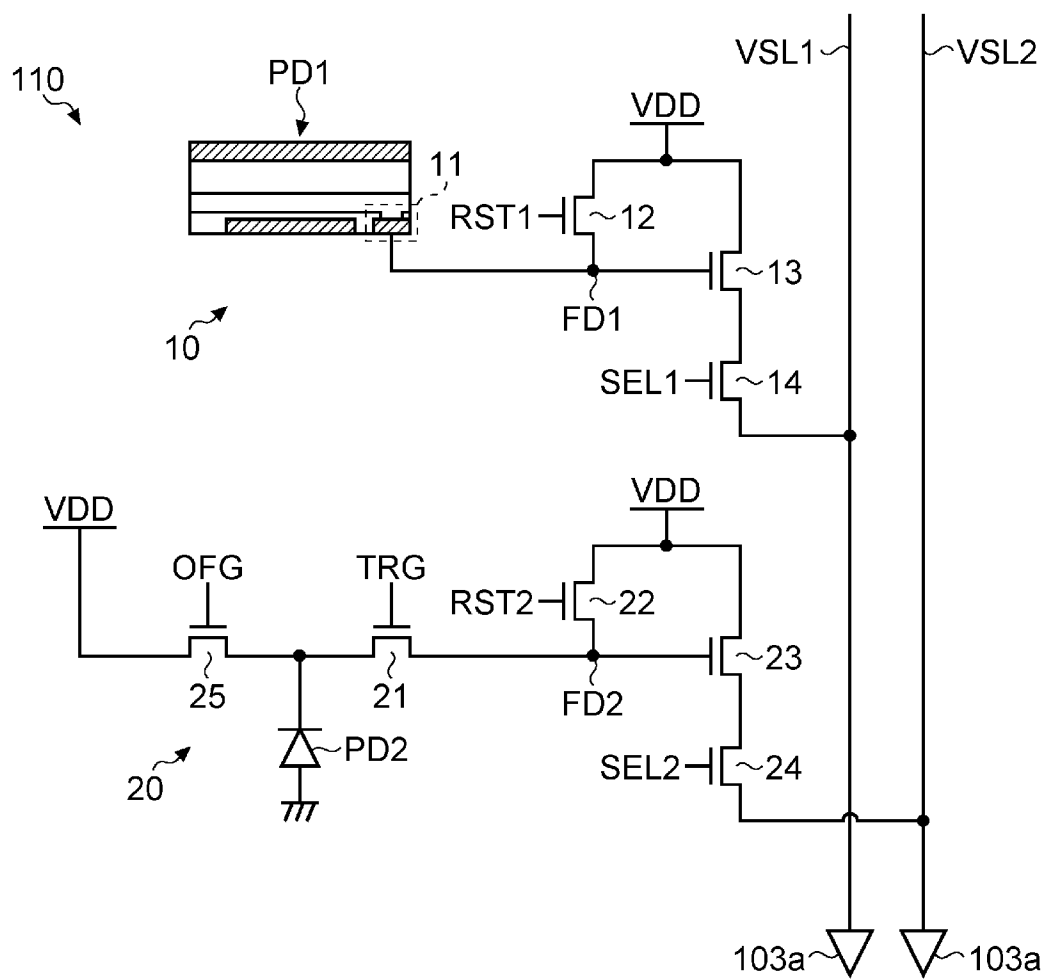
[図4]



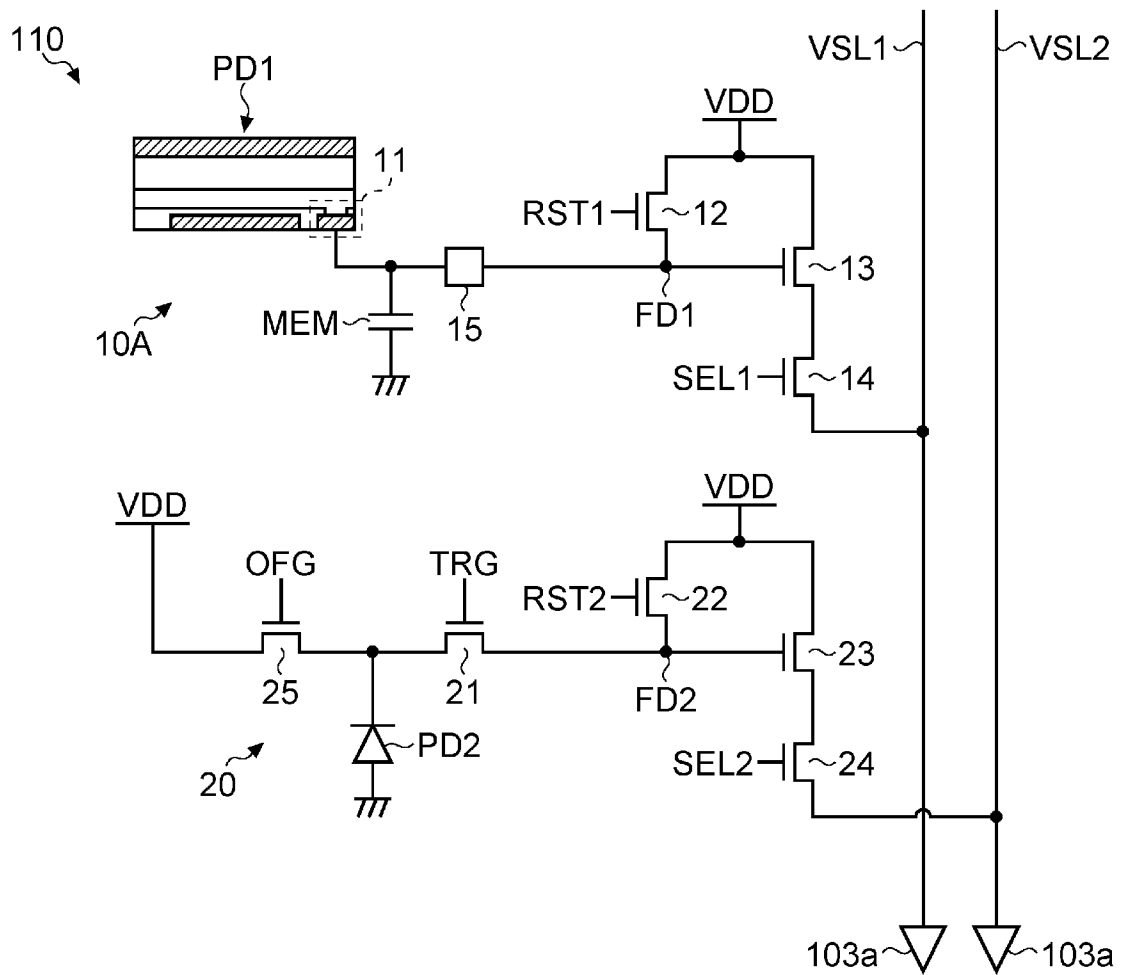
[図5]



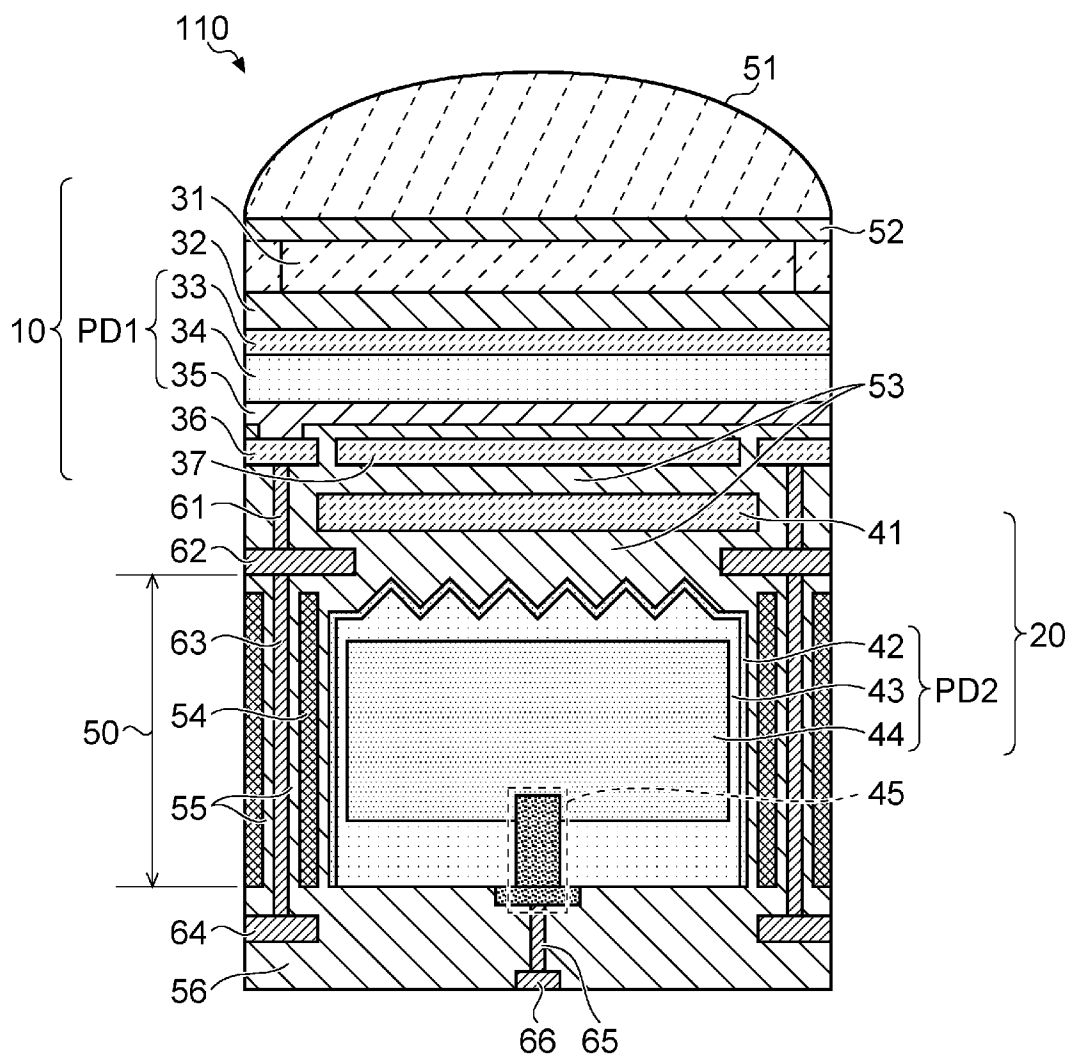
[図6]



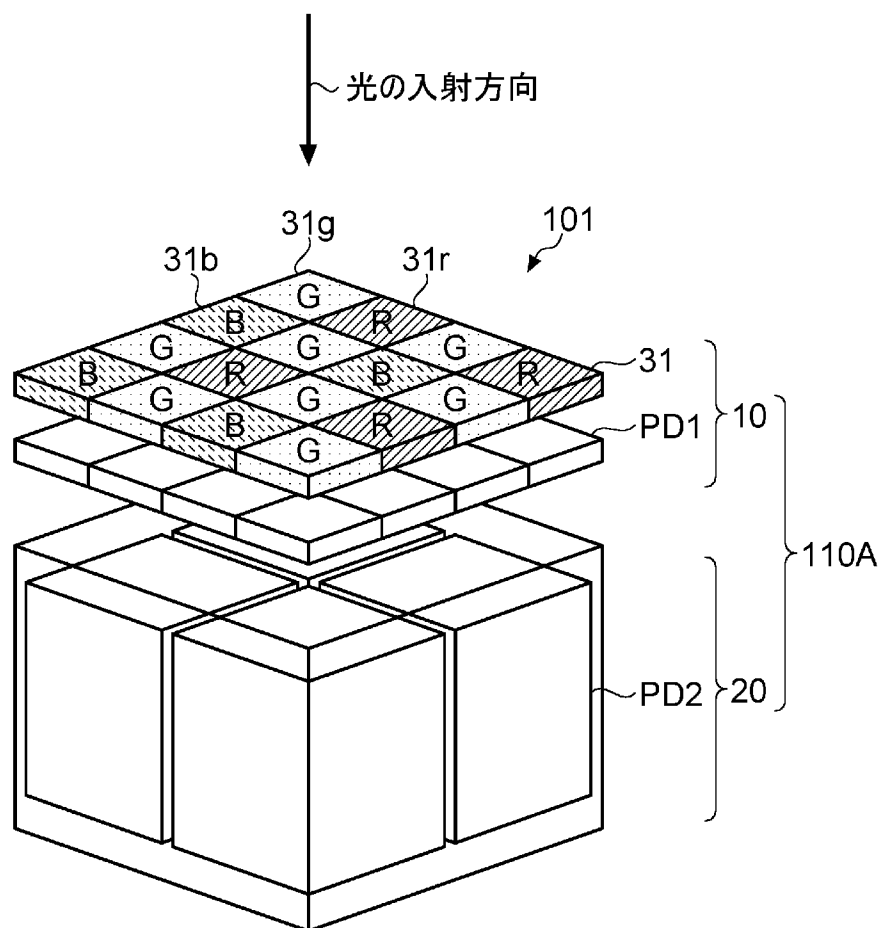
[図7]



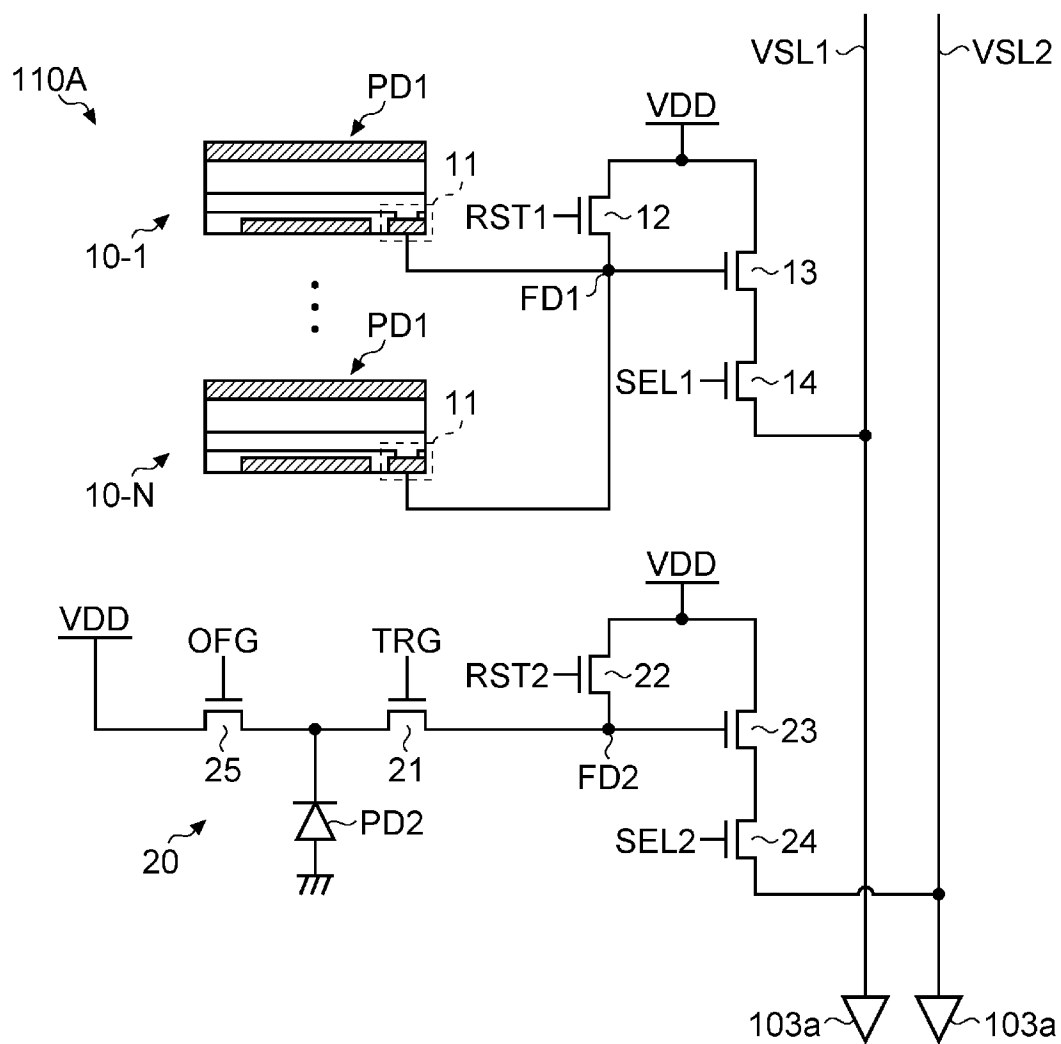
[図8]



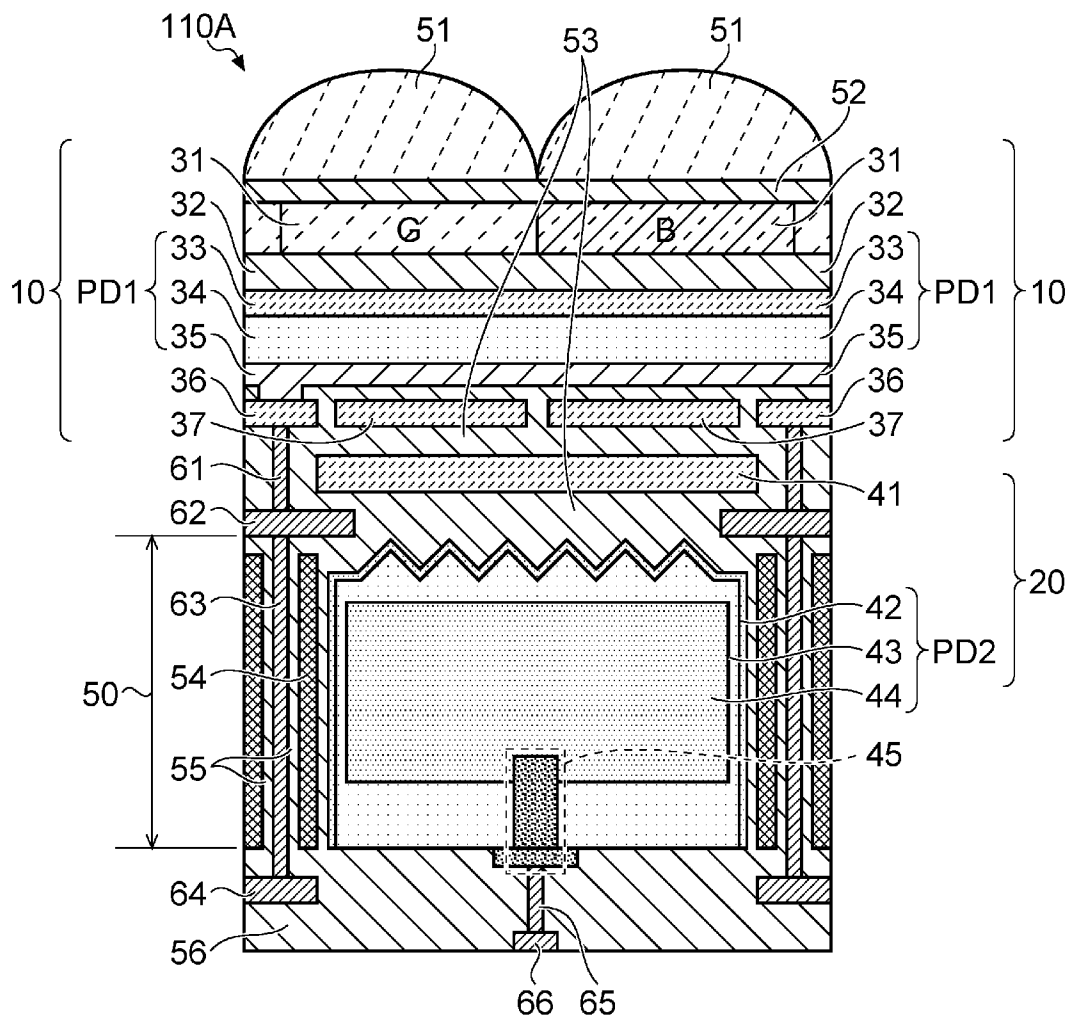
[図9]



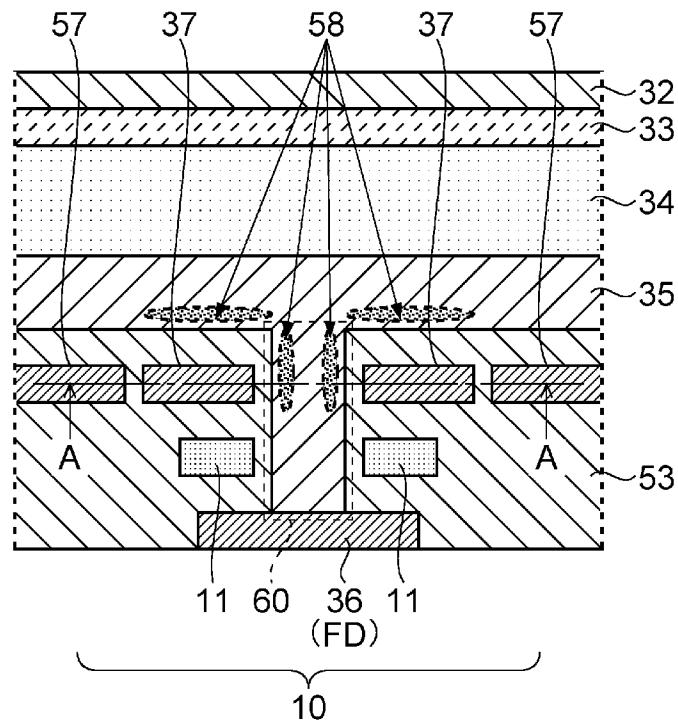
[図10]



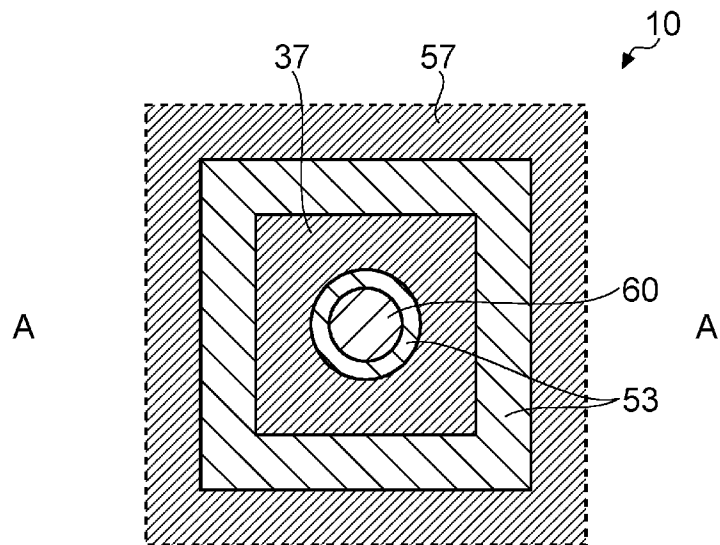
[図11]



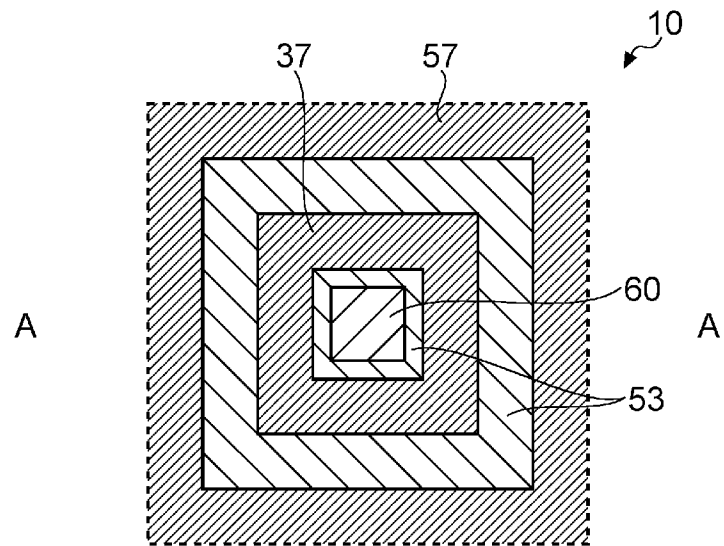
[図12]



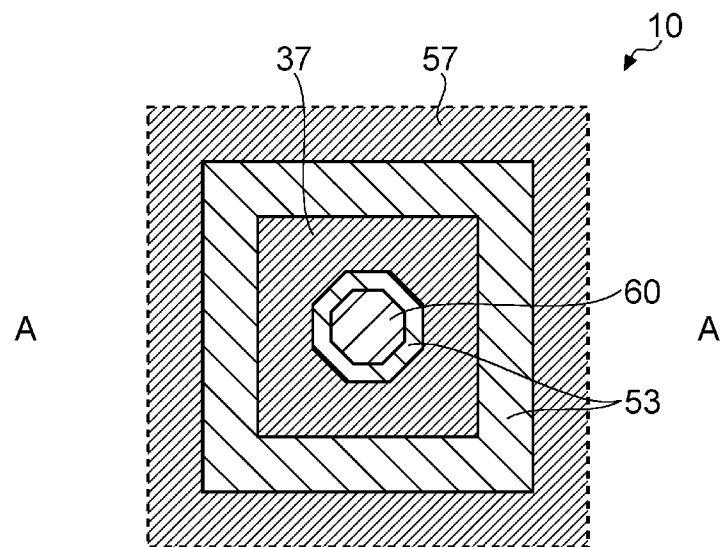
[図13]



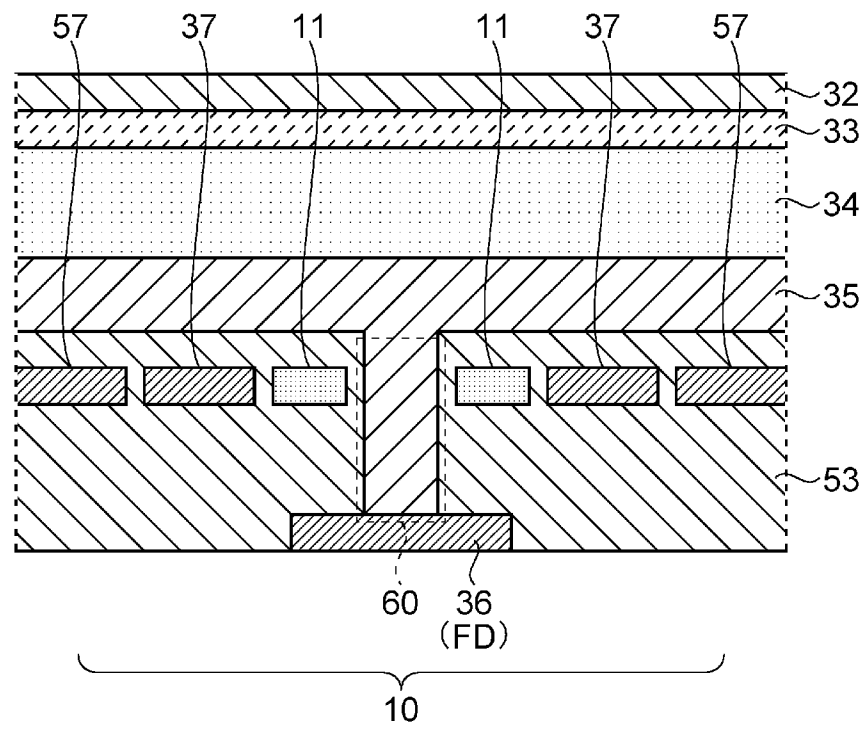
[図14]



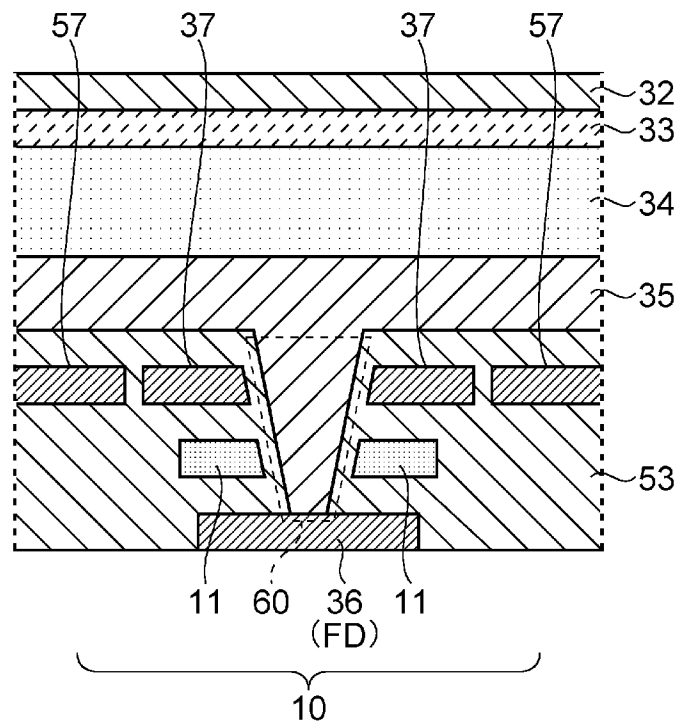
[図15]



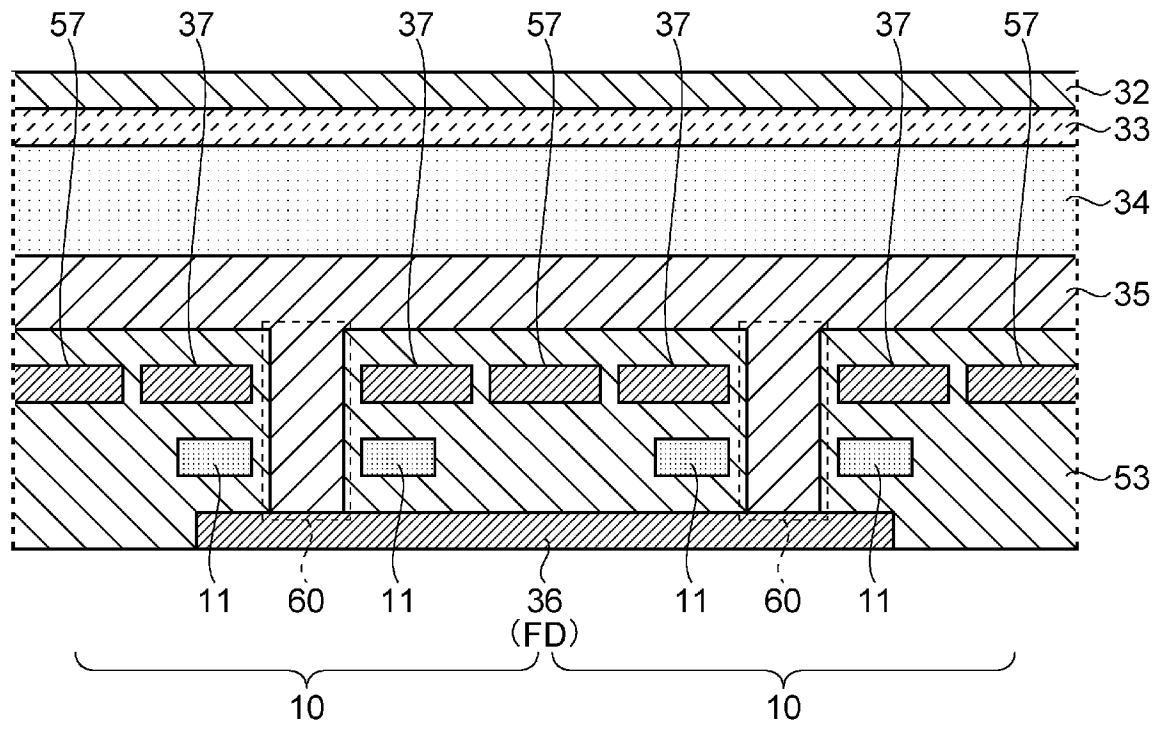
[図16]



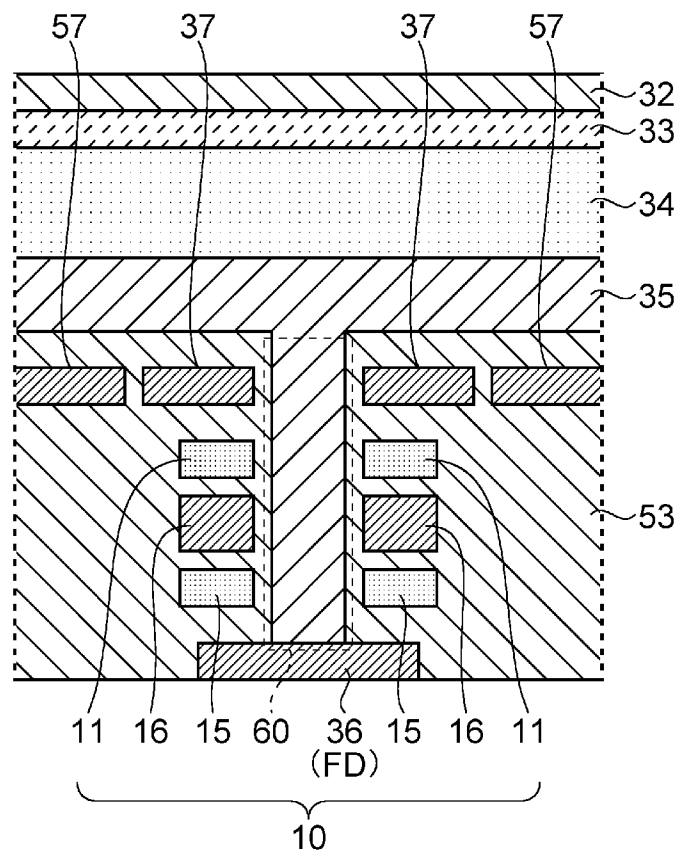
[図17]



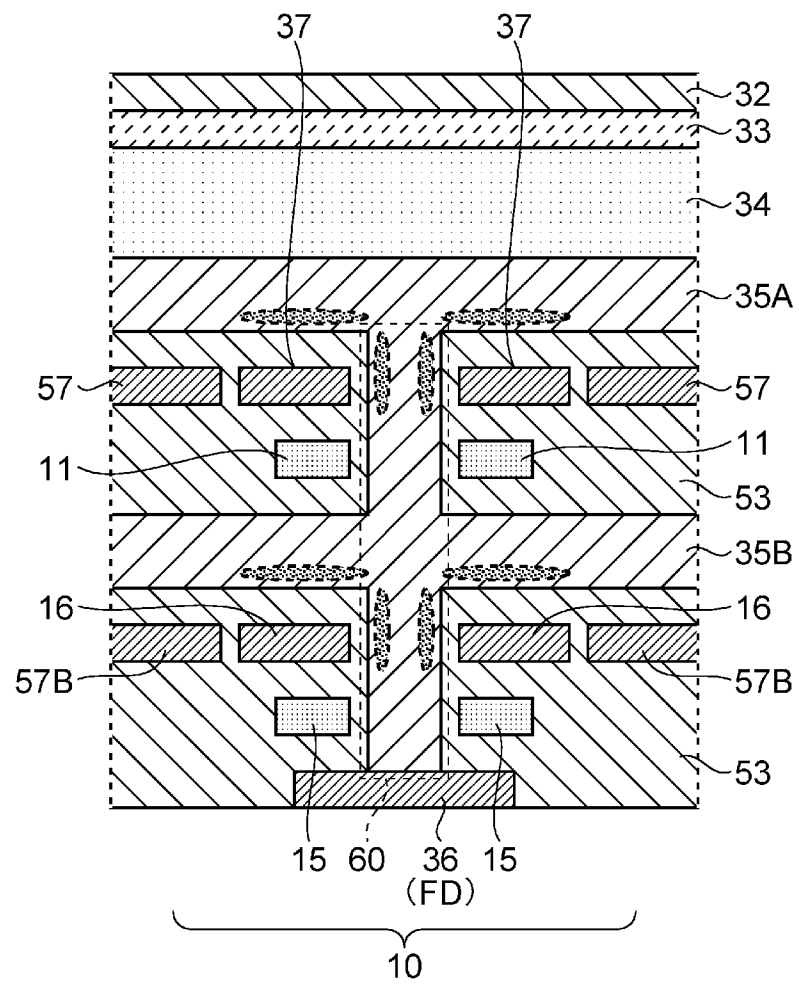
[図18]



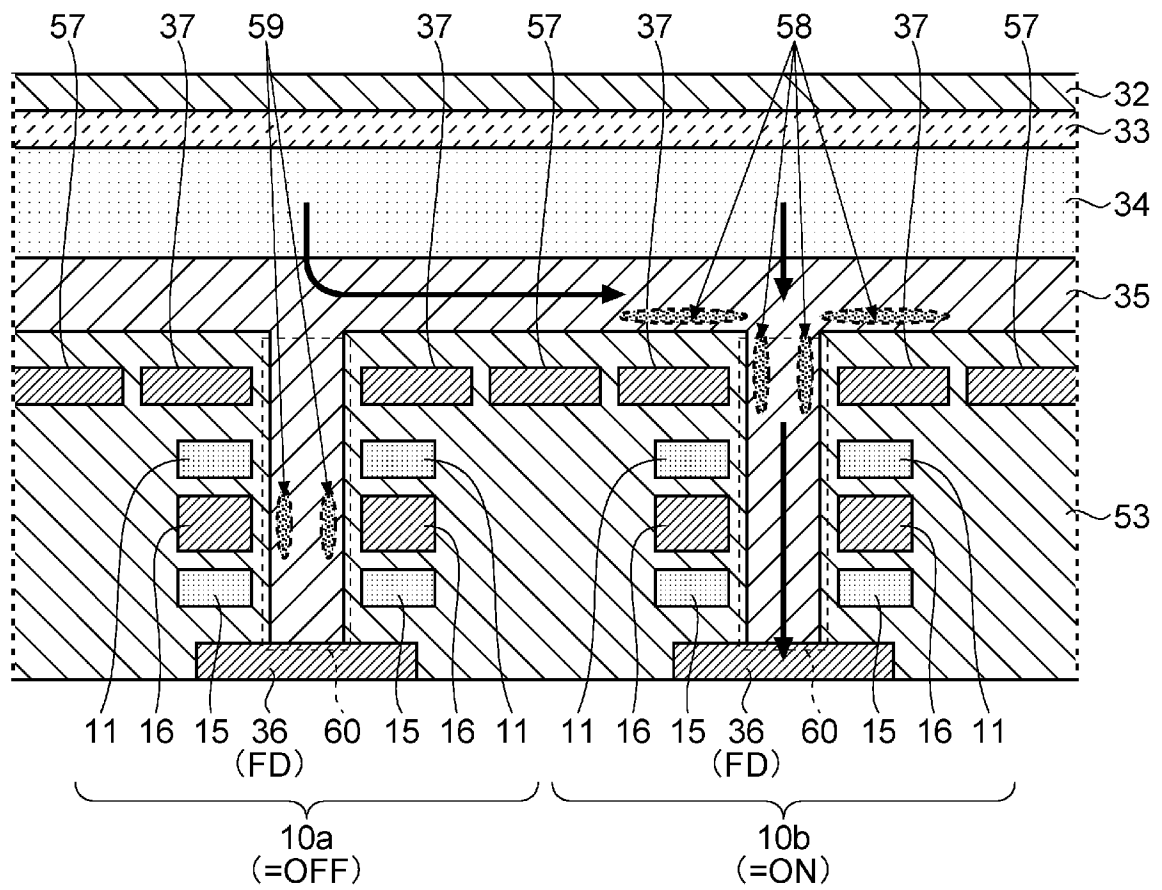
[図21]



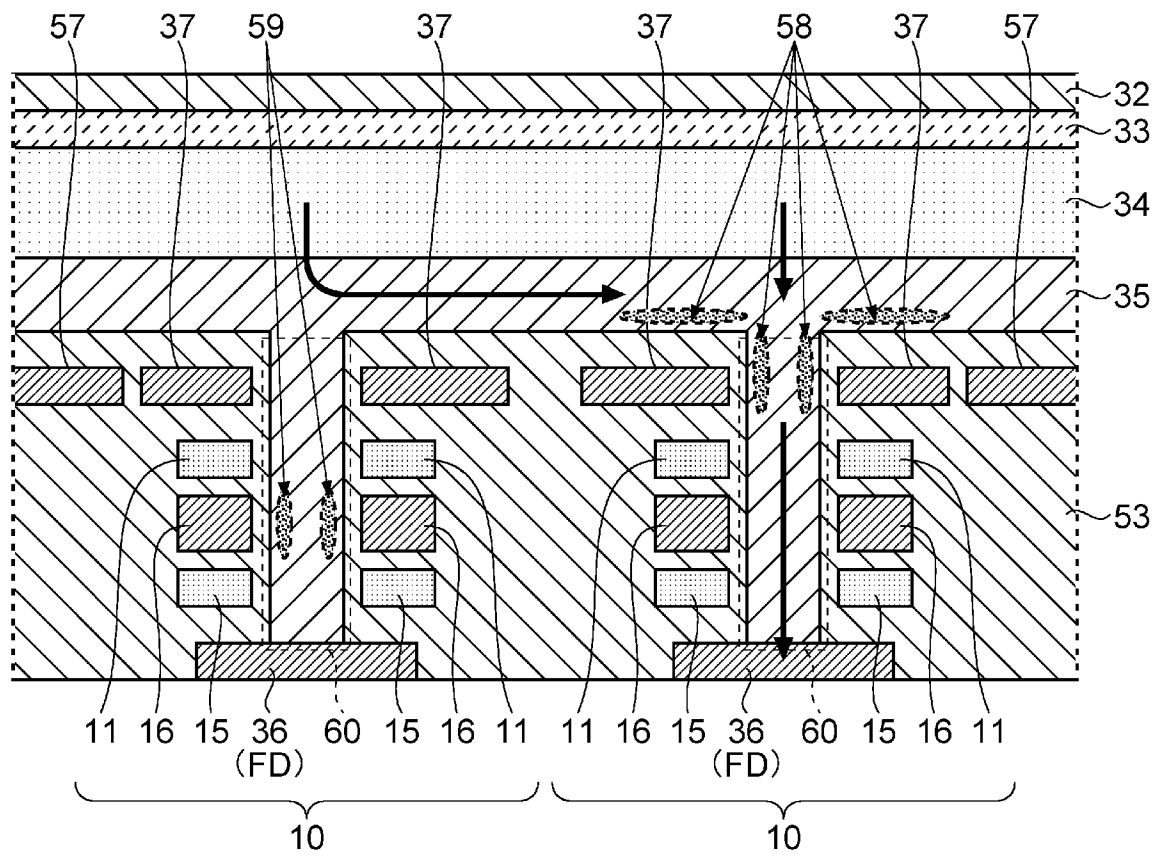
[図24]



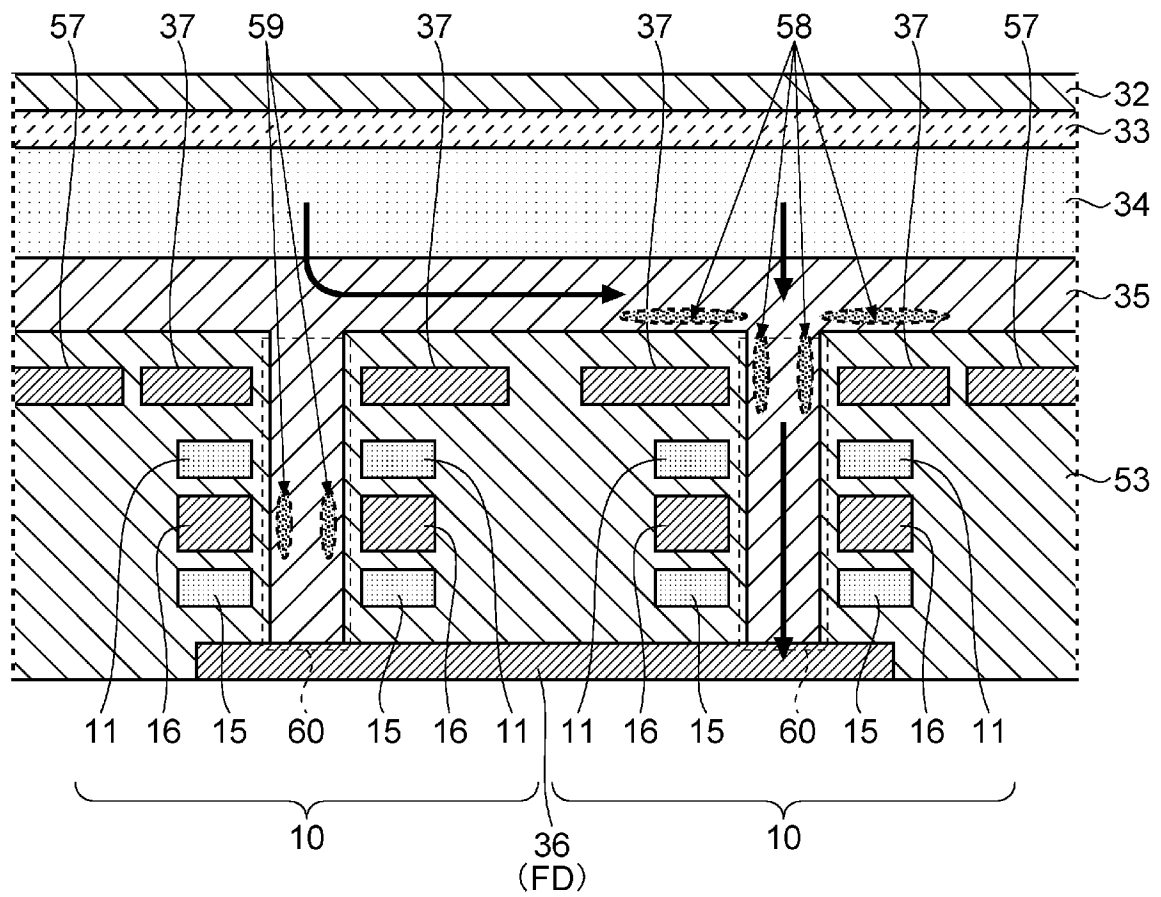
[図25]



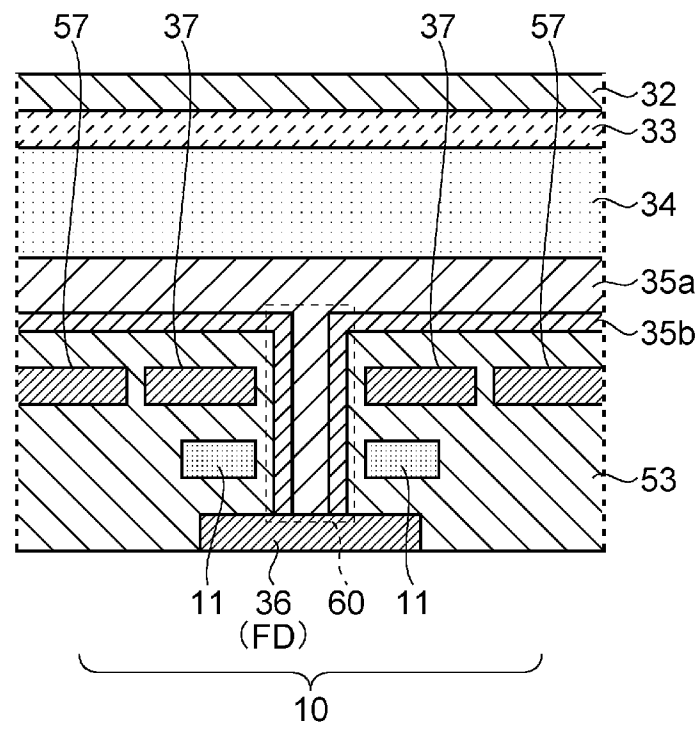
[図26]



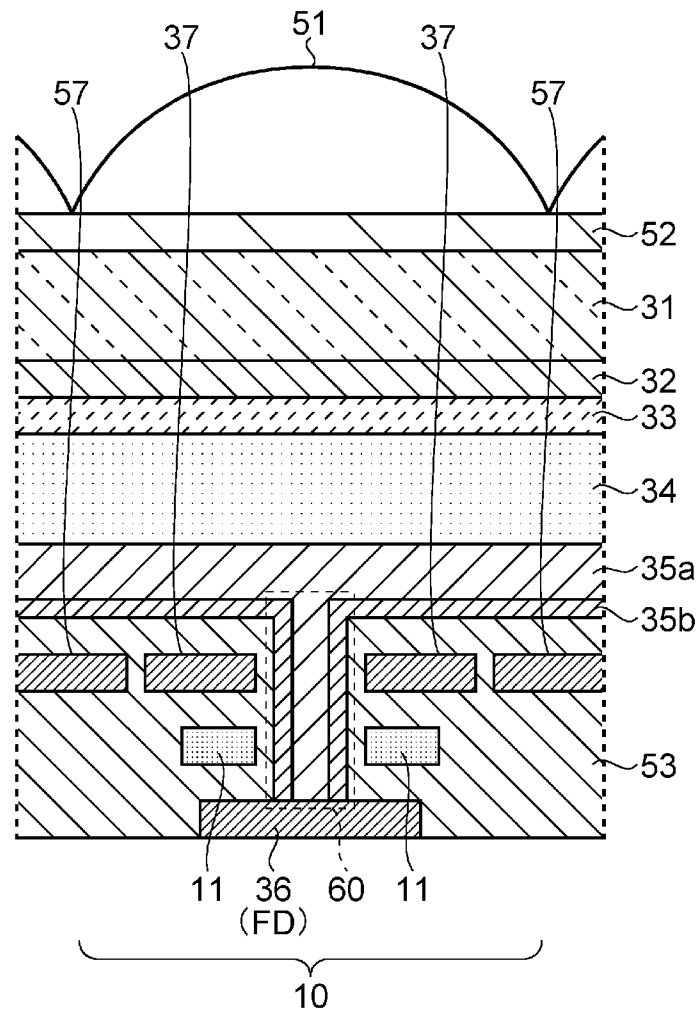
[図27]



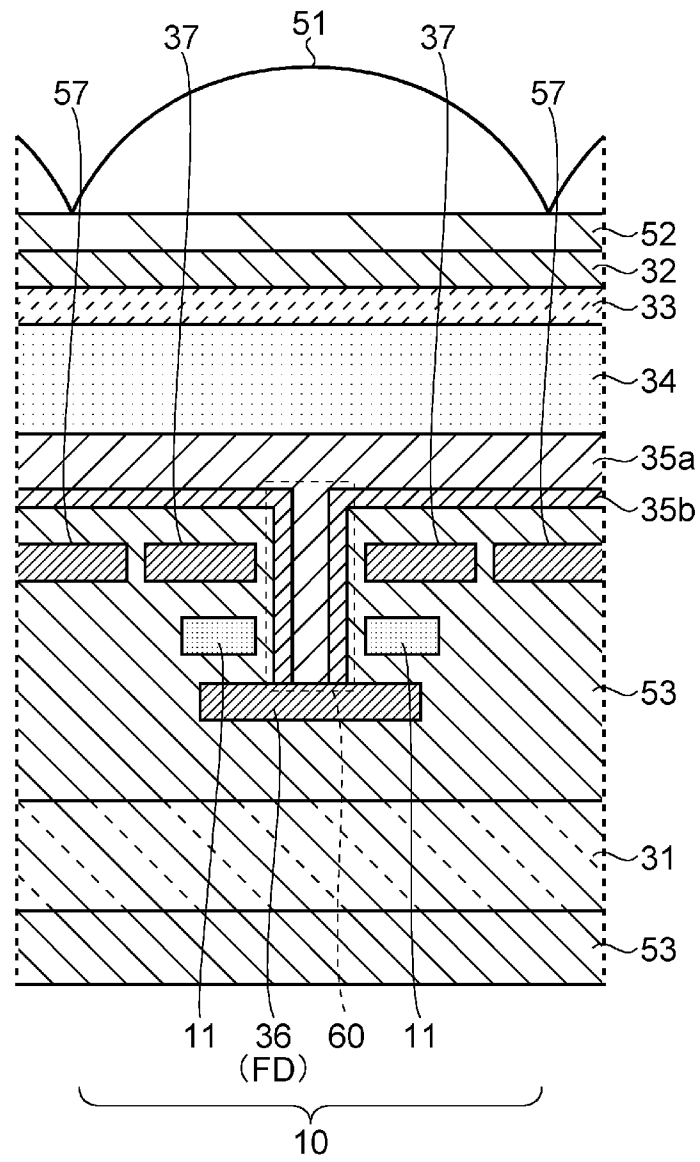
[図28]



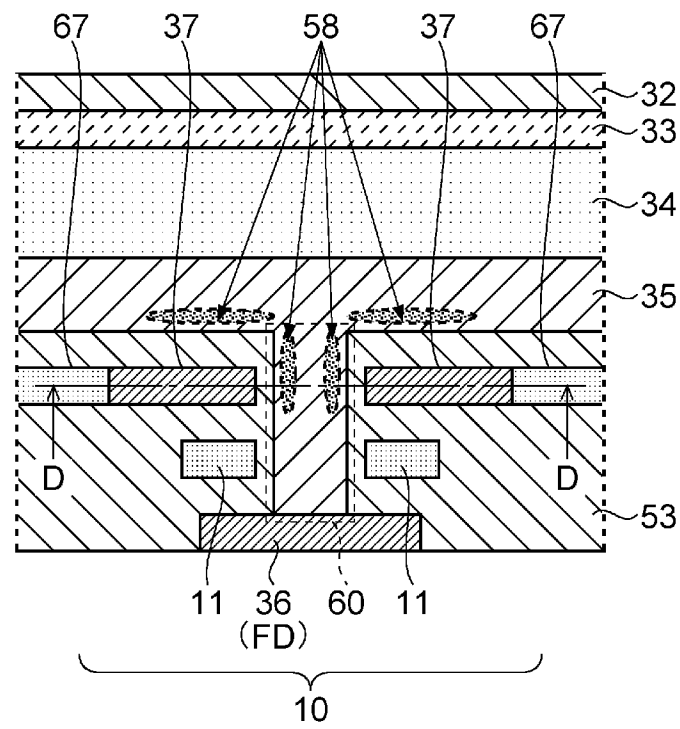
[図29]



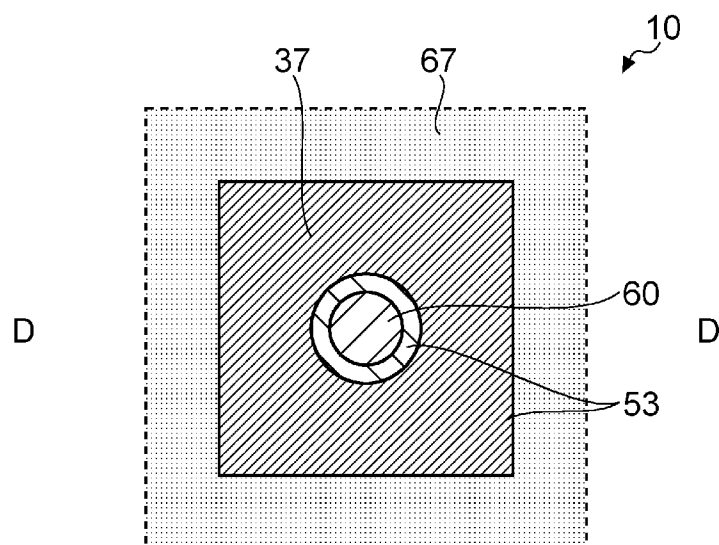
[図30]



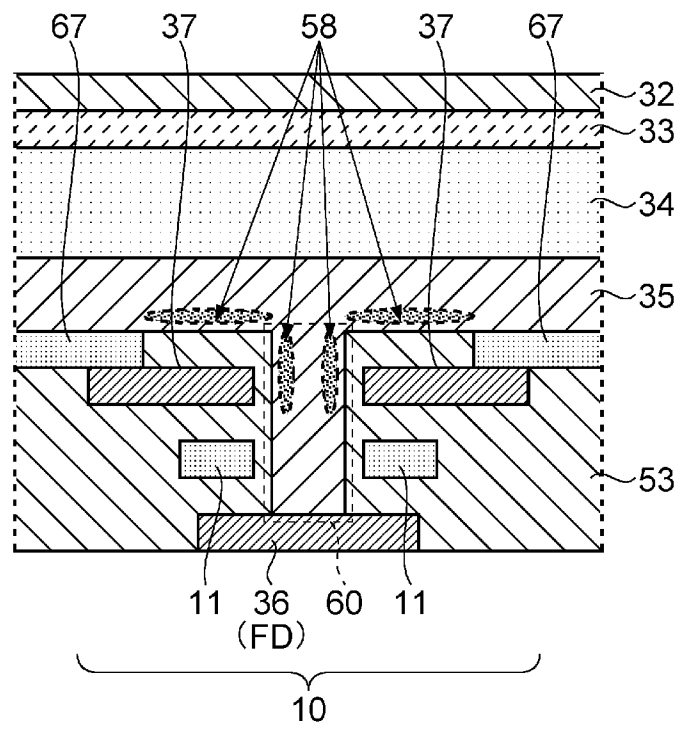
[図31]



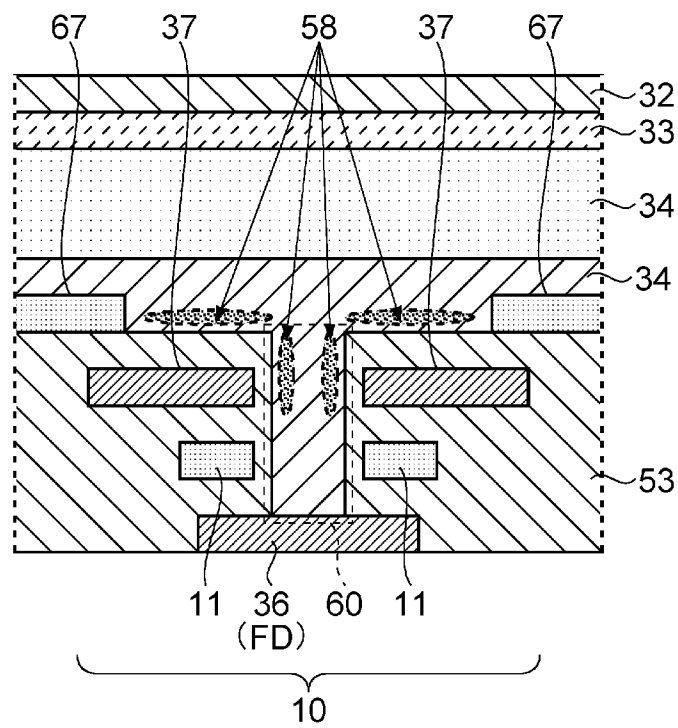
[図32]



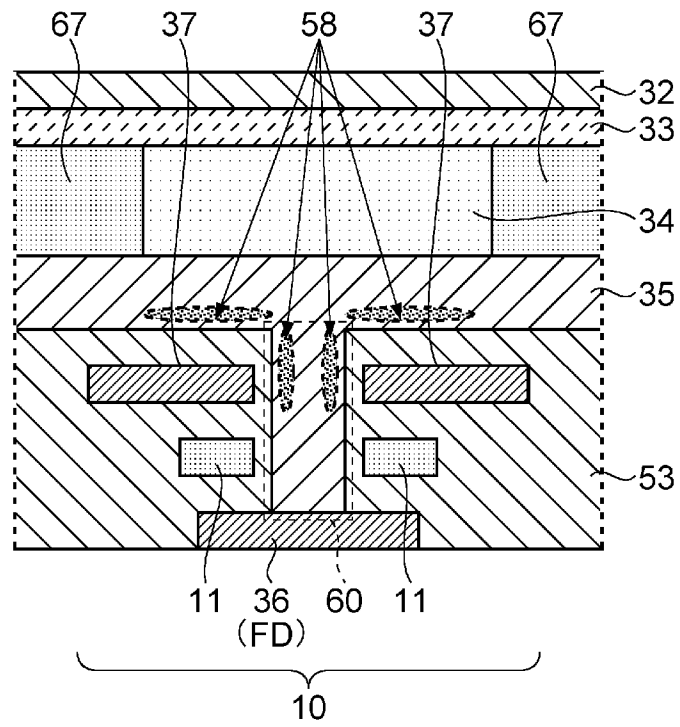
[図33]



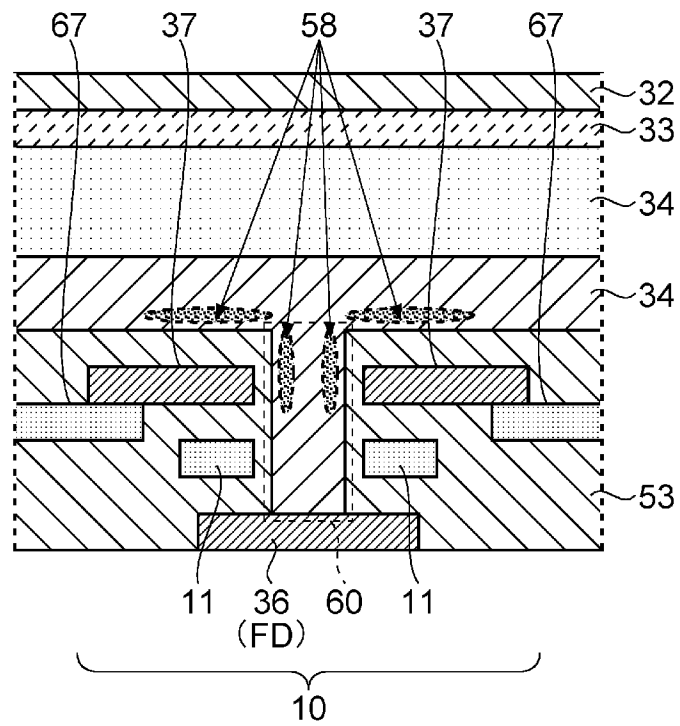
[図34]

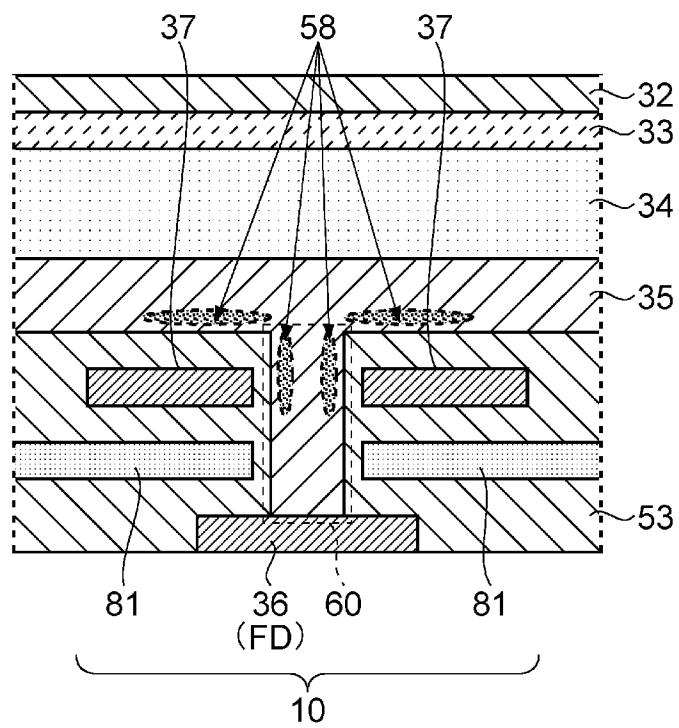
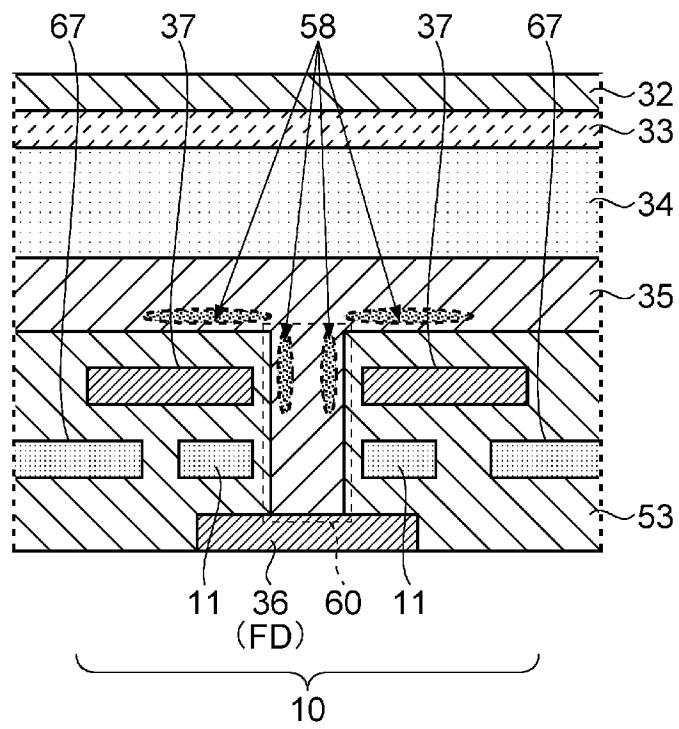


[図37]

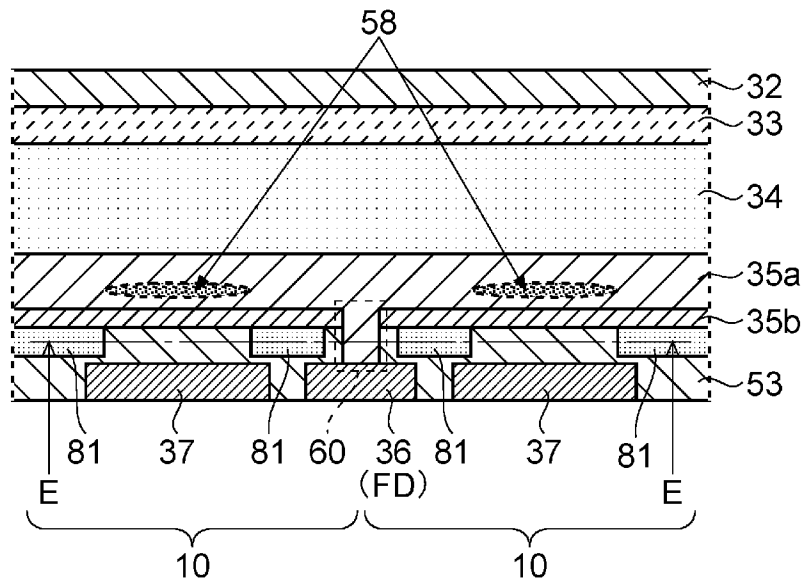


[図38]

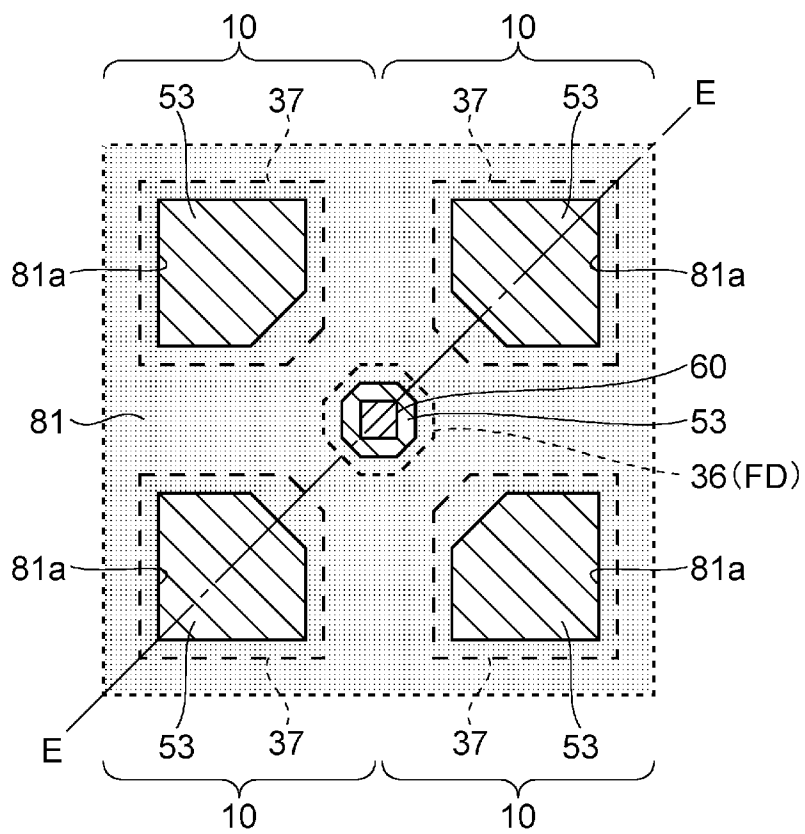




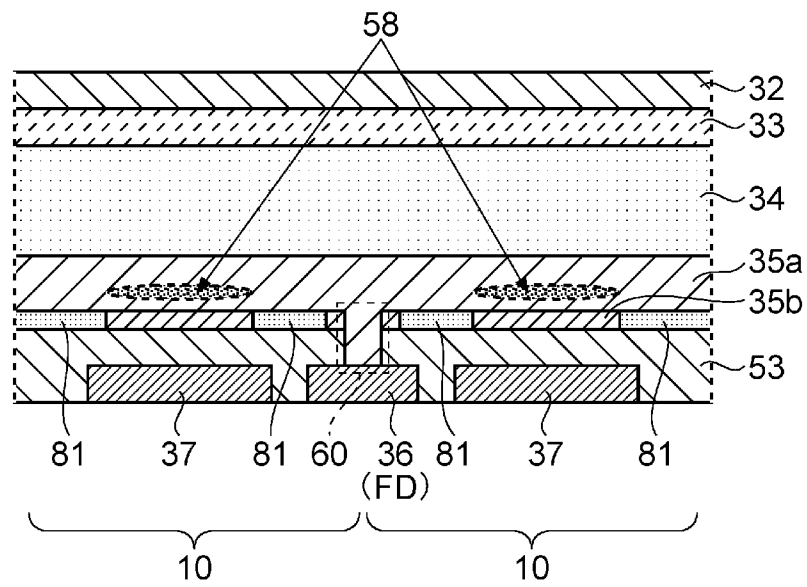
[図41]



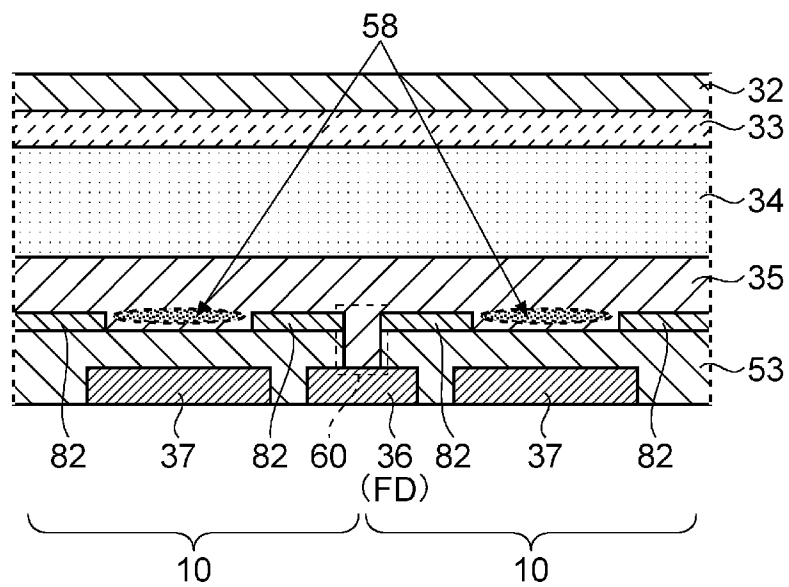
[図42]



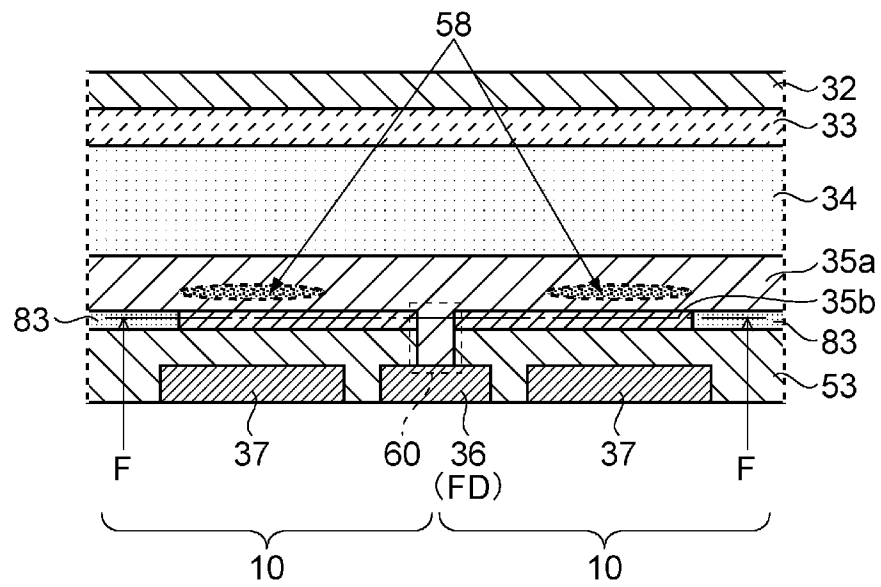
[図43]



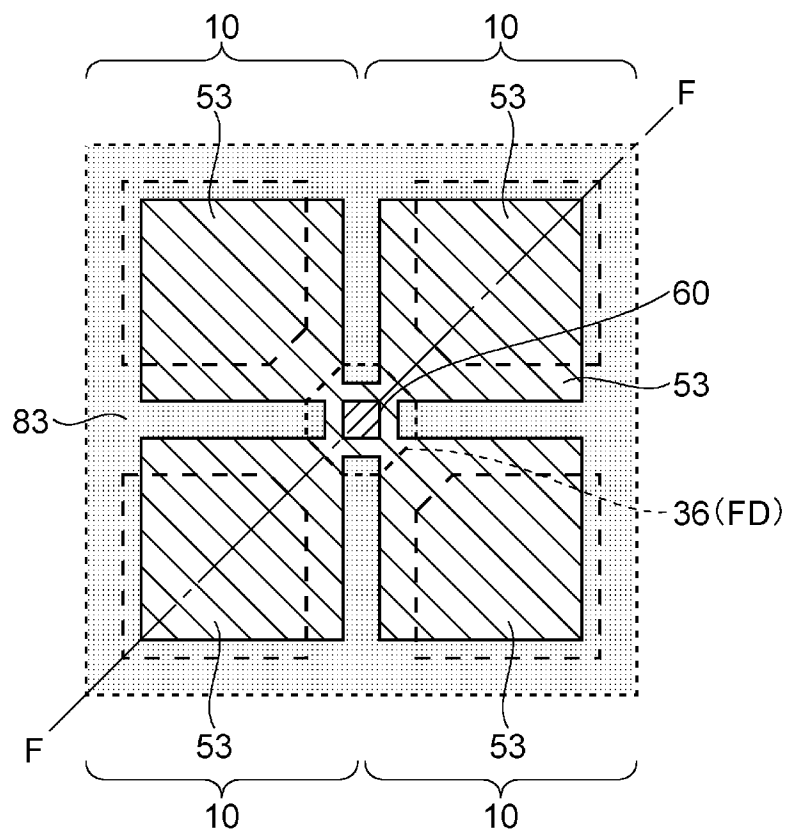
[図44]



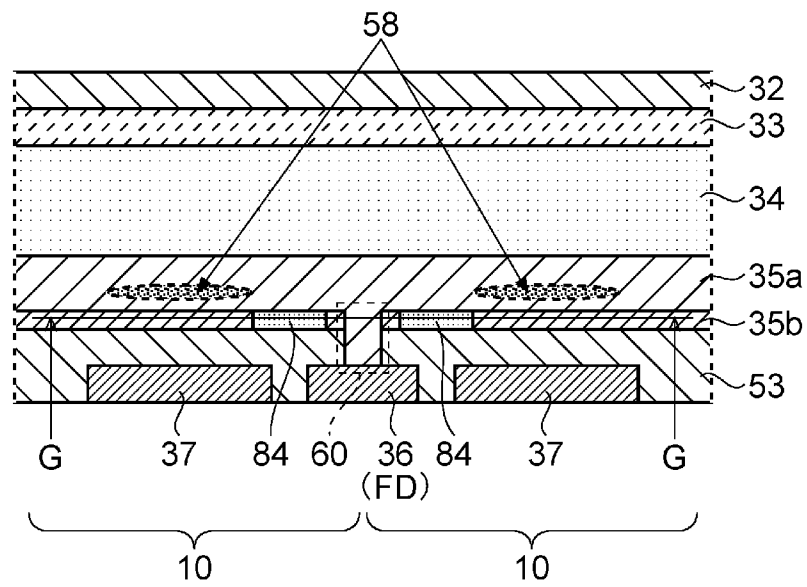
[図45]



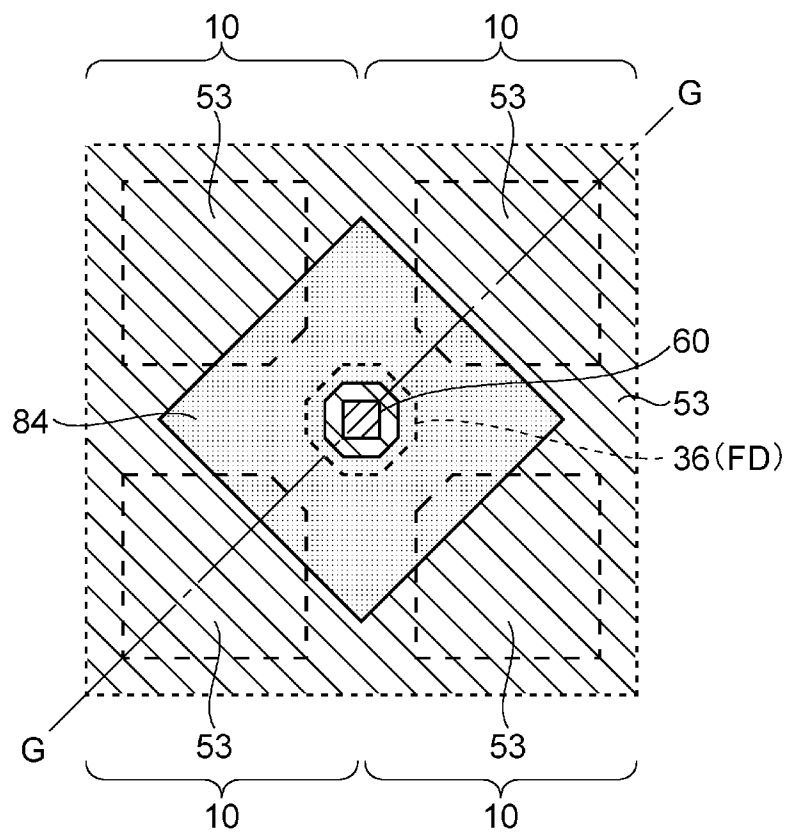
[図46]



[図47]



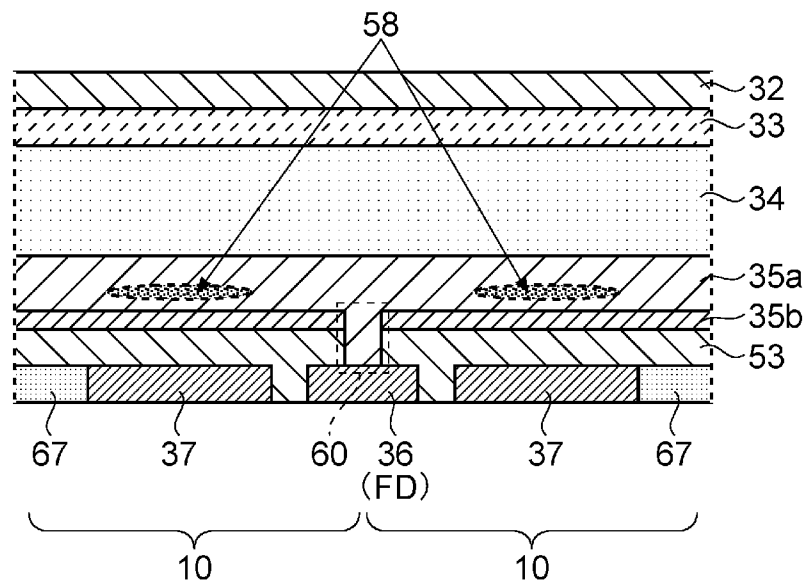
[図48]



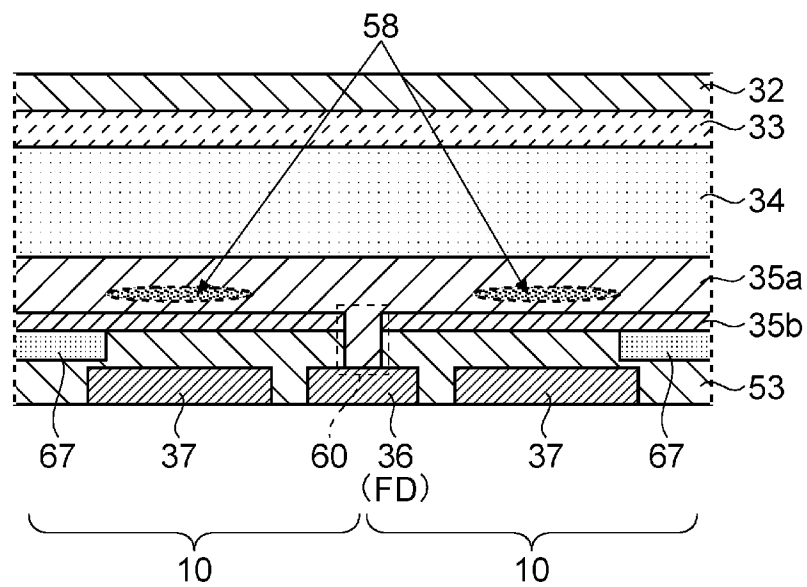
A cross-sectional view of a semiconductor device 58. The device consists of several layers: a top layer 32 with diagonal hatching, a layer 33 with diagonal hatching, a layer 34 with a dotted pattern, and a layer 35 with diagonal hatching. Below these is a layer 53 with diagonal hatching. A central structure 60 is formed in the layer 53, with a gate 36 on top. The structure 60 is flanked by regions 81 and 37. The entire device is divided into two sections, each labeled 10, by a dashed line.

[illegible]

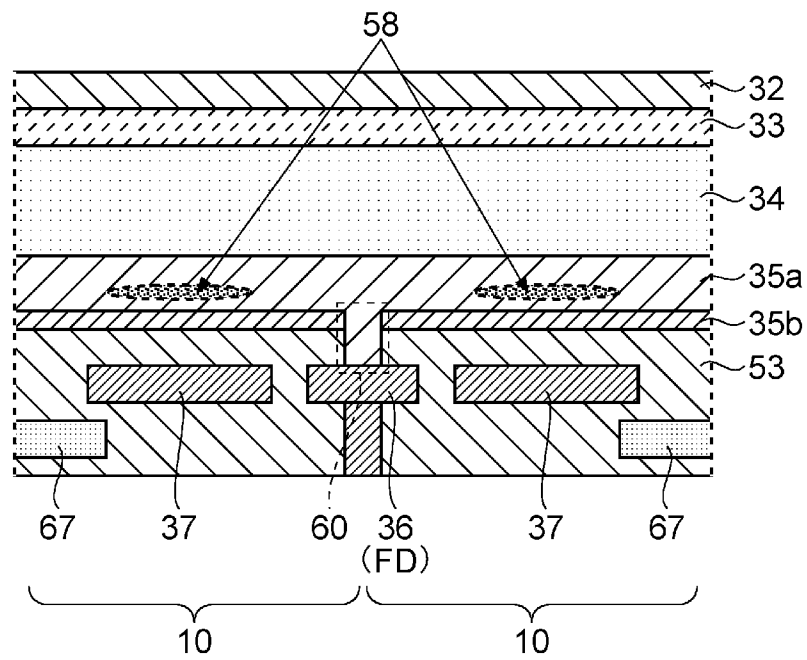
[図51]



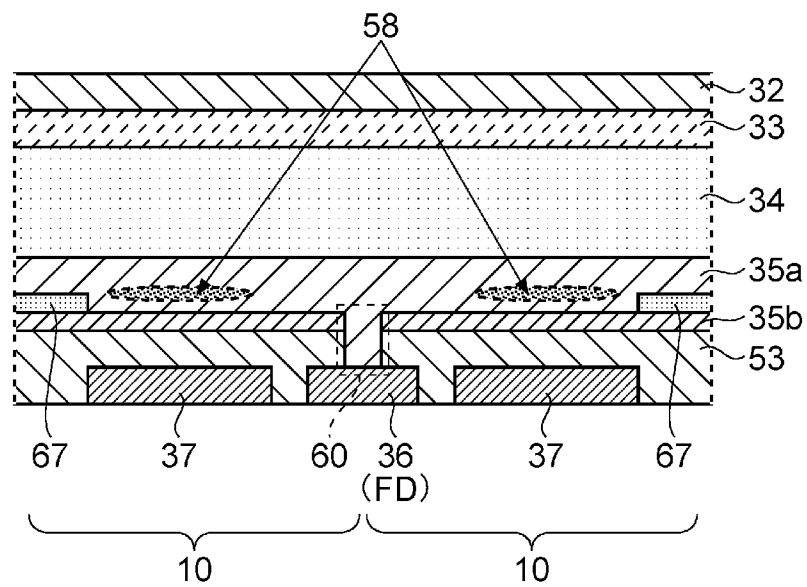
[図52]

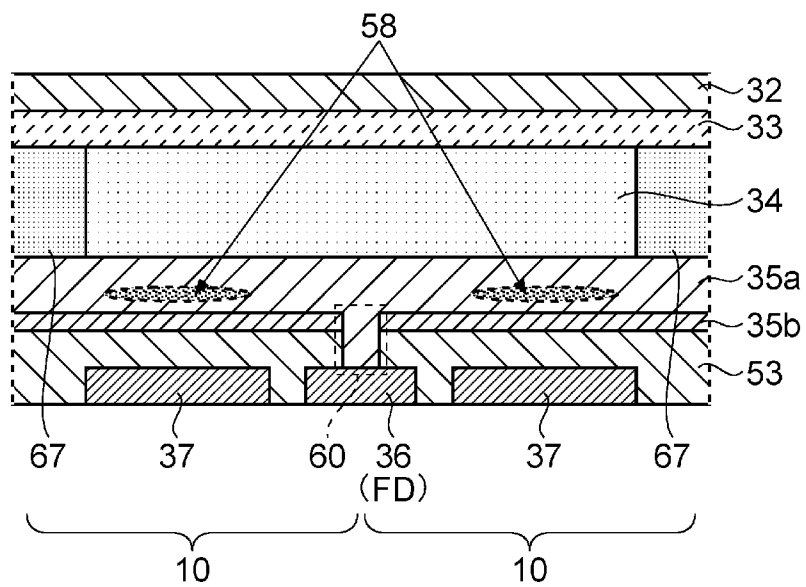


[図53]

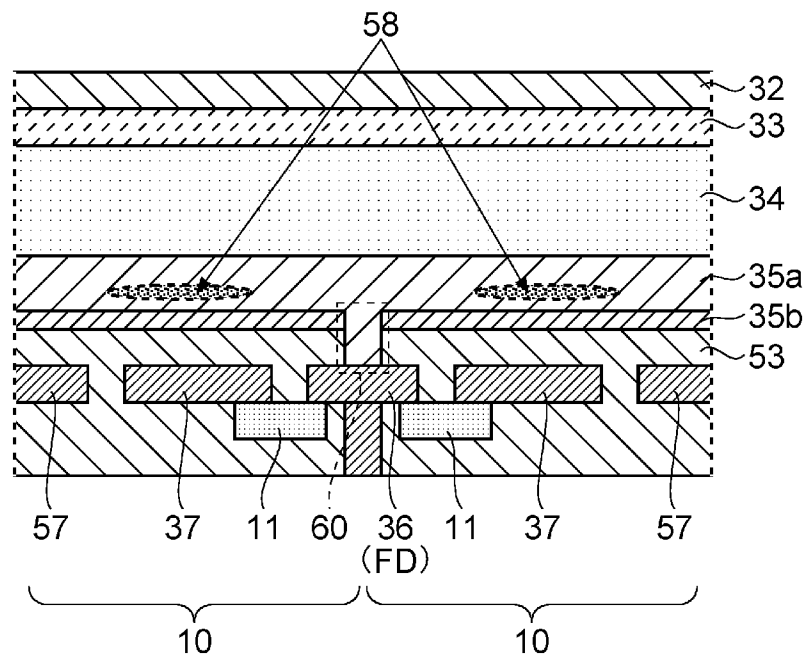


[図54]

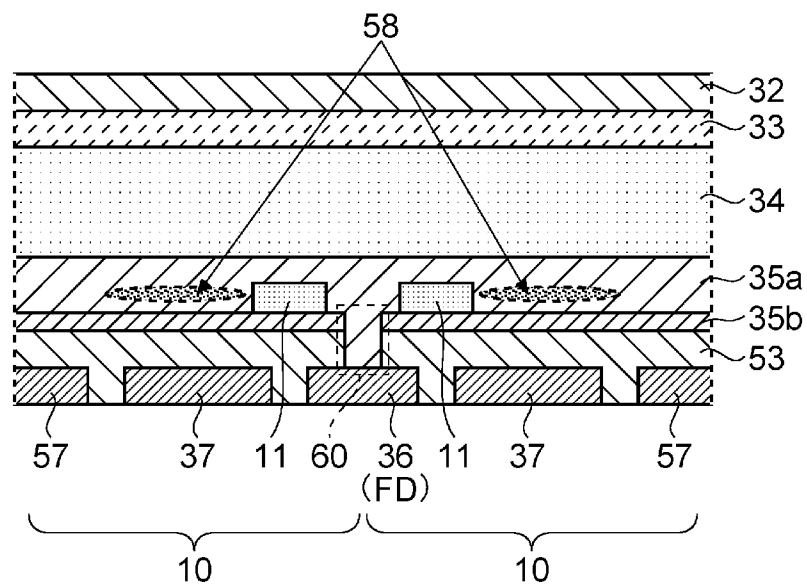


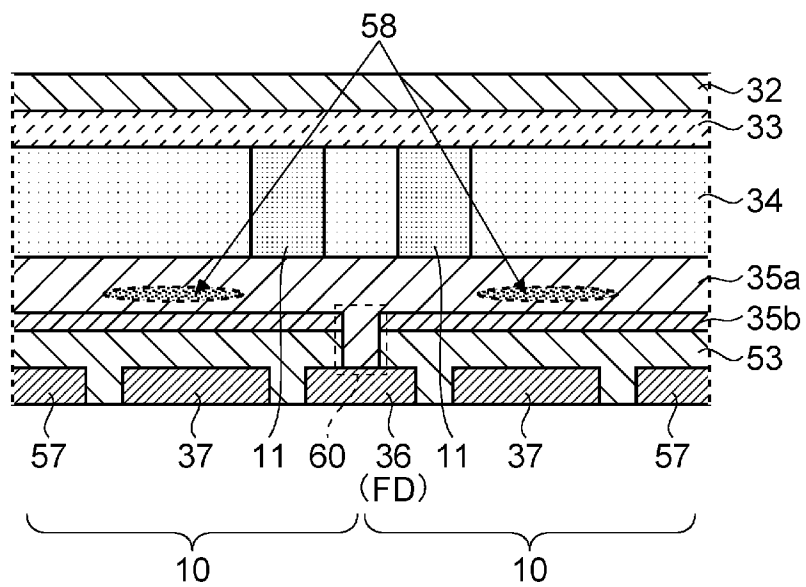


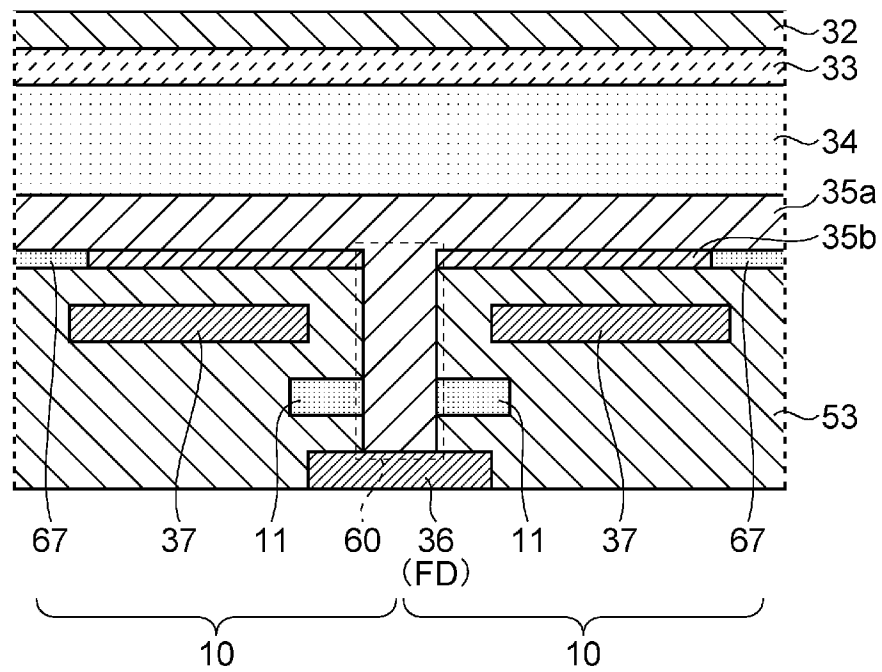
[図59]



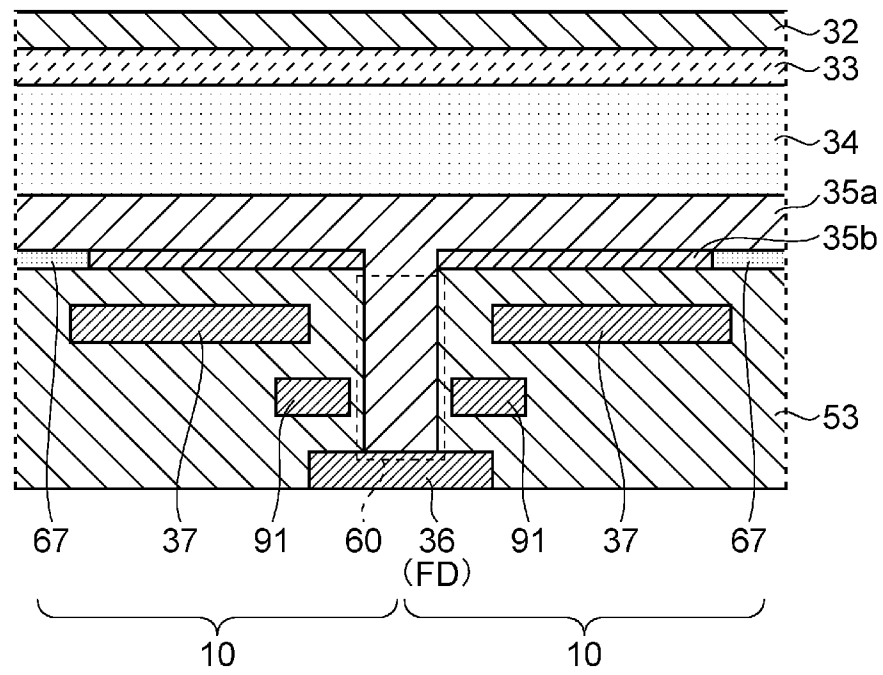
[図60]



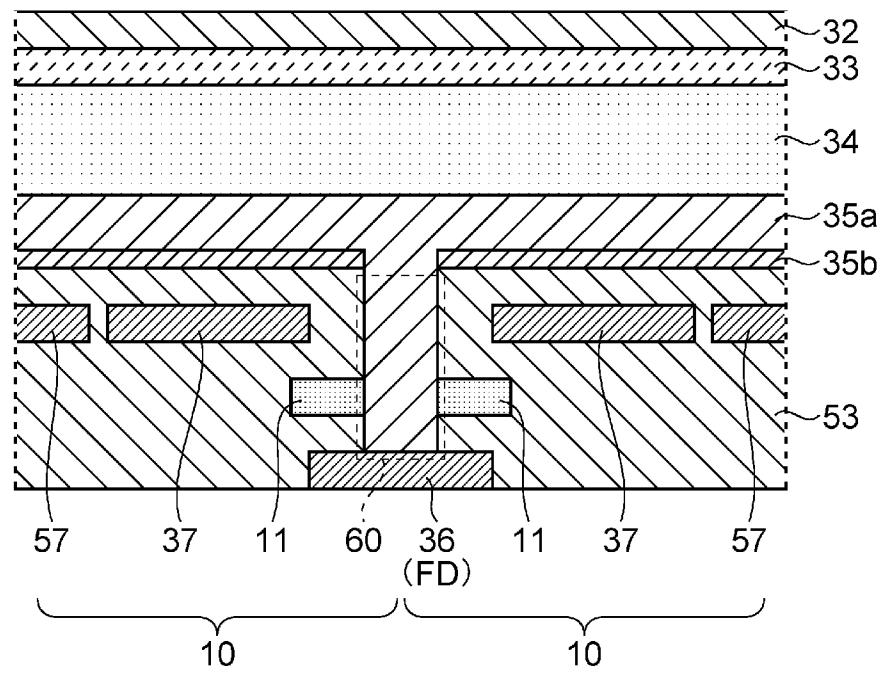




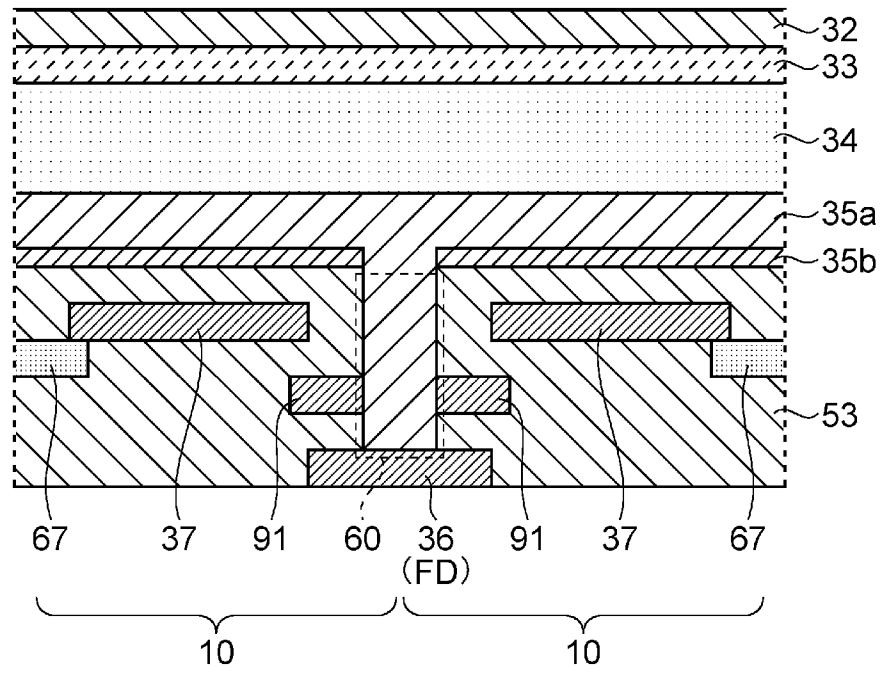
[図65]



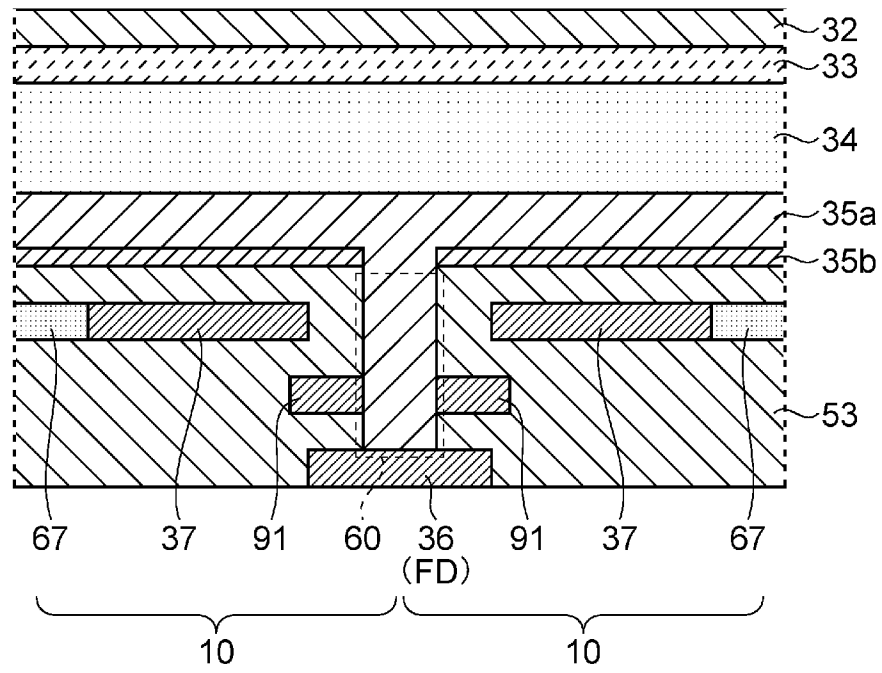
[図66]



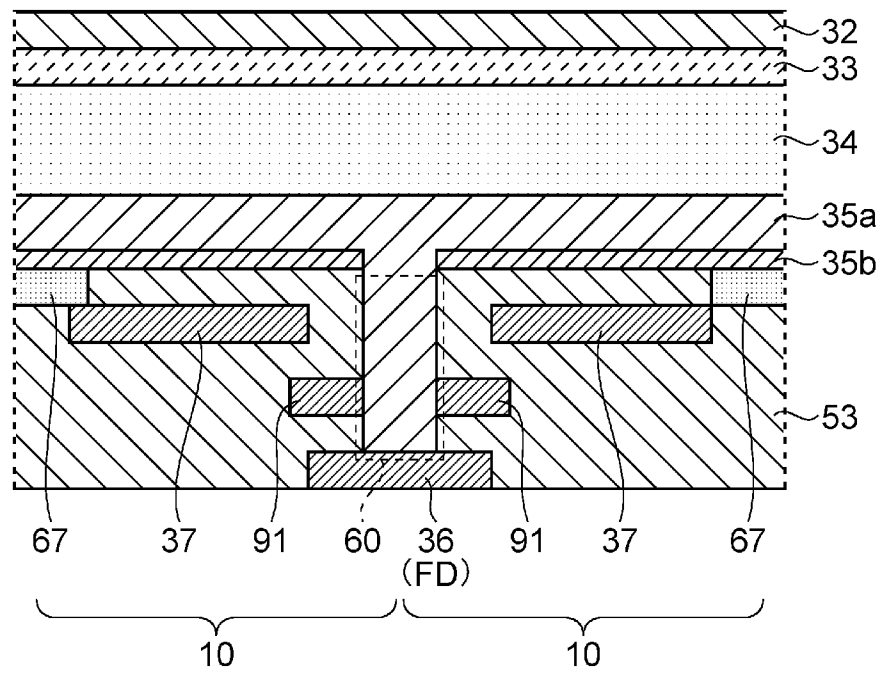
[図67]



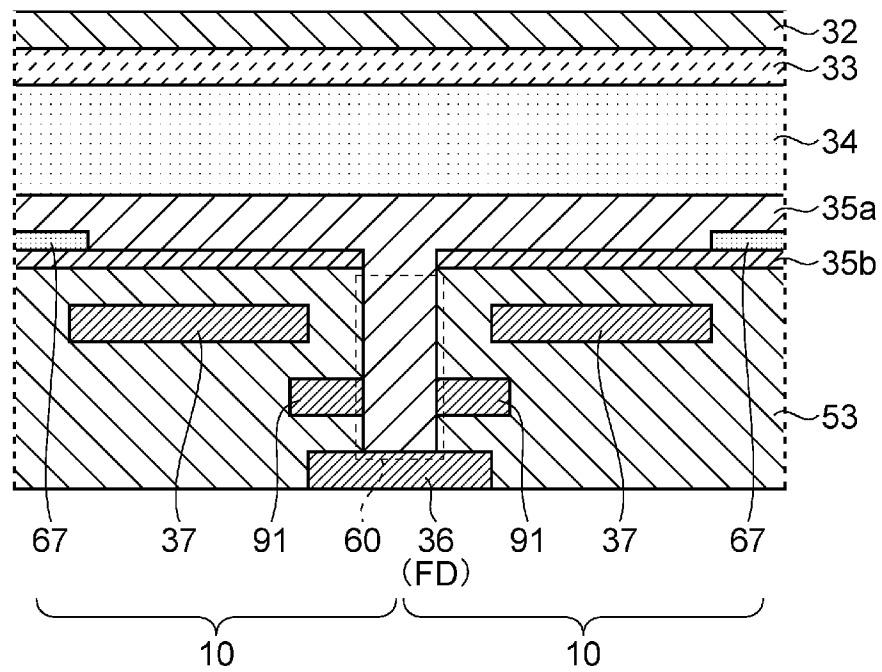
[図68]



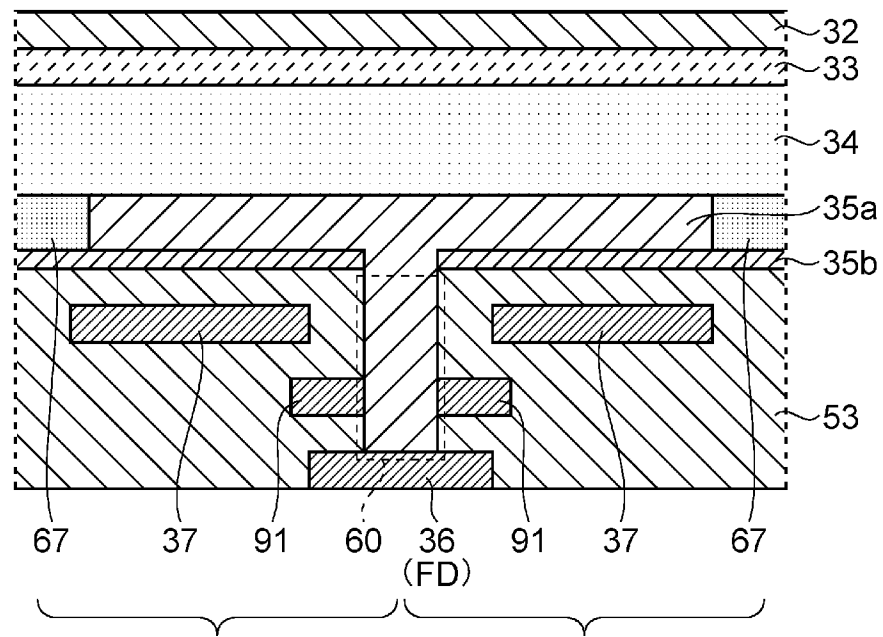
[図69]



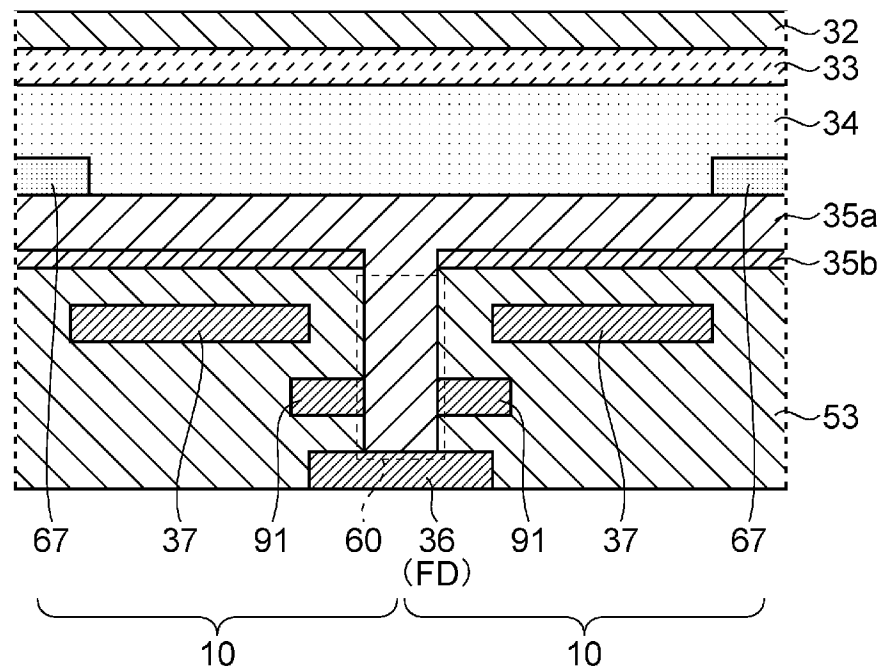
[図70]



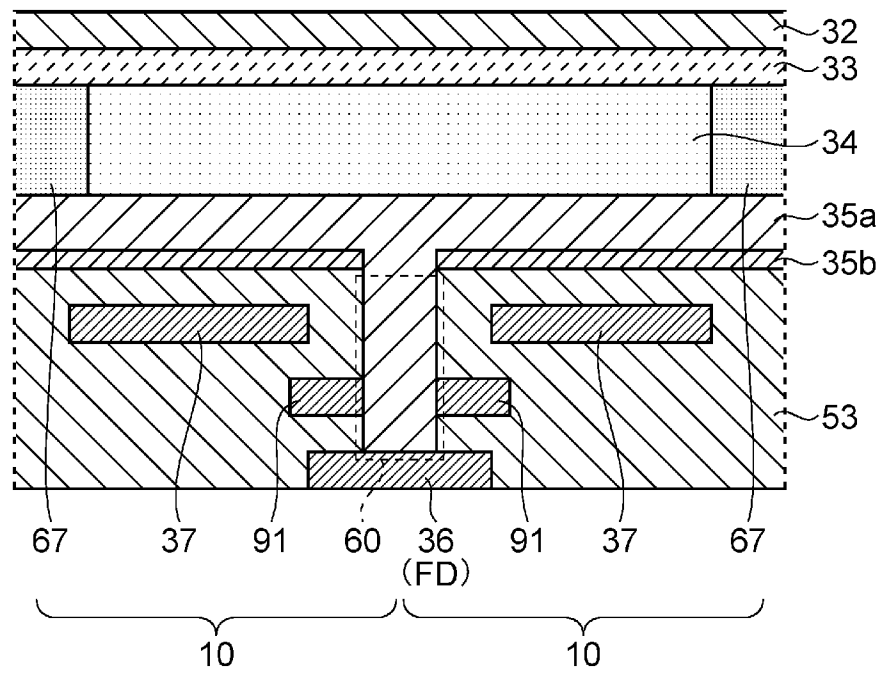
[図71]



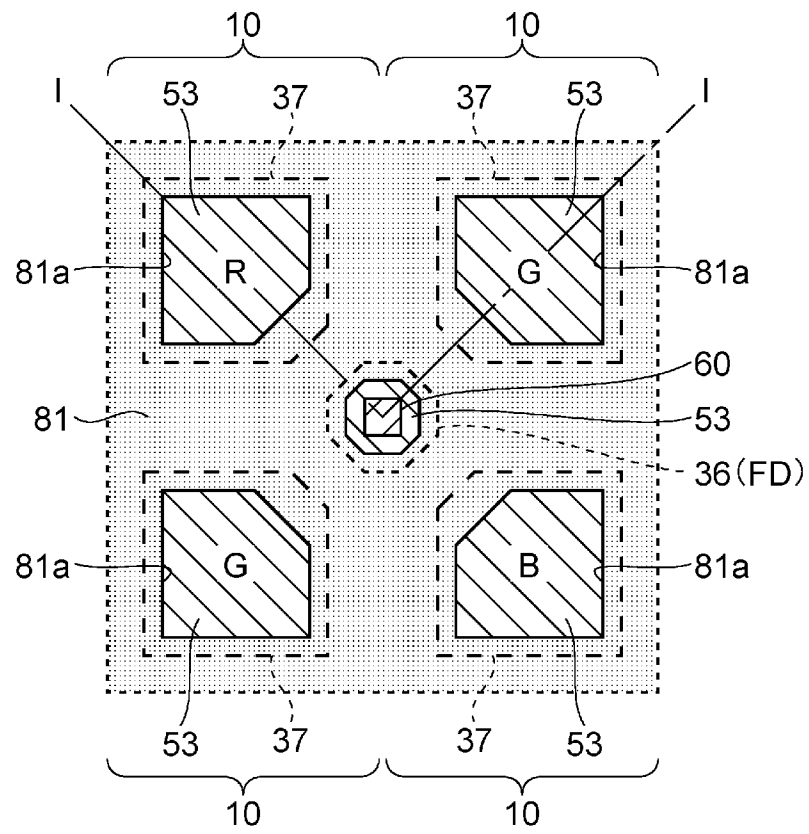
[図72]



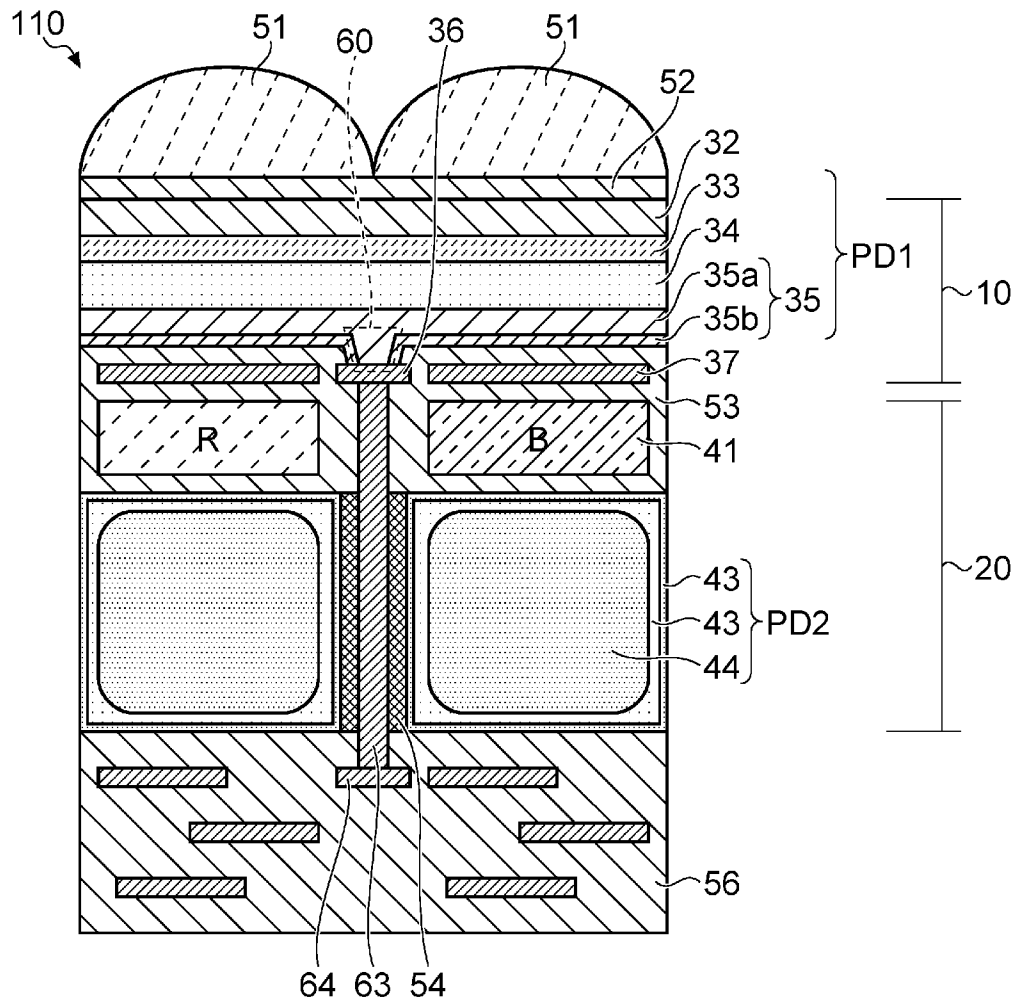
[図73]



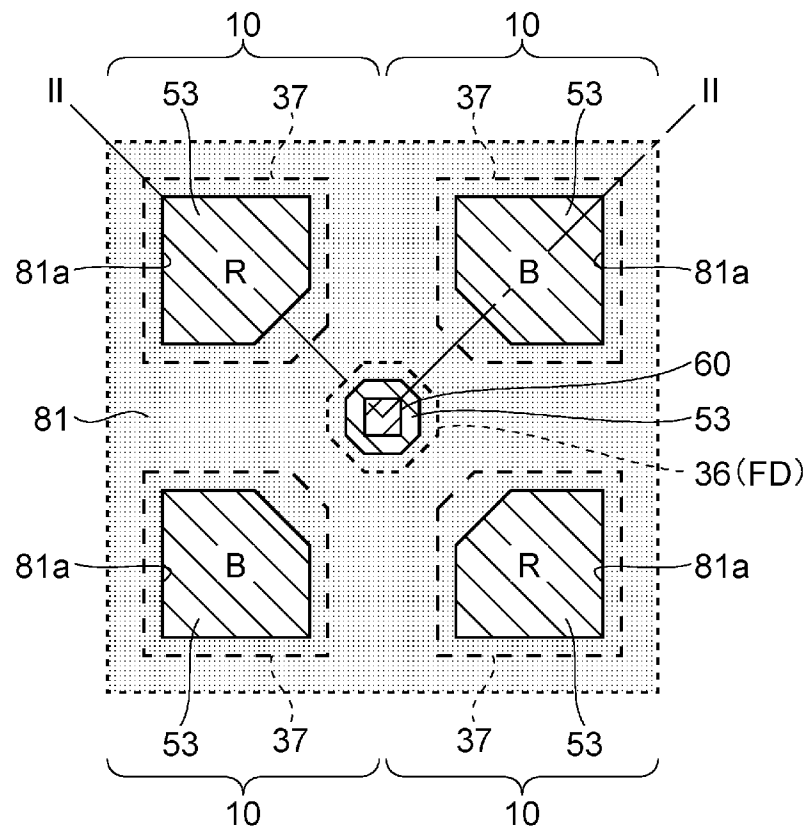
[図75]



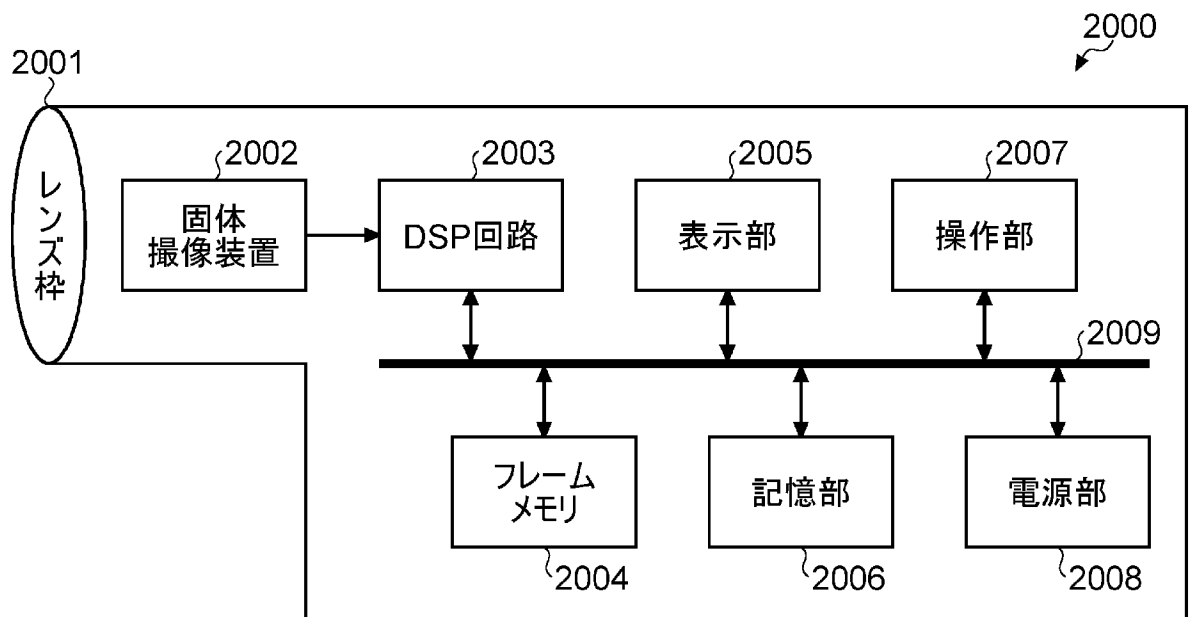
[図76]



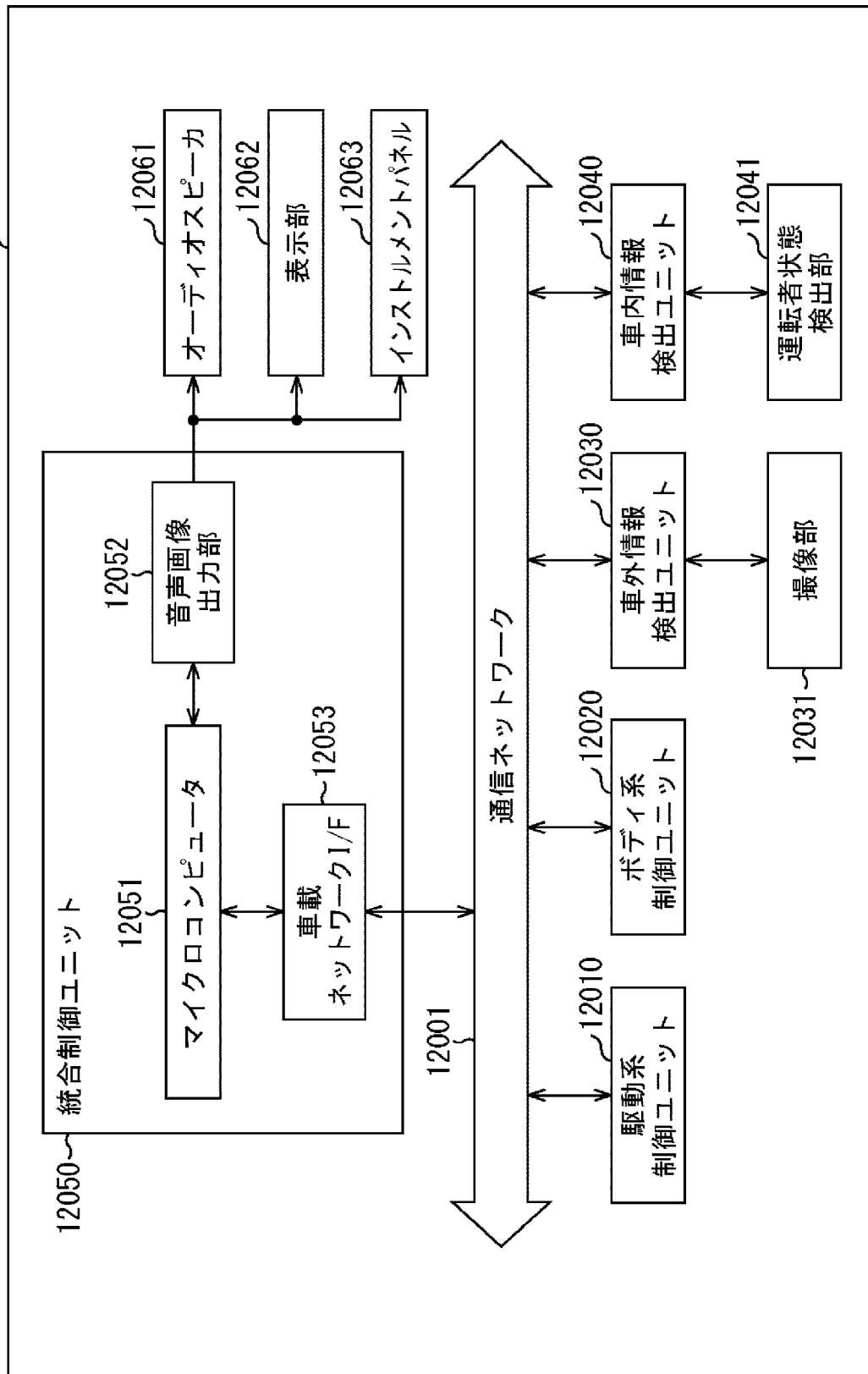
[図77]



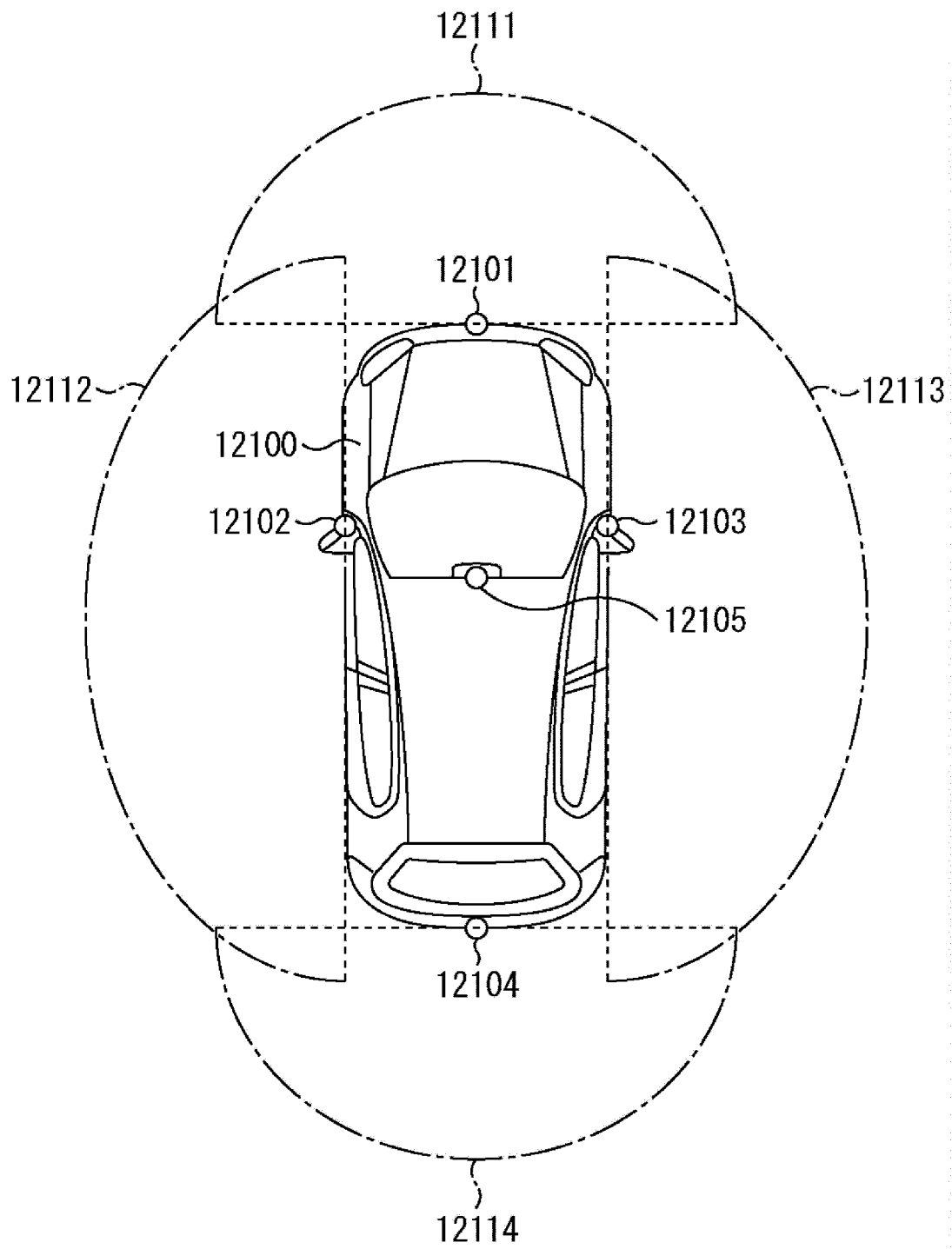
[図78]



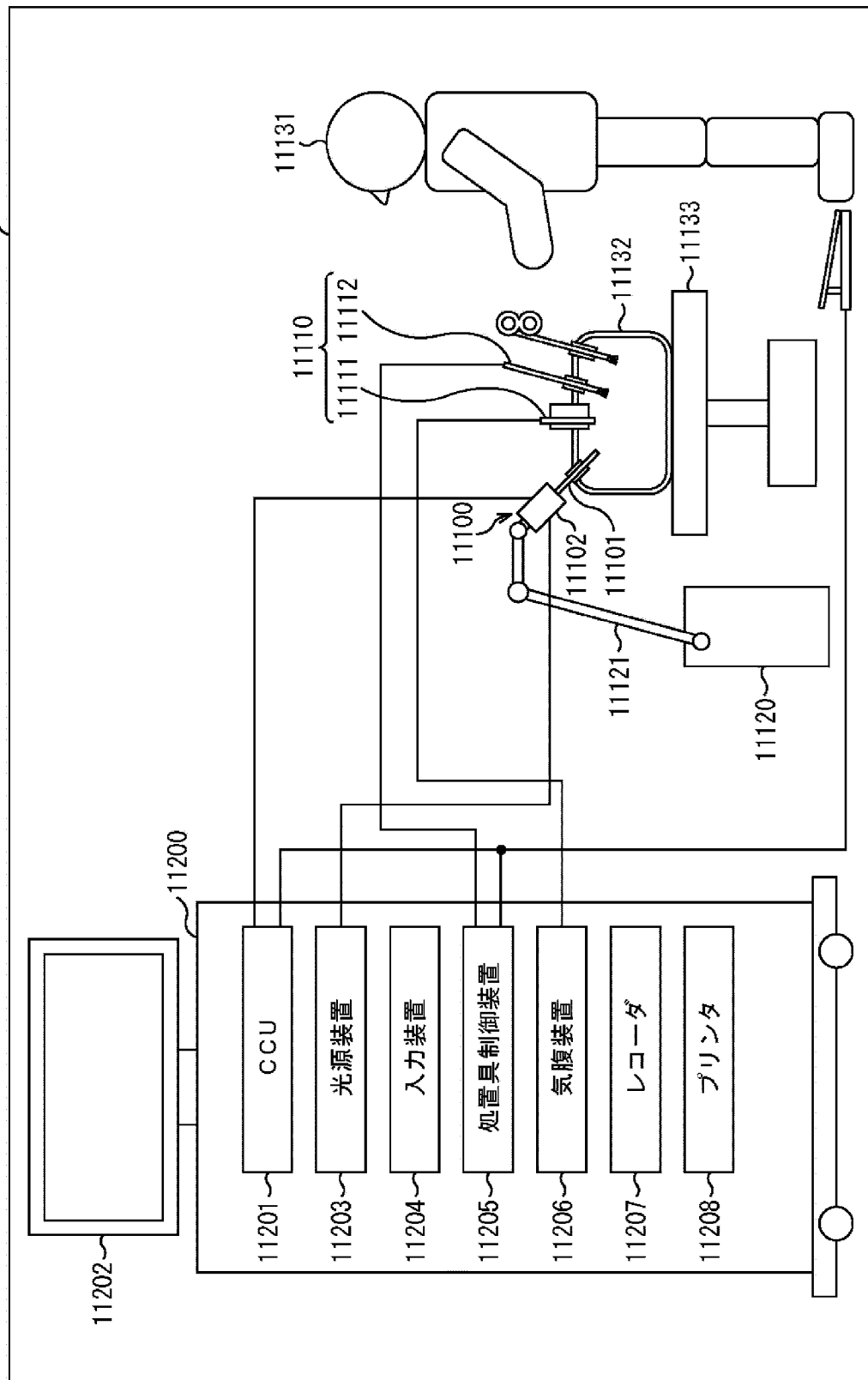
[図79]



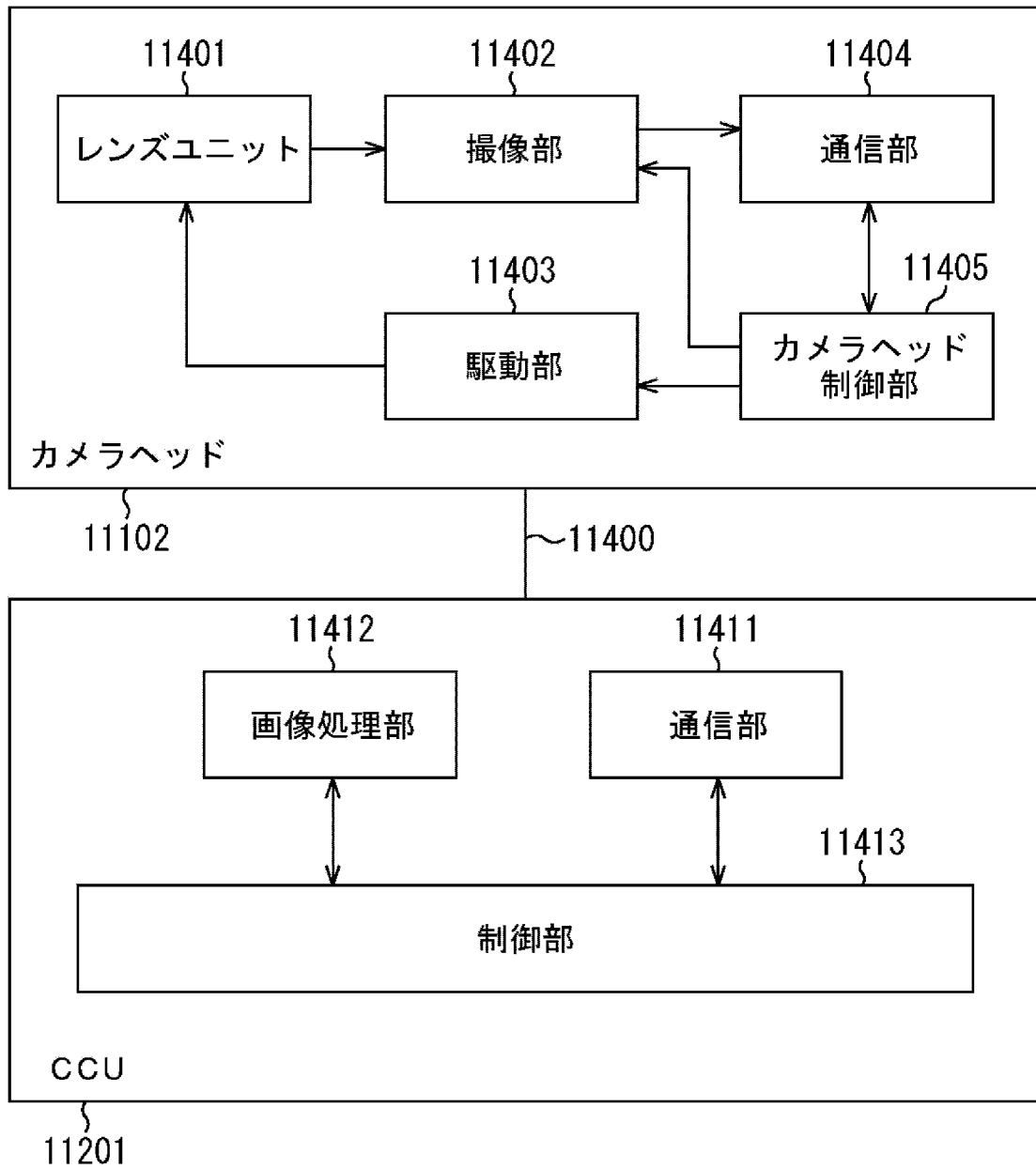
[図80]



[図81]



[図82]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/034067

A. CLASSIFICATION OF SUBJECT MATTER**H01L 27/146**(2006.01)i; **H04N 5/374**(2011.01)i

FI: H01L27/146 E; H04N5/374

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/146; H04N5/374

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2021
 Registered utility model specifications of Japan 1996-2021
 Published registered utility model applications of Japan 1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2019/044464 A1 (SONY SEMICONDUCTOR SOLUTIONS CORP.) 07 March 2019 (2019-03-07) paragraphs [0014]-[0139], fig. 1, 2, 18, 37	1, 3, 4, 18, 20
Y		5-7, 9-12, 15-17, 19
A		2, 8, 13, 14
Y	WO 2018/047517 A1 (SONY SEMICONDUCTOR SOLUTIONS CORP.) 15 March 2018 (2018-03-15) paragraphs [0090]-[0106], fig. 14, 16	5, 6, 12
Y	JP 2017-037952 A (SONY SEMICONDUCTOR SOLUTIONS CORP.) 16 February 2017 (2017-02-16) paragraphs [0021]-[0034], fig. 1, 2	7, 9-12
Y	WO 2019/124136 A1 (SONY SEMICONDUCTOR SOLUTIONS CORP.) 27 June 2019 (2019-06-27) paragraph [0115], fig. 22A	15

☒ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

22 November 2021

Date of mailing of the international search report

30 November 2021

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
 Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/034067**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2019/058994 A1 (SONY CORP.) 28 March 2019 (2019-03-28) paragraph [0033], fig. 1	16
Y	WO 2019/044103 A1 (SONY SEMICONDUCTOR SOLUTIONS CORP.) 07 March 2019 (2019-03-07) paragraphs [0196]-[0212], fig. 62	17
Y	WO 2019/151049 A1 (SONY CORP.) 08 August 2019 (2019-08-08) paragraph [0060], fig. 7	19

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2021/034067

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO	2019/044464	A1	07 March 2019	US 2020/0221042 A1 paragraphs [0069]-[0194], fig. 1, 2 CN 111034174 A	
WO	2018/047517	A1	15 March 2018	US 2019/0214417 A1 paragraphs [0122]-[0138], fig. 14-26	
JP	2017-037952	A	16 February 2017	US 2018/0219046 A1 paragraphs [0045]-[0058], fig. 1, 2 WO 2017/026109 A1 CN 107924928 A	
WO	2019/124136	A1	27 June 2019	US 2021/0104564 A1 paragraph [0183], fig. 22A EP 3731273 A1 CN 111373540 A	
WO	2019/058994	A1	28 March 2019	JP 2019-57704 A	
WO	2019/044103	A1	07 March 2019	US 2021/0082987 A1 paragraphs [0474]-[0493], fig. 62 EP 3678180 A1 CN 111052383 A KR 10-2020-0043999 A TW 201914289 A	
WO	2019/151049	A1	08 August 2019	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 27/146(2006.01)i; H04N 5/374(2011.01)i FI: H01L27/146 E; H04N5/374		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H01L27/146; H04N5/374		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2021年 日本国実用新案登録公報 1996-2021年 日本国登録実用新案公報 1994-2021年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	WO 2019/044464 A1（ソニーセミコンダクタソリューションズ株式会社）07.03.2019 (2019 - 03 - 07) [0014]-[0139], 図1, 2, 18, 37	1, 3, 4, 18, 20 5-7, 9-12, 15-17, 19 2, 8, 13, 14
Y	WO 2018/047517 A1（ソニーセミコンダクタソリューションズ株式会社）15.03.2018 (2018 - 03 - 15) [0090]-[0106], 図14, 16	5, 6, 12
Y	JP 2017-037952 A（ソニーセミコンダクタソリューションズ株式会社）16.02.2017 (2017 - 02 - 16) [0021]-[0034], 図1, 2	7, 9-12
Y	WO 2019/124136 A1（ソニーセミコンダクタソリューションズ株式会社）27.06.2019 (2019 - 06 - 27) [0115], 図22A	15
Y	WO 2019/058994 A1（ソニー株式会社）28.03.2019 (2019 - 03 - 28) [0033], 図1	16
☒ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 22. 11. 2021		国際調査報告の発送日 30. 11. 2021
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 加藤 俊哉 5F 9554 電話番号 03-3581-1101 内線 3516

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	W0 2019/044103 A1 (ソニーセミコンダクタソリューションズ株式会社) 07.03.2019 (2019 - 03 - 07) [0196]-[0212], 図62	17
Y	W0 2019/151049 A1 (ソニー株式会社) 08.08.2019 (2019 - 08 - 08) [0060], 図7	19

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2021/034067

引用文献			公表日	パテントファミリー文献			公表日
WO	2019/044464	A1	07.03.2019	US	2020/0221042	A1	
				[0069]-[0194], FIGS. 1, 2, 18, 37			
				CN	111034174	A	
WO	2018/047517	A1	15.03.2018	US	2019/0214417	A1	
				[0122]-[0138], FIGS. 14, 16			
JP	2017-037952	A	16.02.2017	US	2018/0219046	A1	
				[0045]-[0058], FIGS. 1, 2			
				WO	2017/026109	A1	
				CN	107924928	A	
WO	2019/124136	A1	27.06.2019	US	2021/0104564	A1	
				[0183], FIG. 22A			
				EP	3731273	A1	
				CN	111373540	A	
WO	2019/058994	A1	28.03.2019	JP	2019-57704	A	
WO	2019/044103	A1	07.03.2019	US	2021/0082987	A1	
				[0474]-[0493], FIG. 62			
				EP	3678180	A1	
				CN	111052383	A	
				KR	10-2020-0043999	A	
				TW	201914289	A	
WO	2019/151049	A1	08.08.2019	(ファミリーなし)			