

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6153732号
(P6153732)

(45) 発行日 平成29年6月28日(2017.6.28)

(24) 登録日 平成29年6月9日(2017.6.9)

(51) Int.Cl.

F I

H02M 3/155 (2006.01)

H02M 3/155

H

請求項の数 10 (全 19 頁)

(21) 出願番号	特願2013-8170 (P2013-8170)	(73) 特許権者	514231273
(22) 出願日	平成25年1月21日 (2013.1.21)		リコー電子デバイス株式会社
(65) 公開番号	特開2014-140269 (P2014-140269A)		大阪府池田市姫室町13番1号
(43) 公開日	平成26年7月31日 (2014.7.31)	(74) 代理人	240000327
審査請求日	平成27年12月17日 (2015.12.17)		弁護士 弁護士法人クレオ国際法律特許事務所
		(74) 代理人	100082670
			弁理士 西脇 民雄
		(74) 代理人	100180068
			弁理士 西脇 怜史
		(72) 発明者	相馬 将太郎
			東京都大田区中馬込1丁目3番6号 株式会社リコー内
		審査官	佐藤 匡

最終頁に続く

(54) 【発明の名称】 スイッチングレギュレータ

(57) 【特許請求の範囲】

【請求項1】

入力端子に入力された入力電圧を所定の出力電圧に変換して出力端子から負荷電流を出力するスイッチングレギュレータにおいて、

制御電圧に応じてスイッチングを行うスイッチングトランジスタと、該スイッチングトランジスタのオフ時に整流を行う整流素子と、該スイッチングトランジスタのオン時に前記入力電圧による充電が行われるインダクタと、該インダクタの励起エネルギーを示す信号と該インダクタの励起エネルギーがゼロまたは小さくなったことを意味する基準電圧との電圧比較を行って該比較結果として状態検出信号を二値信号として出力する第1の電圧比較回路と、第1の定電圧を生成する第1の定電圧回路と、該第1の定電圧よりも高い第2の定電圧を生成する第2の定電圧回路と、前記出力端子の出力電圧を帰還電圧に変換する帰還抵抗からなる帰還回路部と、前記帰還電圧と参照電圧との電圧比較を行って該比較結果を示す二値の信号を生成して出力する第2の電圧比較回路と、前記帰還電圧と前記参照電圧とが一致するように前記スイッチングトランジスタを制御する制御回路部と、前記第1の電圧比較回路が前記インダクタの励起エネルギーがゼロまたは小さくなったことを意味する信号を検出すると前記第1の定電圧を前記帰還電圧の参照電圧として動作する第1状態からスイッチング動作を停止する第2状態に移移させかつ前記第2の電圧比較回路が前記参照電圧よりも前記帰還電圧が低くなったことを検出すると前記第2状態から前記第2の定電圧を前記帰還電圧の参照電圧として動作する第3状態に移移させしかも前記第2の電圧比較回路が前記参照電圧よりも前記帰還電圧が高くなったことを検出すると前記

10

20

第 3 状態から前記第 1 状態に遷移させる状態遷移制御回路と、を有することを特徴とするスイッチングレギュレータ。

【請求項 2】

前記帰還回路部は、前記出力電圧を前記帰還電圧に変換する帰還抵抗と、前記出力電圧の高周波数成分を前記帰還電圧としてスルーするスピードアップコンデンサからなることを特徴とする請求項 1 に記載のスイッチングレギュレータ。

【請求項 3】

前記第 2 の電圧比較回路は前記帰還電圧と前記参照電圧の差を収束させるように動作する誤差増幅器を含み、前記誤差増幅器の誤差信号を前記第 2 状態において一定に保つことを特徴とする請求項 1 又は請求項 2 に記載のスイッチングレギュレータ。

10

【請求項 4】

前記誤差増幅器の出力端子は、位相補償回路に接続され、該位相補償回路はコンデンサを含み、前記第 2 状態において、該コンデンサの電圧を一定に保つために、該コンデンサが前記誤差増幅器から切り離されることを特徴とする請求項 3 に記載のスイッチングレギュレータ。

【請求項 5】

前記第 2 状態において、少なくとも前記制御回路部がスリープモードとされることを特徴とする請求項 1 ないし請求項 4 のいずれか 1 項に記載のスイッチングレギュレータ。

【請求項 6】

前記第 2 の電圧比較回路はオフセット電圧を有し、前記第 3 状態において前記参照電圧よりも前記帰還電圧が高くなったことを該オフセット電圧だけ低い電圧で検出することを特徴とする請求項 1 ないし請求項 5 のいずれか 1 項に記載のスイッチングレギュレータ。

20

【請求項 7】

前記整流素子は逆流電流を防止する制御を行う MOSFETであることを特徴とする請求項 1 ないし請求項 6 のいずれか 1 項に記載のスイッチングレギュレータ。

【請求項 8】

前記整流素子はダイオードであり、前記第 1 の電圧比較回路は該ダイオードのカソード電圧が正の電圧となることを検出することにより励起エネルギーがゼロまたは軽くなったことを示す信号を検出することを特徴とする請求項 1 ないし請求項 6 のいずれか 1 項に記載のスイッチングレギュレータ。

30

【請求項 9】

カレントモードで制御される請求項 1 ないし請求項 8 のいずれか 1 項に記載のスイッチングレギュレータ。

【請求項 10】

出力電圧の帰還電圧と比較される参照電圧を第 1 の定電圧と該第 1 の定電圧よりも高い第 2 の定電圧との間で切り替えて前記帰還電圧を前記第 1 の定電圧と比較してインダクタに流れるインダクタ電流をスイッチング制御する制御回路部を第 1 状態に設定する第 1 ステップと、

前記制御回路部が第 1 状態のときに前記インダクタに流れるインダクタ電流がゼロ又は小さくなったことを検出して前記制御回路部をスリープ状態である第 2 状態に設定する第 2 ステップと、

40

前記制御回路部が前記第 2 状態のときに前記帰還電圧を前記第 1 の定電圧と比較して該帰還電圧が前記第 1 の定電圧よりも低くなったときに前記参照電圧を前記第 1 の定電圧から前記第 2 の定電圧に切り替えて前記インダクタ電流をスイッチング制御する制御回路部を第 3 状態に設定しかつ前記帰還電圧が第 2 の定電圧よりも高くなったときに前記参照電圧を前記第 2 の定電圧から前記第 1 の定電圧に切り替えて前記制御回路部を前記第 1 状態に設定する第 3 ステップと、を繰り返すことを特徴とするスイッチングレギュレータの制御方法。

【発明の詳細な説明】

【技術分野】

50

【 0 0 0 1 】

本発明は、出力電圧のリプルを広範囲で制御可能とすることにより軽負荷時に自己消費電流を少なくすることが可能なスイッチングレギュレータ及びその制御方法に関する。

【 背景技術 】

【 0 0 0 2 】

近年、環境問題に配慮して電子機器の省電力化が求められ、特に、電池駆動による電子機器においてその省電力化の要望が顕著である。

一般に、省電力化を図るためには、電子機器において消費する電力を削減すること、電源回路自体の電力使用効率を向上させ、無駄な電力消費を抑えることが重要である。

小型電子機器に使用される高効率の電源回路として、インダクタを使用した非絶縁型のスイッチングレギュレータが広く使用されている。

10

【 0 0 0 3 】

スイッチングレギュレータの制御方法には、大別して2つの方法が知られている。その1つは、一定周波数のクロック信号のデューティサイクルを変化させる方法である。すなわち、スイッチングトランジスタのオン時間を変化させて、出力電圧が一定になるように制御するPWM (pulse width modulation) 制御モード方法である。

【 0 0 0 4 】

もう1つは、パルス幅が一定でクロック信号の周期を変化させる方法である。すなわち、スイッチングトランジスタのオン時間を一定として、スイッチング周波数を変化させることにより、出力電圧が一定になるように制御するVFM (Variable Frequency Modulation) 制御モード方法である。

20

【 0 0 0 5 】

そのVFM制御モードの方法には、周波数を無段階に変化させる方法と、PWM制御で使用する周波数のクロック信号を間引いて、擬似的に周波数を変化させる方法とがある。なお、VFMはPFM (Pulse Frequency Modulation) と表記される場合もある。

【 0 0 0 6 】

スイッチングレギュレータ自体の電力消費量は、スイッチング周波数に比例して増加する。PWM制御モードでは、軽負荷時でも一定周期でスイッチングトランジスタのオン・オフ制御を行うので、軽負荷時における電力消費効率が悪化する。

【 0 0 0 7 】

これに対して、VFM制御モードでは、負荷電流 (負荷に流れる電流) に応じてスイッチングトランジスタのスイッチング周波数が変化する。このため、機器に対してノイズやリプルの影響が大きくなるが、軽負荷時のスイッチング回数が少なくなるので、PWM制御モードに較べて電力使用効率は良くなる。

30

【 0 0 0 8 】

そこで、負荷条件に応じて、PWM制御モードとVFM制御モードとの制御の切り換えを行うことにより、軽負荷から重負荷まで電力消費効率を高めたスイッチングレギュレータが開発されてきている。

【 0 0 0 9 】

しかし、スイッチングレギュレータから発生するノイズは、周辺の電子機器への影響が大きいので、このノイズに対する配慮が必要である。

40

スイッチングレギュレータに起因するノイズ成分は、その中でも、スイッチングトランジスタのスイッチング周波数に起因するノイズ成分が最も大きい。

【 0 0 1 0 】

VFM制御モードでは、負荷電流 (出力電流ともいう) に応じて周波数が変動するため、この負荷電流に応じてスイッチングレギュレータから発生するノイズ成分も変動する。従って、このノイズ成分の変動について周辺の電子機器への影響を配慮しなければならない。

【 0 0 1 1 】

また、一般的に、VFM制御モードで制御する場合には、PWM制御モードで制御する場

50

合よりも、出力電圧のリプルが大きい。VFM制御モードでは、VFM制御モードにおける最大スイッチング周波数が定まっていなかったため、インダクタ電流（インダクタに流れる電流）がゼロになる前に、スイッチングトランジスタがオンして、インダクタにエネルギーが供給されてしまう場合には、更に出力電圧のリプルが大きくなるという問題がある。

以下、その理由を図10に示すスイッチングレギュレータを参照しつつ説明する。

【0012】

図10は、PWM制御モードとVFM制御モードとの制御切り換えが可能な電圧モード制御型のスイッチングレギュレータの回路図である。その図10において、R1、R2は帰還抵抗、111は誤差増幅器（AMP）、112、113はコンパレータ（CMP）、130は発振回路、131は発振制御回路、140はRSフリップフロップ回路、150は制御回路、M101はスイッチングトランジスタ、M102は同期整流トランジスタ、L1はインダクタ、Coは出力コンデンサ、120は負荷、180は電圧生成回路、INは入力端子、OUTは出力端子、Vrefは第1基準電圧（参照電圧）、Vrefmは第2基準電圧、LXは接続点である。なお、電圧生成回路180は三角波電圧を含むランプ電圧Vcを生成する機能を有する。

10

【0013】

まず、出力コンデンサCoに電荷が蓄積されていて、この出力コンデンサCoに蓄積された電荷が出力端子OUTから負荷120に向かって放電されるものとして説明する。

出力コンデンサCoに蓄積されている電荷が出力端子OUTから負荷120に放電され、負荷電流Ioutが流れると、出力電圧Voutが次第に低下する。

20

誤差増幅器111は、第1基準電圧Vrefと出力電圧Voutの低下分との差に相当する電圧を増幅し、誤差電圧opoutを出力する。その誤差電圧opoutは出力電圧Voutの減少とは逆に上昇する。

【0014】

コンパレータ112は、誤差電圧opoutが第2基準電圧Vrefmを超えると、状態検出信号CMPOUTを反転して、発振制御回路131に向けて出力する。これにより、発振制御回路131のイネーブル信号OSSENの信号レベルが反転して、ローレベルからハイレベルになる。

【0015】

イネーブル信号OSSENの信号レベルがハイレベルになると、発振回路130がハイレベルの1個のパルスを生成して、クロック信号CLKとしてRSフリップフロップ回路140に向けて出力する。

30

【0016】

このクロック信号CLKにより、RSフリップフロップ回路140がセットされ、その出力端子Qがハイレベルになる。これにより、制御回路150は制御電圧PHS、NLSをそれぞれローレベルにセットし、スイッチングトランジスタM101がオンされる一方、同期整流トランジスタM102がオフされる。

【0017】

そのスイッチングトランジスタM101がオンすると、インダクタL1に入力電圧Vinが印加され、インダクタL1にインダクタ電流ILが流れる。そのインダクタ電流ILは、入力電圧Vinと出力電圧Voutとの電圧差に比例した傾きで増加する。

40

【0018】

そのインダクタ電流ILが出力電流Ioutを超えると、出力コンデンサCoが充電されるため、その出力電圧Voutが上昇し、その結果、誤差電圧opoutが低下する。

その誤差電圧opoutが第2基準電圧Vrefm未満に低下すると、コンパレータ112の状態出力信号CMPOUTが反転し、その結果、イネーブル信号OSSENの信号レベルが反転して、再びローレベルになる。

【0019】

イネーブル信号OSSENの信号レベルがローレベルになると、発振回路130がローレベルの1個のパルスを生成して、クロック信号CLKとしてRSフリップフロップ140に

50

向けて出力し、発振動作を停止する。

【0020】

電圧生成回路180はランプ電圧 V_c を出力し、コンパレータ113の非反転入力端子に入力される。ランプ電圧 V_c は時間の経過とともに上昇し、ランプ電圧 V_c が誤差電圧 o_{pout} を超えると、コンパレータ113の比較出力電圧 $PWMOUT$ の信号レベルが反転して、ローレベルからハイレベルになる。

【0021】

比較出力電圧 $PWMOUT$ がハイレベルになると、RSフリップフロップ回路140がリセットされ、出力端子Qがローレベルになり、制御回路150は、制御電圧 PHS 、 NLS をそれぞれハイレベルに設定する。

10

【0022】

このため、スイッチングトランジスタM101がオフし、同期整流トランジスタM102がオンする。その結果、インダクタ電流 I_L は出力電圧 V_{out} に比例した傾きで減少する。インダクタ電流 I_L の電流値が出力電流 I_{out} 以下にまで低下すると、出力電圧 V_{out} は低下し始め、出力電圧 V_{out} が低下すると誤差電圧 o_{pout} が上昇する。誤差電圧 o_{pout} が第2基準電圧 V_{refm} を超えると、状態検出信号 $CMPOUT$ が反転して、イネーブル信号 $OSCEN$ がローレベルからハイレベルになり、先に説明した通りの動作を繰り返す。

【0023】

VFM制御モードでは、出力電流 I_{out} が小さいほど、出力電圧 V_{out} の低下に時間がかかるため、誤差電圧 o_{pout} の上昇に時間がかかり、その結果、イネーブル信号 $OSCEN$ がローレベルである間隔が長くなり、すなわち、スイッチング周波数が低くなる。その一方、出力電流 I_{out} が増加することにより、スイッチング周波数が高くなって、誤差電圧 o_{pout} が常に第2基準電圧 V_{refm} 以上になると、自動的にPWM制御モードに切り換わる。

20

【0024】

そのPWM制御モードでは、誤差電圧 o_{pout} が常に第2基準電圧 V_{refm} 以上になっているため、コンパレータ112の状態検出信号 $CMPOUT$ はローレベルを維持し、イネーブル信号 $OSCEN$ はハイレベルになる。すると、発振回路130は所定の周波数で発振を行って、所定周波数のクロック信号 CLK を生成して出力する。すなわち、PWM制御モードで制御される。

30

【発明の概要】

【発明が解決しようとする課題】

【0025】

しかしながら、図10に示す従来のスイッチングレギュレータでは、VFM制御モード時のインダクタ電流 I_L のピークがほぼ第2基準電圧 V_{refm} の電圧値とランプ電圧 V_c の傾きに依存して決定される。

【0026】

このような制御方法の場合、出力電圧 V_{out} のリプル電圧が様々な要因により変動する。出力電圧 V_{out} のリプル電圧が小さくなると、VFM制御モードのスイッチング周波数が高くなり、電力消費効率が向上しない。また、出力電圧 V_{out} のリプル電圧が過大になると設定出力電圧範囲を大きく超えることとなり、負荷側の電子機器に深刻なダメージを与える可能性がある。

40

【0027】

図11は、図10に示すスイッチングレギュレータのある設定値における出力電圧 V_{out} のリプル電圧波形 RP とその出力電圧 V_{out} に対応するインダクタ電流 I_L の波形 ILP との関係を示すグラフである。

【0028】

また、図12は、図11に示す出力電圧 V_{out} よりも小さい出力電圧 V_{out}' のリプル電圧波形 RP' とその出力電圧 V_{out}' に対応するインダクタ電流 I_L' の波形 ILP' を示している。

50

その図 1 2 において、点線で示す各波形は図 1 1 に示す各波形と同一の波形を示している。

【 0 0 2 9 】

図 1 2 においては、出力電圧 V_{out}' が低いため、インダクタ電流 I_{L}' の減少する傾きが実線で示すように小さくなり、出力コンデンサ C_o に供給される電荷量が大幅に増えている。

すなわち、図 1 0 に示すスイッチングレギュレータでは、出力電圧 V_{out} が低くなると、そのリプル電圧が増加することになる。一般的に、低い電圧を要求する負荷側の電子機器は、電圧の許容範囲が狭いため、同じ制御方式では使うことができない可能性が高い。

【 0 0 3 0 】

図 1 3 は、図 1 0 に示すインダクタ L_1 のインダクタンスよりも小さいインダクタンスを有するインダクタ L_1 を使用した場合の出力電圧 V_{out} のリプル電圧波形 RP' とインダクタ電流 I_L'' の波形 ILP'' を示している。その図 1 3 において、点線で示す波形は図 1 1 に示す各波形と同一の各波形を示している。

【 0 0 3 1 】

図 1 3 においては、インダクタ L_1 のインダクタンスが小さいため、インダクタ電流 I_L'' の傾きが実線で示すように大きくなり、出力コンデンサ C_o に供給される電荷量が大幅に減少している。

このように、図 1 0 に示すスイッチングレギュレータでは、インダクタ L_1 のインダクタンスが小さくなると、出力電圧 V_{out} のリプル電圧が低下する。すなわち、図 1 0 に示すスイッチングレギュレータでは、出力電圧 V_{out} のリプル電圧が小さくなると、発振周波数が増加し、VFM 制御モードの目的である軽負荷時の電力消費効率が劣化する。

このように出力電圧 V_{out} の変動は、軽負荷時の電力消費効率、ノイズ、負荷側の電子機器へのダメージ等の原因となる。

【 0 0 3 2 】

本発明は、上記の事情に鑑みて為されたもので、出力電圧のリプル電圧の変動を制御することにより、軽負荷時の電力消費効率の向上をより一層図ることのできるスイッチングレギュレータ及びその制御方法を提供することを目的とする。

【課題を解決するための手段】

【 0 0 3 3 】

本発明に係るスイッチングレギュレータは、制御電圧に応じてスイッチングを行うスイッチングトランジスタと、該スイッチングトランジスタのオフ時に整流を行う整流素子と、該スイッチングトランジスタのオン時に入力電圧による充電が行われるインダクタと、該インダクタの励起エネルギーを示す信号と該インダクタの励起エネルギーがゼロまたは小さくなったことを意味する基準電圧との電圧比較を行って該比較結果として状態検出信号を二値信号として出力する第 1 の電圧比較回路と、第 1 の定電圧を生成する第 1 の定電圧回路と、該第 1 の定電圧よりも高い第 2 の定電圧を生成する第 2 の定電圧回路と、前記出力端子の出力電圧を帰還電圧に変換する帰還抵抗部とからなる帰還回路部と、前記帰還電圧と参照電圧との電圧比較を行って該比較結果を示す二値の信号を生成して出力する第 2 の電圧比較回路と、前記帰還電圧と前記参照電圧とが一致するように前記スイッチングトランジスタを制御する制御回路部と、前記第 1 の電圧比較回路が前記インダクタの励起エネルギーがゼロまたは小さくなったことを意味する信号を検出すると前記第 1 の定電圧を前記帰還電圧の参照電圧として動作する第 1 状態からスイッチング動作を停止する第 2 状態に遷移させ、前記第 2 電圧比較回路が前記参照電圧よりも前記帰還電圧が低くなったことを検出すると前記第 2 状態から前記第 2 の定電圧を前記帰還電圧の参照電圧として動作する第 3 状態に遷移させ、前記第 2 の電圧比較回路が前記参照電圧よりも前記帰還電圧が高くなったことを検出すると前記第 3 状態から前記第 1 状態に遷移させる状態遷移制御回路と、を有することを特徴とする。

【発明の効果】

【 0 0 3 4 】

本発明によれば、第1の定電圧から第2の定電圧へ帰還電圧に対する参照電圧を切り替えることによって、その参照電圧に帰還電圧を追従させ、出力電圧のリプルを制御することにしたので、軽負荷時の電力消費効率の向上をより一層図ることができる。

また、出力電圧のリプルが過大になるのを防止できるので、リプルに起因するノイズを低減でき、ひいては、回路がダメージを受けるのを抑制できる。

【図面の簡単な説明】

【0035】

【図1】図1は本発明の実施例1に係るスイッチングレギュレータの回路図である。

【図2】図2は図1に示すスイッチングレギュレータの軽負荷時の動作タイミングを示すフローチャートである。

【図3】図3は本発明の実施例2に係るスイッチングレギュレータの回路図である。

【図4】図4は帰還抵抗からなる帰還回路部の周波数特性図である。

【図5】図5は図3に示す比較器と誤差増幅回路の詳細回路構成を示す回路図である。

【図6】図6は比較器11の反転入力端子の電圧が第2の定電圧よりも高いときの不具合を説明するタイミングチャートである。

【図7】図7は、状態遷移の確実化を図るために比較器11の反転入力端子の電圧を第2の定電圧よりも低く設定した状態を示す説明図である。

【図8】図8は、本発明の実施例3に係るスイッチングレギュレータの回路図である。

【図9】図9は本発明の実施例4に係るスイッチングレギュレータの回路図である。

【図10】図10は従来のスイッチングレギュレータの一例を示す回路図である。

【図11】図11は出力電圧のリプルとインダクタ電流との関係を模式的に示す波形図である。

【図12】図12は図11に示す出力電圧よりも小さい出力電圧のリプルとインダクタ電流との関係を模式的に示す波形図である。

【図13】図13は図10に示すインダクタよりも小さいインダクタの出力電圧のリプルとインダクタ電流との関係を模式的に示す波形図である。

【発明を実施するための形態】

【実施例】

【0036】

(実施例1)

図1は本発明の実施例1に係る降圧型カレントモードのスイッチングレギュレータの回路図を示している。

このスイッチングレギュレータは、スイッチングトランジスタM1と、整流素子M2と、インダクタL1と、出力コンデンサ(平滑コンデンサ)C_oと、PWM制御回路10と、帰還抵抗R1、R2とからなる帰還回路部と、比較器11と、誤差増幅器12とを有する。

【0037】

また、このスイッチングレギュレータは、抵抗R3とコンデンサC3との直列回路からなる位相補償回路13と、状態遷移回路14と、整流素子M2のドレン電圧LXVを監視してインダクタL1の電流I_Lが正となったことを検出する比較回路15と、状態2(第2状態)によって開成されるスイッチSW2と、状態3(第3状態)によって切り替わるスイッチSW3とを有する。

【0038】

更に、このスイッチングレギュレータは、電流源I_{ref}1と、抵抗R4と、定電圧回路E1と、入力電圧V_{in}が印加される入力端子INと、出力電圧V_{out}に従って負荷120に向かって負荷電流I_{out}を供給する出力端子OUTも有する。

【0039】

帰還回路部は、帰還抵抗R1、R2によって出力電圧V_{out}を分圧して帰還電圧FBに変換する。この帰還電圧FBは出力電圧をV_{out}、抵抗値をR1、Rとすると、下記の式により求められる。

帰還電圧 $FB = V_{out} \times R2 / (R1 + R2)$

スイッチングトランジスタM1のゲートはPWM制御回路10のP端子に接続され、制御電圧PHSによりオン・オフされてスイッチング動作を行う。

【0040】

整流素子M2は逆電流防止用の同期整流トランジスタ(MOSFET)により構成され、その同期整流トランジスタのゲートはPWM制御回路10のN端子に接続され、制御電圧NLSによりオン・オフされてスイッチング動作を行う。

【0041】

比較回路15は比較器15'とアンド回路15"とから構成され、比較器15'の非反転入力端子+にはスイッチングトランジスタM1と整流素子M2の接続点LXのドレン電圧LXVが入力され、比較器15'の反転入力端子-には定電圧回路E2の基準電圧Vref3が入力される。

【0042】

比較器15'はドレン電圧LXVが基準電圧Vref3よりも大きいときに、ハイレベルの信号をアンド回路15"の一方の入力端子に出力する。アンド回路15"の他方の入力端子には制御電圧PHSが入力され、アンド回路15"はその両入力端子にハイレベルの信号が入力されたときに、状態遷移回路14に二値信号としてのハイレベルの状態検出信号LVLXを出力する。

【0043】

また、アンド回路15"は制御電圧PHSがローレベルのとき、状態遷移回路14にローレベルの状態検出信号LVLXを出力する。

状態検出信号LVLXがハイレベルとなるときのインダクタL1のインダクタ電流ILは、整流素子M2のオン抵抗をRonm2とすると、インダクタ電流 $IL = Vref3 / Ronm2$ となる。

【0044】

通常、比較器15は遅延時間をもっており、インダクタ電流ILが0以下にならないように(逆方向に流れないように)、基準電圧Vref3は0Vから僅かに低い電圧とされている。通常、オン抵抗Ronm2が非常に小さい為、基準電圧Vref3には高精度が要求される。基準電圧Vref3は、インダクタL1の励起エネルギーがゼロ又は小さくなったことを意味する。なお、その定電圧回路E2はIC内部の定電圧源により構成される。

【0045】

その比較回路15は、スイッチングトランジスタM1とインダクタL1との接続点LXのドレン電圧LXVと基準電圧Vref3との比較を行って比較結果としての状態検出信号LVLXを状態遷移回路14に向かって出力する第1の電圧比較回路として機能する。

【0046】

比較器11の非反転入力端子+には帰還電圧FBが入力され、比較器11の反転入力端子-にはリプル電圧の変動を制御するのに用いる参照電圧Vrefが入力される。その参照電圧Vrefには第1の定電圧Vref1と第2の定電圧Vref2とが用いられる。第1の定電圧Vref1は定電圧回路E1により生成され、その定電圧回路E1もIC内部の定電圧源により構成される。

【0047】

第2の定電圧Vref2は定電流源Iref1と抵抗R4と定電圧回路E1により生成される。その第2の定電圧Vref2は定電流源Iref1と抵抗R4とによって生成される電圧分だけ第1の定電圧Vref1よりも高い電圧とされている。

【0048】

誤差増幅器12の非反転入力端子+には参照電圧Vrefが入力され、誤差増幅器12の反転入力端子-には帰還電圧FBが入力される。参照電圧Vrefは、スイッチSW3によって第1の定電圧Vref1と第2の定電圧Vref2との間で切り替えられる。

【0049】

そのスイッチSW3は後述する機能を有する状態遷移回路14により切り替えられる。すなわち、そのスイッチSW3は、その状態1(第1状態)のときには比較器11の反転入力

端子 - と誤差増幅器 1 2 の非反転入力端子 + とに第 1 の定電圧Vref1が印加され、状態 3 のときには第 2 の定電圧Vref2が印加されるように、状態遷移回路 1 4 から出力される状態 3 遷移信号によって切り替えられる。

【 0 0 5 0 】

比較器 1 1 は比較出力電圧 c m p o u t を状態遷移回路 1 4 に向かって出力し、誤差増幅器 1 2 はスイッチSW2を介して誤差電圧 o p o u t を位相補償回路 1 3 とPWM制御回路 1 0 に向かって出力する。比較器 1 1 は誤差増幅器 1 2 と協働して、帰還電圧FBと参照電圧Vr efとの電圧比較を行って比較結果を示す二値の信号を生成して出力する第 2 の電圧比較回路として機能する。

【 0 0 5 1 】

10

そのスイッチSW2は、状態 1、状態 3 のときには、状態遷移回路 1 4 から出力される状態 1 遷移信号、状態 3 遷移信号によって閉成され、状態 2 のときには、状態遷移回路 1 4 から出力される状態 2 遷移信号によって開成される。

【 0 0 5 2 】

PWM制御回路 1 0 のP端子は、スイッチングトランジスタM1のゲートに接続されている。PWM制御回路 1 0 のN端子は、整流素子M2のゲートに接続されている。スイッチングトランジスタM1のゲートには制御電圧PHSが入力され、整流素子M2のゲートには制御電圧NLSが入力される。

【 0 0 5 3 】

そのスイッチングトランジスタM1はP - チャンネルトランジスタであり、制御電圧PHSがハイレベルのときオフし、ローレベルのときオンとされる。

20

その整流素子M2はN - チャンネルトランジスタであり、制御電圧NLSがハイレベルのときオンであり、ローレベルのときオフとされる。

【 0 0 5 4 】

状態遷移回路 1 4 は、比較出力電圧cmpoutがローレベルのとき、状態 1 遷移信号を出力し、比較回路 1 5 の状態検出信号LVLXがハイレベルのとき状態 2 遷移信号を出力し、比較出力電圧cmpoutがハイレベルのとき、状態 3 遷移信号を出力する。

【 0 0 5 5 】

比較器 1 1 は帰還電圧FBと参照電圧Vrefとしての第 1 の定電圧Vref1とを比較して帰還電圧FBが第 1 の定電圧Vref1よりも高いときにローレベルの比較出力電圧cmpoutを状態遷移回路 1 4 に出力し続け、帰還電圧FBが参照電圧Vrefよりも低いときにハイレベルの比較出力電圧cmpoutを状態遷移回路 1 4 に出力する。

30

【 0 0 5 6 】

位相補償回路 1 3 は、状態 1 のときに参照電圧Vrefとしての第 1 の定電圧Vref1に追従してPWM制御回路 1 0 を制御し、状態 2 のときにハイインピーダンスとなって一定電圧を保持する。

この図 1 に示すスイッチングレギュレータの動作について、図 2 に示すタイミングチャートを参照しつつ説明する。

【 0 0 5 7 】

図 2 は負荷 1 2 0 が小さくて（軽くて）、インダクタ電流ILが断続モードとなる程度の軽負荷状態におけるスイッチングレギュレータの動作を示している。

40

制御電圧 P H S がローレベルかつ接続点LXのドレン電圧LXVが基準電圧以下の場合、又は、制御電圧PHSがハイレベルかつ接続点LXのドレン電圧LXVが基準電圧Vref3以下の場合、状態検出信号 L V L X はローレベルである。

【 0 0 5 8 】

また、制御電圧 P H S がハイレベルであり、かつ、接続点 L X のドレン電圧LXVが基準電圧 V r e f 3 以上の場合、インダクタL1に蓄えられた励起エネルギーが 0、又は、小さくなったとして、状態検出信号LVLXはハイレベルとなる。

【 0 0 5 9 】

誤差増幅器 1 2 は、帰還電圧 F B と参照電圧 V r e f との差分とを積分して、誤差電圧op

50

outにより、PWM制御回路10を制御するため、帰還電圧FBは参照電圧Vrefに収束される。よって、 $V_{out} = \{(R1 + R2) / R2\} \times V_{ref}$ となる。

状態遷移回路14は、以下に説明する条件に従って状態遷移制御を行う。

【0060】

(状態1)

状態1においては、スイッチSW2は閉成され、スイッチSW3は参照電圧Vrefとしての第1の定電圧Vref1を比較器11の反転入力端子-に印加しかつ誤差増幅器12の非反転入力端子+に印加する側に接続されている。

【0061】

この状態1においては、帰還電圧FBが第1の定電圧Vref1に収束されるように、PWM制御回路10は誤差電圧opout(図2(i)参照)に従って、制御電圧PHS、NLS(図2(a)、(b)参照)を制御する。

10

【0062】

これにより、スイッチングトランジスタM1、整流子M2がオン・オフされ、出力電圧Vout(図2(f)参照)がその誤差電圧opoutに応じて変化し、負荷が重い状態として通常のPWM動作を行う。

【0063】

この状態1において、インダクタ電流ILが小さくなり(図2(e)の時点t1参照)、ドレン電圧LVXが基準電圧Vref3よりも大きくなると(図2(c)参照)、状態検出信号LVLLXがハイレベルとなる。これにより、状態遷移回路14は、ハイレベルの状態2遷移信号(図2(k)参照)を出力する。

20

【0064】

状態検出信号LVLLXがハイレベルとなるのは、インダクタ電流ILが十分小さくなった場合のみであるので、負荷が重い状態においては、状態1を維持し続ける。状態2においては、スイッチSW2が開成され、制御電圧PHSがハイレベル、制御電圧NLSがローレベルとなって、スイッチング動作が停止する。すなわち、スイッチングレギュレータはシャットダウンモード(スリープモード)となる。

【0065】

このとき、比較器11を構成する回路と誤差増幅器12を構成する以外の回路はシャットダウンすることができるので、スイッチングレギュレータの消費電流を大幅に低減させることができる。

30

【0066】

その状態2において、帰還電圧FBが第1の定電圧Vref1である参照電圧Vref以下となると(図2(g)の時点t2参照)、比較出力電圧cmpoutがハイレベルとなる(図2(h)参照)。その結果、状態遷移回路14は、ハイレベルの状態3遷移信号を出力する(図2(l)参照)。

【0067】

これにより、スイッチSW3は、参照電圧Vrefとしての第2の定電圧Vref2を比較器11の反転入力端子-に印加し、誤差増幅器12の非反転入力端子+に印加する側に接続される。また、スイッチSW2が開成される。

40

【0068】

第2の定電圧Vref2は第1の定電圧Vref1よりも高く設定されているので、帰還電圧FBは参照電圧Vrefよりも低くなるが、帰還電圧FBと参照電圧Vrefとの電圧差がなくなるように誤差増幅器12がPWM制御回路10を制御する。

【0069】

その結果、出力電圧Voutが上昇してリプル電圧が発生する。帰還電圧Voutが第2の定電圧Vref2である参照電圧Vrefよりも高くなると(図2(g)の時点t3参照)、比較器11の比較出力電圧cmpoutが反転して、ローレベルとなる(図2(l)参照)。

【0070】

50

比較出力電圧 $compout$ 電圧がローレベルになると、状態遷移回路 14 は状態 1 遷移信号を出力し、スイッチングレギュレータは、負荷が軽いときには、状態 1 状態 2 状態 3 というシーケンス動作を実行する。

【0071】

これにより、帰還電圧 FB を参照電圧 V_{ref} の変化に対応させて追従させ、安定した出力電圧 V_{out} のリプル電圧が生成される。このとき、出力電圧 V_{out} のリプル電圧は帰還回路部の抵抗値により、

$$V_{out} = (R_1 + R_2) / R_2 \times (V_{ref2} - V_{ref1})$$

の式により表される。すなわち、参照電圧 V_{ref} のリプル電圧を $\{(R_1 + R_2) / R_2\}$ 倍したりリプル電圧となる。

10

【0072】

位相補償回路 13 は、状態 1 においては基準定電圧 V_{ref1} としての参照電圧 V_{ref} に追従するように PWM 制御回路 10 を制御する。状態 2 においては、誤差増幅器 12 から切り離されて、ハイインピーダンス状態となるため、電圧を保持する。状態 3 においては基準定電圧 V_{ref2} としての参照電圧 V_{ref} に追従するように PWM 制御回路 10 を制御する。

【0073】

このように、実施例 1 では、出力電圧 V_{out} のリプル電圧を参照電圧 V_{ref} に応じて制御させることができることになり、また、消費電流も大幅に低減させることができる。

【0074】

20

(実施例 2)

図 3 は実施例 2 の降圧型スイッチングレギュレータの回路図を示している。

図 3 は図 2 に示すスイッチングレギュレータの帰還回路部の抵抗 R_1 にスピードアップコンデンサ C_{spd} が並列に接続されている。

【0075】

また、トランジスタからなる整流素子 M_2 の代わりに、ダイオード D_2 からなる整流素子 M_2 が用いられている。更に、誤差増幅器 12 の出力から比較器 11 の比較出力電圧 $compout$ が生成される構成とされている。その誤差増幅器 12 の回路構成については後述する。

【0076】

30

スピードアップコンデンサ C_{spd} は、帰還回路部の高域周波数成分をパススルーさせるのに用いる。図 4 はスピードアップコンデンサ C_{spd} による帰還回路部の周波数特性を示している。なお、破線で示す曲線 Q1 は位相特性を示し、実線で示す曲線 Q2 はゲイン特性を示す。

【0077】

この周波数特性は、抵抗 $R_1 = 5.25k$ 、抵抗 $R_2 = 1.0k$ 、スピードアップコンデンサ $C_{spd} = 6.8nF$ のときのものであり、低域にゼロ点、高域にピークがあり、高域のピークの周波数以降のゲインは $0dB$ となっている。なお、 $(1.00E + 0i)$ ；符号 i は正の整数) は自然定数 E の i 乗倍を意味する。

【0078】

40

すなわち、この周波数特性は、入力信号が 1 倍でスルーされることを示している。よって、高域のピークを出力電圧 V_{out} のリプルが生成される周波数特性、すなわち、スイッチングレギュレータの周波数特性よりも低域に配置することにより、出力電圧 V_{out} のリプル電圧 V_{out} を参照電圧 V_{ref} の変化電圧 V_{ref} 、すなわち、 $V_{out} = V_{ref} = V_{ref2} - V_{ref1}$ とすることができる。

【0079】

整流素子 M_2 はダイオード D_2 により構成されているので、電流不連続モードにおいてインダクタ電流 I_L が 0 となると、接続点 LX のドレン電圧 (カソード電圧) LXV は出力電圧 V_{out} に追従する。

【0080】

50

従って、基準電圧 V_{ref3} を出力電圧 V_{out} よりも低くかつグランド電圧 GND よりも高い電圧に設定しておけば、負荷電流 I_{out} が 0 となったことを検出することができ、整流素子 $M2$ としてトランジスタを使用したものに較べて基準電圧 V_{ref3} を比較的容易に生成できる。

【0081】

誤差増幅器 12 は、図 5 に示すように、P-チャネルトランジスタ $P1, P2, P3$ 、差動対Pチャネルトランジスタ、N-チャネルトランジスタ $N1, N2, N3, N4, N5, N7$ を有する。P-チャネルトランジスタ $P1, P2, P3$ は同じゲート長、ゲート幅であり、差動対 $P4, P5$ も同じゲート長、ゲート幅である。

【0082】

N-チャネルトランジスタ $N1, N2, N3, N4, N5, N7$ は同じゲート長である。N-チャネルトランジスタ $N1, N2, N3, N4$ のゲート幅は同じである。N-チャネルトランジスタ $N5$ のゲート幅とN-チャネルトランジスタ $N7$ のゲート幅とを加えたゲート幅がN-チャネルトランジスタ $N1$ のゲート幅と同じになるように、N-チャネルトランジスタ $N5, N7$ のゲート幅が構成されている。

【0083】

N-チャネルトランジスタ $N6$ は製造で許容される最小のゲート長で構成されており、閾値電圧でオン・オフするスイッチとみなすことができる。一般に、トランジスタの閾値電圧は製造誤差を持っているため、誤差増幅器 12 の出力は差動オフセット電圧（オフセット電圧）を持っている。その原因として最も大きいのは、差動対Pチャネルトランジスタ $P4, P5$ の閾値電圧のオフセットであり、閾値電圧のオフセット分、反転電圧端子 - に差動オフセット電圧が発生する。

【0084】

P-チャネルトランジスタ $P1, P2$ 、N-チャネルトランジスタ $N1, N2, N3, N4$ のオフセットも誤差増幅器 12 の出力の差動オフセット電圧に影響を及ぼすが、差動対Pチャネルトランジスタ $P4, P5$ に比較すると小さい。

【0085】

その結果、帰還電圧 FB と参照電圧 V_{ref} とには差分が発生するが、帰還電圧 FB が所望の値となるように参照電圧 V_{ref} が差動オフセット電圧を見込んでトリミングされることが一般的であるため、問題となることは少ない。

【0086】

また、図 5 に示す誤差増幅器 12 では同じ差動対Pチャネルトランジスタ $P4, P5$ により誤差増幅器 12 の出力と比較器 11 の出力とを生成しているため、差動オフセット電圧は発生するものの、Pチャネルトランジスタ $P2, P3$ 、Nチャネルトランジスタ $N4, N5, N7$ のオフセットの影響を受けるだけであるため、誤差を最小に抑えることができる。

【0087】

これに対して、誤差増幅器 12 と比較器 11 とを別々に作った場合、帰還電圧 FB が所望の値となるように参照電圧 V_{ref} が差動オフセットを見込んでトリミングされるが、これには誤差増幅器 12 の差動オフセットのみが含まれているだけであり、比較器 11 の反転電圧が差動オフセットの差分だけずれることになる。

【0088】

たとえば、誤差増幅器 12 の作動オフセット誤差電圧を $\pm 30mV$ 、比較器 11 の誤差電圧を $\pm 50mV$ とすると、帰還電圧 FB の所望の値から最大 $\pm 80mV$ ずれることになる。その場合、状態遷移回路 14 による出力電圧 V_{out} のリプルが非常に大きなばらつきをもつことになる。

【0089】

状態遷移回路 14 が状態 3 遷移信号を出力している状態にあるとき、差動オフセット電圧を最小にしても問題が発生する可能性があることを図 6 を参照しつつ説明する。図 6 は、比較器 11 の比較出力電圧 cmp_{out} を反転させる反転入力端子 - に印加される電圧が誤差

10

20

30

40

50

増幅器 1 2 の反転入力端子 - の電圧より僅かに高い状態を想定して描かれている。

【 0 0 9 0 】

この図 6 においては、第 1 の定電圧 V_{ref1} に対して比較器 1 1 の反転入力端子 - に印加される電圧 1 が第 1 の定電圧 V_{ref1} よりも高く、かつ、第 2 の定電圧 V_{ref2} に対して比較器 1 1 の反転入力端子 - に印加される電圧 2 が第 2 の定電圧 V_{ref2} よりも高い。

【 0 0 9 1 】

状態 1 のときには、電圧 1 よりも帰還電圧 FB が小さくなると、比較器 1 1 の比較出力電圧 c_{mpout} が反転する。しかし、状態 3 のときには、誤差増幅器 1 2 の誤差電圧 $opout$ により帰還電圧 FB が参照電圧 V_{ref} としての第 2 の定電圧 V_{ref2} に収束していくが、比較器 1 1 の反転入力端子 - の電圧 2 が第 2 の定電圧 V_{ref2} である参照電圧 V_{ref} よりも高い。

10

【 0 0 9 2 】

このため、状態 3 のときには、帰還電圧 FB が電圧 2 よりも高くなることができず、比較出力電圧 c_{mpout} が反転せず、その結果、状態 1 遷移信号が出力されず、帰還電圧 FB は第 2 の定電圧 V_{ref2} に収束したままとなる。

【 0 0 9 3 】

図 5 に示す比較器 1 1、誤差増幅回路 1 2 では、比較器 1 1 の出力がハイレベルであるときには、スイッチング用の N チャンネルトランジスタ N 6 がオン状態であるため、比較器 1 1 の出力がハイレベルからローレベルとなるときに比較器 1 1 の出力と誤差増幅器 1 2

20

の出力とがほぼ一致する。

【 0 0 9 4 】

比較器 1 1 の出力がローレベルであるときにはスイッチング用の N チャンネルトランジスタ N 6 がオフ状態であるため、N チャンネルトランジスタ N 4 よりも小さい N チャンネルトランジスタ N 5 から比較器 1 1 の比較出力電圧 c_{mpout} が出力され、ローレベルからハイレベルに反転する帰還電圧 FB が参照電圧 V_{ref} よりも低くなるように設計している。

【 0 0 9 5 】

その結果、状態 1、状態 2 のときには、第 1 の定電圧 V_{ref1} に対して比較器 1 1 の反転入力端子 - に印加される電圧 1 が第 1 の定電圧 V_{ref1} よりも高い。また、状態 3 のときには、図 7 に示すように、第 2 の定電圧 V_{ref2} に対して比較器 1 1 の反転入力端子 - に印加される電圧 2 が第 2 の定電圧 V_{ref2} よりも低くなる。

30

【 0 0 9 6 】

従って、図 7 に示すように、帰還電圧 FB が電圧 2 よりも高くなり、比較出力電圧 c_{mpout} が反転し、必ず状態 1 遷移信号が出力される。

このように、この実施例 2 では、実施例 1 と同様に、軽負荷検出を容易に行うことができる。また、出力電圧 V_{out} のリップル電圧の変動を参照電圧 V_{ref} に応じて変化させることができる。更に、比較器 1 1 と誤差増幅器 1 2 の差動オフセットにより発生する不具合を回避できる。

【 0 0 9 7 】

(実施例 3)

40

図 8 は、本発明の実施例 3 に係る昇圧型スイッチングレギュレータの回路を示す図である。この図 8 に示すスイッチングレギュレータは、図 3 に示す降圧型スイッチングレギュレータの回路動作と同様の回路動作を昇圧型スイッチングレギュレータを用いて行わせることができるようにしたものである。

【 0 0 9 8 】

スイッチングトランジスタ M 1、インダクタ L 1、ダイオード D 3 の構成が図 3 に示す降圧型スイッチングレギュレータと異なるのみであるので、その結線関係を示すのみにとどめ、詳細な説明を割愛する。

【 0 0 9 9 】

(実施例 4)

50

図 9 は、本発明の実施例 4 に係る極性反転型スイッチングレギュレータの回路を示す図である。この図 9 に示すスイッチングレギュレータは、図 3 に示す降圧型スイッチングレギュレータの回路動作と同様の回路動作を極性反転型スイッチングレギュレータを用いて行わせることができるようにしたものである。

【 0 1 0 0 】

整流素子（ダイオード D2）とインダクタ L1 との結線関係のみが図 3 に示す降圧型スイッチングレギュレータと異なるのみであるので、その結線関係を示すのみにとどめ、詳細な説明を割愛する。

【 0 1 0 1 】

（実施例の効果）

これらの実施例によれば、第 1 の定電圧 Vref1 から第 2 の定電圧 Vref2 へ帰還電圧 FB の参照電圧 Vref を切り替える。これによって、帰還電圧 FB が参照電圧 Vref に追従し、出力電圧 Vout のリップル電圧が第 1 の定電圧 Vref1 と第 2 の定電圧 Vref2 の電圧差により制御される。このため、軽負荷時の電力消費効率を損なうことなく、出力電圧 Vout のリップル変動を抑制でき、ノイズ対策等にも有効であるという効果を奏する。

【 0 1 0 2 】

加えて、実施例 2 ないし実施例 4 によれば、スピードアップコンデンサ Cspd を用いているので、帰還回路部の回路定数によらずに、出力電圧 Vout を参照電圧 Vref に追従させることができる。

また、誤差増幅器 12 の出力端子に接続された位相補償回路 13 のコンデンサ C3 の電圧を第 2 状態において一定に保つことにより、第 1 状態における動作点を保存することになる。その結果、スイッチングレギュレータの第 1 状態の動作と第 3 状態の動作とを繋げた結果に収束させることができる。

【 0 1 0 3 】

位相補償回路 13 のコンデンサ C3 を回路から切り離すことにより誤差増幅器 12 の位相補償コンデンサの電圧を第 2 の状態において一定に保つことができる。

第 2 の状態において、不要な回路をスリープモードとすることにより、更にスイッチングレギュレータの自己消費を低減させ、電力消費効率を向上させることができる。

【 0 1 0 4 】

第 2 の比較回路として誤差増幅器 12 の誤差電圧 opout を用いることにより、参照電圧 Vref の差によるリップル電圧を正確に生成することができる。

第 2 の電圧比較回路はオフセットを持ち、第 3 の状態において参照電圧 Vref よりも帰還電圧 FB が高くなったことをオフセットだけ低い電圧で検出することにより、第 3 の状態から第 1 の状態へ必ず遷移させることができる。

【 0 1 0 5 】

整流素子 M2 を逆流電流を防止する制御を行う MOSFET とすることにより重負荷での効率を向上させつつ軽負荷での効率も向上させることができる。

整流素子 M2 がダイオード D2 である場合、ダイオード D2 のカソード電圧が電流不連続モードにおいて出力端子 OUT の出力電圧 Vout に追従して正の電圧となることを検出することにより、励起エネルギーがゼロまたは軽くなったことを検出できる。

【 0 1 0 6 】

制御方式がカレントモードであるので、オーバーシュートなく第 2 の定電圧 Vref2 に帰還電圧 FB を追従させることができる。

【産業上の利用可能性】

【 0 1 0 7 】

本発明は、PWM 制御により駆動を行う電子回路に利用可能である。

【符号の説明】

【 0 1 0 8 】

10 ... PWM 制御回路（制御回路部）

11 ... 比較器（第 2 の電圧比較回路）

10

20

30

40

50

1 2 ... 誤差増幅回路 (第2の電圧比較回路)

1 4 ... 状態遷移回路

1 5 ... 第1の電圧比較回路

L1... インダクタ

IL... インダクタ電流

Vref3... 基準電圧

LVLX... 状態検出信号

Vref1... 第1の定電圧

Vref 2 ... 第2の定電圧

Vref... 参照電圧

FB... 帰還電圧

【先行技術文献】

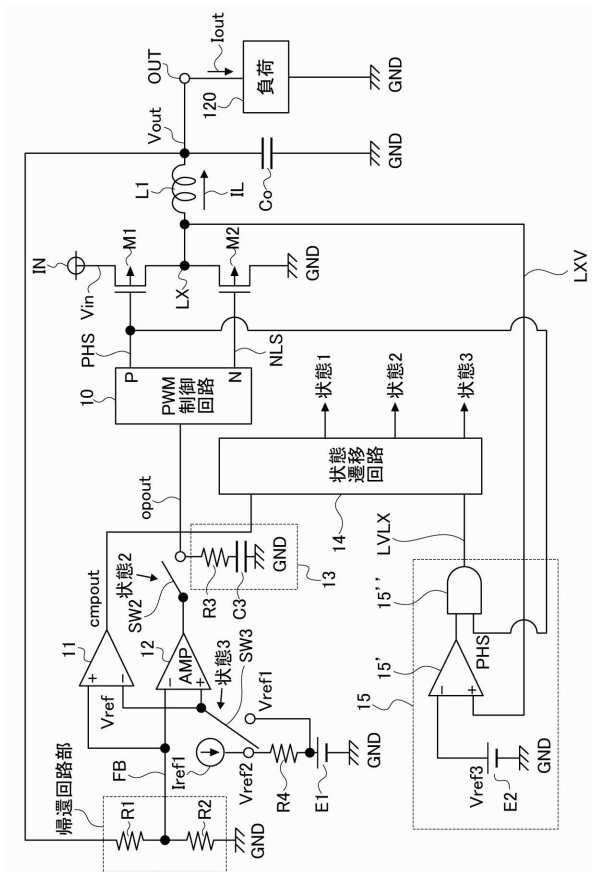
【特許文献】

【0109】

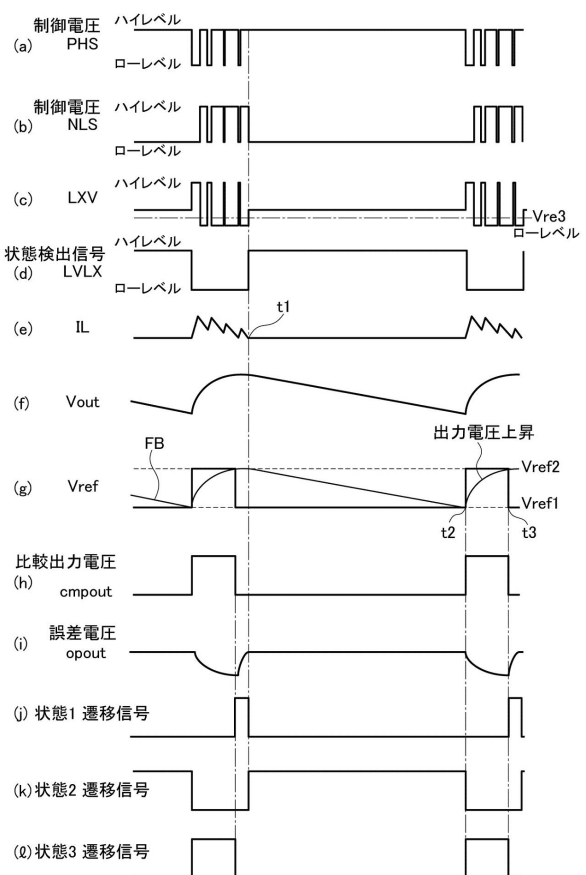
【特許文献1】特開2010-259257号公報

10

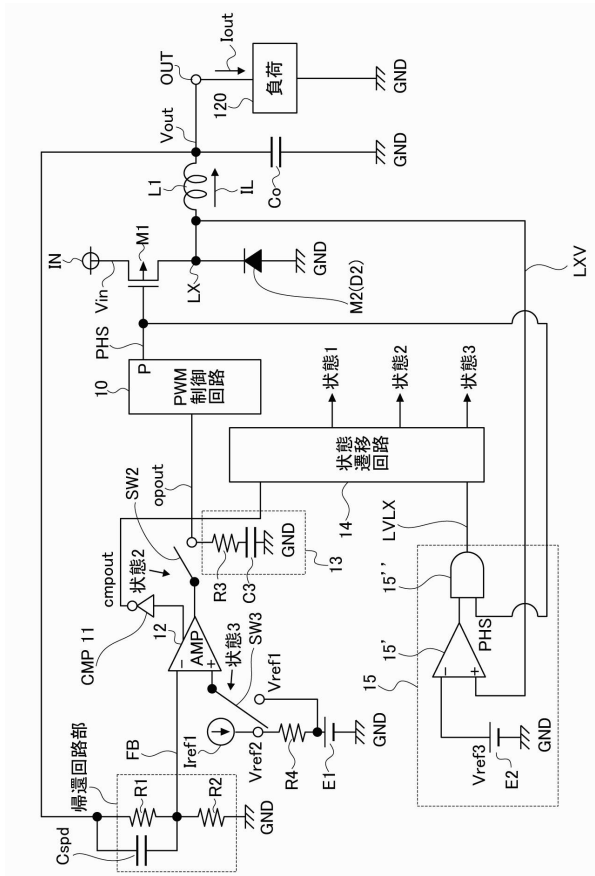
【図1】



【図2】

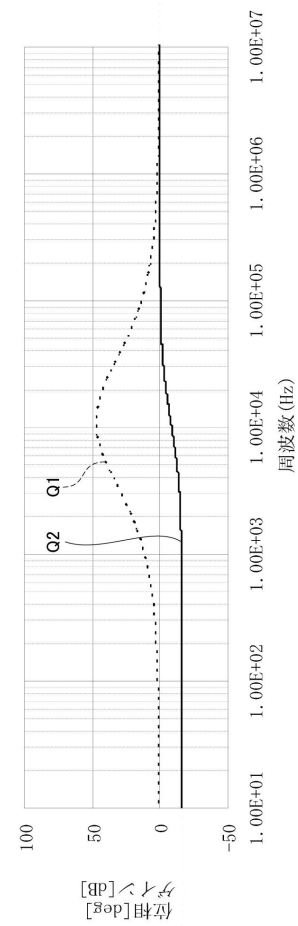


【図3】

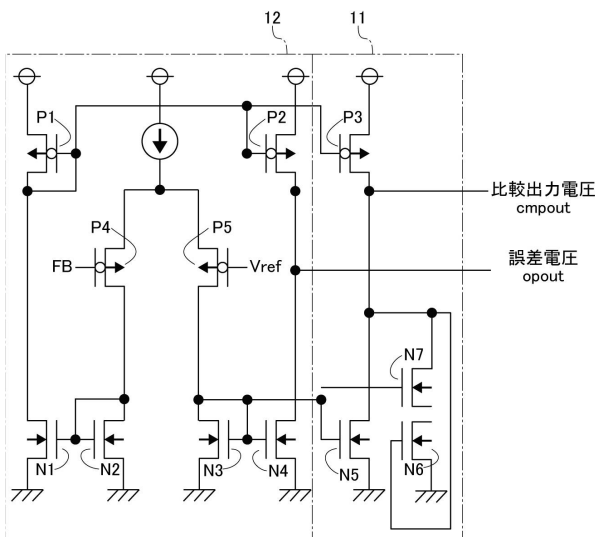


【図4】

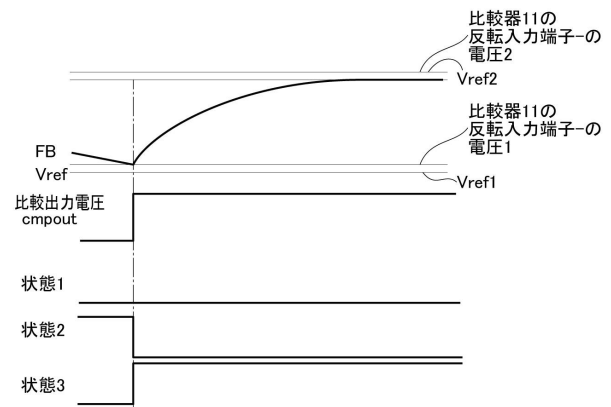
帰還抵抗部周波数特性



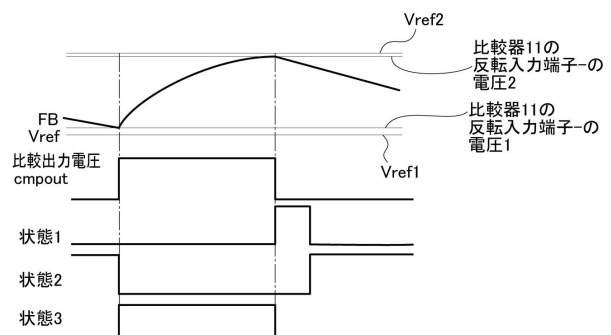
【図5】



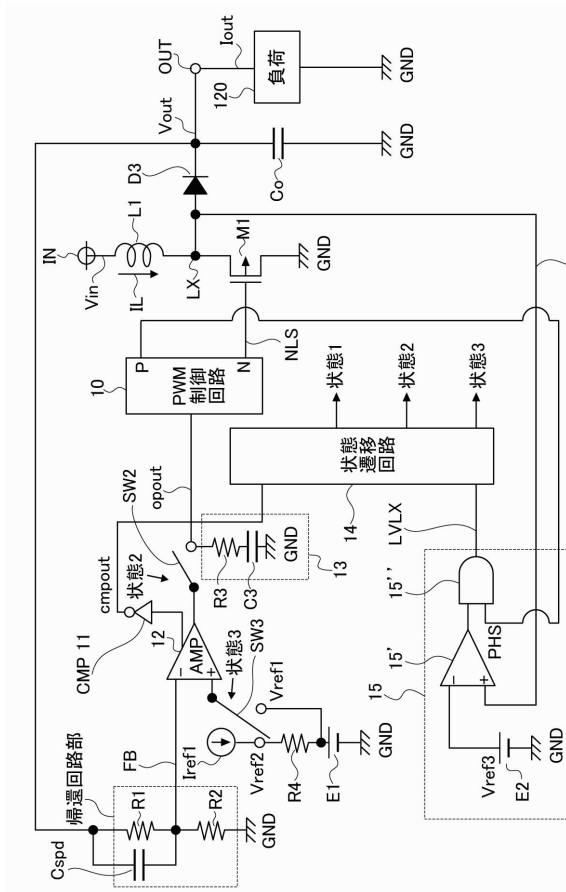
【図6】



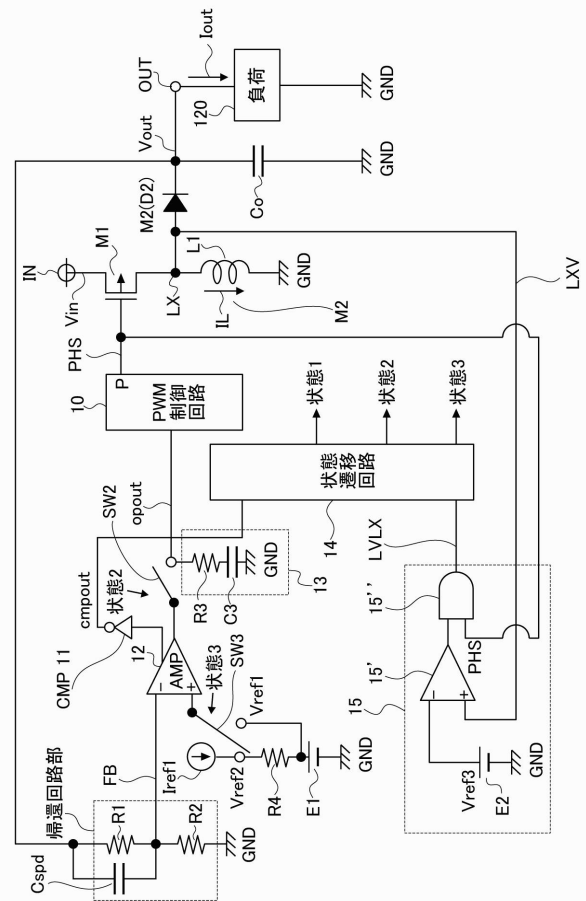
【図7】



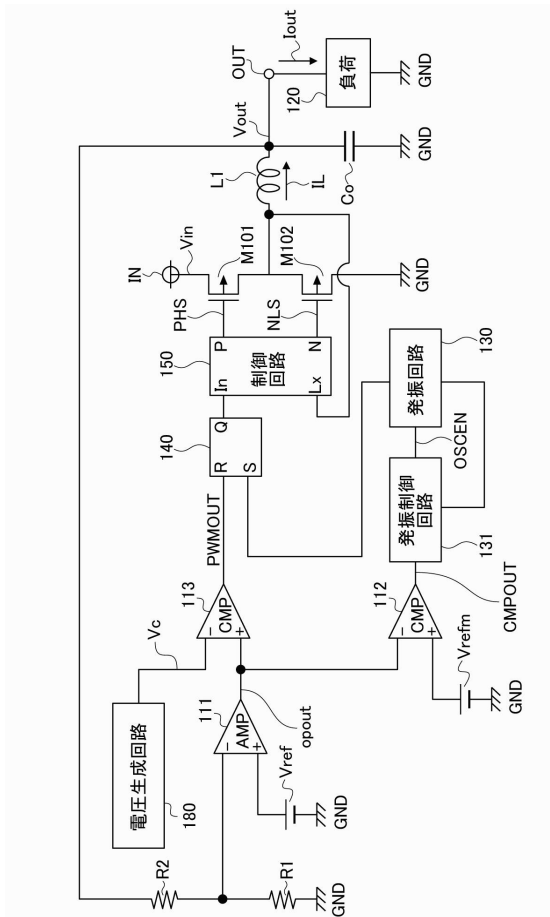
【図 8】



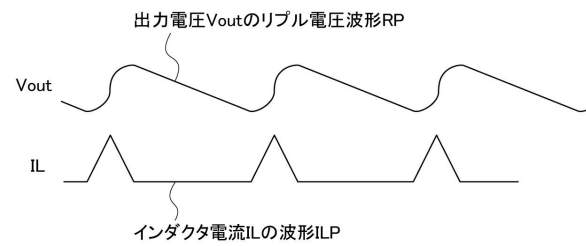
【図 9】



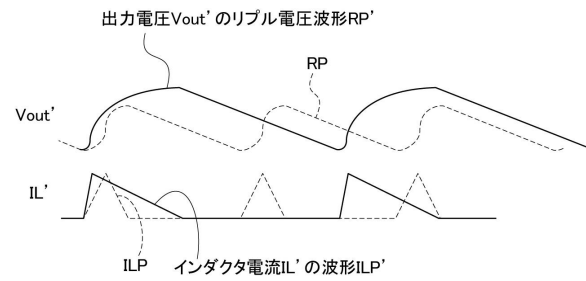
【図 10】



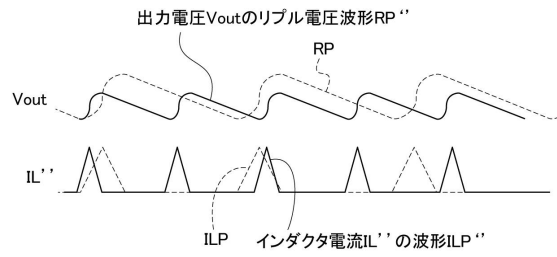
【図 11】



【図 12】



【図 13】



フロントページの続き

(56)参考文献 特開2009-148111(JP,A)
特開2009-033883(JP,A)
特開2009-044779(JP,A)
特開2012-060883(JP,A)
特開2012-010464(JP,A)
米国特許出願公開第2008/0203981(US,A1)
米国特許出願公開第2008/0169793(US,A1)

(58)調査した分野(Int.Cl., DB名)
H02M 3/155