

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第4967209号
(P4967209)

(45) 発行日 平成24年7月4日 (2012.7.4)

(24) 登録日 平成24年4月13日 (2012.4.13)

(51) Int. Cl.	F I
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 5 5 B
HO 1 L 29/739 (2006.01)	HO 1 L 29/78 6 5 2 L
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 5 8 E
	HO 1 L 29/78 6 5 8 G
	HO 1 L 29/78 6 5 3 A

請求項の数 3 (全 9 頁)

(21) 出願番号	特願2001-260976 (P2001-260976)	(73) 特許権者	000005234
(22) 出願日	平成13年8月30日 (2001.8.30)		富士電機株式会社
(65) 公開番号	特開2003-69020 (P2003-69020A)		神奈川県川崎市川崎区田辺新田1番1号
(43) 公開日	平成15年3月7日 (2003.3.7)	(74) 代理人	100104190
審査請求日	平成20年7月15日 (2008.7.15)		弁理士 酒井 昭徳
		(72) 発明者	金丸 浩
			神奈川県川崎市川崎区田辺新田1番1号
			富士電機株式会社内
		(72) 発明者	大月 正人
			神奈川県川崎市川崎区田辺新田1番1号
			富士電機株式会社内
		審査官	松嶋 秀忠

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

第1導電型のドリフト層の上に前記ドリフト層よりも不純物濃度が高い第1導電型の第1のバッファ層がエピタキシャル成長され、さらに前記第1のバッファ層の上に前記第1のバッファ層よりも不純物濃度が低い第1導電型の第2のバッファ層がエピタキシャル成長されてなるエピタキシャルウェハの、前記ドリフト層の露出面に第2導電型のベース領域、第1導電型のエミッタ領域、ゲート絶縁膜、ゲート電極およびエミッタ電極を形成する工程と、

所定のウェハ厚さになるまで前記第2のバッファ層の露出面を研磨する工程と、
前記第2のバッファ層の研磨面に第2導電型のコレクタ層およびコレクタ電極を形成する工程と、
を含むことを特徴とする半導体装置の製造方法。

【請求項2】

前記コレクタ層をイオン注入および熱的エネルギー処理によって形成することを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】

前記エピタキシャルウェハの初期厚さは200μm以上であることを特徴とする請求項1または2に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置およびその製造方法に関し、特に絶縁ゲート型バイポーラトランジスタ（以下、IGBTとする）を構成する半導体装置およびその製造方法に関する。

【0002】

【従来の技術】

図7は、従来のプレナー構造のパンチスルー型IGBT（以下、PT-IGBTとする）を示す縦断面図である。図7に示すように、PT-IGBTは、 n^- ドリフト層11、 n^+ バッファ層12および p^+ コレクタ層13からなるエピタキシャルウェハ10の、 n^- ドリフト層11の表面に p^+ ベース領域14、 n^+ エミッタ領域15、ゲート絶縁膜16、ゲート電極17およびエミッタ電極18が形成され、 p^+ コレクタ層13の表面にコレクタ電極19が形成された構成となっている。PT-IGBTでは、オフ時に n^- ドリフト層11内が完全に空乏化し、空乏層が n^+ バッファ層12まで到達する。

10

【0003】

縦型IGBTでは、オン電圧を低くするため、 p^+ コレクタ層13の濃度を濃くしてできるだけ電気抵抗を小さくする必要がある。その結果、 p^+ コレクタ層13から n^- ドリフト層11内に注入されるキャリアが非常に多くなり、スイッチング損失およびスイッチング速度の著しい悪化を招く。そこで、ライフタイムキラーの導入により、デバイス特性を調整する必要がある。

【0004】

図8は、従来のプレナー構造のノンパンチスルー型IGBT（以下、NPT-IGBTとする）を示す縦断面図である。図8に示すように、NPT-IGBTは、 n^- ドリフト層21を構成するFZウェハの表面に p^+ ベース領域24、 n^+ エミッタ領域25、ゲート絶縁膜26、ゲート電極27およびエミッタ電極28が形成され、FZウェハの裏面に p^+ コレクタ層23が低温拡散技術プロセスにより形成され、さらにコレクタ電極29が形成された構成となっている。NPT-IGBTでは、オフ時に n^- ドリフト層21内が完全に空乏化せず、空乏層は p^+ コレクタ層23に到達しない。NPT-IGBTでは、ライフタイムキラーを導入せずに、 p^+ コレクタ層23の濃度および厚さによりデバイス特性が調整される。

20

【0005】

近時、さらなる低損失化を図るため、PT-IGBTとNPT-IGBTのそれぞれの長所を兼ね備えるフィールドストップ型IGBT（以下、FS-IGBTとする）がLaszkaらにより提案されている（ISPSD'00, P. 355-358, (2000)）。FS-IGBTは、 n^- ドリフト層、 n^+ フィールドストップ層および p^+ コレクタ層からなる。 n^+ フィールドストップ層を設けることにより、必要な耐圧を得るための n^- ドリフト層を薄くすることができるので、オン電圧を低減させることができる。

30

【0006】

また、 n^+ フィールドストップ層および p^+ コレクタ層が非常に薄いので、IEEE'97, P. 213-216 (1997)の中でPorstらが言及しているTransparency Emitter効果により各層に蓄積しているキャリアが少ないので、スイッチング損失が抑えられる。また、FS-IGBTでは、NPT-IGBTと同様に、 p^+ コレクタ層の濃度でデバイス特性が調整されるため、ライフタイムキラーは導入されない。

40

【0007】

上述したFS-IGBTまたはそれに類似したデバイスを作製する方法として、つぎの2つが知られている。第1の方法は、FZウェハを研磨して100~120 μ m程度の厚さにした後に、イオン注入および熱拡散をおこなって n^+ フィールドストップ層および p^+ コレクタ層を形成する方法である。第2の方法は、従来の n^- ドリフト層、 n^+ バッファ層および p^+ コレクタ層を構成するエピタキシャルウェハを用い、 p^+ コレクタ層を0.5 μ m程度の厚さとなるように研磨する方法である。この第2の方法では、 n^+ バッファ層はPT-IGBTと同じである（Matsudaira, ISPSD'01, P. 441-

50

4 4 4, (2 0 0 1))。

【0 0 0 8】

【発明が解決しようとする課題】

しかしながら、高温状態での漏れ電流の増加を抑制するためには n^+ フィールドストップ層は厚いのが好ましいが、上述した第1の方法では、 n^+ フィールドストップ層および p^+ コレクタ層を厚く形成することができず、濃度が低くなってしまうので、良好な電気的特性が得られないという問題点がある。また、Transparency Emitter 効果を得るためには p^+ コレクタ層の厚さは $1\text{ }\mu\text{m}$ 以下であるのが好ましいが、上述した第2の方法では、 p^+ コレクタ層を研磨する際に実際には $\pm 3\text{ }\mu\text{m}$ 程度のばらつきが生じるので、削り代を考慮すると p^+ コレクタ層の厚さは $3\text{ }\mu\text{m}$ 以上でなければならないとい

10

【0 0 0 9】

本発明は、上記問題点に鑑みてなされたものであって、電気的特性に優れたIGBTを構成する半導体装置を提供することを目的とする。また、本発明は、電気的特性に優れたIGBTを構成する半導体装置を安定して作製することが可能な半導体装置の製造方法を提供することを目的とする。

【0 0 1 0】

【課題を解決するための手段】

上記目的を達成するため、本発明は、第1導電型のドリフト層の上にドリフト層よりも不純物濃度が高い第1導電型の第1のバッファ層がエピタキシャル成長され、さらに第1のバッファ層の上に第1のバッファ層よりも不純物濃度が低い第1導電型の第2のバッファ層がエピタキシャル成長されてなるエピタキシャルウェハを用いる。このエピタキシャルウェハの、ドリフト層側の面にベース部およびエミッタ部を形成する。また、エピタキシャルウェハの、第2のバッファ層側の面を所定のウェハ厚さになるまで研磨した後に、その研磨面にコレクタ部を形成する。

20

【0 0 1 1】

この発明によれば、第2のバッファ層が研磨時のばらつきを吸収するバッファ層となり、ドリフト層の上面にベース部およびエミッタ部を有し、第1および第2のバッファ層を介して第2のバッファ層の下面にコレクタ部を有する半導体装置が得られる。

【0 0 1 2】

【発明の実施の形態】

以下に、本発明の実施の形態について図面を参照しつつ詳細に説明する。図1は、本発明にかかる半導体装置を構成するプレナー型IGBTの構造の一例を示す縦断面図である。このIGBTは、 n^- ドリフト層31、第1のバッファ層である n^+ バッファ層32、および第2のバッファ層である n^- バックグランドバッファ層40からなるエピタキシャルウェハ30を用いて作製されている。このエピタキシャルウェハ30の、 n^- ドリフト層31の表面には、 p^+ ベース領域34、 n^+ エミッタ領域35、ゲート絶縁膜36、ゲート電極37およびエミッタ電極38が形成されている。エピタキシャルウェハ30の、 n^- バックグランドバッファ層40の表面には、 p^+ コレクタ層33およびコレクタ電極39が形成されている。

30

40

【0 0 1 3】

以下に耐圧値に対する n^- ドリフト層厚の関係を示す。

$$W = 2 K s \varepsilon_0 \cdot V_{ce} / q N_d$$

ただし、 W = n^- ドリフト層厚、 V_{ce} = 素子耐圧値、 $Ks = 11.7$ 、 $\varepsilon_0 = 8.857 \times 10^{-14}$ 、 $q = 1.602 \times 10^{-19}$ である。

【0 0 1 4】

したがって、 n^- ドリフト層31の厚さは $0.1134 \times V_{ce} [\mu\text{m}]$ 以下であり、たとえば、 1200 V 耐圧クラス素子（実際には 1400 V の耐圧値が必要）に必要な n^- ドリフト層31の厚は、 $W = 0.1134 \cdot V_{ce} = 0.1134 \times 1400 = 159 [\mu\text{m}]$ となり、最低でも $159 [\mu\text{m}]$ 以上は必要となる。

50

【0015】

また、 n^+ バッファ層32の不純物濃度は $1 \times 10^{14} \text{ cm}^{-3}$ 以上で、かつ $1 \times 10^{16} \text{ cm}^{-3}$ 以下である。これは、 n^+ バッファ層32の不純物濃度が $1 \times 10^{14} \text{ cm}^{-3}$ 以下であれば、 n^+ バッファ層32で空乏層をストップできなくなり、耐圧低下を招いてしまうからである。一方、 n^+ バッファ層32の不純物濃度が $1 \times 10^{16} \text{ cm}^{-3}$ 以上であれば、コレクタ層からの正孔の注入を妨げることになってしまい、これによってオン電圧の低下を招き、IGBT動作をしなくなってしまうからである。

【0016】

また、 n^+ バッファ層32の厚さは $10 \mu\text{m}$ 以下である。これは、 n^+ バッファ層32があまり厚いと、スイッチング動作時（特にターンオフ時）にスイッチング損失の増加を招き、特性が悪くなるからである。したがって、スイッチング損失低減のためには、 n^+ バッファ層32の厚みは $10 \mu\text{m}$ 以下と薄い方が望ましい。

【0017】

また、 n^- バックグランドバッファ層40の不純物濃度は n^+ バッファ層32の不純物濃度よりも低い。また、 n^- バックグランドバッファ層40の厚さは $10 \mu\text{m}$ 以下である。すなわち、この n^- バックグランドバッファ層40においても上記 n^+ バッファ層32と同様に、スイッチング損失を低減するためには薄い方が望ましい。そして、バックグランドの制御性から、この層の厚みは $10 \mu\text{m}$ 以下が望ましい。

【0018】

また、 p^+ コレクタ層33の不純物濃度は n^+ バッファ層32の平均不純物濃度の10倍以上である。すなわちIGBTのオン電圧を小さくするためには、コレクタ層の不純物濃度は n^+ バッファ層の不純物濃度の10倍以上が望ましい。また、 p^+ コレクタ層33の厚さは $1 \mu\text{m}$ 以下である。すなわち、上記Transparency Emitter効果によるスイッチング損失低減のためにはコレクタ層の厚みは $1 \mu\text{m}$ 以下が望ましい。また、エピタキシャルウェハ30の初期厚さは $200 \mu\text{m}$ 以上である。

【0019】

図1に示す構成のIGBTの製造プロセスについて図2～図5を参照しながら説明する。まず、図2に示すように、 n^- ドリフト層31の上に n^+ バッファ層32をエピタキシャル成長し、さらにその上に n^- バックグランドバッファ層40をエピタキシャル成長してなるエピタキシャルウェハ30を用意する。そして、図3に示すように、このエピタキシャルウェハ30の、 n^- ドリフト層31の表面に、 p^+ ベース領域34、 n^+ エミッタ領域35、ゲート絶縁膜36、ゲート電極37およびエミッタ電極38を、フォトリソグラフィ技術、エッチングおよびイオン注入などの周知の方法により形成する。

【0020】

つづいて、図4に示すように、エピタキシャルウェハ30が設定厚さとなるように n^- バックグランドバッファ層40を研磨（バックグランド）する。そして、図5に示すように、その研磨面にイオン注入および熱処理により p^+ コレクタ層33を形成し、その p^+ コレクタ層33の表面にオーミック接触するコレクタ電極39を形成する。最後に、チップサイズにダイシングすることによって、図1に示す構成のIGBTが完成する。

【0021】

(実施例1)

本発明者らが実施例1として実際に作製した図1に示す構成のIGBTの仕様は以下のとおりである。なお、本発明は以下の数値に制限されるものではない。 1200 V 耐圧クラスの場合には、用意したエピタキシャルウェハ30に関して、 n^- ドリフト層31の比抵抗は $63 \Omega \text{ cm}$ であり、その厚さは $125 \mu\text{m}$ であった。また、 n^+ バッファ層32の比抵抗は $5 \Omega \text{ cm}$ であり、その厚さは $5 \mu\text{m}$ であった。また、 n^- バックグランドバッファ層40の比抵抗は $13 \Omega \text{ cm}$ であり、その厚さは $370 \mu\text{m}$ であった。つまり、エピタキシャルウェハ30の初期厚さは $500 \mu\text{m}$ であった。このエピタキシャルウェハ30にベース部およびエミッタ部を形成し、エピタキシャルウェハ30の設定厚さを $130 \mu\text{m}$ としてバックグランドをおこなった後の n^- ドリフト層31の厚さは $125 \mu\text{m}$ で

10

20

30

40

50

あり、 n^+ バッファ層 32 の厚さは $5\text{ }\mu\text{m}$ であり、 n^- バックグランドバッファ層 40 の厚さは $2\text{ }\mu\text{m}$ であった。また、 p^+ コレクタ層 33 のピーク濃度は $5 \times 10^{17}\text{ cm}^{-3}$ 程度であり、その深さは $0.5\text{ }\mu\text{m}$ であった。

【0022】

(実施例 2)

また、本発明者らは、実施例 2 として、図 5 に示すように表面構造がトレンチ構造の IGBT も作製した。図 5 に示す構成の IGBT では、エピタキシャルウェハ 30 の、 n^- ドリフト層 31 の表面に、 p^+ ベース領域 44 および n^+ エミッタ領域 45 を形成し、トレンチエッチングによりトレンチを形成した後に、そのトレンチ内面にゲート絶縁膜 46 を形成した。そして、ゲート絶縁膜 46 の内側をポリシリコンで埋めてゲート電極 47 とし、さらにエミッタ電極 48 を形成した。その後、エピタキシャルウェハ 30 の設定厚さを $130\text{ }\mu\text{m}$ としてバックグランドをおこなった結果、 n^- ドリフト層 31 の厚さは $125\text{ }\mu\text{m}$ であり、 n^+ バッファ層 32 の厚さは $5\text{ }\mu\text{m}$ であり、 n^- バックグランドバッファ層 40 の厚さは $1\text{ }\mu\text{m}$ であった。

【0023】

そして、 n^- バックグランドバッファ層 40 の研磨面にイオン注入および熱処理により、ピーク濃度が $5 \times 10^{17}\text{ cm}^{-3}$ 程度で深さが $0.5\text{ }\mu\text{m}$ の p^+ コレクタ層 33 を形成した。さらに、コレクタ電極 39 を形成し、その後、チップサイズにダイシングした。このようにして得られた図 5 に示す構成の IGBT は、図 1 に示す構成の IGBT と表面構造が異なるだけで、その他の構成は同じである。また、使用したエピタキシャルウェハ 30 の層構成、各層の比抵抗および厚さ、並びにウェハ全体の初期厚さも図 1 に示す構成の IGBT の場合と同じである。したがって、図 1 に示す構成と同様の構成については同じ符号を付して説明を省略する。

【0024】

上述した実施例 1 の FS-IGBT (プレナー型)、実施例 2 の FS-IGBT (トレンチ型)、従来の NPT-IGBT (プレナー型、図 8 参照) および従来の PT-IGBT (プレナー型、図 7 参照) について、オン電圧とターンオフ損失とのトレードオフ関係を調べた結果を図 6 に示す。図 6 より、実施例 1 および実施例 2 とも、従来の IGBT よりも非常に良い特性を示すことがわかった。

【0025】

上述した実施の形態によれば、 n^- ドリフト層 31、 n^+ バッファ層 32 および n^- バックグランドバッファ層 40 からなるエピタキシャルウェハ 30 を用い、 n^- ドリフト層 31 の表面にベース部およびエミッタ部を形成した後、 n^- バックグランドバッファ層 40 をバックグランド時のばらつきを吸収するバッファ層としてバックグランドをおこない、その研磨面にコレクタ部を形成するため、オン電圧およびスイッチング損失がともに良好な IGBT を構成する半導体装置を安定して得ることができる。

【0026】

以上において本発明は種々変更可能である。たとえば、上述した実施の形態では第 1 導電型を n 型とし、第 2 導電型を p 型としたが、その逆でもよい。また、IGBT を構成する各層の比抵抗、厚さおよび不純物濃度、並びにエピタキシャルウェハ 30 の初期厚さなどの各数値は一例であり、本発明はこれに制限されるものではない。

【0027】

【発明の効果】

本発明によれば、第 2 のバッファ層が研磨時のばらつきを吸収するバッファ層となり、ドリフト層の上面にベース部およびエミッタ部を有し、第 1 および第 2 のバッファ層を介して第 2 のバッファ層の下面にコレクタ部を有する半導体装置が得られるので、オン電圧およびスイッチング損失がともに良好な IGBT を構成する半導体装置を安定して得ることができる。

【図面の簡単な説明】

【図 1】本発明にかかる半導体装置 (プレナー構造) の構造の一例を示す縦断面図である

10

20

30

40

50

。

【図２】図１に示す半導体装置の製造途中の構造を示す縦断面図である。

【図３】図１に示す半導体装置の製造途中の構造を示す縦断面図である。

【図４】図１に示す半導体装置の製造途中の構造を示す縦断面図である。

【図５】本発明にかかる半導体装置（トレンチ構造）の構造の一例を示す縦断面図である

。

【図６】本発明にかかる半導体装置と従来のＩＧＢＴについてオン電圧とターンオフ損失とのトレードオフ関係を示す特性図である。

【図７】従来のプレナー構造のＰＴ－ＩＧＢＴを示す縦断面図である。

【図８】従来のプレナー構造のＮＰＴ－ＩＧＢＴを示す縦断面図である。

10

【符号の説明】

３０ エピタキシャルウェハ

３１ ドリフト層

３２ バッファ層（第１のバッファ層）

３３ コレクタ層

３４，４４ ベース領域

３５，４５ エミッタ領域

３６，４６ ゲート絶縁膜

３７，４７ ゲート電極

３８，４８ エミッタ電極

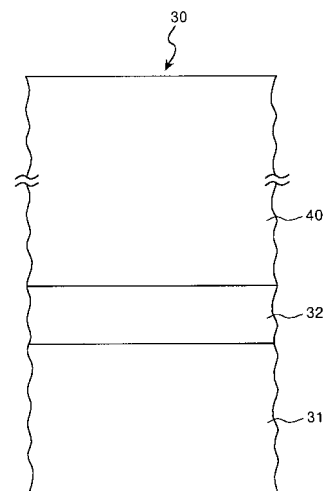
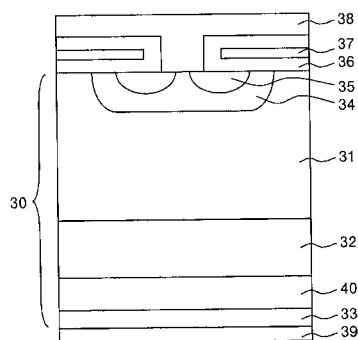
20

３９ コレクタ電極

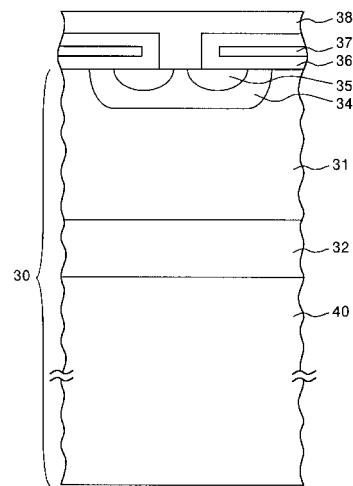
４０ バックグラインドバッファ層（第２のバッファ層）

【図１】

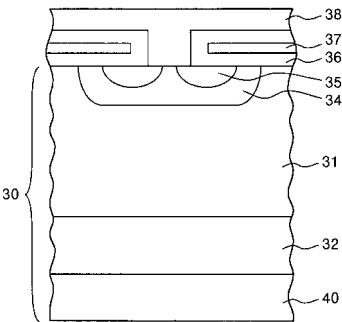
【図２】



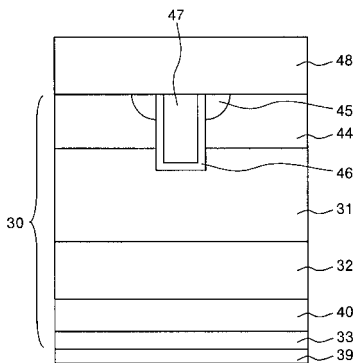
【図 3】



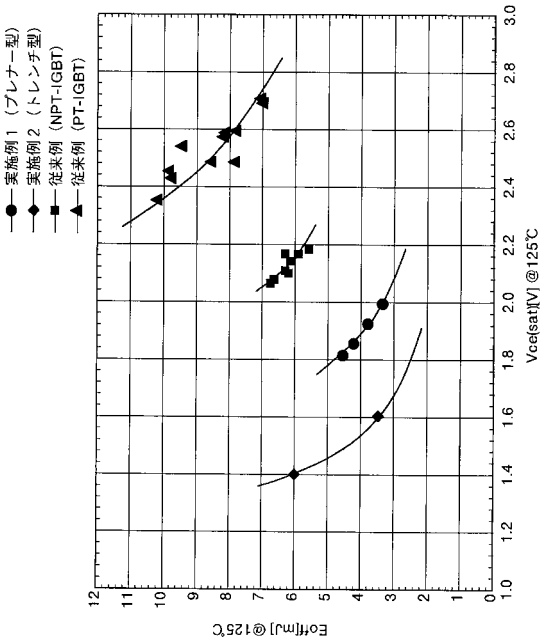
【図 4】



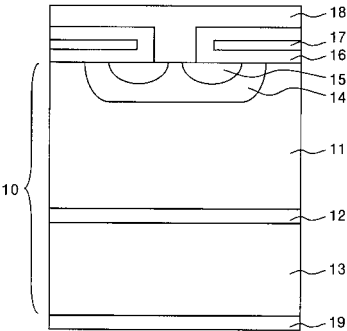
【図 5】



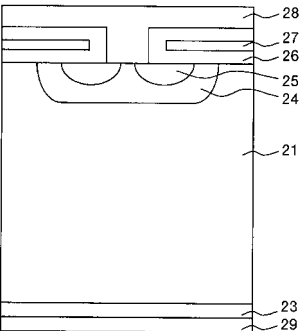
【図 6】



【図 7】



【図 8】



フロントページの続き

- (56)参考文献 特開2001-077357 (JP, A)
特開昭64-045173 (JP, A)
特開2002-305305 (JP, A)
特開2000-223705 (JP, A)
特開2000-260778 (JP, A)
特開平10-092841 (JP, A)

- (58)調査した分野(Int.Cl., DB名)

H01L 29/739

H01L 21/336

H01L 29/78