



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2014년02월11일

(11) 등록번호 10-1360815

(24) 등록일자 2014년02월04일

(51) 국제특허분류(Int. Cl.)

H01L 21/60 (2006.01) *H01L 23/48* (2006.01)*H01L 23/52* (2006.01)

(21) 출원번호 10-2010-7007877

(22) 출원일자(국제) 2007년10월31일

심사청구일자 2012년10월29일

(85) 번역문제출일자 2010년04월12일

(65) 공개번호 10-2010-0077161

(43) 공개일자 2010년07월07일

(86) 국제출원번호 PCT/US2007/083183

(87) 국제공개번호 WO 2009/058143

국제공개일자 2009년05월07일

(56) 선행기술조사문헌

KR1020040093738 A

KR1020070099599 A

(73) 특허권자

에이저 시스템즈 엘엘시

미합중국 펜실베니아 18109 알렌타운 노스이스트
아메리칸 파크웨이 1110

(72) 발명자

안톨 요제 에프.

미국 펜실베니아 19526, 합브루크, 힐 드라이브
364

오센바흐 온 더블유.

미국 펜실베니아 19530, 쿠츠타운, 월넛 드라이브
17

슈타이너 쿠르트 치.

미국 펜실베니아 18051, 포그세빌, 블로섬 하이츠
7932

(74) 대리인

장훈

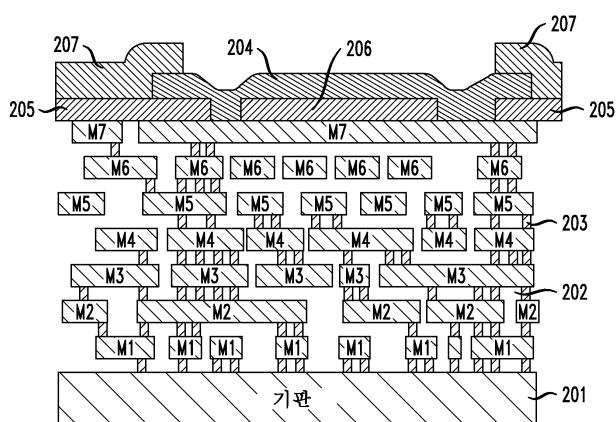
심사관 : 박기용

전체 청구항 수 : 총 10 항

(54) 발명의 명칭 반도체 디바이스를 위한 본드 패드 지지 구조체

(57) 요 약

임의의 실시예에 따른, 집적 회로들은 전도성 구조체들 사이의 원하지 않는 캐패시턴스를 감소시키기 위하여 취성의 낮은 유전체 상수 κ 를 갖는 유전체 재료를 사용하여 제조된다. 이러한 유전체 재료에 대한 영구적인 손상을 피하기 위하여, 본드 패드들은 와이어 본딩중에 상기 유전체 재료를 파괴력들로부터 차폐하는 지지 구조체들로 제작된다. 일 실시형태에서, 지지 구조체는 본드 패드와 최상의 금속층 사이의 패시베이션 구조체를 포함한다. 다른 실시형태에서, 지지 구조체는 최상의 금속층과 이웃한 최상의 금속층 사이의 금속 피쳐들을 포함한다. 양자 모두의 경우에, 본드 패드 밑의 이웃한 최상의 금속층의 영역은 상이한 신호 루팅 경로들에 대응하는 다중 금속 라인들을 가질 수 있다. 이와 같이, 루팅 목적을 위하여 이웃한 최상의 금속층의 사용시의 제한사항은 본드 패드 밑의 이웃한 최상의 금속층의 영역이 단일 금속 구조체가 되도록 요구하는 종래 기술의 본드 패드 지지 구조체들과 비교하여 감소된다.

대 표 도 - 도2

특허청구의 범위

청구항 1

집적 회로(IC)로서,

본드 패드;

상기 본드 패드의 제 1 부분 밑에 있으면서 상기 본드 패드의 제 1 부분과 직접 접촉하는 제 1 패시베이션 구조체;

상기 본드 패드 및 상기 제 1 패시베이션 구조체 밑에 있는 제 1 금속층으로서,

상기 제 1 금속층은 제 1 금속 구조체를 포함하고;

상기 제 1 금속 구조체는 상기 본드 패드의 제 2 부분 밑에 있으면서 상기 본드 패드의 제 2 부분과 직접 접촉하고;

상기 제 1 금속 구조체는 상기 제 1 패시베이션 구조체 밑에 있으면서 상기 제 1 패시베이션 구조체와 직접 접촉하는, 상기 제 1 금속층;

상기 제 1 금속층 밑의 제 2 금속층; 및

상기 제 1 금속층과 제 2 금속층 사이에 있는 유전체 재료를 포함하고, 상기 본드 패드 밑에 있는 상기 제 2 금속층의 일부분이 2 이상의 구분된 루팅 경로들에 대응하는 2 이상의 금속 구조체들을 포함하는, 집적 회로(IC).

청구항 2

제 1 항에 있어서,

상기 제 1 금속층은 상기 본드 패드 밑에 있지 않고 상기 제 1 금속 구조체와 직접 접속되지 않은 하나 이상의 구분된 루팅 경로들을 포함하는, 집적 회로(IC).

청구항 3

제 1 항에 있어서,

상기 제 1 금속층은 상기 본드 패드 밑에서 1보다 많은 구분된 루팅 경로를 갖지 않는, 집적 회로(IC).

청구항 4

제 1 항에 있어서,

상기 유전체 재료는 3보다 작은 유전체 상수 κ 를 갖는 저유전체(low- κ dielectric) 재료인, 집적 회로(IC).

청구항 5

제 1 항에 있어서,

상기 본드 패드 밑의 볼륨 내에서 상기 제 1 금속층과 상기 제 2 금속층 사이에는 금속 바이어들이 없는, 집적 회로(IC).

청구항 6

제 1 항에 있어서,

상기 본드 패드는 상기 본드 패드에 직접 접속된 프로브 영역을 또한 포함하는 대형 구조체의 부분인, 집적 회로(IC).

청구항 7

제 1 항에 있어서,

상기 제 1 금속 구조체는 상기 본드 패드와 동일한 면적을 갖고 상기 본드 패드 밑에 위치하여 상기 본드 패드에 직접 접속된, 연속적인 평탄한 금속 구조체인, 접적 회로(IC).

청구항 8

제 1 항 내지 제 7 항 중 어느 한 항에 있어서,

상기 제 1 금속층 위의 제 2 패시베이션 구조체를 추가로 포함하는, 접적 회로(IC).

청구항 9

제 8 항에 있어서,

상기 제 2 패시베이션 구조체는 상기 제 1 금속층과 직접 접촉하는 상기 본드 패드의 제 2 부분에 의해서 상기 제 1 패시베이션 구조체로부터 분리되는, 접적 회로(IC).

청구항 10

제 9 항에 있어서,

상기 제 1 패시베이션 구조체는 (i) 사각형 및 (ii) 타원형 중 하나의 형상이고, 상기 제 1 패시베이션 구조체가 상기 제 2 패시베이션 구조체 내의 개구 내에 중심설정되는, 접적 회로(IC).

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

명세서

기술 분야

[0001]

본 발명은 집적 회로 다이들을 위한 본드 패드에 관한 것이며, 특히 본드 패드를 지지하는 금속층들에 관한 것이다.

배경 기술

[0002]

반도체 디바이스의 제조 공정은 웨이퍼 제작 단계 및 조립 단계를 포함하는 다단계 공정들로 이루어진다. 웨이퍼 제작 공정은 반도체 기판 상에 정밀하게 형성된 재료들의 층들을 부가하는 것을 포함한다. 층들은 포토 마스킹(photo-masking) 및 애칭에 의해서 패턴화된다. 전형적으로, 최상층들은 하부층들에 있는 여러 구성요소들을 접속하는 금속 라인들을 수용하는 여러 개의 금속층들을 포함한다. 금속층들 사이의 직접 접속은 금속층들 사이에 있는 금속 바이어(metal via)들 즉, 수직 라인들을 사용하여 달성된다. 웨이퍼 제작 공정은 다중 집적 회로들(ICs)을 포함하는 웨이퍼를 제조한다. 조립 공정은 전형적으로 (i) 웨이퍼를 개별 IC 다이들로 컷팅하는 단계, (ii) 각 다이를 대응 리드 프레임에 부착하는 단계, (iii) 각 다이 상의 패드들을 대응 리드 프레임 상의 리드들에 와이어 본딩(wire bonding)하는 단계, 및 (iv) 각 다이, 본드 와이어들, 및 대응 리드 프레임을 플라스틱 또는 세라믹 패키지로 캡슐화하는 단계를 포함한다. 대안 조립 공정들은 특정 칩 유형들에 대해서 사용된다. 예를 들어, 볼 그리드 어레이(BGA)형 칩들의 조립은 전형적으로 기판으로서 언급되는 네-리드-프레임 베이스(non-lead-frame base)에 대한 다이의 전기 접속을 포함하는데, 이는 회로 보드에 대한 전기 접속성과 중합체 재료의 캡슐화를 제공한다.

[0003]

공학은 시간에 걸쳐 진보하여 ICs에서 구성요소들의 크기 감소를 유도하면서, ICs의 작동 클록 속도들을 증가시킨다. 크기 감소 및 속도 증가는 새로운 과제들을 유발한다. 소자들 예를 들어, 금속 라인들 사이의 기생 용량성 커플링(parasitic capacitive coupling)은 소자 디바이스 치수들이 감소할 때 증가하고 그 효과는 높은 작동 주파수들에서 확대될 수 있다. 용량성 커플링은 2개의 소자들 사이의 캐패시턴스가 상기 2개의 소자들 사이의 거리와 반비례하기 때문에 증가한다. 이 관계식은 평행판 축전기(parallel-plate capacitor)의 캐패시턴스인 C에 대한 공식에서 확인할 수 있고, 여기서 캐패시턴스는 다음 식으로 기술된다.

수학식 1

$$C = \frac{\epsilon_0 k A}{d}$$

[0004]

여기서, ϵ_0 은 전공의 유전율(permittivity)이고, k 는 유전체 즉, 축전기 플레이트들을 분리시키는 재료의 유전체 상수이고, A 는 플레이트들 각각의 면적이고, d 는 플레이트들 사이의 거리이다.

[0005]

IC의 금속 라인들은 전형적으로 이산화규소(SiO_2)에 의해서 분리되고, 그 유전체 상수 k 는 약 4.3이다. 유전체 상수를 감소시키면, 수학식 1에서 알 수 있는 바와 같이, 2 소자들 사이의 캐패시턴스를 감소시키도록 작용한다. 저유전체(low- k dielectric)를 갖는 ICs를 제작하는 기술이 개발되었다. 약 3.0 미만의 k 를 갖는 유전체 재료들은 저유전체로 고려된다. 저유전체들은 예를 들어 중공 공간들 즉, 다공성 및/또는 불순물, 예를 들어, 임의의 탄화수소들을 일반적인 SiO_2 유전체 재료 안으로 도입함으로써 형성될 수 있다.

[0006]

저유전 SiO_2 유전체들은 구조적으로 일반적인 SiO_2 보다 취약하다. 상대적인 취약성은 예를 들어, 낮은 탄성 계수를 갖는 것의 좋은 예가 된다. 예를 들어, 일반적인 SiO_2 의 단편은 이를 제작하는데 사용된 기술에 따라서, 50 내지 150GPa의 영 계수를 가질 수 있으며, 저유전체의 대응 단편은 20GPa 미만의 영 계수를 가질 수 있다. 취약성 유전체들은 조립 동안, 예를 들어, 와이어가 다이 상의 본드 패드에 부착될 때, 와이어 본딩 공정 동안 더욱 쉽게 손상되고 파괴되어서 조개질 가능성이 높다. 본드 패드로의 와이어의 부착은 일반적으로 압력의 인가. 초음파 에너지, 및/또는 열을 포함하며, 이들은 본드 패드 뿐 아니라 본드 패드 밑의 구조에도 기계적인 응력을 가한다. 이러한 기계적인 응력을 잠재적으로 하부 구조를 손상시킬 수 있다. 본드 패드 및 하부 구조의 강도가 감소될 때, 손상의 가능성성이 증가한다. 또한, 본드 패드 상의 기계적 응력이 본드 패드의 면적에 반비례하기 때문에, 실리콘 기술 치수(silicon technology dimensions) 및, 그에 따른 본드 패드의 크기가 감소함에 따라, 손상 가능성성이 증가한다.

[0008] 도 1은 안톨(Antol) 등에게 허여된 미국 특허 제 7,115,985B2("985 특허")에 따른 반도체 디바이스(100)의 본드 패드 영역의 단면도를 도시하며, 상기 특허는 본딩 패드 밑의 디바이스 구성요소들에 대한 순상을 감소시키는 종래 기술의 강화 본드 패드를 기술하고 있다. 반도체 디바이스(100)는 저부에 있는 기판(101)을 포함한다. 기판(101) 위에는 7개의 금속층들(M1 내지 M7)이 덮여 있다. 금속층들은 기판(101) 상의 구성요소들을 접속하도록 루팅된 금속 라인들을 포함한다. 금속 라인들 및 금속층들은 유전체(102)에 의해서 분리된다. 인접 금속 층들 내의 선택 금속 라인들은 바이어(103)와 같은 금속 바이어들에 의해서 접속된다.

[0009] 최상 금속층(M7)은 예를 들어, 알루미늄을 사용하여 본드 패드(105)의 형성을 허용하도록, 개구 또는 원도우를 구비하는 제 1 패시베이션 층(passivation layer)(104)으로 부분적으로 덮인다. 패시베이션 층들은 예를 들어, 질화규소(Si_3N_4)로 제조될 수 있다. 본드 패드(105)는 금속층(M7)의 부분에 도전성으로 접속되고, 기타 금속층들 및 중간 바이어들을 경유하여 기판(101) 상의 하나 이상의 적당한 구성요소들에 접속된다. 제 1 패시베이션 층(104)의 노출 영역들 및 본드 패드(105)의 경계부는 제 2 패시베이션 층(106)에 의해서 덮인다. 본드 패드(105)의 실질적으로 밑에 있는 볼륨(volume)에서, 금속층들(M6,M7)은 유전체(102)의 복수의 구분된(discrete) 섹션들을 수용하는 메쉬형 패턴을 형성하기 위하여, 서로 교차하도록 배열된 금속 층전 리세스들의 어레이에 의해서 상호접속된 실질적으로 연속된 평탄한 구조들이다. 본드 패드(105) 밑에 있는 이러한 2층 어레이의 상호 접속된 금속 구조는 (i) 본드 패드(105) 밑에 있는 볼륨에 구조적 보강 뿐 아니라, (ii) 본드 패드(105)로부터 기판(101)의 적당한 구성요소들까지의 도전성 경로를 제공한다.

발명의 내용

해결하려는 과제

[0010] 본드 패드(105) 밑에 있는 금속층들(M6,M7)의 섹션들 사이의 금속 상호접속부의 메쉬 및 실질적인 평탄한 특성들로 인하여, 금속층들(M6,M7)의 상기 영역들은 광범위한 통로 협착부(routing restriction)들을 갖고 구성요소의 상호접속을 위한 일반적인 금속 라인들을 루팅하는데 대체로 사용될 수 없다.

과제의 해결 수단

[0011] 일 실시예에서, 본 발명은 접적 회로(IC)일 수 있으며, 이 접적 회로(IC)는 (i) 본드 패드, (ii) 상기 본드 패드 바로 밑에 있으면서 상기 본드 패드의 한 부분과 직접 접촉하는 패시베이션 구조체, 및 (iii) 상기 본드 패드 및 상기 패시베이션 구조체 밑에 있고, 상기 본드 패드의 다른 부분과 직접 접촉하는 제 1 금속층을 포함한다.

[0012] 다른 실시예에서, 본 발명은 접적 회로(IC)일 수 있으며, 이 접적 회로(IC)는 (i) 본드 패드, (ii) 상기 본드 패드 밑에 있으면서 상기 본드 패드와 직접 접촉하는 제 1 금속층, (iii) 상기 제 1 금속층 밑의 제 2 금속층, 및 (iv) 상기 제 1 금속층과 제 2 금속층 사이의 제 1 저유전체 재료를 포함한다. 본드 패드 밑에 있는 제 2 금속층의 한 부분은 2 이상의 금속 라인들을 포함하고, 상기 2이상의 금속 라인들은 (i) IC 내에 있는 2 이상의 구분된 루팅 경로(distinct routing path)들의 부분이고 (ii) 제 2 저유전체 재료에 의해서 분리된다. 본드 패드 밑에 있는 제 2 금속층의 상기 부분 내의 적어도 하나의 금속 라인들은 제 1 저유전체 재료의 하나 이상의 금속 피쳐들(features)에 의해서 제 1 금속층에 직접 접속된다. 본드 패드 밑에 있는 상기 제 2 금속층의 상기 부분 내의 적어도 하나의 금속 라인들은 상기 제 1 저유전체 재료의 임의의 금속 피쳐에 의해서 상기 제 1 금속 층에 직접 접속되지 않는다.

도면의 간단한 설명

[0013] 본 발명의 기타 형태, 특징 및 장점들은 하기 상세한 설명, 첨부된 청구범위 및 유사 또는 동일 소자들에 대해서 유사 부호를 지정한 첨부된 도면으로부터 더욱 충분히 명확해질 것이다.

도 1은 종래 기술의 반도체 디바이스의 본드 패드의 단면도.

도 2는 본 발명의 일 실시예에 따른 반도체 디바이스 본드 패드의 단면도.

도 3은 도 2의 본드 패드의 한 실시형태의 절취도.

도 4는 도 2의 본드 패드의 다른 실시형태의 절취도.

도 5는 본 발명의 다른 실시예에 따른 반도체 디바이스 본드 패드의 단면도.

도 6은 도 5의 본드 패드의 한 실시형태의 절취도.

발명을 실시하기 위한 구체적인 내용

[0014] 도 2는 본드 패드(204)에 대응하는 반도체 디바이스(200)의 섹션의 단면도를 도시한다. 반도체 디바이스(200)는 저부에 기판(201)을 포함한다. 7개의 금속층들(M1 내지 M7)이 기판(201)을 덮는다. 금속층들은 기판(201) 상의 구성요소들을 접속하도록 루팅(route)된 금속 라인들을 포함한다. 금속 라인들 및 금속층들은 유전체(202)에 의해서 분리된다. 인접 금속층들에 있는 특정 금속 라인들은 바이어(203)와 같은 금속 바이어들에 의해서 직접 접속된다.

[0015] 최상위 금속층(M7)은 제 1 패시베이션 층(205)으로 부분적으로 덮이고, 상기 제 1 패시베이션 층(205)은 예를 들어, 알루미늄을 사용하여 본드 패드(204)를 형성할 수 있도록 개구를 구비한다. 제 1 패시베이션 층(205)에 있는 본드 패드(204)를 위한 개구는 프레임 또는 아웃라인 개구이고, 즉 단지 프레임 부분만이 본드 패드(204) 와 일치하는 섹션이 제 1 패시베이션 층(205)으로부터 제거되고, 그에 의해서, 패시베이션 구조체(passivation structure; 206)를 뒤에 남겨둔다. 본드 패드(204)는 금속층(M7)의 일부분에 도전성으로 접속되고, 다른 금속층들 및 중간 바이어들을 경유하여 기판(201) 상의 하나 이상의 적당한 구성요소들에 도전성으로 접속된다. 제 1 패시베이션 층(205)의 노출 영역들 및 본드 패드(204)의 주변부에는 제 2 패시베이션 층(207)이 최상위로 놓인다. 실질적으로 본드 패드(204) 밑의 볼륨에서, 금속층(M7)은 실질적으로 연속적인 평탄한 구조이고, 한편 상기 볼륨에 있는 금속층들(M1 내지 M6)은 금속층들(M1 내지 M6)이 다른 영역들에서 일반적으로 행해지는 것과 같이, 루팅된 금속 라인들을 포함한다. 구체적으로, 본드 패드(204) 밑에 있는 금속층(M6)의 부분은 반도체 디바이스(200)에 있는 구분된 루팅 경로(routing path)들의 부분들인 2이상의 금속 라인들을 포함한다.

[0016] 본드 패드(204) 밑에 있는 패시베이션 구조체(206) 및 금속층(M7)의 실질적으로 연속적인 평탄한 부분은 본드 패드(204) 밑에서 반도체 디바이스(200)의 영역에 대해서 구조적 지지력을 제공한다. 와이어 본딩 중에, 패시베이션 구조체(206)는 하부 볼륨 상에 가해지는 본딩 공정으로부터의 응력을 완화시키는 것을 도와준다. 실질적으로 본드 패드(204) 밑에 있는 금속층(M6)의 영역은 실질적으로 연속적인 평탄한 구조가 아니고, 도 1의 금속층(M6)의 대응 섹션의 광범위한 루팅 제한부를 갖지 않는다. 즉, 그 영역 뿐 아니라 금속층(M6)의 나머지는 본드 패드(204)의 위치와 직접 연관된 임의의 루팅 제한부들에 종속되지 않는다. 오히려, 그 영역은 금속 라인들을 루팅하는데 사용될 수 있는데, 이는 실질적으로 본드 패드(204) 밑에 있는 볼륨의 더욱 효율적인 활용을 가능하게 한다.

[0017] 도 3은 도 2의 본드 패드 섹션의 일 실시형태의 절취도를 도시한다. 제 1 패시베이션 층(205) 및 패시베이션 구조체(206)는 사선 교차 평행선 패턴(diagonal cross-hatch pattern)을 사용하여 도시된다. 제 1 패시베이션 층(205)은 도 3에 도시된 영역을 지나서 연장되는 것을 주의해야 한다. 본드 패드(204)는 형상이 실질적으로 사각형이다. 패시베이션 구조체(206)는 실질적으로 (i) 본드 패드(204)의 영역 내에 중심설정되고 (ii) 형상이 사각형이다. 본드 패드(204) 및 패시베이션 구조체(206)에 대한 예시적인 치수는 각각 $60 \times 60 \mu\text{m}$ 와 $40 \times 40 \mu\text{m}$ 이다. 흰색으로 도시된 계면 영역(301)은 패시베이션 구조체(206)와 제 1 패시베이션 층(205) 사이의 영역이다. 계면 영역(301)은 도 2의 최상위 금속층(M7)과 본드 패드(204)를 전기적으로 접속시킨다.

[0018] 도 4는 도 2의 본드 패드 섹션의 다른 실시형태의 절취도를 도시한다. 제 1 패시베이션 층(205)과 패시베이션 구조체(206)는 사선 교차 평행선 패턴을 사용하여 도시되고, 여기서 제 1 패시베이션 층(205)은 도시된 영역을 지나서 연장된다. 본드 패드(204)는 실질적으로 직사각형이다. 패시베이션 구조체(206)는 실질적으로 (i) 본드 패드(204)의 영역 내에 중심설정되고 (ii) 형상이 원형이다. 원은 타원의 특별한 형식인 점에 주목하라. 본드 패드(204) 및 패시베이션 구조체(206)에 대한 예시적인 치수는 각각 $60 \times 40 \mu\text{m}$ 과 $40 \mu\text{m}$ 직경이다. 흰색으로 도시된 계면 영역(401)은 패시베이션 구조체(206)와 제 1 패시베이션 층(205) 사이의 영역이다. 계면 영역(401)은 도 2의 최상위 금속층(M7)과 본드 패드(204)를 전기적으로 접속시킨다.

[0019] 도 5는 본 발명의 다른 실시예에 따른 반도체 디바이스(500)의 본드 패드의 단면도를 도시한다. 도 2의 소자들과 실질적으로 유사한 도 5의 소자들은 유사 번호이지만 상이한 접두부호(prefix)로 지정된다. 반도체 디바이스(500)의 본드 패드(504)는 도 2의 패시베이션 구조체(206)와 유사한 패시베이션 구조체를 포함하지 않는다. 오히려, 구조 보강물이 금속층들(M6, M7) 사이에 바이어들(508)과 같은 지지 바이어들을 사용하여 제공된다. 본드 패드(504) 밑에 있는 금속층(M6)의 영역은 부분적으로 루팅이 제한되고, 일부 부분들이 금속 라인들을 루팅

하기 위하여 사용될 수 있으며, 다른 부분들은 본드 패드(504)에 대한 구조적 지지력을 제공하도록 금속층(M7)에 접속된 전용 금속 라인들을 포함한다. 전용 금속 라인들은 그럼에도 불구하고 본드 패드(504)를 기판(501)상의 적당한 구성요소들에 접속하는 도전성 경로의 부분으로서 사용될 수 있다는 것을 주의해야 한다.

[0020] 도 6은 도 5의 본드 패드의 한 실시형태의 절취도를 도시한다. 제 1 패시베이션 층(505)은 사선 교차 평행선 음영을 사용하여 도시되고, 여기서 제 1 패시베이션 층(505)은 도시된 영역을 지나서 연장된다. 본드 패드(504)는 실질적으로 사각형이다. 금속층(M6)의 루팅 제한 영역들(601)은 도 5의 바이어들(508)과 같은 구조적 지지 바이어들에 대응하고 직교 교차 평행선 패턴을 사용하여 도시된다. 도 6의 루팅 제한 영역들(601)은 부분 프레임을 형성하고 본드 패드(504)의 중심에 대해서 실질적으로 대칭이다.

[0021] 도 5의 본드 패드 섹션의 다른 실시형태에 있어서, 금속층(M6)의 루팅 제한 영역들(601) 및 대응 구조-지지 바이어들은 도 6에 도시된 것과 다른 형상을 형성한다. 금속층들(M6,M7) 사이의 바이어들을 위한 충전 밀도 즉, 본드 패드(504) 밑에 있는 영역에서 금속 바이어들인 상단면 영역의 비율은 적어도 30%이어야 하고, 양호한 충전 밀도는 약 60 내지 80%이다. 충전 밀도는 금속층(M6)의 전용 금속 라인들의 특정한 루팅에 의해서 또는 상호접속 금속 파쳐(feature)들에 대한 특정 충전 패턴의 사용에 의해서 달성될 수 있다.

[0022] 도 4의 본드 패드(204)의 대안 실시예에서, 패시베이션 구조체(206)는 본드 패드(204)의 작은 치수보다 더 작은 직경을 가진다. 도 2의 본드 패드(204)의 대안 실시형태에서, 패시베이션 구조체(206)는 비원형인 타원 형상이다. 도 2의 본드 패드(204)의 대안 실시형태에서, 패시베이션 구조체(206)는 사각형 또는 타원과 다른 형상이다. 패시베이션 구조체(206)에 대한 특정 형상을 설계할 때, 고려되어야 할 요소들은 반도체 디바이스에 대한 설계 규칙들, 최대 구조적 지지력을 제공하도록 패시베이션 구조체의 영역을 극대화할 필요성, 및 본드 패드로부터 최상위 금속층으로 전송되는 최대 신호 전송력을 제공하도록 접촉 영역을 극대화할 필요성을 포함한다.

[0023] 도 2의 반도체 디바이스(200)의 한 대안 실시형태에서, 본드 패드(204) 밑에 있는 볼륨에서 금속층들(M6,M7) 사이에는 금속 바이어들이 없다.

[0024] 반도체 디바이스들의 실시예들은 7개의 금속층들을 구비하는 것으로 기술되었다. 그 수는 예시적인 것이다. 당분야의 숙련된 기술자들이 이해할 수 있는 바와 같이, 대안 실시예들은 특정 반도체 디바이스의 설계자들에 의해서 결정되는 대로 상이한 수의 금속층들을 가질 수 있다.

[0025] 반도체 디바이스들의 실시예들은 제 2 패시베이션 층을 사용하여 기술되었다. 대안 실시예들은 단지 제 1 패시베이션 층만을 가진다. 다른 대안 실시예들은 3 이상의 패시베이션 층들을 가진다.

[0026] 일부 접적 회로들은 프로브 영역에 직접 접속된 본드 패드를 구비한 하나 이상의 금속 구조체들을 포함한다. 본 명세서에서 사용된 바와 같이, 용어 "본드 패드"는 그러한 금속 구조체의 프로브 영역을 포함하지 않는다.

[0027] 도 2의 반도체 디바이스(200)의 한 대안 실시형태에서, 본드 패드(204)와의 접촉 구조체를 형성하는 금속층(M7)의 루팅 제한 부분은 도 3의 계면 영역(301) 또는 도 4의 계면 영역(401)과 같은 계면 영역과 실질적으로 유사한 형상이다. 따라서, 패시베이션 구조체 밑에 있는 금속층(M7)의 일부 영역은 금속 라인들을 루팅하는데 사용될 수 있다. 예를 들어, 한 실시형태에서, 도 3의 패시베이션 구조체(206)에 대응하는 금속층(M7)의 영역은 금속 라인들의 일반적인 루팅을 위하여 사용될 수 있다.

[0028] 본 발명의 특성을 설명하기 위하여 기술되고 도시된 부분들의 상세구성, 재료들 및 배열들의 다양한 변화들이 하기 청구범위에 기술된 바와 같이, 본 발명의 범주 내에서 당업자에 의해서 이루어질 수 있음을 추가로 이해되어야 한다.

[0029] 본원의 기술에서 "한 실시예" 또는 "실시예"는 실시예들과 연계하여 기술된 특정 형태, 구조 또는 특성이 본 발명의 적어도 한 실시예에 포함될 수 있다는 것을 의미한다. 본 명세서의 여러 곳에 기재된 어구 형태 "한 실시예에서"는 반드시 동일 실시예를 언급하는 것이 아니고 또한 개별 또는 대안 실시예들이 반드시 다른 실시예들을 상호 배제시키는 것도 아니다. 동일한 것이 용어 "실시형태"에도 적용된다.

[0030] 명시적으로 다르게 기술하지 않는다면, 각 수치값 및 범위는 단어 "약" 또는 "대략"이 값 또는 범위 값에 우선하는 것처럼 대략적으로 것으로 해석되어야 한다. 본 출원서에서 사용된 바와 같이, 다르게 명시적으로 기술하지 않는다면, 용어 "접속된"은 소자들 사이의 직접 및 간접 접속 모두를 포괄하도록 의도된다.

[0031] 이 설명의 목적을 위하여, 용어들 "결합하는", "결합된", "접속하다", "접속하는" 또는 "접속된"은 에너지가 2 이상의 소자들 사이에 전달되도록 허용되는 현 기술 또는 차후에 개발될 기술에서 임의의 공지된 방식을 지칭하며, 비록 필요하지는 않지만, 하나 이상의 추가 소자들을 개재하는 것이 고려된다. 용어들 "직접 결합된", "직

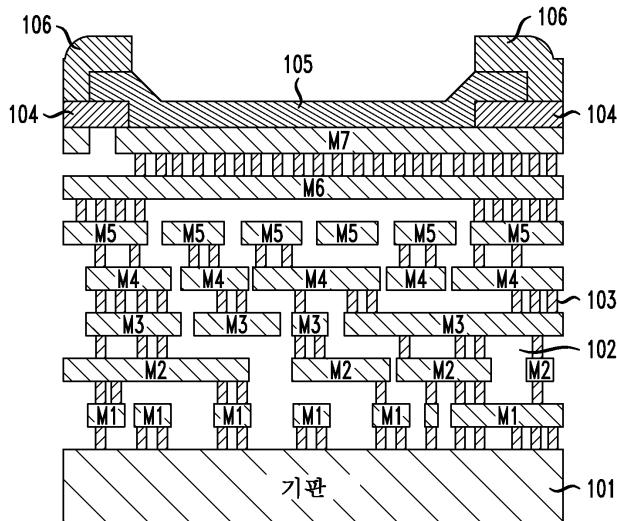
"접 접속된" 등은 접속된 소자들이 전달된 에너지에 대해서 도체를 경유하여 접촉 또는 접속되는 것이다.

[0032] 청구범위에 기재된 도면 번호 및/또는 도면 참조 부호를 사용하는 것은 청구범위의 해석을 용이하게 하기 위하여, 청구된 주요 요지의 하나 이상의 가능한 실시예들을 식별하도록 의도된다. 이러한 사용은 그 청구범위의 범주를 대응 도면에 도시된 실시예들로 한정하는 것으로 해석되지 않아야 한다.

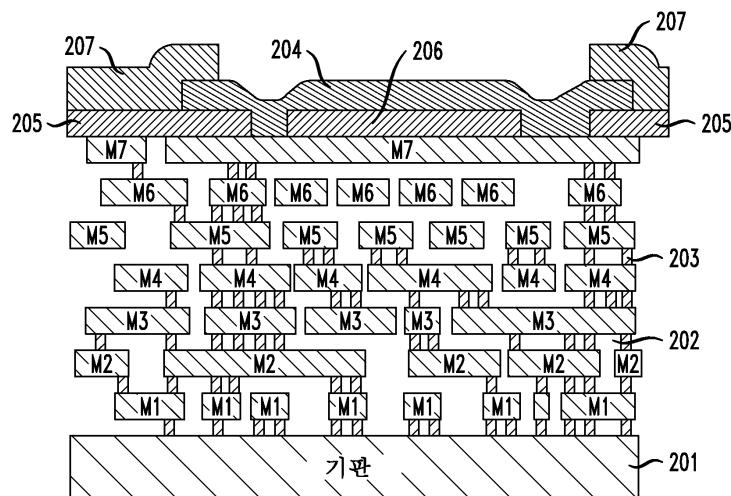
도면

도면1

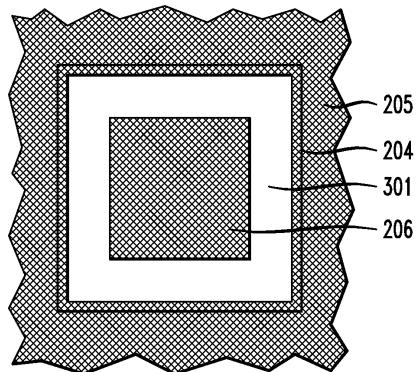
종래기술



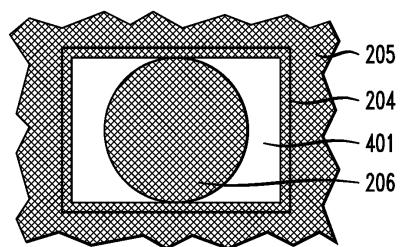
도면2



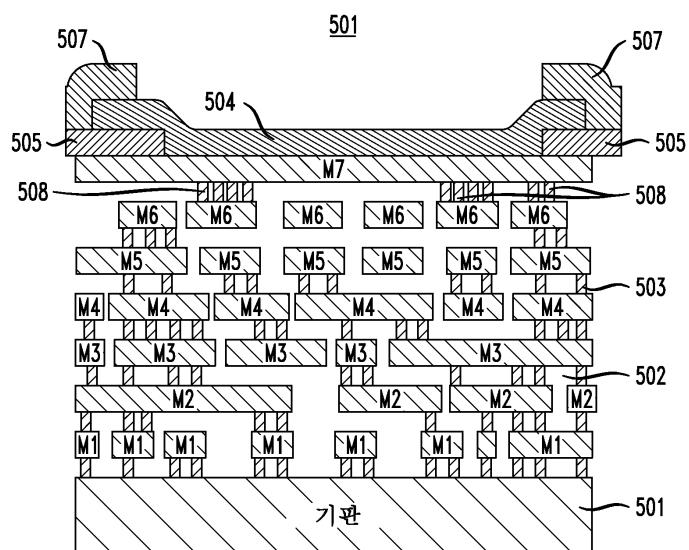
도면3



도면4



도면5



도면6

