

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第6337026号
(P6337026)

(45) 発行日 平成30年6月6日 (2018.6.6)

(24) 登録日 平成30年5月11日 (2018.5.11)

(51) Int.Cl.	F I	
H O 4 R 19/00 (2006.01)	H O 4 R 19/00	3 3 0
B 8 1 B 3/00 (2006.01)	B 8 1 B 3/00	
B 8 1 C 3/00 (2006.01)	B 8 1 C 3/00	
H O 4 R 31/00 (2006.01)	H O 4 R 31/00	3 3 0
H O 1 L 23/12 (2006.01)	H O 1 L 23/12	5 0 1 P

請求項の数 20 (全 15 頁)

(21) 出願番号	特願2015-560307 (P2015-560307)	(73) 特許権者	390020248
(86) (22) 出願日	平成26年2月27日 (2014.2.27)		日本テキサス・インスツルメンツ株式会社
(65) 公表番号	特表2016-511607 (P2016-511607A)		東京都新宿区西新宿六丁目24番1号
(43) 公表日	平成28年4月14日 (2016.4.14)	(73) 特許権者	507107291
(86) 国際出願番号	PCT/US2014/019011		テキサス インスツルメンツ インコーポ
(87) 国際公開番号	W02014/134301		レイテッド
(87) 国際公開日	平成26年9月4日 (2014.9.4)		アメリカ合衆国 テキサス州 75265
審査請求日	平成29年2月27日 (2017.2.27)		ー5474 ダラス メール ステーショ
(31) 優先権主張番号	13/779,376		ン 3999 ビーオーボックス 655
(32) 優先日	平成25年2月27日 (2013.2.27)		474
(33) 優先権主張国	米国 (US)	(74) 上記1名の代理人	100098497
			弁理士 片寄 恭三

最終頁に続く

(54) 【発明の名称】 基板貫通ビア (TSV) を備えた容量性微細加工超音波トランスデューサ (CUMT) デバイス

(57) 【特許請求の範囲】

【請求項1】

容量性微細加工超音波トランスデューサ (CUMT) セルを含む CUMT デバイスであって、

前記 CUMT セルが、
頂部側と底部側とを含む基板と、
前記基板の頂部側の上の誘電体層であって、第1の領域と、前記第1の領域により横方向に囲まれて前記第1の領域よりも薄い第2の領域とを含み、前記第1及び第2の領域がキャビティを定める、前記誘電体層と、

前記誘電体層の第1の領域上に直接に接合され、前記誘電体層の第2の領域の上で前記キャビティを取り囲む薄膜層であって、前記キャビティ内に可動薄膜を含む、前記薄膜層と、

前記基板と前記誘電体層と前記薄膜層とに入り込み、前記可動薄膜から横方向に離れて位置する基板貫通ビア (TSV) であって、前記薄膜層と共面になるように、前記基板の底部側から延在する導電性充填材を含む、前記基板貫通ビア (TSV) と、

前記基板の頂部側の上で前記導電性充填材に接する金属層であって、前記薄膜層に沿って横方向に延び、前記可動薄膜に接する、前記金属層と、

を含む、デバイス。

【請求項2】

請求項1に記載の CUMT デバイスであって、

前記金属層の上の誘電性パッシベーション層を更に含む、デバイス。

【請求項 3】

請求項 1 に記載の C M U T デバイスであって、

第 2 の C M U T セルと、

前記基板の底部側の下の前記第 1 の C M U T セルの前記導電性充填材に接して前記第 1 の C M U T セルを前記第 2 の C M U T セルに接続する第 2 の金属層と、
を更に含む、デバイス。

【請求項 4】

請求項 1 に記載の C M U T デバイスであって、

前記薄膜層が単結晶シリコン材料を含む、デバイス。

10

【請求項 5】

請求項 1 に記載の C M U T デバイスであって、

前記導電性充填材が、銅を含み、前記基板の前記底部側から突出する、デバイス。

【請求項 6】

請求項 1 に記載の C M U T デバイスであって、

前記基板が、0.1 - cm より小さいか又はそれに等しい抵抗を有する、デバイス。

【請求項 7】

請求項 1 に記載の C M U T デバイスであって、

前記薄膜層が前記誘電体層に真空融解ボンディングされる、デバイス。

20

【請求項 8】

トランスデューサデバイスであって、

第 1 の側と第 1 の側の反対の第 2 の側とを有する基板と、

トランスデューサセルと、

を含み、

前記トランスデューサセルが、

前記基板の第 1 の側の上の誘電体層であって、第 1 の領域と、第 1 の領域よりも薄く、
キャビティを定めるために前記第 1 の領域により横方向に囲まれる第 2 の領域とを有する
、前記誘電体層と、

前記キャビティを取り囲み、前記誘電体層の第 2 の領域の上に可動薄膜を含む薄膜層と

30

、
前記基板と前記誘電体層と前記薄膜層とに入り込む貫通基板ビア (T S V) と、
を含む、デバイス。

【請求項 9】

請求項 8 に記載のトランスデューサデバイスであって、

前記薄膜層が前記誘電体層の第 1 の領域上に直接に接合される、デバイス。

【請求項 10】

請求項 8 に記載のトランスデューサデバイスであって、

前記 T S V が、前記可動薄膜に垂直に重なっていない、デバイス。

【請求項 11】

請求項 8 に記載のトランスデューサデバイスであって、

前記 T S V が、前記薄膜層と共面になるように前記基板の第 2 の側から延びる導電性充
填材を含む、デバイス。

40

【請求項 12】

請求項 8 に記載のトランスデューサデバイスであって、

前記基板の第 1 の側に隣接する前記 T S V に接する金属層であって、前記薄膜層に沿っ
て横方向に延び、前記可動薄膜に接する、前記金属層を更に含む、デバイス。

【請求項 13】

請求項 8 に記載のトランスデューサデバイスであって、

前記薄膜層が単結晶シリコン材料を含む、デバイス。

【請求項 14】

50

請求項 8 に記載のトランスデューサデバイスであって、
第 2 のトランスデューサセルと、
前記第 2 のトランスデューサセルを前記基板の第 2 の側に隣接する前記トランスデュー
サセルの前記 T S V に接続する金属層と、
を更に含む、デバイス。

【請求項 15】

トランスデューサデバイスであって、
第 1 の側と前記第 1 の側の反対の第 2 の側とを有する基板と、
複数のトランスデューサセルであって、各トランスデューサセルが、
前記基板の第 1 の側の上の誘電体層であって、第 1 の領域と、前記第 1 の領域よりも薄
く、キャピティを定めるように前記第 1 の領域により横方向に囲まれる第 2 の領域とを有
する、前記誘電体層と、

前記キャピティを取り囲む薄膜層であって、前記誘電体層の第 2 の領域の上に可動薄膜
を含む、前記薄膜層と、

前記基板と前記誘電体層と前記薄膜層とに入り込む貫通基板ビア (T S V) であって、
誘電体充填材を含む、前記 T S V と、

を含む、前記複数のトランスデューサセルと、
前記基板の第 2 の側に隣接する少なくとも 2 つの前記トランスデューサセルの導電性充
填材に接続する相互接続金属層と、

を含む、デバイス。

【請求項 16】

請求項 15 に記載のトランスデューサデバイスであって、
前記薄膜層が前記誘電体層の第 1 の領域に直接に接合される、デバイス。

【請求項 17】

請求項 15 に記載のトランスデューサデバイスであって、
前記 T S V が、前記可動薄膜に垂直に重ならない、デバイス。

【請求項 18】

請求項 15 に記載のトランスデューサデバイスであって、
前記導電性充填材が、前記薄膜層と共面となるように前記基板の第 2 の側から延びる、
デバイス。

【請求項 19】

請求項 15 に記載のトランスデューサデバイスであって、
前記基板の第 1 の側に隣接する前記 T S V に接する相互セル金属層であって、前記薄膜
層に沿って横方向に延び、前記可動薄膜に接する、前記相互セル金属層を更に含む、デバ
イス。

【請求項 20】

請求項 15 に記載のトランスデューサデバイスであって、
前記薄膜層が単結晶シリコン材料を含む、デバイス。

【発明の詳細な説明】

【技術分野】

【0001】

開示される実施例は、容量性微細加工 (micromachined) 超音波トランスデューサ (C U M T) デバイス及びその製造のための方法に関する。

【背景技術】

【0002】

C U M T デバイスは、医療用途においてますます一般的になってきている。例えば、C U M T デバイスは、医療用超音波イメージングプローブを改善するために用いられてきている。C U M T デバイスはまた、医療において用いられる高密度焦点式超音波を提供するためにも用いられてきている。従来の C U M T デバイスは典型的にシリコン基板上 (即ち、シリコンウエハ上) に直接製造される。例えば、従来の C U M T デバイスは、大抵、マイ

10

20

30

40

50

クロエレクトロメカニカルシステム（MEMS）製造手法を用いて製造され、この手法では、リリース層がエッチングで取り除かれて、独立した（フレキシブル）薄膜が残る。この薄膜の頂部が頂部（電極）プレートを提供するためにメタライズされ、その後、薄膜は超音波信号を送信及び受信するためトランスデューサとして用いられる。

【0003】

従来のCUMTデバイスは、CUMTアレイに配される複数のCUMT要素を含むCUMTデバイスのための複数のボンドパッドなど、そのCUMTデバイスにおけるCUMT要素の各々に対する頂部プレートへの電氣的コンタクトを提供するためにボンドパッドを用いる。ボンドワイヤはボンドパッドより上に高くされるため、ボンドパッドは、パッケージングを助けるためにCUMTアレイにおけるCUMT要素から離れて配置される。この制約は、相互接続配路ラインの必要性に起因してCUMTデバイスダイサイズを増大させるだけでなく、パッケージングプロセスを複雑にする。増大されたダイサイズ及び複雑化されたパッケージングプロセスは、いずれも、パッケージングされたCUMTダイのコストを増大させる。

【発明の概要】

【0004】

開示される実施例は、各CUMTセルの頂部プレートへの接続のためのボンドパッドの従来の利用に伴うCUMTデバイス問題に対する解決策を記載する。これらの問題は、実質的に設計を制約し、CUMT要素の2次元（2D）CUMTアレイを含むCUMTデバイスのサイズを増大させ、それらの性能も損ねると認識されている。ボンドパッドを従来の大きな2D CUMTアレイの各CUMT要素に接続することは、CUMTダイの頂部側の金属相互接続トレースを広範囲に利用することに関与し、それにより、ダイサイズが増大し、CUMT性能が低減される。多数のCUMT要素（例えば、10×10アレイより多いCUMT要素）を含むCUMTアレイでは、各要素へのコンタクトを提供するために金属相互接続トレースを利用することは概して、内部要素のために著しく複雑化され、代替の接続方式が必要とされている。このような接続方式の1つが基板貫通接続の利用である。

【0005】

開示される実施例は、ダイ2D CUMTアレイの製造を促進するため、底部側デバイス（ダイ）コンタクトが、CUMTセルの、又はダイを介する複数のCUMTセルを含むCUMT要素の、頂部プレート（頂部電極）への接続を成すことを可能にする基板貫通ビア（TSV）を有するCUMTデバイスを含む。複数のCUMT要素を有するCUMTデバイスでは、頂部電極は各CUMT要素に対して個別であり、そのため、各要素に対して単一TSVを用いるそれぞれの要素の個別アドレス指定が可能なり、また、概して、デバイス上の全てのCUMT要素に対し電氣的に共通の底部側電極（例えば、Si基板の固体シート）がある。他の実施例において、CUMTデバイスは、全てのCUMT要素に対して電氣的に共通の頂部電極と、それぞれの要素の個別アドレス指定を可能にするための各要素に対して個別の底部電極とを有し得る。

【図面の簡単な説明】

【0006】

【図1A】例示の一実施例に従った、単一CUMTセルを備えたCUMT要素として示される例示のCUMTデバイスの上面図である。

【0007】

【図1B】図1Aに示す例示のCUMTデバイス／要素／セルの、図示する切断線A-A'に沿った断面図である。

【0008】

【図2A】例示の一実施例に従って、CUMTデバイスを形成する例示の方法のための処理進行を示す断面図である。

【図2B】例示の一実施例に従って、CUMTデバイスを形成する例示の方法のための処理進行を示す断面図である。

【図 2 C】例示の一実施例に従って、CUMT デバイスを形成する例示の方法のための処理進行を示す断面図である。

【図 2 D】例示の一実施例に従って、CUMT デバイスを形成する例示の方法のための処理進行を示す断面図である。

【図 2 E】例示の一実施例に従って、CUMT デバイスを形成する例示の方法のための処理進行を示す断面図である。

【図 2 F】例示の一実施例に従って、CUMT デバイスを形成する例示の方法のための処理進行を示す断面図である。

【図 2 G】例示の一実施例に従って、CUMT デバイスを形成する例示の方法のための処理進行を示す断面図である。

10

【図 2 H】例示の一実施例に従って、CUMT デバイスを形成する例示の方法のための処理進行を示す断面図である。

【0009】

【図 3】例示の一実施例に従った、各々図 1 A 及び図 1 B に示す CUMT セルを複数含む、複数の CUMT 要素を含む例示の CUMT デバイスの上面図である。

【発明を実施するための形態】

【0010】

容量性微細加工超音波トランスデューサ (CUMT) センサユニット個体は、CUMT センサセルである。CUMT 要素を形成するために複数の CUMT センサセルが (例えば、電氣的に共通の可動薄膜 120b を用いて) 並列に接続され得る。CUMT 要素は、任意の数 (1) の CUMT セルを有し得る。典型的に、或る要素における CUMT セルが多いほど、所与の刺激に应答してその要素が生成し得る超音波出力圧力が大きい。CUMT アレイ (デバイス / ダイ) が任意の数の CUMT 要素を有し得る。各 CUMT 要素が独立的にアドレス指定可能となるよう独立的に接続され得るように、それぞれの CUMT 要素の電極の一方 (例えば、頂部) が、他の CUMT 要素の他方の電極 (例えば、頂部) から電氣的に絶縁され得る。本明細書に記載するように、或る CUMT 要素における各 CUMT セルのための可動薄膜 120b を電氣的に共通とすることで、単一 TSV による CUMT 要素における全てのセルのアドレス指定が可能となる。

20

【0011】

図 1 A は、例示の一実施例に従った、単一 CUMT セル 100a を備えた CUMT 要素として示される、例示の CUMT デバイス 100 を図示する。後述の図 1 B 及び他の図 2 A ~ 図 2 H に示す断面図のために切断線 A - A' が提供されている。CUMT セル 100a は、基板貫通ビア (TSV) 111、及び頂部側 102 と底部側 103 とを有する単結晶材料 (例えば、単結晶基板上のバルク単結晶シリコン又はシリコンエピタキシャル層) の第 1 の基板 101 を含む。

30

【0012】

図 1 B に示すように、頂部側 102 はその上に、厚い誘電体領域 106 と薄い誘電体領域 107 とを含んで、パターンニングされた誘電体層を含む。TSV 111 は、薄膜層 120 の頂部表面まで第 1 の基板 101 の全厚に延在する。TSV 111 は、誘電体ライナー 131 により、第 1 の基板 101 及び薄膜層 120 から電氣的に絶縁される。誘電体ライナー 131 は、厚い誘電体領域 106 の側壁上を含む TSV 111 の全長に沿って示されているが、熱的に形成される誘電体ライナー 131 (例えば、シリコン酸化物) の場合は、堆積される誘電体ライナー 131 とは対照的に、誘電体ライナー 131 は、厚い誘電体領域 106 の側壁上に成長せず、そのため厚い誘電体領域 106 の側壁上にはない。TSV 111 は、一つの特定の実施例において Cu など、TSV 充填材料 113 を含む。TSV 111 はまた、第 1 の基板 101 の底部側 103 から突出する、任意選択の突出する TSV ティップ 111a を含んで図示される。

40

【0013】

SOI (silicon on insulator) 基板 115 (図 2 A で示す) として示される第 2 の基板の薄膜層 120 は、厚い誘電体領域 106 にボンディングされ、また、図示される ME

50

M S キャピティ 1 1 4 の上の可動薄膜 1 2 0 b を提供するため第 1 の基板 1 0 1 の薄い誘電体領域 1 0 7 の上にある。このボンディングは、真空融解ボンディングなどの真空ボンディングを含み得る。パターニングされた頂部側金属層（例えば、A l C u 層）1 6 1 が、T S V 1 1 1 の頂部の上、及び、T S V 1 1 1 を可動薄膜 1 2 0 b に結合する金属層部分を含む可動薄膜 1 2 0 b の頂部の上にある。誘電体パッシベーション層 1 6 8 が C U M T セル 1 0 0 a の頂部の上に示されている。

【 0 0 1 4 】

第 1 の基板 1 0 1 は、単結晶シリコン、又は単結晶シリコン上のエピタキシャルシリコンを含み得る。第 1 の基板 1 0 1 は典型的に、0 . 1 c m より小さいか又はそれに等しい () 抵抗を有し、p 型又は n 型ドーパされ得る。C U M T セル 1 0 0 a は、第 1 の基板 1 0 1 の底部側 1 0 3 のパターニングされた金属層 1 6 7 を含んで示されており、これは、固定電極を実現するために C U M T セル 1 0 0 a の底部側 1 0 3 の第 1 の電極コンタクトを提供する。上述のように、C U M T デバイスが、各々複数の C U M T セル 1 0 0 a を含む複数の C U M T 要素を含む場合、パターニングされた金属層 1 6 7 により提供される固定電極コンタクトは、C U M T デバイス上の全ての C U M T 要素に対する共通底部側固定電極（例えば、S i シートなどの、第 1 の基板 1 0 1 の固体シート）のためのものである。

【 0 0 1 5 】

T S V 1 1 1 は、可動薄膜 1 2 0 b への底部側接続を提供し、可動薄膜 1 2 0 b は、C U M T デバイス 1 0 0 の C U M T セル 1 0 0 a のための頂部プレートを提供する。上述のように、複数の C U M T 要素を有する C U M T デバイスでは、頂部電極は各 C U M T 要素に対して個別とされ得、各要素のためそれぞれの T S V 1 1 1 を用いるそれぞれの要素の個別アドレス指定を可能にする。そのため、C U M T デバイス 1 0 0 により必要とされる頂部側コンタクト又はボンダッドはない。

【 0 0 1 6 】

C U M T デバイスの厚み及び寸法は特定の用途に合うように調節され得ることを留意されたい。例えば、1 8 0 k H z オペレーションでの空中 (a i r b o r n e) 超音波用途のための典型的な例示の寸法は、直径が 1 . 1 2 m m の可動薄膜 1 2 0 b 、 1 . 3 2 m m のプレート幅のパターニングされた頂部側金属層 1 6 1 (C U M T セル 1 0 0 a の側面上の頂部側金属層 1 6 1 の 1 0 0 μ m プレート重なり) 、及び 1 4 μ m の厚みの可動薄膜 1 2 0 b を有する C U M T セルである。

【 0 0 1 7 】

図 2 A ~ 図 2 H は、例示の一実施例に従って、異なる製造段階の間の C U M T デバイスを形成する例示の方法における工程を図示する。説明する C U M T デバイスは単一 C U M T センサセルを備えた単一要素を有して形成されるが、上述のように開示される C U M T デバイスが、複数の C U M T 要素を有する C U M T アレイを形成するように 1 つ又は複数の C U M T セルを各々が備えた、複数の C U M T 要素を有して形成されてもよい (後で説明する図 3 を参照されたい) 。

【 0 0 1 8 】

図 2 A ~ 図 2 H は、単一 C U M T セル 1 0 0 a を備えた単一 C U M T 要素を有する C U M T デバイスを形成する例示の方法のための処理における工程を図示する。複数の開示される C U M T 要素を含む C U M T デバイスを形成することを含み、開示される C U M T デバイスを形成するための他の手法を本開示の範囲から逸脱することなく用いることができる。C U M T 要素内の幾つかの C U M T セルが、所与のエリアにわたる出力圧力を増大させるためなど、所与の C U M T 要素における C U M T セルの可動薄膜 1 2 0 b を共に結合することにより並列に接続され得る。C U M T セルを並列に接続することで、(駆動のための) インピーダンスが低減される。C U M T 要素は、ビームステアリングを独立的に促進するために用いるため又は大きなエリアにわたる改善された空間的解像度のため、互いに電氣的に絶縁され得る。また、コモンモード信号を改善するため又は製造不均整を緩和するために、差動的に C U M T 要素を駆動 / 感知することもできる。

【0019】

シリコン酸化物層を含むなどの厚い誘電体領域106が、第1の基板101の頂部側102に提供される。第1の基板101は、概して、シリコンベースの基板又は他の基板を含む、任意の単結晶基板材料を含み得る。第1の基板101は、約0.01 cmなど、0.1 cmに等しいかそれより小さい低基板抵抗を提供する。

【0020】

一つの特定の実施例において、厚い誘電体領域106aを形成するため、厚いシリコン酸化物層が、高圧酸化(HiPOx)プロセスを用いて4.5 μm~5.5 μmの厚みまで成長される。HiPOxの利用は、厚い熱的酸化物層の急速な成長を促進し、また概して、ダイにわたって典型的に±1%未満の良好な厚み制御を提供する。一つの特定の例示のセットのHiPOxプロセス条件には、最初の(virgin)第1の基板101(例えば、バルク単結晶シリコンウエハ)上で9.5時間の蒸気内の25気圧の1,000の温度が含まれ、フォトリソグラフィのための整合マークが後にこのプロセスにおいてエッチングされる。

10

【0021】

代替として、厚い誘電体領域106はまた、(例えば、概して酸化に対するマスクとしてシリコン窒化物を用いてシリコンウエハ上の選択されたエリア(ここでは厚い誘電体領域106)に二酸化シリコンが形成される、シリコンの局所酸化(LOCOS)プロセスを用いる)従来の熱的成長されたシリコン酸化物を含み得るか、又は、シリコン酸化物又は他の誘電性材料を含む堆積された誘電体層であり得る。しかし、従来の酸化を用いるLOCOSアプローチは概して5 μmの厚みの(又は一層厚い)酸化物層を生成せず、堆積される誘電体(例えば、酸化物)フィルムは、概してダイにわたって±1%未満の厚み制御を提供しない。

20

【0022】

最小の表面汚染又は粗さを確実にするために、一般に存在する基板ベンダーのレーザースクライブを用いることができ、これは後続のウエハボンディング工程の助けとなり得る。表側整合マークのマスキング及びエッチングがこれに続き得る。レジストストリップ及び事前洗浄プロセスが、厚い誘電体領域106のための滑らかな表面を確実にすることを助け得、厚い誘電体領域106は、SOI基板115又は標準的なバルクシリコン基板などの第2の基板の、それに対するボンディング薄膜層120のためのプロセスにおいて後に用いられる。

30

【0023】

第1の基板101(例えば、Siウエハ)上の各CUMTアレイ/ダイに対し少なくとも一つのエッチングされた単一セルCUMT要素を画定することをまず開始するため、第1のマスキングレベル「CELLETCH」が、厚い誘電体領域106(例えば、厚いシリコン酸化物層)を介する後続のエッチングをサポートするために厚いフォトリソレジストを用いる。厚い誘電体領域106がシリコン酸化物を含み且つ約5 μm~5.3 μmの厚みを有するときに約4.65 μmのシリコン酸化物をエッチングするためなど、厚い誘電体領域106の第1の部分をエッチングするために、非重合であるプラズマエッチングを用いることができる。80度までの側壁傾斜が概して望ましく、これは自然レジスト浸食から達成され得る。プラズマエッチングの後、厚い誘電体領域106の残りの部分(例えば、0.5 μmのシリコン酸化物)は、第1の基板101の頂部側102を損傷させることを避けるために、基板材料(例えば、Si)に対してエッチング選択性を提供するウェットエッチングによって取り除かれ得る。

40

【0024】

第1の基板101(例えば、ウエハ)の頂部側102の約50%が、厚い誘電体領域106のエッチングの間、概して開かれ(露出され)得る。レジストはその後剥がされる(例えば、湿式ストリッププロセス)。適切な事前酸化洗浄に続いて、酸化工程において、薄い誘電体領域107を形成するように、薄い(例えば、0.3 μmの)CUMTセル酸化物が成長され得る。

50

【0025】

図2Aは、SOI基板（例えば、SOIウエハ）115の真空融解ボンディング後の製造過程のCUMTデバイスの断面図を示し、SOI基板115は、ハンドル（例えば、ウエハ）116、埋め込み誘電体層117（概して当業界で「埋め込み酸化物層」又は「（BOX）層」と称される）、及び薄膜層120（例えば、概してSOIの分野において「アクティブ層」と称される）を含む。薄膜層120は、第1の基板101の厚い誘電体領域106にボンディングされる。

【0026】

犠牲のハンドル116は、ドーピングされていない又は軽くドーピングされた（n又はp型ドーピングされた）シリコンなどの任意の適切な材料から形成される、任意の適切な半導体ウエハを表し得る。同じく犠牲の埋め込み誘電体層117は、シリコン酸化物層などの電氣的に絶縁性の（誘電体）材料の任意の適切な層であり得る。薄膜層120は、ドーピングされた単一結晶シリコンなどの基板材料の任意の適切な層を表す。特定の実施例において、ハンドル116は、約5～10 cmの抵抗のシリコンウエハを含み、埋め込み誘電体層117は、約1.5 μm～2.5 μmの厚みであるシリコン酸化物層を表し、薄膜層120は、約5 cmの抵抗のドーピングされたシリコンが約14 μm±5 μmの厚みであることを表す。セル間又は要素間の電氣的相互接続の目的のため、薄膜層120は、その上に金属層を含み得、これは、経路に低抵抗経路を提供させる。

【0027】

しかし、上述のように、コストを低減するためSOI基板の代替として、標準的なシリコンバルク基板材料（例えば、バルクSiウエハ）を含む第2の基板が、第1の基板101（CUMT基板/ウエハ）の厚い誘電体領域106にボンディングされ得る。この実施例において、ボンディング後、第2の基板材料は、14 μm±5 μmの厚みなど所望のターゲット薄膜厚みまでバックグラインド及び研磨によって薄化され得る。

【0028】

CUMTデバイス/ダイが複数のCUMT要素（CUMTアレイ）を含む実施例では、薄膜層120は、各CUMT要素における全てのCUMTセルに対し電氣的に共通であり得る。各CUMT要素が、要素内のセルに対する複数の電氣的に接続される可動薄膜120bを含む個別の/特有の頂部プレートを有し得、これらは、第1の基板101の底部側103からアクセス可能な専用TSVを介して電氣的に接続され得る。各CUMT要素の頂部プレートの低抵抗は、可動薄膜120b上の後続の金属堆積によって及びこれ以降に説明するようなパターニング処理工程によって提供され得る。洗浄及びプラズマ事前処理を含む適切な既知のボンディング手法を用いることができる。

【0029】

真空融解ウエハボンディングでは、当業界で通常既知であるように、良好なウエハボンディングを確実にする属性には、典型的に3A未満の表面粗さの滑らかなボンディング面が含まれる。成長された熱的酸化物及びシリコン基板は概してこの要件を満たす。ボンディング前に、表面は、典型的に10分間、75又は80 でNH₄OH（水酸化アンモニウム）+H₂O₂（過酸化水素）+H₂O（水）の1：1：5溶液で、RCA洗浄（SC-1、ここで、SCは標準的な洗浄（Standard Clean）を表す）で処理され得る。第2のRCA洗浄工程は、薄い酸化物層及びいくらかのイオン性汚染物質を取り除くために、25のHF+H₂Oの1：50溶液における短時間浸漬である。第3及び最後の工程のRCA洗浄（SC-2と称される）は、75又は80のHCl+H₂O₂+H₂Oの1：1：6溶液で実施される。この処理は、金属性（イオン性）汚染物質の残ったトレースを効率的に取り除く。N₂プラズマアクティベーション及びDI水リンスがこれに続き得る。真空ボンディングは典型的に、8×10⁻⁵ mbar未満の圧力で実施される。最終的な工程として、ボンディングされた表面は、4時間の1050 N₂アニールなど、数時間N₂内でアニーリングされる。

【0030】

ハンドル116はその後、約150 μmのポストバックグラインドターゲットまでハン

10

20

30

40

50

ドル 1 1 6 をバックグランドすること、バックグランド後、バックグランド後に残ったハンドルのウェットエッチング前に、第 2 の 4 時間 1 0 5 0 アニールを実施すること、及びその後、残ったハンドルをウェットエッチングすることによるなど、ボンディング後に取り除かれる。ハンドル 1 1 6 がシリコンを含むとき、バックグランド後に残ったハンドルは、水酸化物（例えば、 KOH 又は TMAH ）を用いるなど、埋め込み誘電体層 1 1 7 で止まる、ウェットシリコンエッチングにおいてエッチングされ得る。可動薄膜（例えば、シリコンプレート）1 2 0 b をマスキング及びエッチングすることで、整合マークを再び開けるため及び後続の処理工程のための適切な整合を可能にするために、整合マークの上の薄膜層 1 2 0 が取り除かれる。薄膜層 1 2 0 はエッチングのため概して比較的厚い層である（例えば、約 $1.4 \mu\text{m}$ の厚み）ため、 Bosch エッチングが、薄膜層 1 2 0 のエッチングの間、レジスト浸食を補償し得る。当業界で既知であるように、パルスされた又は時間多重化されたエッチングとしても知られている Bosch プロセスは、ほぼ垂直のエッチングされた構造を得るために 2 つのモード / 位相間で反復的に交替する。

【0031】

図 2 B は、マスキングレベル Mask 「 TSVHOLE 」（マスク # 2）後の製造過程の CUMT デバイスを図示する。一つの実施例において、 TSV ホール（埋め込みビア）2 1 9 は、直径が $30 \mu\text{m}$ で $150 \mu\text{m}$ の深さ（総深さ）である。レジスト 2 1 7 は、 $1.1 \mu\text{m}$ の埋め込み誘電体層 1 1 7、及び $1.4 \mu\text{m}$ の薄膜層 1 2 0、及び $5.1 \mu\text{m}$ の厚い誘電体領域 1 0 6、及び第 1 の基板 1 0 1 内に $130 \mu\text{m}$ など、提供されるスタックを介するエッチングをサポートするために十分な厚みであるべきである。その後、 TSV ホール 2 1 9 はエッチングされる。埋め込み誘電体層 1 1 7（例えばシリコン酸化物）をエッチングするため及びシリコンの場合に第 1 の基板 1 0 1 をエッチングするための Bosch エッチングに、個別のエッチングツールを用いることができる。

【0032】

その後、レジスト 2 1 7 は剥がされ、誘電体ライナー 1 3 1（例えば、 $0.5 \mu\text{m}$ の誘電体酸化物）が、埋め込みビア / TSV ホール 2 1 9 内の半導体表面上に堆積されるか又は熱成長される。誘電体ライナー 1 3 1 上に形成される拡散障壁金属層が、 TSV をフレーミングし、 Cu などの高度に可動性の金属 TSV 充填材料の場合に半導体への TSV 充填材（又はコア）材料 1 1 3 の流出（ escape ）から保護する。例えば、一つの実施例において、 $0.0875 \mu\text{m}$ の Ta/TaN 拡散障壁金属層及び $1.5 \mu\text{m}$ の Cu シード層 2 3 3（図 2 C 参照）が、銅 TSV 充填材料 1 1 3 の実施例のために誘電体ライナー 1 3 1 上に堆積される。代替として、シード層 2 3 3 は、例えば、チタンの上の銅を含み得る。

【0033】

図 2 C は、レジスト 2 2 1 を用いるマスキングレベル Mask 「 CUMOLD 」（マスク # 3）後の製造過程の CUMT デバイスを図示する。このマスクは、 CUMT セルの一部の上のめっきから Cu などの金属を排除するために用いられ得る。マスキング後 TSV にレジストがないことを確実にするためにネガティブレジストが用いられ得る。可動薄膜 1 2 0 b（例えば、 Si プレート）が数ミクロン撓み得、また、銅充填された TSV の場合の後続の Cu 化学機械研磨（ CMP ）工程が CUMT セルの上の銅を完全には取り除かない可能性があるため、このマスクは有効である。

【0034】

その後、充填された TSV ホール 2 1 9 を TSV 充填材料 1 1 3 で画定するための後続の CMP で（例えば、約 $1.5 \mu\text{m}$ の Cu が用いられる）、 TSV 充填材料 1 1 3 を電気めっきすることなどで、金属層が堆積される。レジスト 2 2 1 はその後剥がされる。図 2 D は、埋め込み TSV 1 1 1' の上の及びその横のシード層 2 3 3 上の TSV 充填材料 1 1 3 から金属ネールヘッドが取り除かれて示されるような、 TSV 充填材料 1 1 3 の CMP 、及びフィールドエリアの上の埋め込み誘電体層 1 1 7 と共に誘電体ライナー 1 3 1 が除去された後の、 TSV 充填材料 1 1 3 堆積（例えば、 Cu ）後の製造過程の CUMT デバイスの断面図を示す。アニール工程がこれに続き得る。存在する場合に全ての残りの障壁

金属（例えばCu + TaN）を取り除くために、第2のTSV CMPが用いられ得る。CUMTセルの上の残留物を取り除くためにウェットストリップが用いられ得る。その後、誘電体ライナー131は埋め込み誘電体層117と共に取り除かれ、薄膜層120（例えば、Si）上で止まる。

【0035】

図2Eは、0.5 μmの厚みのAlCu金属層など、頂部側金属層161の堆積後の製造過程のCUMTデバイスを図示する。頂部側金属層161は、薄膜層120プレートメタライゼーションを提供し、薄膜層120を埋め込みTSV111'の頂部側に接続する。レジスト223を用いるマスキングレベル「ALTOP」（マスク#4）が示されており、これにより、CUMT要素の上の頂部側金属層161（例えば、AlCu層）を画定するためのエッチングが可能となる。ALTOP CDは、最終的なプレート寸法より小さく（例えば、1 μm / 辺小さく）され得る。可動薄膜120（例えば、Siプレート）をパターニングする前に頂部側金属層161をパターニングすることで、頂部側金属層161及びレジストステップカバレッジ問題両方が避けられる。頂部側金属層161は、レジスト223における開口を用いてフィールドエリアからウェットエッチングされ得る。レジスト223はその後剥がされる。

10

【0036】

図2Fは、マスキングレベル「PLATESI」（マスク#5）を用いるレジスト225のパターニング後の製造過程のCUMTデバイスを図示する。レジスト225は、パターニングされた頂部側金属層161（例えば、AlCu層）を完全に封止し得る。このマスクは、上述のAlCu（ALTOP）マスクより大きく（例えば、1 μm / 辺大きく）され得る。

20

【0037】

その後、薄膜層120は、複数のCUMT要素を有するCUMTデバイスのためにCUMT要素を分けるため、及び図示される可動薄膜120bを形成するために、レジスト225を用いてエッチングされる。薄膜層120のエッチングは、厚い誘電体領域106上で止まる。側壁スカロップ（scalloping）を最小化するために、短いサイクルのBoschエッチングが用いられ得る。このエッチングは、凹まないように構成されるべきである。レジスト225はその後剥がされ得る。

【0038】

図2Gは、一つの特の実施例において、約0.2 μmのプラズマオルトケイ酸テトラエチル（TEOS）由来のシリコン酸化物層、及びその後の、0.2 μmのプラズマ窒化物パッシベーション層など、誘電体パッシベーション層168を堆積した後の製造過程のCUMTデバイスを図示する。誘電体パッシベーション層168は、可動薄膜120bの側壁を覆って示されている。CUMT用途に応じて、一層厚いパッシベーションスタックを用いることができる。最終的な合金が、N₂ + H₂（形成ガス）内の400℃などで実施され得る。

30

【0039】

図2Hは、任意選択で、接着剤172を用いて一時キャリアウエハ180に製造過程CUMT基板（例えば、ウエハ）をボンディングし、第1の基板101の底部側103のTSVをバックグラインドして露出させ、突出するTSVティップ111aを形成した後の、製造過程のCUMTデバイスを図示する。バックグラインドは、埋め込みTSV近くの製造過程CUMT基板（例えば、ウエハ）を薄化し得、また、全ての底部側フィルムを取り除き得、一つの特の実施例において、第1の基板101のための725 μmの厚みのSi基板のうちの約550 μmを取り除き、約175 μmを残す。第1の基板101の底部側103は、約100 μmの厚みとなるように第1の基板101を残して、TSVティップ111aを露出するようにエッチングされ得る。TSV111のための露出されたTSV充填材料113を有するTSVティップ111aを形成するために誘電体ライナー131及び障壁金属（存在する場合）が取り除かれるように、XeFプラズマエッチング又はウェットSiエッチングを用いることができる。誘電体ライナー131及び障壁金属の

40

50

プラズマエッチングが、TSV111及び112の側壁上に誘電体（例えば、酸化物）スペーサを概して残す。

【0040】

その後、1つの特定の実施例においてTi/Ni/Ag層（例えば、1000のTi+2800のNi+1500のAg）など、第1の基板の底部側103上に金属層が堆積される。第1の基板101の底部側103は、金属層167堆積前に洗浄され得る。約300の事前スパッタエッチングが用いられ得る。その後、マスキングレベル「TSVEXP」（マスク#6）が、金属層167のエリアを保護するために用いられ得、一方、それはTSVティップ111aから剥がされる。第1の基板101の底部側103のパターニングされた金属層167を形成するためのパターニング、及びマスク6レジストのストリップの後、上述で図1Bに示すCUMTデバイス100が生じる（図1BにはCuシード層233が示されていない）。ダイシング（シンギュレーション）に続いて、結果のCUMTダイは、制御ダイの頂部上にボンディングされるなど、パッケージングされ得る。

10

【0041】

図3は、複数のCUMT要素301~306を含む、例示のCUMTデバイス（ダイ）300を示す。例示の一実施例に従って、各容量性CUMT要素は、要素内で共に接続されるCUMTセル100a~100dとして示される4つの図1A及び図1BにおけるCUMTセル100aを含む。上述のように、頂部電極は、各CUMT要素に対して個別であり得、そのため、各要素に対して単一TSVを用いるそれぞれの要素の個別アドレス指定が可能となり、この場合、デバイス上の全てのCUMT要素のための共通底部側電極（例えば、Siの固体シート）がある。他の実施例において、CUMTデバイスは、各要素のための共通頂部電極、及びそれぞれの要素の個別のアドレス指定を可能にするための各要素のための個別の底部電極を有する。

20

【0042】

各CUMT要素が4つのCUMTセル100a~100dを含む、6つのCUMT要素301~306を有するCUMTデバイス300が示されているが、開示されるCUMTデバイスは、各々が任意の数のCUMTセルを有する任意の数のCUMT要素を有してよい。CUMT要素301~306は、互いに電氣的に絶縁され得、（駆動のため）インピーダンスを低減するために（例えば、それらのそれぞれのTSV111を共通ソースに接続することにより）ダイに接して又はダイから離れて並列に接続され得、又は（感知のため）インピーダンスを増大させるために（ダイに接して又はダイから離れて）直列に接続され得る。それぞれのCUMT要素は、コモンモード信号を差動的に改善するため又は製造不均整を緩和するために駆動/感知され得る。

30

【0043】

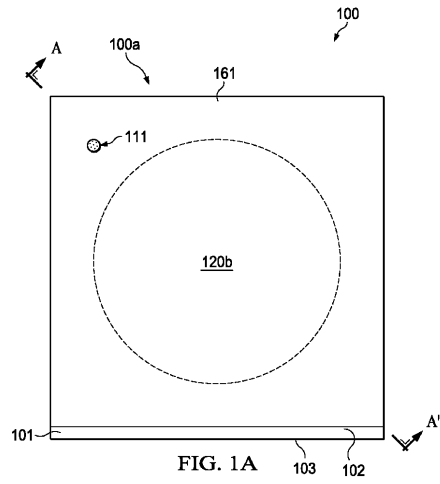
開示されるCUMTデバイスの利点には、4程度に少ないマスキングレベルを用いるフルプロセスが含まれる。他の利点には、CUMTデバイスの頂部側の超音波伝送表面（可動薄膜120b）に結合するためにダイサイズを増大させ且つワイヤボンディングを必要とする従来のボンドパッドを必要とすることなく、一層小さなダイサイズが可能となることが含まれる。開示されるCUMTデバイスはまた、パッケージングオペレーションを単純化し、その結果、伝送媒体への結合が容易となり、これによりパッケージングコストが低減される。両電極がCUMTデバイスの底部側から接触されるため、開示されるCUMTデバイスはまた、制御ダイ上にCUMTダイをスタックするオプションを促進する。

40

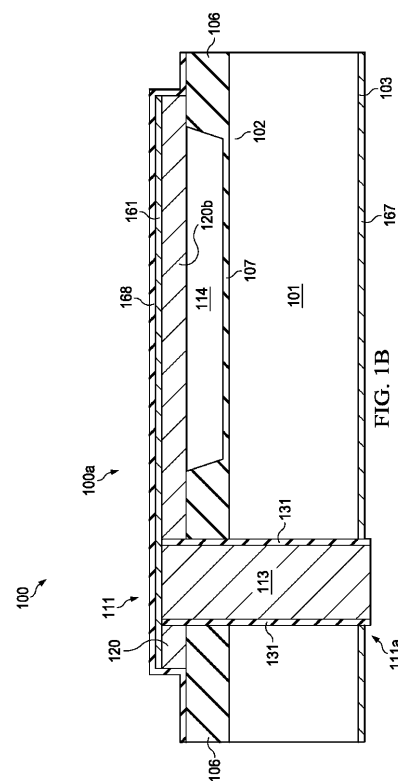
【0044】

開示される実施例は、種々の異なるデバイス及び関連する製品を形成するために種々のアッセンブリフローに統合され得る半導体ダイを形成するために用いることができる。当業者であれば、本発明の特許請求の範囲内で、説明した例示の実施例に変形が成され得ること、及び多くの他の実施例が可能であることが分かるであろう。

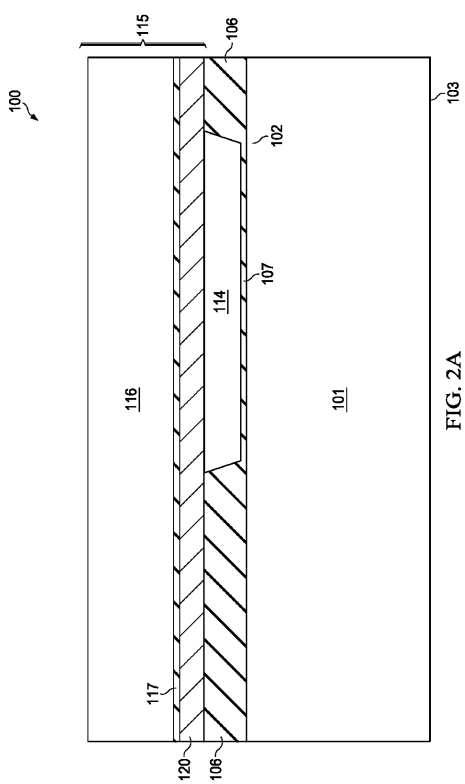
【図 1 A】



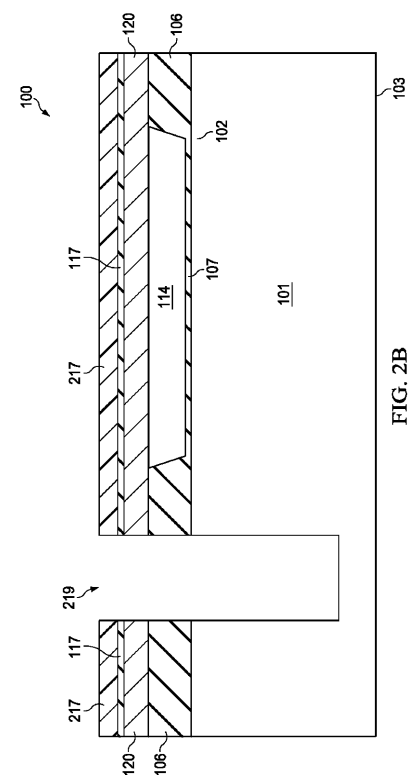
【図 1 B】



【図 2 A】



【図 2 B】



【図 2 C】

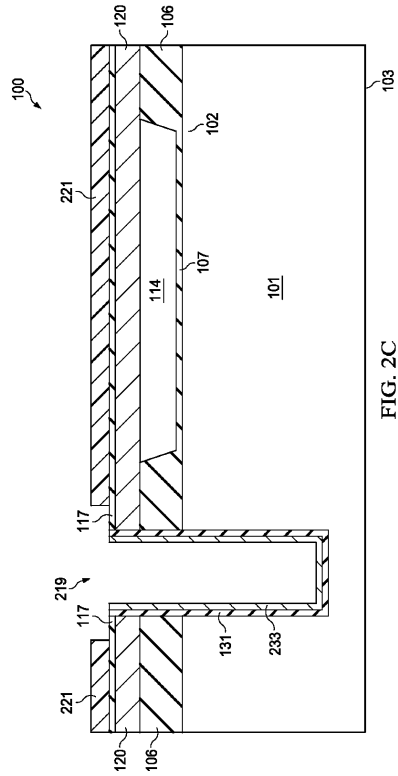


FIG. 2C

【図 2 D】

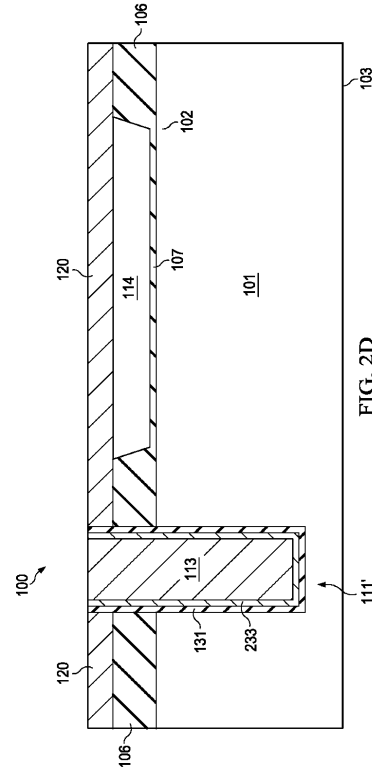


FIG. 2D

【図 2 E】

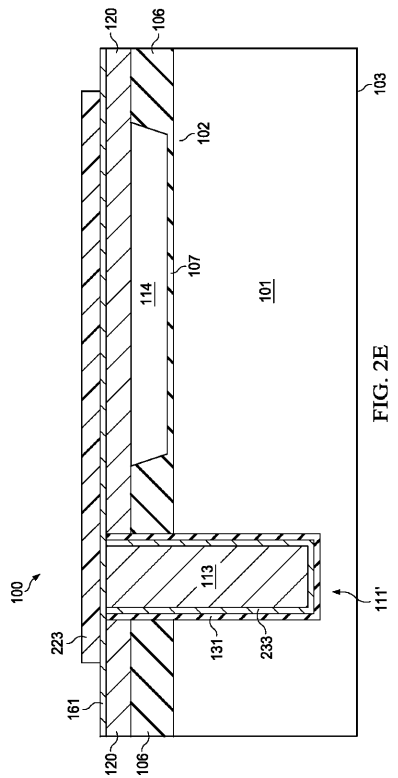


FIG. 2E

【図 2 F】

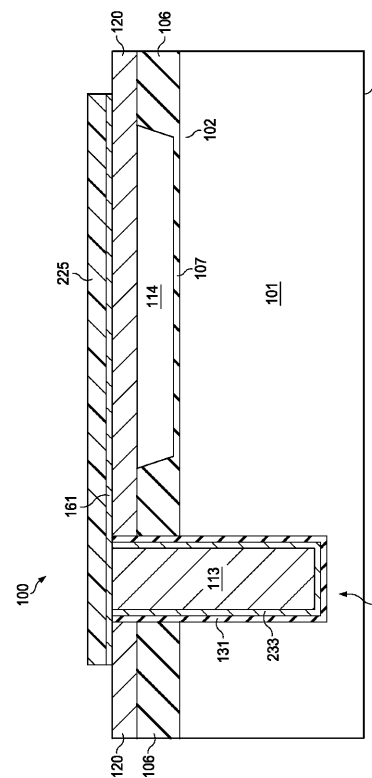
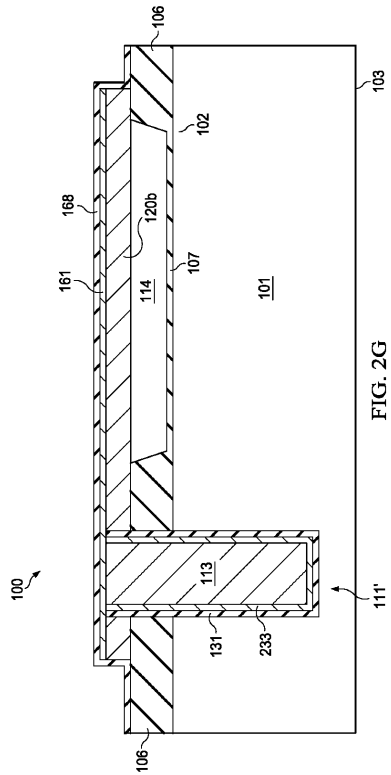
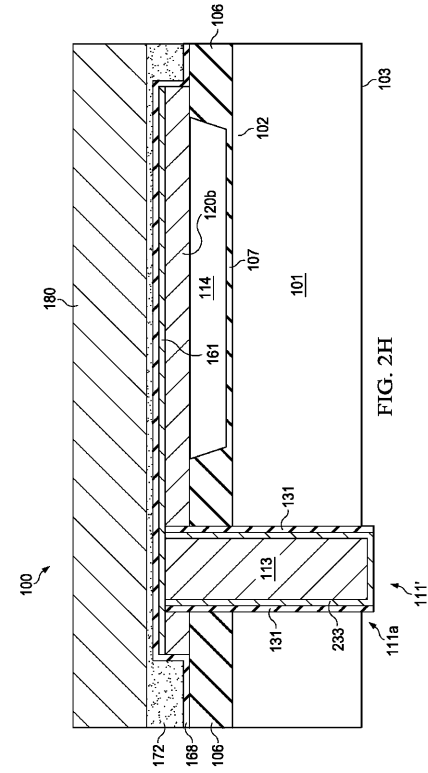


FIG. 2F

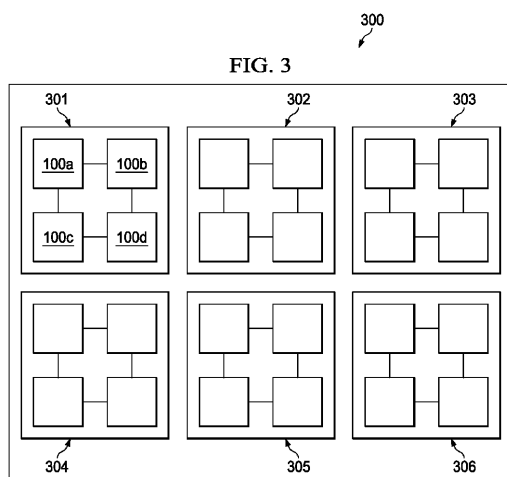
【図 2 G】



【図 2 H】



【図 3】



フロントページの続き

(72)発明者 ピーター ビー ジョンソン

アメリカ合衆国 9 4 0 8 7 カリフォルニア州 サニーヴェール, オンフルール ドライブ
1 6 1 4

(72)発明者 アイラ オークトゥリー ワイガント

アメリカ合衆国 9 4 3 0 1 カリフォルニア州 パロ アルト 9 0 6 , アルマ ストリート
1 0 1

審査官 大石 剛

(56)参考文献 国際公開第 2 0 0 5 / 1 2 0 1 3 0 (W O , A 1)

国際公開第 2 0 0 5 / 1 2 0 3 6 0 (W O , A 1)

特開 2 0 0 9 - 0 5 0 5 6 0 (J P , A)

特開 2 0 1 1 - 1 0 9 3 5 8 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

B 8 1 B 3 / 0 0

B 8 1 C 3 / 0 0

H 0 1 L 2 3 / 1 2

H 0 4 R 1 9 / 0 0

H 0 4 R 3 1 / 0 0