

(19)대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl. (11) 공개번호 10-2006-0089547  
H01L 27/115 (2006.01) (43) 공개일자 2006년08월09일

(21) 출원번호 10-2005-0011008  
(22) 출원일자 2005년02월05일

(71) 출원인 삼성전자주식회사  
경기도 수원시 영통구 매탄동 416

(72) 발명자 김성민  
인천 부평구 부개3동 삼부아파트 108동 2204호  
윤은정  
서울 서초구 잠원동 신반포한신아파트 323동 403호  
김동원  
경기 성남시 분당구 정자동 192번지 정든마을 506동 1602호  
윤재만  
서울 관악구 봉천6동 우성아파트 102동 1602호

(74) 대리인 리엔목특허법인  
이혜영

심사청구 : 있음

(54) 3차원 플래쉬 메모리 소자 및 그 제조방법

요약

3차원 플래쉬 메모리 소자를 제공한다. 본 발명은 실리콘 기판 상에 수직 방향(Z축 방향)으로 형성된 게이트와, 상기 게이트를 둘러싸면서 형성된 전하 저장층과, 상기 전하 저장층을 둘러싸면서 형성된 실리콘층을 포함한다. 그리고, 상기 실리콘층에는 수직 방향으로 채널 영역이 형성되고, 상기 채널 영역을 사이에 두고 수직 방향으로 소오스/드레인이 형성된다. 이에 따라, 본 발명은 3차원으로 데이터를 저장하여 집적도를 높일 수 있고, 게이트의 양측에 트랜지스터를 형성하여 2 비트 동작도 수행할 수도 있고, 라인 단위나 트랜지스터 단위로 지울 수 있다.

대표도

도 1

명세서

도면의 간단한 설명

도 1은 본 발명의 제1 측면에 따른 의한 3차원 플래쉬 메모리 소자의 제1 실시예를 도시한 사시도이고,

도 2는 도 2의 비트 라인 방향에 따른 단면도이고,

도 3은 본 발명의 제1 측면에 따른 3차원 플래쉬 메모리 소자의 제2 실시예를 도시한 사시도이고,

도 4는 도 3의 비트 라인 방향에 따른 단면도이고,

도 5a 내지 도 12a, 및 도 5b 내지 도 12b는 제1 측면에 따른 3차원 플래쉬 메모리 소자의 제조 방법의 제1 실시예를 각각 비트 라인 방향 및 워드 라인 방향에 따라 절단한 상태로 도시한 단면도들이고,

도 13a 내지 도 20a, 및 도 13b 내지 도 20b는 제1 측면에 따른 3차원 플래쉬 메모리 소자 제조 방법의 제2 실시예를 각각 비트 라인 방향 및 워드 라인 방향에 따라 절단한 상태로 도시한 단면도들이고,

도 21은 본 발명의 제2 측면에 따른 의한 3차원 플래쉬 메모리 소자의 제1 실시예를 도시한 사시도이고,

도 22는 도 21의 워드 라인 방향에 따른 단면도이고,

도 23은 본 발명의 제2 측면에 따른 3차원 플래쉬 메모리 소자의 제2 실시예를 도시한 사시도이고,

도 24는 도 23의 워드 라인 방향에 따른 단면도이고,

도 25 내지 도 32는 제2 측면에 따른 3차원 플래쉬 메모리 소자의 제조 방법을 워드 라인 방향에 따라 절단한 상태로 도시한 단면도들이다.

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 불휘발성 메모리 소자 및 그 제조방법에 관한 것으로, 보다 상세하게는 플래쉬 메모리 소자 및 그 제조방법에 관한 것이다.

일반적으로, 반도체 메모리 소자의 종류에는 여러 가지가 있다. 이중 RAM(random access memory)종류의 메모리 소자는 전원공급이 중단되면 기억된 데이터가 소멸되는 특성을 갖는 반면, ROM(read only memory)종류의 메모리 소자는 외부로부터 전원공급이 중단되어도 기억된 데이터가 그대로 유지하는 특성을 갖는다. 따라서 이러한 ROM 종류의 메모리 소자는 불휘발성 메모리 소자라 불린다.

이들 불휘발성 메모리 소자중 전기적으로 정보를 소멸시키거나 기입(프로그램) 할 수 있는 플래쉬 메모리 소자가 있다. 특히, 상기 플래쉬 메모리 소자는 데이터의 일괄소거가 가능하여 컴퓨터 및 메모리 카드 등에 널리 사용되고 있다. 상기 플래쉬 메모리 소자가 기억 소자로 활용되기 위해서는 고집적화를 통한 고용량화가 필수적인 요소가 된다. 따라서, 상기 플래쉬 메모리 소자가 고집적화됨에 따라 메모리 셀 어레이 영역 및 주변 회로 영역의 트랜지스터가 차지하는 면적을 감소시킬 필요가 있다.

#### 발명이 이루고자 하는 기술적 과제

따라서, 본 발명이 이루고자 하는 기술적 과제는 상술한 고집적화를 이루기 위해 트랜지스터를 3차원으로 설계한 3차원 플래쉬 메모리 소자를 제공하는 데 있다.

또한, 본 발명이 이루고자 하는 다른 기술적 과제는 상기 3차원 플래쉬 메모리 소자의 적합한 제조방법을 제공하는 데 있다.

### 발명의 구성 및 작용

상기 기술적 과제를 달성하기 위하여, 본 발명의 일 측면에 따른 3차원 플래쉬 메모리 소자는 실리콘 기판 상에 수직 방향(Z축 방향)으로 형성된 게이트와, 상기 게이트를 둘러싸면서 형성된 전하 저장층과, 상기 전하 저장층을 둘러싸면서 형성된 실리콘층을 포함한다. 그리고, 상기 실리콘층에는 수직 방향으로 채널 영역이 형성되고, 상기 채널 영역을 사이에 두고 수직 방향으로 소오스/드레인이 형성된다.

상기 게이트에는 상기 Z축 방향과 반시계방향으로 수직인 X축 방향으로 워드 라인이 연결되어 있을 수 있다. 상기 전하 저장층은 산화층-질화층-산화층으로 구성되어 있을 수 있다. 상기 소오스/드레인에는 상기 Z축 방향과 시계방향으로 수직인 Y축 방향으로 비트 라인이 연결되어 있을 수 있다.

상기 실리콘층의 채널 영역에는 상기 Z축 방향과 시계방향으로 수직인 Y축 방향으로 백 바이어스 라인이 연결되어 있을 수 있다. 상기 채널 영역은 상기 실리콘층 전체로 구성될 수 있다.

상기 다른 기술적 과제를 달성하기 위하여, 본 발명의 일 측면에 따른 3차원 플래쉬 메모리 소자의 제조방법은 실리콘 기판 상에 불순물이 도핑된 실리콘층과 산화층을 복수회 반복적으로 형성하는 것을 포함한다. 상기 산화층 및 불순물이 도핑된 실리콘층을 패터닝하여 상기 실리콘 기판을 노출하는 콘택홀을 갖는 불순물이 도핑된 실리콘층 패턴 및 산화층 패턴을 형성한다.

이어서, 상기 콘택홀의 내벽에 단결정의 실리콘층을 형성한다. 상기 단결정의 실리콘층은 상기 콘택홀의 내벽에 아몰포스 실리콘층을 형성한 후, 결정화하여 형성할 수 있다. 상기 단결정 실리콘층 상에 전하 저장층을 형성한다. 상기 전하 저장층은 산화층-질화층-산화층으로 형성할 수 있다.

그리고, 상기 콘택홀 내에 게이트를 형성한다. 상기 산화층 패턴 및 실리콘층 패턴을 다시 패터닝하여 상기 실리콘 기판을 노출시키는 트렌치와 상기 실리콘층 패턴으로 비트 라인을 형성한다. 상기 트렌치를 매립하는 트렌치 산화층을 형성한다. 상기 트렌치 산화층을 형성한 후, 상기 게이트와 연결되는 워드 라인을 형성할 수 있다. 이에 따라, 상기 실리콘층 패턴에 포함된 불순물이 단결정의 실리콘층으로 확산함으로써 수직 방향으로 이격된 소오스/드레인과, 상기 소오스/드레인 사이에 형성된 채널 영역을 갖는 단위 트랜지스터를 형성한다.

또한, 본 발명의 일 측면에 따른 3차원 플래쉬 메모리 소자의 제조방법은 실리콘 기판 상에 불순물이 도핑된 실리콘층과 실리콘 게르마늄층을 복수회 반복적으로 형성하는 것을 포함한다. 상기 실리콘 게르마늄층 및 불순물이 도핑된 실리콘층을 패터닝하여 상기 실리콘 기판을 노출하는 콘택홀을 갖는 불순물이 도핑된 실리콘층 패턴 및 실리콘 게르마늄층 패턴을 형성한다.

이어서, 상기 콘택홀의 내벽에 단결정의 실리콘층을 형성한다. 상기 단결정의 실리콘층은 상기 콘택홀의 내벽에 아몰포스 실리콘층을 형성한 후, 결정화하여 형성할 수 있다. 상기 단결정 실리콘층 상에 전하 저장층을 형성한다. 상기 전하 저장층은 산화층-질화층-산화층으로 형성할 수 있다. 상기 콘택홀 내에 게이트를 형성한다. 상기 실리콘 게르마늄층 패턴 및 실리콘층 패턴을 다시 패터닝하여 상기 실리콘 기판을 노출시키는 트렌치와 상기 실리콘층 패턴으로 비트 라인을 형성한다.

다음에, 상기 실리콘 게르마늄층 패턴을 선택적으로 제거한다. 상기 트렌치를 매립하는 트렌치 산화층을 형성한다. 상기 트렌치 산화층을 형성한 후, 상기 게이트와 연결되는 워드 라인을 형성할 수 있다. 이에 따라, 상기 실리콘층 패턴에 포함된 불순물이 단결정의 실리콘층으로 확산함으로써 수직 방향으로 이격되어 형성된 소오스/드레인과, 상기 소오스/드레인 사이에 형성된 채널 영역을 갖는 단위 트랜지스터를 형성한다.

상기 기술적 과제를 달성하기 위하여, 본 발명의 다른 측면에 의한 3차원 플래쉬 메모리 소자는 실리콘 기판 상에 수직 방향(Z축 방향)으로 형성된 게이트와, 상기 게이트를 둘러싸면서 형성된 전하 저장층과, 상기 전하 저장층을 둘러싸면서 형성된 실리콘층을 포함한다.

그리고, 상기 게이트의 양측에 수평방향으로 대칭되어 상기 게이트 양측의 실리콘층에는 수직 방향으로 일정 간격 이격되어 채널 영역이 형성되어 있다. 상기 게이트의 양측에 수평 방향으로 대칭되어, 상기 게이트의 양측의 실리콘층에는 상기 채널 영역을 사이에 두고 수직 방향으로 소오스/드레인이 형성되어 있다.

상기 게이트에는 상기 Z축 방향과 반시계방향으로 수직인 X축 방향으로 워드 라인이 연결되어 있을 수 있다. 상기 전하 저장층은 산화층-질화층-산화층으로 구성할 수 있다. 상기 소오스/드레인에는 상기 Z축 방향과 시계방향으로 수직인 Y축

방향으로 비트 라인이 연결되어 있을 수 있다. 상기 실리콘층의 채널 영역에는 상기 Z축 방향과 반시계방향으로 수직인 Y축 방향으로 백 바이어스 라인이 연결되어 있을 수 있다. 상기 채널 영역은 상기 실리콘층의 일측 및 타측에 대향되어 구성될 수 있다.

상기 다른 기술적 과제를 달성하기 위하여, 본 발명의 다른 측면에 따른 3차원 플래쉬 메모리 소자의 제조방법은 실리콘 기판 상에 불순물이 도핑된 실리콘층과 산화층을 복수회 반복적으로 형성하는 것을 포함한다. 상기 산화층 및 불순물이 도핑된 실리콘층을 패터닝하여 상기 실리콘 기판을 노출하는 트렌치를 형성함과 아울러 상기 불순물이 도핑된 실리콘층으로 비트 라인을 형성한다.

이어서, 상기 트렌치를 매립하는 트렌치 산화층을 형성한다. 상기 트렌치 산화층의 일부를 식각하여 상기 실리콘 기판을 노출하는 콘택홀을 형성한다. 상기 콘택홀의 내벽에 단결정의 실리콘층을 형성한다. 상기 단결정의 실리콘층은 상기 콘택홀의 내벽에 아몰포스 실리콘층을 형성한 후, 결정화하여 형성할 수 있다. 상기 단결정 실리콘층 상에 전하 저장층을 형성한다. 상기 전하 저장층은 산화층-질화층-산화층으로 형성할 수 있다.

그리고, 상기 콘택홀 내에 게이트를 형성한다. 상기 게이트를 형성한 후, 상기 게이트와 연결되는 워드 라인을 형성할 수 있다. 이에 따라, 상기 실리콘층 패터닝에 포함된 불순물이 상기 단결정의 실리콘층으로 확산함으로써 상기 게이트의 양측의 실리콘층에 수직 방향으로 일정 간격 이격되어 형성된 채널 영역과, 상기 채널 영역을 사이에 두고 수직 방향으로 형성된 소오스/드레인을 포함한다.

이상과 같은 본 발명의 3차원 플래쉬 메모리 소자는 3차원으로 데이터를 저장하여 집적도를 높일 수 있고, 게이트의 양측에 트랜지스터를 형성하여 2 비트 동작을 수행할 수 있고, 라인 단위나 트랜지스터 단위로 지울 수 있다.

이하, 첨부도면을 참조하여 본 발명의 실시예들을 상세히 설명한다. 그러나, 다음에 예시하는 본 발명의 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 다음에 상술하는 실시예들에 한정되는 것은 아니다. 본 발명의 실시예들은 당 업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위하여 제공되어지는 것이다. 도면에서 막 또는 영역들의 크기 또는 두께는 명세서의 명확성을 위하여 과장되어진 것이다.

## 제1 측면(first aspect)에 따른 플래쉬 메모리 소자

### 제1 실시예

도 1은 본 발명의 제1 측면에 따른 의한 3차원 플래쉬 메모리 소자의 제1 실시예를 도시한 사시도이고, 도 2는 도 2의 비트 라인 방향에 따른 단면도이다.

구체적으로, 도 2에 도시한 바와 같이 실리콘 기판(미도시) 상에 수직 방향(Z축 방향)으로 게이트(114)가 형성되어 있다. 상기 게이트(114)를 둘러싸면서 전하 저장층(112)이 형성되어 있다. 상기 전하 저장층(112)은 산화층(112a)-질화층(112b)-산화층(112c)으로 구성된다. 상기 산화층(112c)은 층간 절연층이며, 상기 질화층(112b)은 실질적으로 전하가 저장되는 층이며, 상기 산화층(112a)은 터널 산화층이다. 상기 전하 저장층(112)을 둘러싸면서 실리콘층(110)이 형성되어 있다.

상기 실리콘층(110)에 수직 방향으로 채널 영역(도 1 및 도 2의 113)이 형성되어 있다. 상기 채널 영역(113)을 사이에 두고 수직 방향으로 소오스/드레인(111, S/D)이 형성되어 있다. 상기 소오스/드레인(111)에는 비트 라인(102b)이 연결된다. 상기 소오스/드레인(111)은 상기 비트 라인(102b)에 포함된 불순물이 실리콘층(110)으로 확산하여 형성된다. 상기 수직 방향으로 형성된 게이트(114), 상기 게이트(114)를 둘러싸는 전하 저장층(112) 및 상기 수직 방향으로 형성된 소오스/드레인(111)을 포함하여 하나의 트랜지스터(UT)를 구성한다.

도 1에 도시한 바와 같이 상기 게이트(114)에는 상기 Z축 방향과 반시계방향으로 수직인 X축 방향으로 워드 라인(120)이 연결되어 있다. 상기 소오스/드레인(111)에는 상기 Z축 방향과 시계방향으로 수직인 Y축 방향으로 비트 라인(102b, B/L)이 연결되어 있다. 상기 비트 라인(102b) 사이에 위치하는 채널 영역(113)은 상기 실리콘층(110) 전체로 구성된다. 도 1에서, 참조번호 130은 금속 배선을 나타낸다.

이와 같이 구성되는 3차원 플래쉬 메모리 소자는 SONOS(silicon-oxide-nitride-oxide-silicon)형태로써, 집적도를 향상시키기 위해 3차원으로 데이터를 저장할 수 있다. 도 1 및 도 2의 구조는 단위 트랜지스터(UT)에 데이터를 저장하고 라인 단위로 데이터를 지울 수 있다.

제2 실시예

도 3은 본 발명의 제1 측면에 따른 3차원 플래쉬 메모리 소자의 제2 실시예를 도시한 사시도이고, 도 4는 도 3의 비트 라인 방향에 따른 단면도이다.

구체적으로, 도 3 및 도 4에서, 도 1 및 도 2와 동일한 참조번호는 동일한 부재를 나타낸다. 도 3 및 도 4의 플래쉬 메모리 소자는 실리콘층(110)에 백 바이어스 라인(102c, BBL)이 형성된 것을 제외하고는 도 1 및 도 2와 동일하다. 상기 백 바이어스 라인(102c, BBL)은 실리콘층(110)의 채널 영역(113)에는 상기 Z축 방향과 시계방향으로 수직인 Y축 방향으로 형성되어 있다. 도 3에서, 참조번호 132는 금속 배선을 나타낸다.

이와 같이 구성되는 3차원 플래쉬 메모리 소자는 SONOS 형태로써, 집적도를 향상시키기 위해 3차원으로 데이터를 저장할 수 있다. 도 3 및 도 4의 구조는 단위 트랜지스터(UT)마다 백 바이어스 라인(102c)을 통하여 백 바이어스를 인가할 수 있기 때문에 단위 트랜지스터(UT)에 데이터를 저장하고 단위 트랜지스터(UT)마다 데이터를 지울 수 있다.

제1 측면(first aspect)에 따른 플래쉬 메모리 소자의 제조방법

제1 실시예

도 5a 내지 도 12a, 및 도 5b 내지 도 12b는 제1 측면에 따른 3차원 플래쉬 메모리 소자의 제조 방법의 제1 실시예를 각각 비트 라인 방향 및 워드 라인 방향에 따라 절단한 상태로 도시한 단면도들이다.

도 5a 및 도 5b를 참조하면, 실리콘 기판(100) 상에 불순물이 도핑된 실리콘층(102) 및 산화층(104)을 반복적으로 복수회 형성한다. 상기 불순물이 도핑된 실리콘층(102)은 결정질로 형성하는 것이 바람직하다. 상기 실리콘 기판(100) 상에 불순물이 도핑된 실리콘층(102) 및 산화층(104)을 반복적으로 형성하지 않고, 도 5a 및 도 5b와 같은 형태로 미리 제작된 SOI 기판을 이용할 수도 있다.

그리고, 도 3 및 도 4에 도시한 3차원 플래쉬 메모리 소자를 제작할 경우에는, 후공정에서 백 바이어스 라인이 되는 실리콘층(102)은 불순물을 도핑하지 않고 형성한다. 상기 산화층(104) 상에 제1 마스크층(106)을 형성한다. 상기 제1 마스크층(106)은 실리콘 질화층(SiN)으로 형성한다.

도 6a 및 도 6b를 참조하면, 상기 제1 마스크층(106)을 패터닝하여 제1 마스크층 패턴(106a)을 형성한다. 이어서, 상기 제1 마스크층 패턴(106a)을 식각 마스크로 상기 산화층(104) 및 불순물이 도핑된 실리콘층(102)을 순차적으로 식각한다. 이렇게 되면, 실리콘 기판(100)을 노출하는 콘택홀(108)을 갖는 불순물이 도핑된 실리콘층 패턴(102a) 및 산화층 패턴(104a)이 형성된다.

도 7a 및 도 7b를 참조하면, 상기 콘택홀(108)의 내벽에 아몰포스 실리콘층을 형성한 후, 고상 에피택시(solid phase epitaxy) 공정을 이용하여 결정화하여 단결정의 실리콘층(110)을 형성한다. 상기 고상 에피택시 공정은 상기 콘택홀(108)의 내벽에 형성된 아몰포스 실리콘층을 약 600°C의 온도에서 장시간 처리하여 결정화하는 공정이다.

도 8a 및 도 8b를 참조하면, 상기 콘택홀(108)의 내벽에 형성된 실리콘층(110) 상에 전하 저장층(112)을 형성한다. 상기 전하 저장층(112)은 앞서 도 2 및 도 4에 설명한 바와 같이 산화층(112a)-질화층(112b)-산화층(112c)으로 형성한다.

도 9a 및 도 9b를 참조하면, 상기 콘택홀(108) 내에 게이트(114)를 형성한다. 상기 게이트(114)는 상기 콘택홀(108) 내에 게이트용 도전막, 예컨대 금속막을 형성한 후, 평탄화하여 형성한다.

도 10a 및 도 10b를 참조하면, 상기 제1 마스크층 패턴(106a) 및 게이트(114) 상에 제2 마스크층 패턴(116)을 형성한다. 상기 제2 마스크층 패턴(116)은 상기 제1 마스크층 패턴(106a) 및 게이트(114) 상에 마스크용 물질막, 예컨대 실리콘 질화막을 형성한 후 사진식각공정으로 패터닝하여 형성한다.

이어서, 상기 제2 마스크층 패턴(116)을 식각 마스크로 상기 산화층 패턴(104a) 및 실리콘층 패턴(102a)을 순차적으로 식각하여 실리콘 기판(100)을 노출시키는 트렌치(117)를 형성한다. 이렇게 되면, 상기 실리콘층 패턴(102a)은 비트 라인(102b)이 되고, 상기 산화층 패턴(104a)은 비트 라인(102b)간을 절연하는 비트 라인 절연층(104b)이 된다.

도 11a 및 도 11b를 참조하면, 상기 트렌치(117)를 매립하는 트렌치 산화층(118)을 형성한다. 이어서, 상기 게이트(114)를 노출하게끔 상기 제2 마스크층 패턴(116)을 식각하여 평탄화한다. 이렇게 되면, 상기 트렌치 산화층(118) 및 비트 라인 절연층(104b)에 의해 절연되는 단위 트랜지스터(UT)가 형성된다.

상기 단위 트랜지스터는 앞서 설명한 바와 같이 수직 방향으로 이격되어 형성된 소오스/드레인과, 상기 소오스/드레인 사이에 형성된 채널 영역을 포함한다. 상기 단위 트랜지스터(UT)를 구성하는 소오스/드레인(도 2의 111)은 앞서 설명한 바와 같이 실리콘층(112) 형성 후에 수행하는 열공정, 예컨대 게이트(114) 형성 공정이나 제2 마스크층 패턴(116) 형성 공정에서 불순물이 도핑된 실리콘층(102a) 내의 불순물이 단결정의 실리콘층(110)으로 확산하여 형성된다.

도 12a 및 도 12b를 참조하면, 상기 게이트(114) 상에 금속막을 도포한 후 패터닝하여 상기 게이트(114)와 연결되는 워드 라인(120)을 형성하여 3차원 플래쉬 메모리 소자를 완성한다.

## 제2 실시예

도 13a 내지 도 20a, 및 도 13b 내지 도 20b는 제1 측면에 따른 3차원 플래쉬 메모리 소자 제조 방법의 제2 실시예를 각각 비트 라인 방향 및 워드 라인 방향에 따라 절단한 상태로 도시한 단면도들이다.

구체적으로, 도 13a 내지 도 20a, 및 도 13b 내지 도 20b에서 상기 도 5a 내지 도 12a, 및 도 5b 내지 도 12b와 동일한 참조번호는 동일한 부재를 나타낸다. 도 13a 내지 도 20a, 및 도 13b 내지 도 20b의 제1 측면에 따른 플래쉬 메모리 소자의 제조방법의 제2 실시예는 도 5a 내지 도 12a, 및 도 5b 내지 도 12b의 제1 실시예와 비교할 때 산화층(104)을 실리콘 게르마늄층(SiGe층, 204)으로 형성한 것을 제외하고는 대부분 동일하다.

도 13a 및 도 13b를 참조하면, 실리콘 기판(100) 상에 불순물이 도핑된 실리콘층(102) 및 실리콘 게르마늄층(204)을 반복적으로 복수회 형성한다. 상기 불순물이 도핑된 실리콘층(102)은 결정질로 형성하는 것이 바람직하다.

그리고, 도 3 및 도 4에 도시한 3차원 플래쉬 메모리 소자를 제작할 경우에 후공정에서 백 바이어스 라인이 되는 실리콘층(102)은 불순물을 도핑하지 않고 형성한다. 상기 실리콘 게르마늄층(204) 상에 제1 마스크층(106)을 형성한다. 상기 제1 마스크층(106)은 실리콘 질화층(SiN)으로 형성한다.

도 14a 및 도 14b를 참조하면, 상기 제1 마스크층(106)을 패터닝하여 제1 마스크층 패턴(106a)을 형성한다. 이어서, 상기 제1 마스크층 패턴(106a)을 식각 마스크로 상기 실리콘 게르마늄층(204) 및 불순물이 도핑된 실리콘층(102)을 순차적으로 식각한다. 이렇게 되면, 실리콘 기판(100)을 노출하는 콘택홀(108)을 갖는 불순물이 도핑된 실리콘층 패턴(102a) 및 실리콘 게르마늄층 패턴(204a)이 형성된다.

도 15a 및 도 15b를 참조하면, 상기 콘택홀(108)의 내벽에 아몰포스 실리콘층을 형성한 후, 고상 에피택시(solid phase epitaxy) 공정을 이용하여 결정화하여 단결정의 실리콘층(110)을 형성한다. 상기 고상 에피택시 공정은 상기 콘택홀(108)의 내벽에 형성된 아몰포스 실리콘층을 약 600°C의 온도에서 장시간 처리하여 결정화하는 공정이다.

도 16a 및 도 16b를 참조하면, 상기 콘택홀(108)의 내벽에 형성된 실리콘층(110) 상에 전하 저장층(112)을 형성한다. 상기 전하 저장층(112)은 앞서 도 2 및 도 4에 설명한 바와 같이 산화층(112a)-질화층(112b)-산화층(112c)으로 형성한다.

이어서, 상기 콘택홀(108) 내에 게이트(114)를 형성한다. 상기 게이트(114)는 상기 콘택홀(108) 내에 게이트용 도전막, 예컨대 금속막을 형성한 후, 평탄화하여 형성한다.

도 17a 및 도 17b, 및 도 18a 및 도 18b를 참조하면, 상기 제1 마스크층 패턴(106a) 및 게이트(114) 상에 제2 마스크층 패턴(116)을 형성한다. 상기 제2 마스크층 패턴(116)은 상기 제1 마스크층 패턴(106a) 및 게이트(114) 상에 마스크용 물질막, 예컨대 실리콘 질화막을 형성한 후 사진식각공정으로 패터닝하여 형성한다.

이어서, 상기 제2 마스크층 패턴(116)을 식각 마스크로 상기 실리콘 게르마늄층 패턴(204a) 및 실리콘층 패턴(102a)을 순차적으로 식각하여 실리콘 기판(100)을 노출시키는 트렌치(117)를 형성한다. 이렇게 되면, 상기 실리콘층 패턴(102a)은 비트 라인(102b)이 된다. 다음에, 도 18a 및 도 18b에 도시한 바와 같이 상기 실리콘 게르마늄층 패턴(204b)을 선택적으로 제거한다.

도 19a 및 도 19b를 참조하면, 상기 트렌치(117)를 매립하는 트렌치 산화층(118)을 형성한다. 이때, 비트 라인(102b) 사이에도 트렌치 산화층(118)이 형성된다. 이어서, 상기 게이트(114)를 노출하게끔 상기 제2 마스크층 패턴(116a)을 식각하여 평탄화한다. 이렇게 되면, 상기 트렌치 산화층(118)에 의해 절연되는 단위 트랜지스터(UT)가 형성된다.

상기 단위 트랜지스터를 구성하는 소오스/드레인(도 2의 111)은 앞서 설명한 바와 같이 실리콘층(112) 형성 후에 수행하는 열공정, 예컨대 게이트(114) 형성 공정이나 제2 마스크층 패턴(116) 형성 공정에서 불순물이 도핑된 실리콘층(102a) 내의 불순물이 단결정의 실리콘층(112)으로 확산하여 형성된다.

도 20a 및 도 20b를 참조하면, 상기 게이트(114) 상에 금속막을 도포한 후 패터닝하여 상기 게이트(114)와 연결되는 워드 라인(120)을 형성하여 3차원 플래쉬 메모리 소자를 완성한다.

### 제2 측면(first aspect)에 따른 플래쉬 메모리 소자

본 발명의 제2 측면에 따른 플래쉬 메모리 소자는 게이트의 양측에 각각 소오스/드레인과 채널 영역을 포함하는 트랜지스터를 형성하여 2-비트 동작을 수행할 수 있는 것을 제외하고는 제1 측면에 따른 플래쉬 메모리 소자와 동일하다.

### 제1 실시예

도 21은 본 발명의 제2 측면에 따른 의한 3차원 플래쉬 메모리 소자의 제1 실시예를 도시한 사시도이고, 도 22는 도 21의 워드 라인 방향에 따른 단면도이다.

구체적으로, 도 22에 도시한 바와 같이 실리콘 기판(300) 상에 수직 방향(Z축 방향)으로 게이트(314)가 형성되어 있다. 도 2 및 도 4의 제1 측면에 따른 플래쉬 메모리 소자와 동일하게 상기 게이트(314)를 둘러싸도록 전하 저장층(312) 및 실리콘층(310)을 포함하는 물질층(313)이 형성되어 있다. 상기 물질층(313) 내에 포함되는 전하 저장층(312)의 구조는 도 2와 동일하여 도 22에서는 편의상 생략하였다.

상기 게이트(314)의 양측에 수평방향으로 대칭되어 상기 게이트(314) 양측의 실리콘층(310)에는 수직 방향으로 일정 간격 이격되어 형성된 채널 영역(320)이 형성되어 있다. 그리고, 상기 게이트(314)의 양측에 수평 방향으로 대칭되어 상기 게이트(314)의 양측의 실리콘층(310)에는 상기 채널 영역(320)을 사이에 두고 수직 방향으로 형성된 소오스/드레인(318, S/D)이 형성되어 있다.

상기 소오스/드레인(318)에는 비트 라인(302a, B/L)이 연결된다. 상기 소오스/드레인(318)은 상기 비트라인(302a)에 포함된 불순물이 실리콘층(310)으로 확산하여 형성된다. 결과적으로, 본 발명의 제2 측면에 따른 플래쉬 메모리 소자는 수직 방향으로 형성된 게이트(314)의 양측에 각각 단위 트랜지스터(UT)가 형성되어 있다.

그리고, 도 21에 도시한 바와 같이 상기 게이트(314)에는 상기 Z축 방향과 반시계방향으로 수직인 X축 방향으로 워드 라인(316)이 연결되어 있다. 상기 소오스/드레인(318)에는 상기 Z축 방향과 시계방향으로 수직인 Y축 방향으로 비트 라인(302a)이 연결되어 있다.

이와 같이 구성되는 3차원 플래쉬 메모리 소자는 SONOS 형태으로써, 집적도를 향상시키기 위해 3차원으로 데이터를 저장할 수 있으며, 게이트(314)의 양측에 각각 형성된 단위 트랜지스터를 이용하여 2 비트 동작을 수행할 수 있다. 그리고, 도 21 및 도 22의 구조는 단위 트랜지스터(UT)에 데이터를 저장하고 라인 단위로 데이터를 지울 수 있다.

### 제2 실시예

도 23은 본 발명의 제2 측면에 따른 3차원 플래쉬 메모리 소자의 제2 실시예를 도시한 사시도이고, 도 24는 도 23의 워드 라인 방향에 따른 단면도이다.

구체적으로, 도 23 및 도 24에서, 도 21 및 도 22와 동일한 참조번호는 동일한 부재를 나타낸다. 도 23 및 도 24의 플래쉬 메모리 소자는 채널 영역(320)에 백 바이어스 라인(302b)이 형성된 것을 제외하고는 도 21 및 도 22와 동일하다. 상기 백 바이어스 라인(BBL)은 실리콘층(110)의 채널 영역에는 상기 Z축 방향과 시계방향으로 수직인 Y축 방향으로 형성되어 있다.

이와 같이 구성되는 3차원 플래쉬 메모리 소자는 SONOS 형태로써, 집적도를 향상시키기 위해 3차원으로 데이터를 저장할 수 있으며, 게이트(314)의 양측에 각각 형성된 단위 트랜지스터를 이용하여 2 비트 동작을 수행할 수 있다. 특히, 도 23 및 도 24의 구조는 단위 트랜지스터(UT)에 백 바이어스를 인가할 수 있기 때문에 트랜지스터에 데이터를 저장하고 트랜지스터 단위로 데이터를 지울 수 있다.

제2 측면(first aspect)에 따른 플래쉬 메모리 소자의 제조방법

도 25 내지 도 32는 제2 측면에 따른 3차원 플래쉬 메모리 소자의 제조 방법을 워드 라인 방향에 따라 절단한 상태로 도시한 단면도들이다.

도 25를 참조하면, 실리콘 기판(300) 상에 불순물이 도핑된 실리콘층(302) 및 산화층(304)을 반복적으로 형성한다. 상기 불순물이 도핑된 실리콘층(302)은 결정질로 형성하는 것이 바람직하다. 상기 실리콘 기판(300) 상에 불순물이 도핑된 실리콘층(302) 및 산화층(304)을 반복적으로 형성하지 않고, 도 25와 같은 형태로 미리 제작된 SOI 기판을 이용할 수도 있다.

그리고, 도 23 및 도 24에 도시한 3차원 플래쉬 메모리 소자를 제작할 경우 후공정에서 백 바이어스 라인이 되는 실리콘층(302)은 불순물을 도핑하지 않고 형성한다. 상기 산화층(304) 상에 제1 마스크층(306)을 형성한다. 상기 제1 마스크층(306)은 실리콘 질화층(SiN)으로 형성한다.

도 26을 참조하면, 상기 제1 마스크층(306)을 패터닝하여 제1 마스크층 패턴(306a)을 형성한다. 이어서, 상기 제1 마스크층 패턴(306a)을 식각 마스크로 상기 산화층(304) 및 불순물이 도핑된 실리콘층(302)을 순차적으로 식각한다. 이렇게 되면, 실리콘 기판(300)을 노출하는 트렌치(305)를 갖는 불순물이 도핑된 실리콘층 패턴(302a) 및 산화층 패턴(304a)이 형성된다. 상기 실리콘층 패턴(302a)은 비트 라인이 된다.

도 27 및 도 28을 참조하면, 상기 트렌치(305)를 매립하는 트렌치 산화층(306)을 형성한 후 평탄화한다. 이어서, 상기 트렌치 산화층(306)을 일부 식각하여 실리콘 기판(300)을 노출하는 콘택홀(308)을 형성한다.

도 29를 참조하면, 상기 콘택홀(308)의 내벽에 아몰포스 실리콘층을 형성한 후, 고상 에피택시(solid phase epitaxy) 공정을 이용하여 단결정의 실리콘층(310)을 형성한다. 상기 고상 에피택시 공정은 상기 콘택홀(308)의 내벽에 형성된 아몰포스 실리콘층을 약 600℃의 온도에서 장시간 처리하는 공정이다.

도 30을 참조하면, 상기 콘택홀(308)의 내벽에 형성된 실리콘층(310) 상에 전하 저장층(312)을 형성한다. 상기 전하 저장층(312)은 앞서 설명한 바와 같이 산화층-질화층-산화층으로 형성한다.

도 31을 참조하면, 상기 콘택홀(308) 내에 게이트(314)를 형성한다. 상기 게이트(314)는 상기 콘택홀(308) 내에 게이트용 도전막, 예컨대 금속막을 형성한 후, 평탄화하여 형성하여 단위 트랜지스터들을 형성한다. 상기 단위 트랜지스터는 앞서 설명한 바와 같이 상기 게이트(314)의 양측의 실리콘층(310)에 수직 방향으로 이격되어 형성된 소오스/드레인과, 상기 소오스/드레인 사이에 형성된 채널 영역을 포함한다.

상기 단위 트랜지스터(UT)를 구성하는 소오스/드레인은 앞서 설명한 바와 같이 실리콘층(310) 형성 후에 수행하는 열공정, 예컨대 전하저장층 형성 공정이나 게이트(314) 형성 공정에서 불순물이 도핑된 실리콘층(302) 내의 불순물이 단결정의 실리콘층(310)으로 확산하여 형성된다.

도 32를 참조하면, 상기 게이트(314) 상에 금속막을 도포한 후 패터닝하여 상기 게이트(314)와 연결되는 워드 라인(316)을 형성하여 3차원 플래쉬 메모리 소자를 완성한다.

**발명의 효과**

상술한 바와 같이 본 발명의 3차원 플래쉬 메모리 소자는 3차원으로 데이터를 저장하여 집적도를 높일 수 있고 라인 단위나 트랜지스터 단위로 지울 수 있다.

더욱이, 본 발명의 3차원 플래쉬 메모리 소자는 게이트의 양측에 트랜지스터를 형성하여 2 비트 동작을 수행하여 집적도를 더 높일 수 있다.

(57) 청구의 범위

청구항 1.

실리콘 기관 상에 수직 방향(Z축 방향)으로 형성된 게이트;

상기 게이트를 둘러싸면서 형성된 전하 저장층;

상기 전하 저장층을 둘러싸면서 형성된 실리콘층;

상기 실리콘층에 수직 방향으로 형성된 채널 영역; 및

상기 채널 영역을 사이에 두고 수직 방향으로 형성된 소오스/드레인을 포함하여 이루어지는 것을 특징으로 하는 3차원 플래쉬 메모리 소자.

청구항 2.

제1항에 있어서, 상기 게이트에는 상기 Z축 방향과 반시계방향으로 수직인 X축 방향으로 워드 라인이 연결되어 있는 것을 특징으로 하는 3차원 플래쉬 메모리 소자.

청구항 3.

제1항에 있어서, 상기 전하 저장층은 산화층-질화층-산화층으로 구성되어 있는 것을 특징으로 하는 3차원 플래쉬 메모리 소자.

청구항 4.

제1항에 있어서, 상기 소오스/드레인에는 상기 Z축 방향과 시계방향으로 수직인 Y축 방향으로 비트 라인이 연결되어 있는 것을 특징으로 하는 3차원 플래쉬 메모리 소자.

청구항 5.

제1항에 있어서, 상기 실리콘층의 채널 영역에는 상기 Z축 방향과 시계방향으로 수직인 Y축 방향으로 백 바이어스 라인이 연결되어 있는 것을 특징으로 하는 3차원 플래쉬 메모리 소자.

청구항 6.

제1항에 있어서, 상기 채널 영역은 상기 실리콘층 전체로 구성되는 것을 특징으로 하는 3차원 플래쉬 메모리 소자.

청구항 7.

실리콘 기관 상에 불순물이 도핑된 실리콘층과 산화층을 복수회 반복적으로 형성하는 단계;

상기 산화층 및 불순물이 도핑된 실리콘층을 패터닝하여 상기 실리콘 기판을 노출하는 콘택홀을 갖는 불순물이 도핑된 실리콘층 패턴 및 산화층 패턴을 형성하는 단계;

상기 콘택홀의 내벽에 단결정의 실리콘층을 형성하는 단계;

상기 단결정 실리콘층 상에 전하 저장층을 형성하는 단계;

상기 콘택홀 내에 게이트를 형성하는 단계;

상기 산화층 패턴 및 실리콘층 패턴을 다시 패터닝하여 상기 실리콘 기판을 노출시키는 트렌치와 상기 실리콘층 패턴으로 비트 라인을 형성하는 단계; 및

상기 트렌치를 매립하는 트렌치 산화층을 형성하는 단계를 포함하여,

상기 실리콘층 패턴에 포함된 불순물이 단결정의 실리콘층으로 확산함으로써 수직 방향으로 이격되어 형성된 소오스/드레인파, 상기 소오스/드레인 사이에 형성된 채널 영역을 갖는 단위 트랜지스터를 형성하는 것을 특징으로 하는 3차원 플래쉬 메모리 소자의 제조방법.

#### 청구항 8.

제7항에 있어서, 상기 단결정의 실리콘층을 형성하는 단계는, 상기 콘택홀의 내벽에 아몰포스 실리콘층을 형성한 후, 결정화하여 형성하는 것을 특징으로 하는 3차원 플래쉬 메모리 소자의 제조방법.

#### 청구항 9.

제7항에 있어서, 상기 전하 저장층은 산화층-질화층-산화층으로 형성하는 것을 특징으로 하는 3차원 플래쉬 메모리 소자의 제조방법.

#### 청구항 10.

제7항에 있어서, 상기 트렌치 산화층을 형성한 후, 상기 게이트와 연결되는 워드 라인을 형성하는 것을 특징으로 하는 3차원 플래쉬 메모리 소자의 제조방법.

#### 청구항 11.

실리콘 기판 상에 불순물이 도핑된 실리콘층과 실리콘 게르마늄층을 복수회 반복적으로 형성하는 단계;

상기 실리콘 게르마늄층 및 불순물이 도핑된 실리콘층을 패터닝하여 상기 실리콘 기판을 노출하는 콘택홀을 갖는 불순물이 도핑된 실리콘층 패턴 및 실리콘 게르마늄층 패턴을 형성하는 단계;

상기 콘택홀의 내벽에 단결정의 실리콘층을 형성하는 단계;

상기 단결정 실리콘층 상에 전하 저장층을 형성하는 단계;

상기 콘택홀 내에 게이트를 형성하는 단계;

상기 실리콘 게르마늄층 패턴 및 실리콘층 패턴을 다시 패터닝하여 상기 실리콘 기판을 노출시키는 트렌치와 상기 실리콘층 패턴으로 비트 라인을 형성하는 단계;

상기 실리콘 게르마늄층 패턴을 선택적으로 제거하는 단계; 및

상기 트렌치를 매립하는 트렌치 산화층을 형성하는 단계를 포함하여,

상기 실리콘층 패턴에 포함된 불순물이 단결정의 실리콘층으로 확산함으로써 수직 방향으로 이격되어 형성된 소오스/드레인파, 상기 소오스/드레인 사이에 형성된 채널 영역을 갖는 단위 트랜지스터를 형성하는 것을 특징으로 하는 3차원 플래쉬 메모리 소자의 제조방법.

## 청구항 12.

제11항에 있어서, 상기 단결정의 실리콘층은 상기 콘택홀의 내벽에 아몰포스 실리콘층을 형성한 후, 결정화하여 형성하는 것을 특징으로 하는 3차원 플래쉬 메모리 소자의 제조방법.

## 청구항 13.

제11항에 있어서, 상기 전하 저장층은 산화층-질화층-산화층으로 형성하는 것을 특징으로 하는 3차원 플래쉬 메모리 소자의 제조방법.

## 청구항 14.

제11항에 있어서, 상기 트렌치 산화층을 형성한 후, 상기 게이트와 연결되는 워드 라인을 형성하는 것을 특징으로 하는 3차원 플래쉬 메모리 소자의 제조방법.

## 청구항 15.

실리콘 기판 상에 수직 방향(Z축 방향)으로 형성된 게이트;

상기 게이트를 둘러싸면서 형성된 전하 저장층;

상기 전하 저장층을 둘러싸면서 형성된 실리콘층;

상기 게이트의 양측에 수평방향으로 대칭되어 형성되고, 상기 게이트 양측의 실리콘층에는 수직 방향으로 일정 간격 이격되어 형성된 채널 영역; 및

상기 게이트의 양측에 수평 방향으로 대칭되어 형성되고, 상기 게이트의 양측의 실리콘층에는 상기 채널 영역을 사이에 두고 수직 방향으로 형성된 소오스/드레인을 포함하여 이루어지는 것을 특징으로 하는 3차원 플래쉬 메모리 소자.

## 청구항 16.

제15항에 있어서, 상기 게이트에는 상기 Z축 방향과 반시계방향으로 수직인 X축 방향으로 워드 라인이 연결되어 있는 것을 특징으로 하는 3차원 플래쉬 메모리 소자.

## 청구항 17.

제15항에 있어서, 상기 전하 저장층은 산화층-질화층-산화층으로 구성되어 있는 것을 특징으로 하는 3차원 플래쉬 메모리 소자.

### 청구항 18.

제15항에 있어서, 상기 소오스/드레인에는 상기 Z축 방향과 시계방향으로 수직한 Y축 방향으로 비트 라인이 연결되어 있는 것을 특징으로 하는 특징으로 하는 3차원 플래쉬 메모리 소자.

### 청구항 19.

제15항에 있어서, 상기 실리콘층의 채널 영역에는 상기 Z축 방향과 반시계방향으로 수직한 Y축 방향으로 백 바이어스 라인이 연결되어 있는 것을 특징으로 하는 특징으로 하는 3차원 플래쉬 메모리 소자.

### 청구항 20.

제15항에 있어서, 상기 채널 영역은 상기 실리콘층의 일측 및 타측에 대향되어 구성되는 것을 특징으로 하는 3차원 플래쉬 메모리 소자.

### 청구항 21.

실리콘 기판 상에 불순물이 도핑된 실리콘층과 산화층을 복수회 반복적으로 형성하는 단계;

상기 산화층 및 불순물이 도핑된 실리콘층을 패터닝하여 상기 실리콘 기판을 노출하는 트렌치를 형성함과 아울러 상기 불순물이 도핑된 실리콘층으로 비트 라인을 형성하는 단계;

상기 트렌치를 매립하는 트렌치 산화층을 형성하는 단계;

상기 트렌치 산화층의 일부를 식각하여 상기 실리콘 기판을 노출하는 콘택홀을 형성하는 단계;

상기 콘택홀의 내벽에 단결정의 실리콘층을 형성하는 단계;

상기 단결정 실리콘층 상에 전하 저장층을 형성하는 단계; 및

상기 콘택홀 내에 게이트를 형성하는 단계를 포함하여,

상기 실리콘층 패턴에 포함된 불순물이 상기 단결정의 실리콘층으로 확산함으로써 상기 게이트의 양측의 실리콘층에 수직 방향으로 일정 간격 이격되어 형성된 채널 영역과, 상기 채널 영역을 사이에 두고 수직 방향으로 형성된 소오스/드레인을 포함하여 이루어지는 것을 특징으로 하는 3차원 플래쉬 메모리 소자의 제조방법.

### 청구항 22.

제21항에 있어서, 상기 단결정의 실리콘층을 형성하는 단계는, 상기 콘택홀의 내벽에 아몰포스 실리콘층을 형성한 후, 결정화하여 형성하는 것을 특징으로 하는 3차원 플래쉬 메모리 소자의 제조방법.

### 청구항 23.

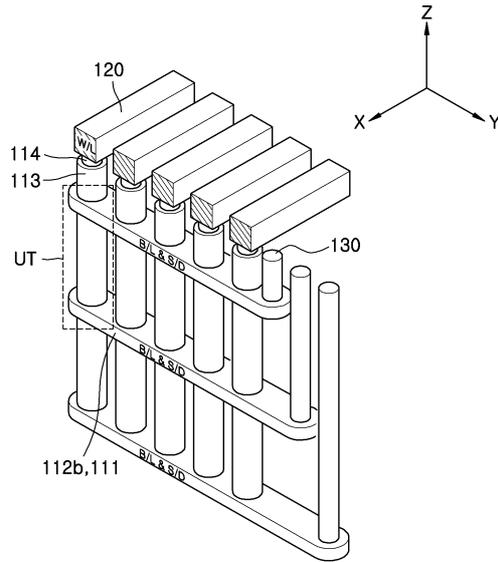
제21항에 있어서, 상기 전하 저장층은 산화층-질화층-산화층으로 형성하는 것을 특징으로 하는 3차원 플래쉬 메모리 소자의 제조방법.

청구항 24.

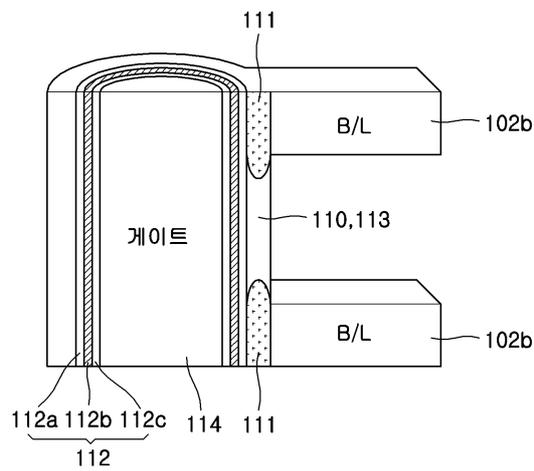
제21항에 있어서, 상기 게이트를 형성한 후, 상기 게이트와 연결되는 워드 라인을 형성하는 것을 특징으로 하는 3차원 플래쉬 메모리 소자의 제조방법.

도면

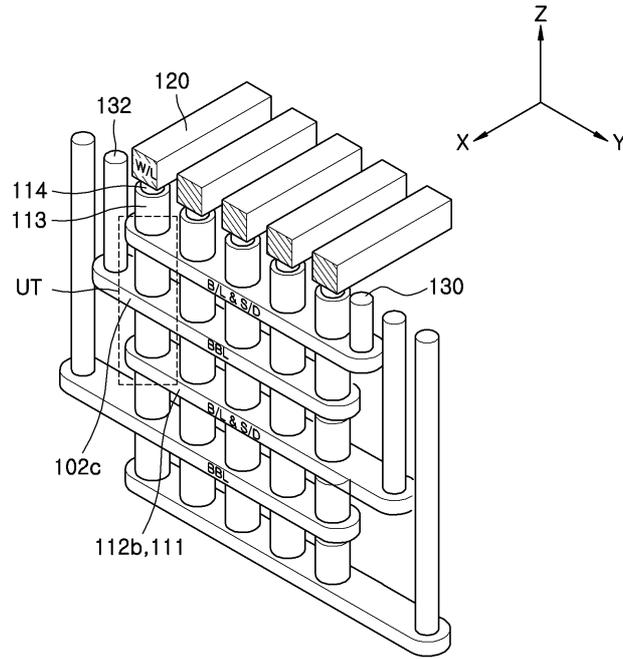
도면1



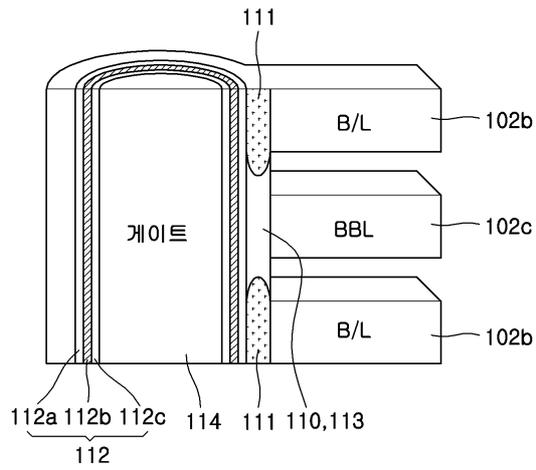
도면2



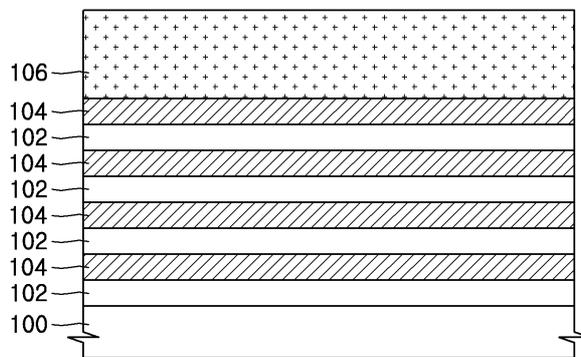
도면3



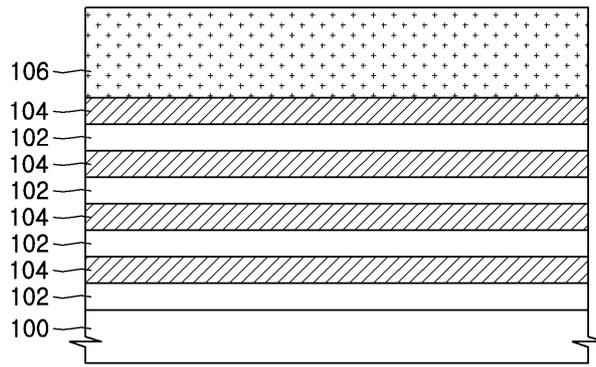
도면4



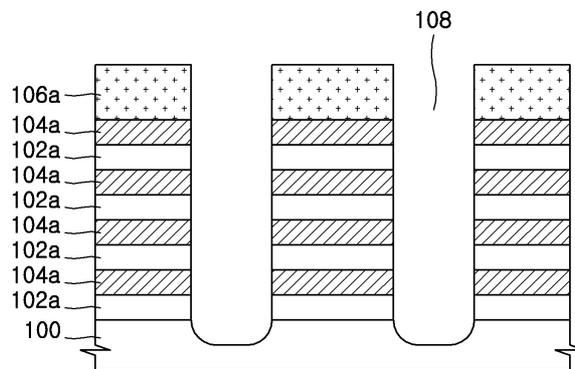
도면5a



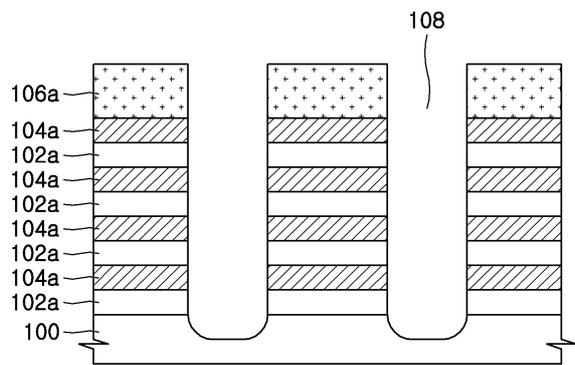
도면5b



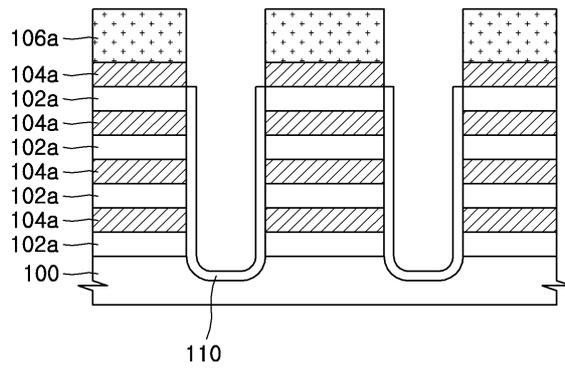
도면6a



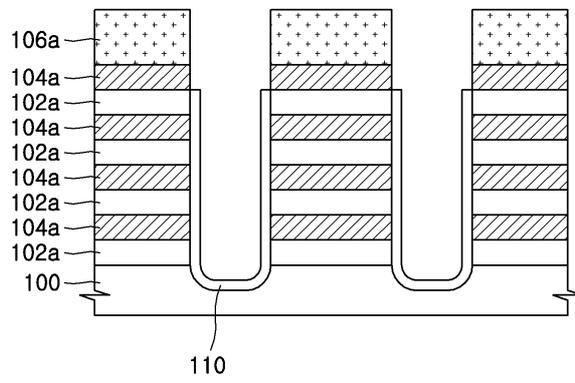
도면6b



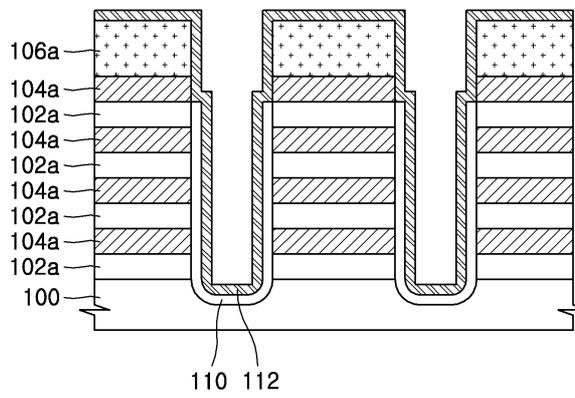
도면7a



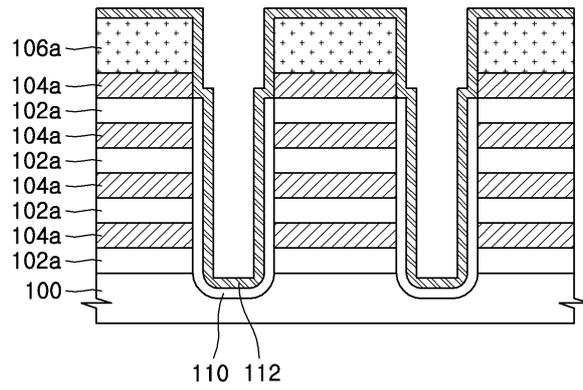
도면7b



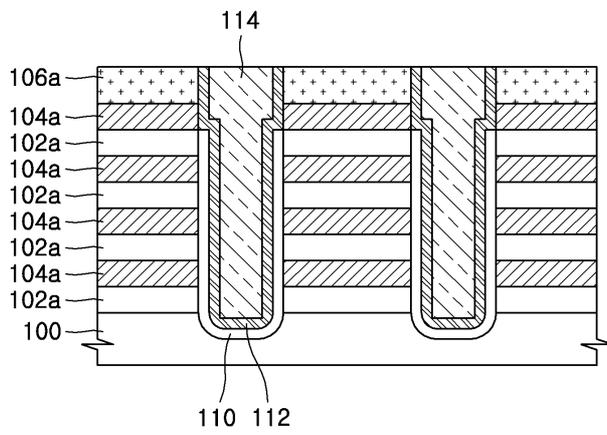
도면8a



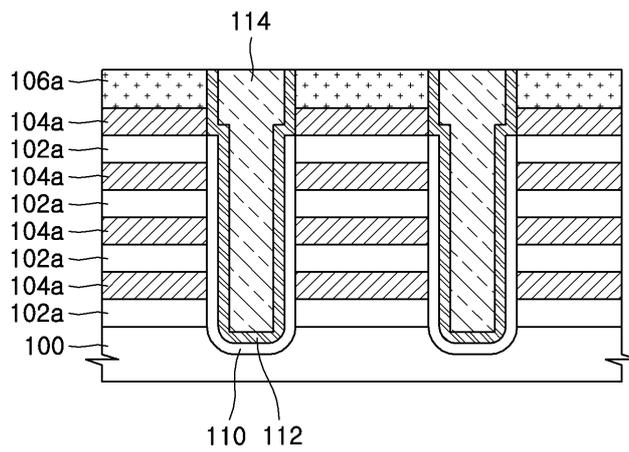
도면8b



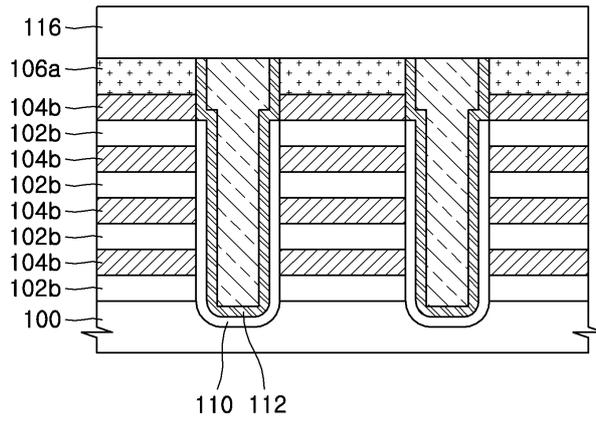
도면9a



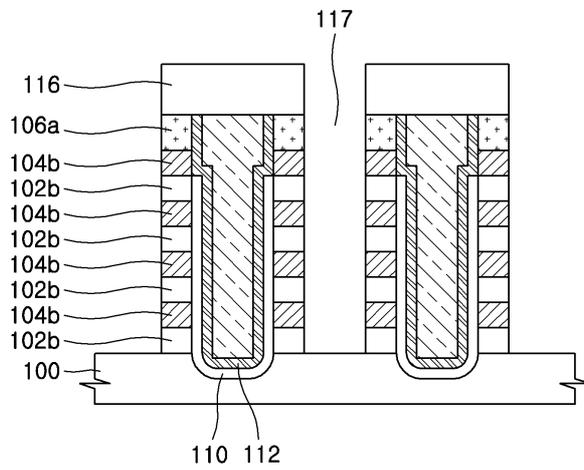
도면9b



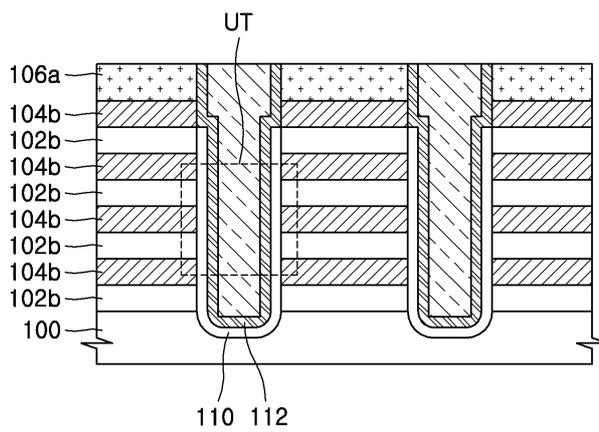
도면10a



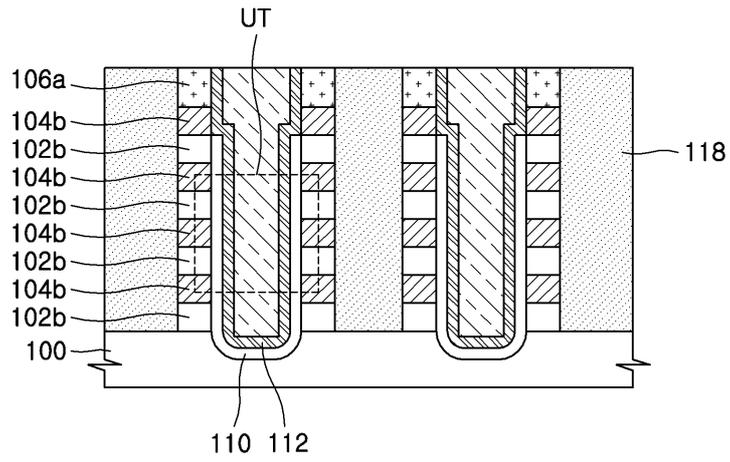
도면10b



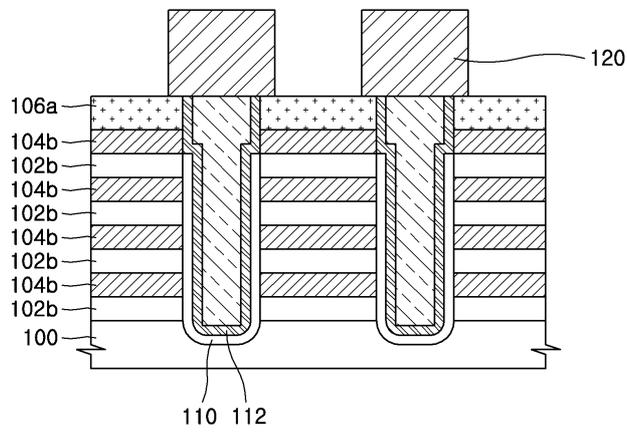
도면11a



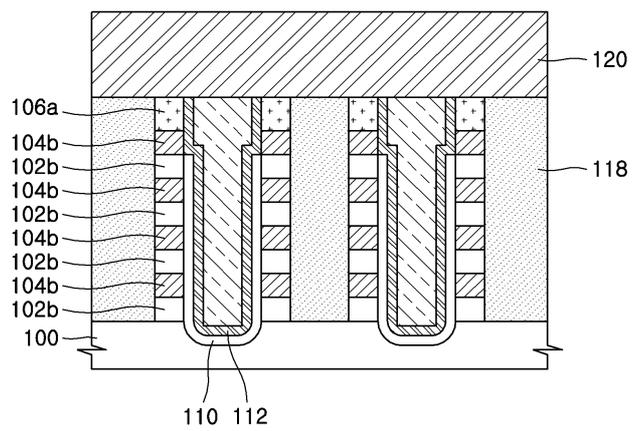
도면11b



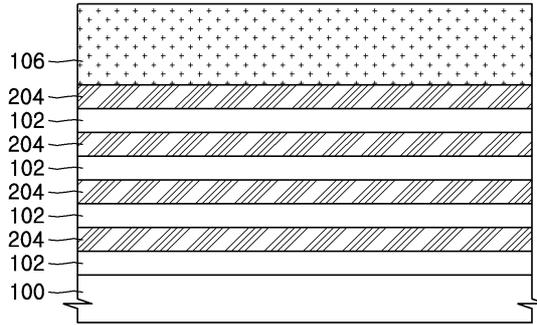
도면12a



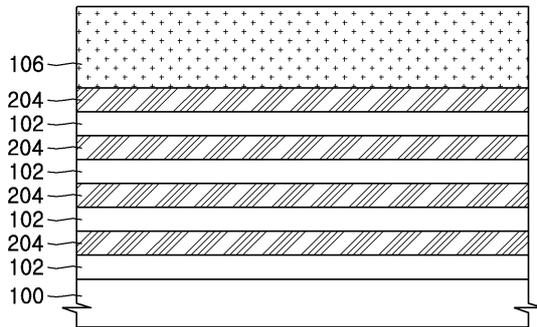
도면12b



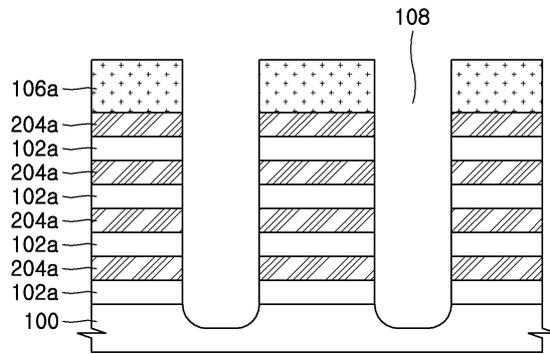
도면13a



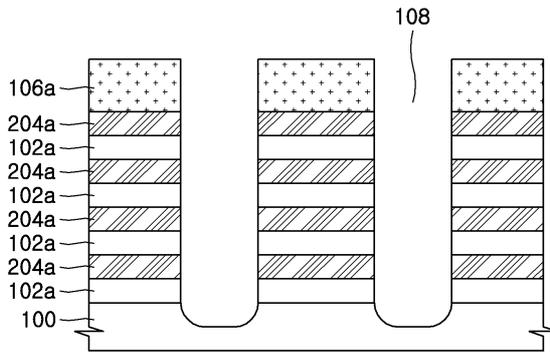
도면13b



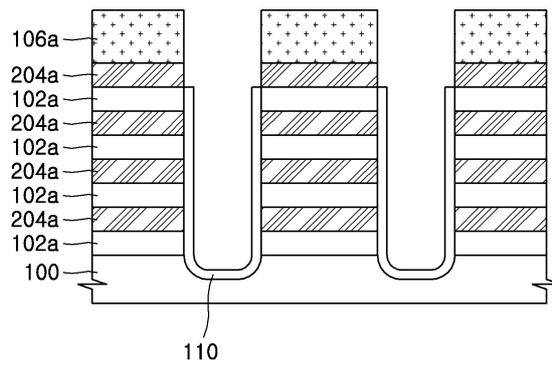
도면14a



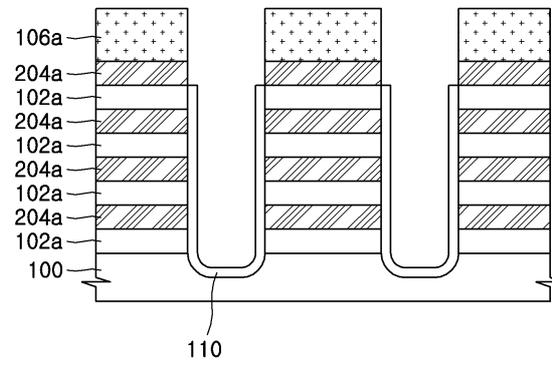
도면14b



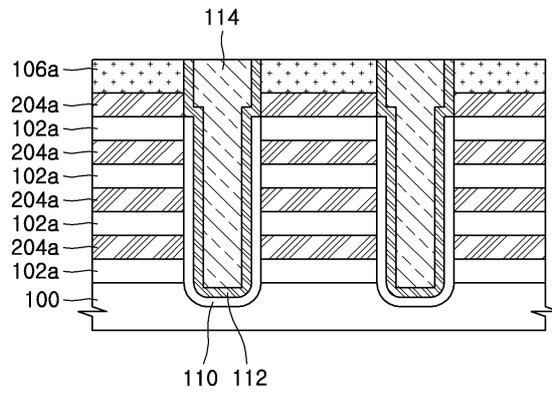
도면15a



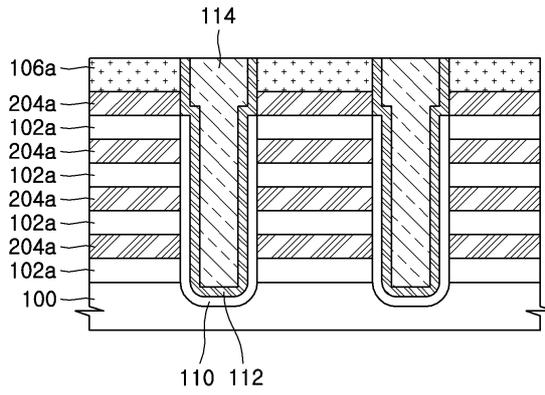
도면15b



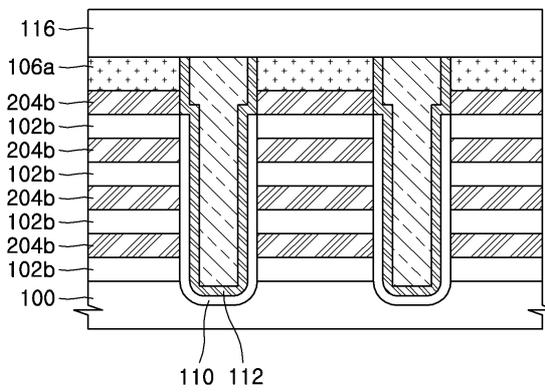
도면16a



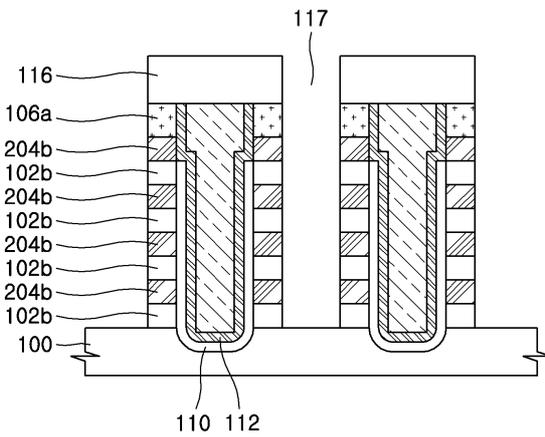
도면16b



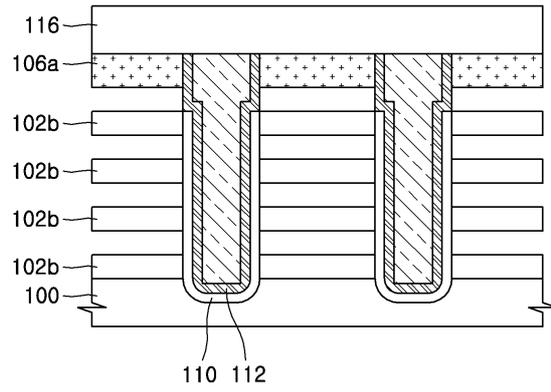
도면17a



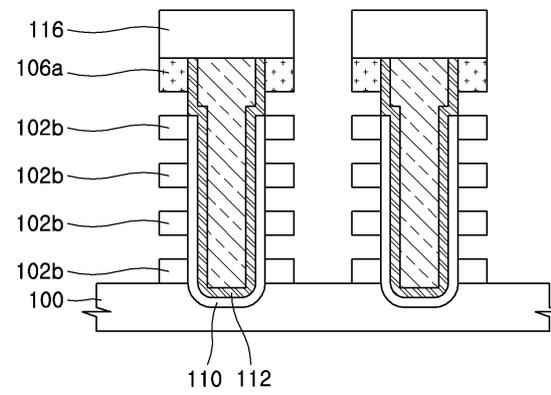
도면17b



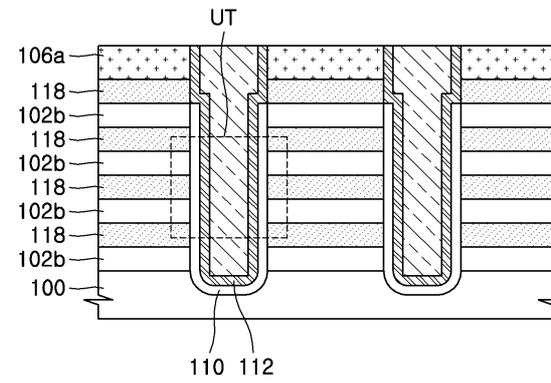
도면18a



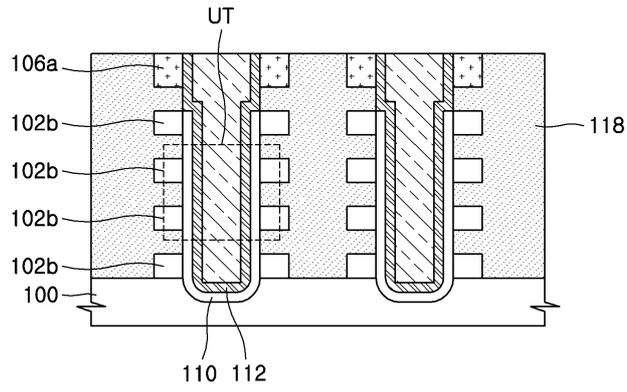
도면18b



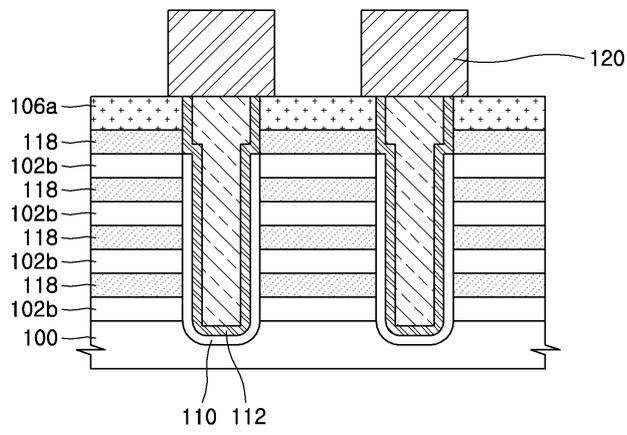
도면19a



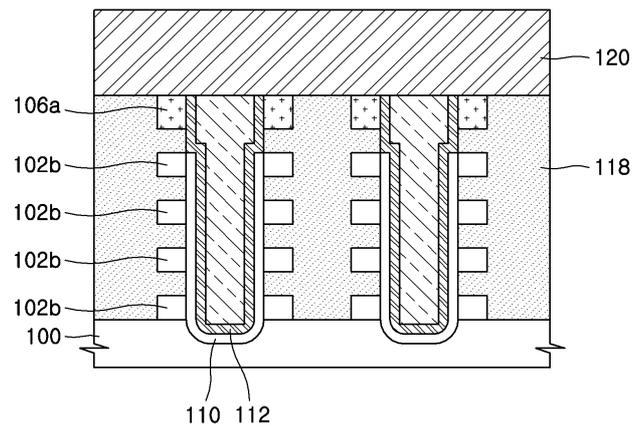
도면19b



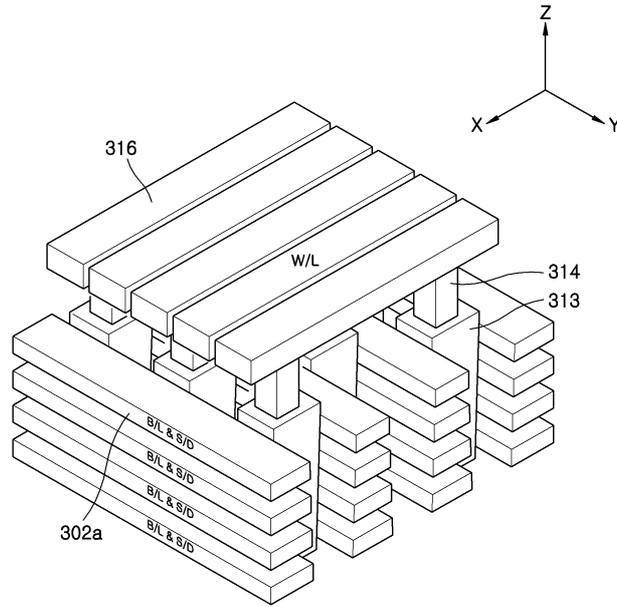
도면20a



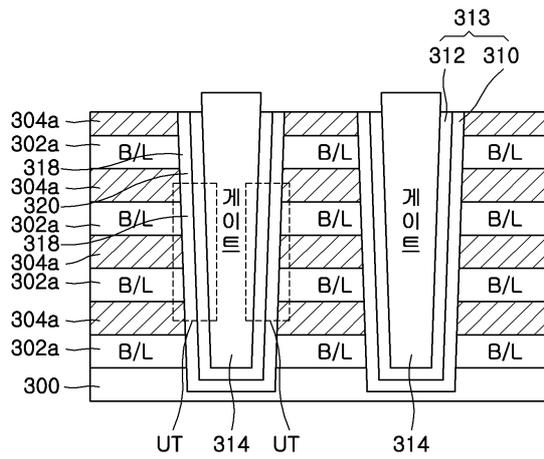
도면20b



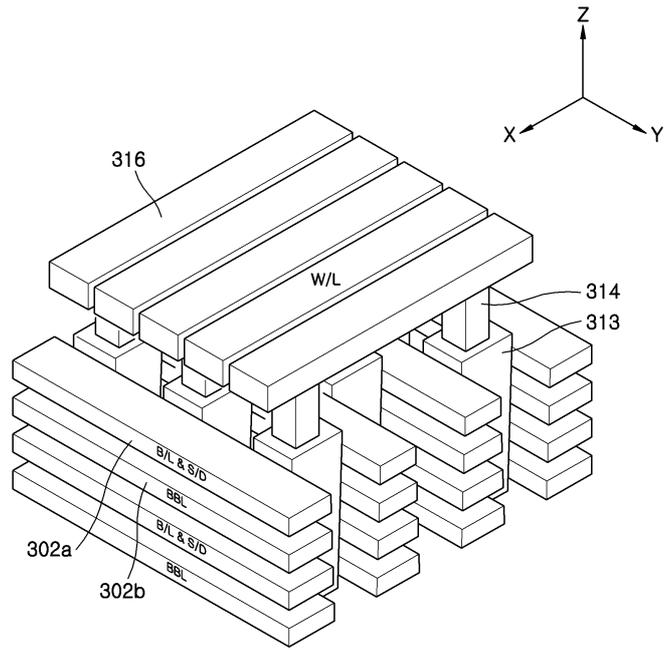
도면21



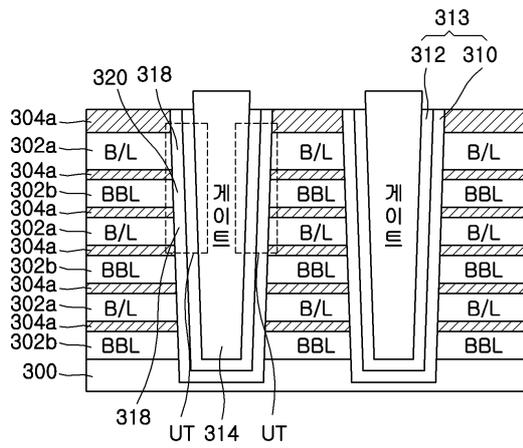
도면22



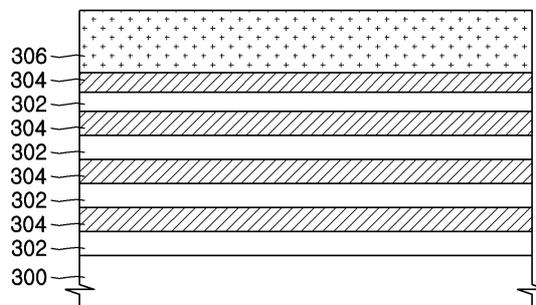
도면23



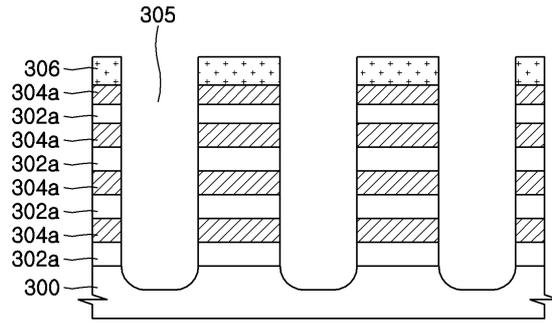
도면24



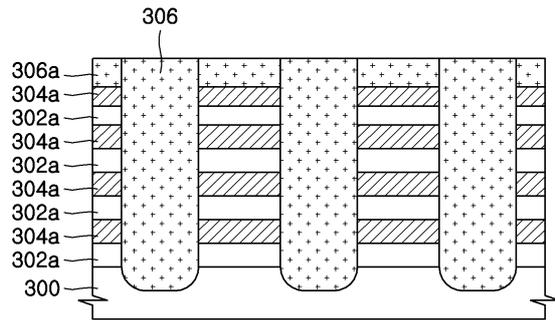
도면25



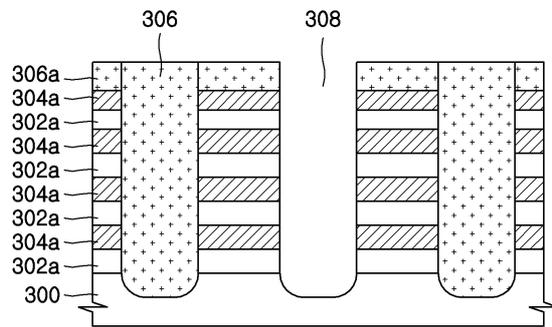
도면26



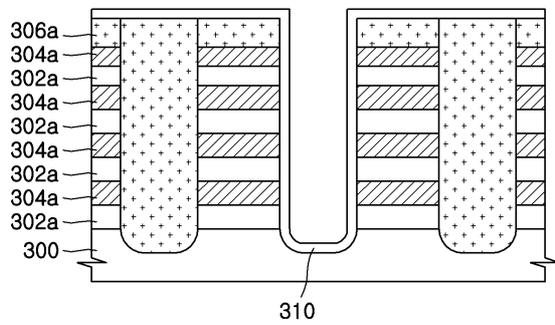
도면27



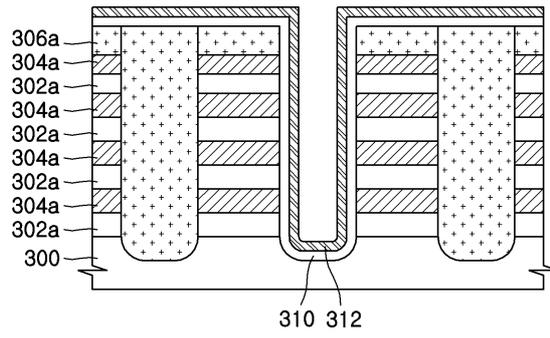
도면28



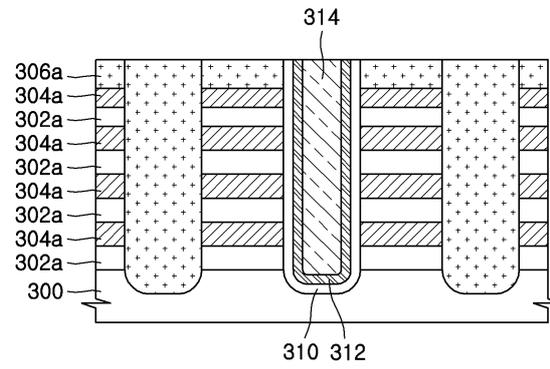
도면29



도면30



도면31



도면32

