(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3810274号
(P3810274)

(45)発行日　平成18年8月16日(2006.8.16)　(24)登録日　平成18年6月2日(2006.6.2)

(51)Int.Cl.		F I		
G11C 11/14	(2006.01)	G11C	11/14	A
G11C 11/15	(2006.01)	G11C	11/15	
H01L 27/105	(2006.01)	H01L	27/10	447
H01L 21/8246	(2006.01)	H01L	43/08	Z
H01L 43/08	(2006.01)	H03K	3/037	Z

請求項の数 13　(全 13 頁)　最終頁に続く

(21)出願番号　特願2000-543970 (P2000-543970)
(86)(22)出願日　平成11年4月14日 (1999.4.14)
(65)公表番号　特表2002-511631 (P2002-511631A)
(43)公表日　平成14年4月16日 (2002.4.16)
(86)国際出願番号　PCT/US1999/008240
(87)国際公開番号　WO1999/053499
(87)国際公開日　平成11年10月21日 (1999.10.21)
審査請求日　平成14年3月8日 (2002.3.8)
(31)優先権主張番号　09/059,871
(32)優先日　平成10年4月14日 (1998.4.14)
(33)優先権主張国　米国 (US)

(73)特許権者　398070993
マイクロン・テクノロジイ・インコーポレーテッド
アメリカ合衆国・８３７０７・アイダホ州・ボイジー・サウス　フェデラル　ウェイ・８０００
(74)代理人　100064621
弁理士　山川　政樹
(72)発明者　ギャドボワ，ジェイソン・ビイ
アメリカ合衆国・５５４１３・ミネソタ州・ミネアポリス・３アールディ　アベニュ　ノースイースト　１１１番・７２０
(72)発明者　ハースト，アラン・ティ・ジュニア
アメリカ合衆国・５５３０３・ミネソタ州・アノカ・サニー　レーン・７７７
最終頁に続く

(54)【発明の名称】不揮発性記憶ラッチ

(57)【特許請求の範囲】

【請求項１】

正電位端子と接地電位端子とを有する電源によって電力を供給され、２つの安定状態のうちの一方を有するデータのビットを選択的に記憶するラッチ素子であって、それぞれが第１電源端子と第２電源端子とを有し、かつ交差結合態様で互いに結合された第１の反転論理要素と第２の反転論理要素とを有するラッチ素子とを備え、

前記ラッチ素子の第１の反転論理要素は前記電源の正電位端子に第１の磁気的手段を介して接続する第１の電源端子と前記電源の接地電位端子に接続する第２の電源端子とを有し、前記ラッチ素子の第２の反転論理要素は前記電源の正電位端子に第２の磁気的手段を介して接続する第１の電源端子と前記電源の接地電位端子に接続する第２の電源端子とを有しており、

前記第１の磁気的手段は、第１の磁気的プログラマブル抵抗をその中に生成するものであり、

前記第２の磁気的手段は、第２の磁気的プログラマブル抵抗をその中に生成するものであり、

さらに、前記電源の起動時に前記ラッチ素子に前記２つの安定状態のうちの所望の一方をとるようにさせるために、前記第１の磁気的プログラム抵抗と第２の磁気的プログラム抵抗は異なることを特徴とする不揮発性ラッチ。

【請求項２】

前記第１の磁気的手段がＡＭＲ材料を含む請求項１記載の不揮発性ラッチ。

【請求項３】
前記第１の磁気的手段がＧＭＲ材料を含む請求項１記載の不揮発性ラッチ。
【請求項４】
前記第１の磁気的手段がＣＭＲ材料を含む請求項１記載の不揮発性ラッチ。
【請求項５】
前記第１の磁気的手段がスピン・トンネリング素子を含む請求項１記載の不揮発性ラッチ。
【請求項６】
前記第１の磁気的手段が疑似スピン・バルブ素子を含む請求項１記載の不揮発性ラッチ。
【請求項７】
前記第１の磁気的手段が
第１の厚みを有する第１の強磁性層と、
前記第１の厚みより大きな厚みである第２の厚みを有する第２の強磁性層とを含み、
さらに、前記第１の強磁性層と第２の強磁性層との間に挿入された導電性電磁絶縁層とを含むことを特徴とする請求項１記載の不揮発性ラッチ。
【請求項８】
ゲート端子と、ソース端子及びドレイン端子を有する第１のｐ－チャネル・トランジスタであって、第２の端子が電源の正電位端子に接続されている第１の磁気的手段の第１の端子に前記ソース端子が接続された第１のｐ－チャネル・トランジスタと、
ゲート端子と、ソース端子及びドレイン端子を有する第１のｎ－チャネル・トランジスタであって、そのドレイン端子が前記第１のｐ－チャネル・トランジスタのドレイン端子に、そのゲート端子が前記第１のｐ－チャネル・トランジスタのゲート端子に、そのソース端子が前記電源の接地電位端子にそれぞれ接続された第１のｎ－チャネル・トランジスタと、
ゲート端子と、ソース端子及びドレイン端子を有する第２のｐ－チャネル・トランジスタであって、第２の端子が前記電源の正電位端子に接続されている第２の磁気的手段の第１の端子に前記ソース端子が接続された第２のｐ－チャネル・トランジスタと、
ゲート端子と、ソース端子及びドレイン端子を有する第２のｎ－チャネル・トランジスタであって、そのドレイン端子が前記第２のｐ－チャネル・トランジスタのドレイン端子と前記第１のｎ－チャネル・トランジスタのゲート端子に、そのゲート端子が前記第２のｐ－チャネル・トランジスタのゲート端子と前記第１のｎ－チャネル・トランジスタのドレイン端子に、そのソース端子が前記電源の接地電位端子にそれぞれ接続された第２のｎ－チャネル・トランジスタと
を備えた正電位端子と接地電位端子とを有する電源によって電力供給される不揮発性ラッチ。
【請求項９】
前記第１の磁気的手段の抵抗値をプログラムするためのプログラミング手段をさらに含む請求項８記載の不揮発性ラッチ。
【請求項１０】
前記第１の磁気的手段の前記プログラマブル抵抗値が２つの安定状態を有し、前記プログラミング手段が、前記第１の磁気的手段の抵抗値を前記２つの安定状態のうちの一方になるようにプログラムする請求項９記載の不揮発性ラッチ。
【請求項１１】
前記プログラミング手段が、前記第１の磁気的手段中に前記２つの安定状態のうちの一方を書き込むために前記第１の磁気的手段から離れた書込み手段を含む請求項１０記載の不揮発性ラッチ。
【請求項１２】
前記第２の磁気的手段の前記プログラマブル抵抗値が２つの安定状態を有し、前記プログラミング手段が、前記第２の磁気的手段の抵抗値を前記２つの安定状態のうちの一方に

なるようにプログラムする請求項１１記載の不揮発性ラッチ。
【請求項１３】
前記プログラミング手段が、前記第２の磁気的手段の抵抗値を前記第１の磁気的手段と逆の状態にプログラムする請求項１２記載の不揮発性ラッチ。
【発明の詳細な説明】
【０００１】
（発明の背景）
本発明は、電子メモリ・デバイスの分野に関し、より詳細には、電力が加えられたときに所望の状態をとる不揮発性メモリ素子に関する。
【０００２】
ほとんどのデジタル電子デバイスは、所望の機能を実施するために論理ゲートとメモリ素子の両方を使用する。メモリ素子は、初期、中間、および／または最終データを格納するために使用される。論理ゲートは、メモリ素子にデータを出力する、かつ／またはそこからデータを受信し、必要なデータ操作を行うために使用される。典型的なデジタル・システムでは、基本メモリ素子が、ラッチ素子と呼ばれる双安定論理回路である。例えばＤラッチ、ＲＳラッチ、ＪＫラッチなどを含めた多数のタイプのラッチ素子が存在する。これらのラッチ素子はしばしば、フリップフロップまたは他の記憶デバイスの様々なフォームを形成するために組み合わされる。
【０００３】
ラッチ素子は通常、偶数個の否定を有する１つまたは複数のフィードバック・パスを使用する。偶数個の否定を提供することによって、フィードバック・パスは、ラッチ素子のデータ状態を補強する。ラッチ素子に所望の状態を書き込むために、フィードバック・パスは通常オーバードライブされる、またはフィードバック・パスを一時的に中断するためにスイッチが提供され、それと同時に新たなデータ状態がラッチ素子に提供される。ほとんどの基本ラッチ素子が、一対のクロスカップルされた反転器を含む。しかし、多数の他の知られている実装形態が存在する。
【０００４】
従来のラッチ素子は、少なからぬ欠点（制限）を有していた。そのうちのいくつかを以下に記述する。第１に、ラッチ素子の初期状態は通常わかっていない。この制限は、回路またはシステムにいくつかの問題を生じさせる可能性がある。例えば、選択された出力バッファのイネーブル信号が通常、ラッチ素子の状態によって直接的に、または間接的に制御される。電源投入時にラッチ素子の状態がわかっていないため、１つまたは複数の出力バッファを同時にイネーブルする場合がある。これは、出力バッファが両方向バスに結合され、あるバッファが別のバッファをオーバードライブすることを試み、それによりかなりの電力を消費し、場合によっては選択された回路素子に損傷をもたらす。
【０００５】
この問題および他の問題を緩和するために、多くのシステムは、電源投入後に短時間実行される初期化手順を必要とする。初期化手順の一目的は、選択されたラッチ素子の状態を初期化することである。初期化手順は、例えば、回路またはシステムの出力バッファをディスエーブルとするために、選択されたラッチ素子をリセットする。一般に、初期化手順は、選択されたラッチ素子を初期化して、後続の処理のためにデバイスを準備する。初期化手順の必要が、システムをブートするのに必要な時間を増大させる。
【０００６】
多くの従来ラッチ素子の他の関連する制限は、電力が失われたあるいは中断されたときに、内部に格納されたデータが失われることである。例えば、パーソナル・コンピュータまたは他のデータ処理システムが電力を失うと、ラッチ素子に格納されているデータが失われる。電力がリストアされるとき、データ処理システムは、電力損失前のデータ処理システムの状態とは無関係である初期状態をとる。しばしば、電力損失と同時にまたはその前に完了した処理の大半が失われる、またはそれらを再構成および／または再実行しなければならず、時間を浪費する冗長なタスクになる可能性がある。

【０００７】
信頼度を高める適用例では、ラッチ素子が電力損失を受ける可能性を減らすために主電源と補助電源を設ける。このようなシステムでは、補助電源は、主電源が故障したときに使用される。この手法の制限は、補助電源、電力減衰検出機構、および電源スイッチング機構を含めて、かなりのオーバーヘッドが必要とされることである。さらに、補助電源はしばしば、寿命が制限された電池、またはその類である。したがって、長時間主電源が故障している場合、補助電源も故障して、ラッチ素子に、内部に格納されたデータを失わさせる可能性がある。
【０００８】
電源故障後のデータの損失を最小限に抑えるための他の手法は、システムにサブミットされる各トランザクションごとに監査トレールを保守するものである。そのようなシステムでは、監査トレールは、磁気テープやハード・ドライブなどの不揮発性記憶媒体に定期的に書き込まれる。監査トレールは通常、処理装置にサブミットされる各トランザクションの状態のリストを含む。電源が故障した場合、上述したように、システム内部のラッチ素子は、内部に格納されたデータを失う。しかし、電力がリストアされた後、監査トレールを使用して、各トランザクションの状態を再構成することができる。完了されていないまたは格納されていないトランザクションのみを、処理のために再サブミットすればよい。これにより、電源故障後に必要なデータ再構成の量を大幅に減少させることができる。しかし、監査トレール・データを読み取り、各トランザクションの状態を求めるためには、通常かなりの時間およびリソースが必要である。
【０００９】
したがって、電源投入時に所望の状態をとるラッチ素子が望まれる。これは、初期化手順の必要性を低減させる、またはなくすることができる。また、電力が失われたあるいは中断されたときにデータを失わないラッチ素子を実現することが望まれる。これは、補助電源および／または監査トレール・システム、またはその類を用意する必要性を低減する。
【００１０】
（発明の概要）
本発明は、電源投入時に既知の初期状態をとる双安定ラッチ素子を実現することによって、従来技術の欠点の多くを克服する。本発明はまた、電力が失われたあるいは中断されたときにデータを失わないラッチ素子を実現する。これは、ラッチ素子内に１つまたは複数の磁気素子を組み込むことによって実施される。磁気素子は、少なくとも２つの安定な磁気抵抗を有することが好ましい。磁気素子を適切な抵抗値にプログラムすることによって、ラッチ素子は、電源投入時に所望のまたは既知の初期状態をとることができる。通常機能動作中にラッチ素子が書き込まれるたびに磁気素子をプログラムすることによって、電力が失われたあるいは中断されたときに、内部に格納されたデータが失われないようにすることができる。
【００１１】
本発明の１つの例示的な実施形態では、ラッチ素子は電源によって電力供給され、２つの安定な状態のうちの１つを有するデータビットを選択的に格納する。第１の磁気素子は、ラッチ素子の第１の部分と電源の間に挿入される。第１の磁気素子は、第１の磁気的プログラマブル抵抗を提供し、ラッチ素子に、電源の電源投入時に２つの安定な状態のうちの所望の１つをとらせる。また、第２の磁気素子を、ラッチ素子の第２の部分と電源の間に挿入して、第１の磁気的プログラマブル抵抗とは異なる第２の磁気的プログラマブル抵抗を生成することができる。第２の磁気素子は、ラッチ素子が、電源の電源投入時に２つの安定な状態のうちの所望の１つをとる助けとなる。
【００１２】
本発明の他の例示的な実施形態では、第１の電圧と第２の電圧によって電源供給されるラッチ素子が形成される。ラッチ素子は、クロスカップルされた構成で一体に結合された第１の反転素子と第２の反転素子を含み、第１および第２の反転素子がそれぞれ、第１の電源端と第２の電源端を有する。この例示的な実施形態では、第１の磁気素子は、第１の反

転素子の第１の電源端と第１の電圧との間に形成される。第２の磁気素子は、第２の反転素子の第１の電源端と第１の電圧との間に形成される。このとき、第１および第２の反転素子の第２の電源端が、第２の電圧に結合される。好ましくは、第１の磁気素子は、第２の磁気素子とは異なる抵抗を形成するようにプログラムされる。したがって、不均衡が作られ、それによりクロスカップルされた反転素子に、パワーアップ時に所望の状態をとらせる。

【００１３】

本発明の他の例示的な実施形態では、第１の磁気素子を、第１の反転素子の第１の電源端と第１の電圧との間に接続することができ、第２の磁気素子を、第２の反転素子の第２の電源端と第２の電圧との間に接続することができる。第１の電源が第２の電源を基準として正であってよく、またはその逆であってもよい。

【００１４】

本発明の他の例示的な実施形態では、従来のラッチ素子を、プログラマブル入力電圧供給回路に結合して、所望のまたは既知の初期値をとるラッチ素子を提供することができる。入力電圧供給回路は、電源投入時にラッチ素子に２つの状態のうちの１つの入力電圧を出力することができる。入力電圧供給回路は、少なくとも２つの安定な磁気抵抗状態を有する少なくとも１つの磁気素子を含むことが好ましい。適切な抵抗値を有するように磁気素子をプログラムすることによって、入力電圧を調整して、初期電源投入時にラッチ素子に所望の状態を書き込むことができる。

【００１５】

入力電圧供給回路は、第１の抵抗器と第１の磁気素子の両方を含むことが好ましく、第１の抵抗器と第１の磁気素子は、第１のハーフ・ブリッジ構成として接続される。次いで、入力電圧が、第１の抵抗器と第１の磁気素子の中間接続点から供給される。適切な抵抗値を有するように第１の磁気素子をプログラムすることによって、入力電圧を調整して、初期電源投入時にラッチ素子に所望の状態を書き込むことができる。さらに、入力電圧供給回路は、第２の抵抗器および第２の磁気素子を含むことができ、第２の抵抗器と第２の磁気素子は、第２のハーフ・ブリッジ構成として接続される。このとき、入力電圧は、第１の抵抗器と第１の磁気素子の中間接続点と、第２の抵抗器と第２の磁気手段の中間接続点と間に供給する。

【００１６】

入力電圧振幅を最大限にするために、第１の磁気素子は、２つの磁気的プログラマブル抵抗値のうちの所定の１つにプログラムされることが好ましく、第２の磁気素子は、２つの磁気的プログラマブル抵抗値の残りの１つにプログラムされることが好ましい。これは当然、第１および第２の磁気素子が、対応するハーフ・ブリッジ回路の隣接する脚に位置決めされていることを仮定している。入力電圧供給回路とラッチ素子の間にセレクタを配置して、記憶素子に入力電圧を選択的に供給することができることも企図される。セレクタは、電源投入が進行した、または完了した後に、動作されることが好ましい。

【００１７】

上の各例示的な実施形態では、磁気素子を、対応する磁気素子に隣接して書込み電流を流すことによってプログラムすることができる。書込み電流は、磁気素子を２つの安定な磁気状態のうちの１つに磁化する。磁気状態が、対応する磁気素子の抵抗値を制御する。対応する磁気素子に対して書込み電流の方向を変更させることによって、磁気状態、したがって磁気素子の抵抗を変更することができる。

【００１８】

上述したように、本発明のいくつかの実施形態は、第１の磁気素子と第２の磁気素子の両方を含み、第１の磁気素子を１つの状態に、第２の磁気素子を反対の状態にプログラムする（書き込む）ことが望ましい。本発明の一実施形態では、第１および第２の磁気素子は、単一の書込み線を使用することによって反対の状態に書き込まれる。単一書込み線は、第１の方向から第１の磁気素子に、反対の方向から第２の磁気素子に近づくようにレイアウトされている。この構成では、書込み線を通る書込み電流が、第１の方向から第１の磁

気素子に、反対の方向から第２の磁気素子に交差する磁場を生成する。したがって、書込み電流が、第１の磁気素子に第１の状態を書き込み、第２の磁気素子に反対の状態を書き込む。書込み電流の方向を選択することによって、第１および第２の磁気素子に、所望の、しかし反対の状態を書き込むことができる。

【００１９】

他の例示的な実施形態では、２つの別々の層を有する書込み線を提供することができる。上側層が磁気素子の上に提供され、下側層が磁気素子の下に提供されることが好ましい。一実施形態では、２つの層のうちの選択された１つを介して、単一の方向に、例えば左から右に電流が供給される。上側層を介して電流が供給されるとき、磁気素子に１つの状態が書き込まれる。下側層を介して電流が提供されるとき、磁気素子に反対の状態が書き込まれる。

【００２０】

他の実施形態では、２つの層は、磁気素子の一方の側に電気的に接続されている。この構成では、電流は、上側層、両層接続、下側層を介して戻り、逆も同様である。この場合、上側層および下側層によって供給される磁場が付加的に生じ、それにより磁気素子での磁場が増大し、デバイスを切り替えるのに必要な電流が場合により減少する。

【００２１】

上の例示的な実施形態全てにおいて、磁気素子が、ＡＭＲ型材料、ＧＭＲ型材料、ＣＭＲ型材料、スピン依存トンネル型デバイス、スピン・バルブ型デバイス、または任意の他の磁気材料またはデバイスを含むことができる。好ましい実施形態では、磁気素子が「疑似」スピン・バルブ構造である。疑似スピン・バルブ構造は、ＣｏＦｅなどの２つの比較的ハードな活性強磁性層の間に挟まれたＣｕなどの電気伝導性があり磁気絶縁性がある材料を含むことが好ましい。２つの比較的ハードな活性強磁性層は、上部活性強磁性層と下部活性強磁性層を含むことが好ましい。例えばＤａｕｇｈｔｏｎの米国特許第５５９５８３０号に記載されている従来のスピン・バルブ構造のより柔軟なパーマロイ（ＮｉＣｏＦｅ）クラッド層は、好ましくは除去される。

【００２２】

上部活性強磁性層は記憶層であることが好ましく、下部活性強磁性層はハード層であることが好ましい。上部記憶層の磁化ベクトルが書込み電流に応答して回転することを可能にするために、上部記憶層の厚さは、下部ハード層に比べて減少される。２つの強磁性層の厚さの違いが、２つの層の保磁力の差を生み出す。好ましい実施形態では、より薄い記憶層の保磁力が十分に小さく、その磁化ベクトルが書込み電流に応答して回転することを可能にする。ラッチ素子では、より薄い記憶層の保磁力も十分に大きくされ、下部ハード層の反磁場が、ハード層の磁化ベクトルに逆平行な記憶層の磁化ベクトルを回転させるのを防止する。従来のスピン・バルブ構造のより柔軟なパーマロイＮｉＣｏＦｅクラッド層をなくすことによって、本発明の「疑似」スピン・バルブ構造は、フィルム・スタック、したがって付着プロセスを簡略化し、大きなＧＭＲ率に不可欠な高モーメント材料を保守し、ビットスルー処理の熱安定性を高める。

【００２３】

以下の詳細な説明を添付図面と共に考慮して参照し、本発明がより良く理解されたときに、本発明の他の目的、および本発明の付随する利点の多くが容易に理解されよう。図面において、複数の図にわたって同じ参照番号は同じ部分を示す。

【００２４】

（好ましい実施形態の詳細な説明）

図１は、従来のラッチ素子１２に結合されたプログラマブル入力電圧供給回路１０を含む、本発明の第１の例示的な実施形態を示す概略図である。入力電圧供給回路１０は、パワー・アップ時に、２つの状態の一方をとる入力電圧をラッチ素子１２に提供する。入力電圧供給回路１０は、少なくとも２つの安定状態を有する少なくとも１つの磁気素子を含む。適当な抵抗値を有するように磁気素子をプログラムすることにより、最初のパワー・アップ時にラッチ素子１２に所望の状態を書き込むように入力電圧を調節することができる

。

【００２５】

入力電圧供給回路１０は、第１の抵抗器１４および第１の磁気素子１６を両方とも含むことが好ましく、第１の抵抗器１４および第１の磁気素子１６は、第１の半分のブリッジ構成で接続される。次いで、入力電圧は第１の抵抗器１４と第１の磁気素子１６の中間接続点１８から出力される。適当な抵抗値を有するように第１の磁気素子１６をプログラムすることにより、最初のパワー・アップ時にラッチ素子１２に所望の状態を書き込むように入力電圧を調節することができる。

【００２６】

入力電圧供給回路１０は、第２の抵抗器２０および第２の磁気素子２２をさらに含むことができ、第２の抵抗器２０および第２の磁気素子２２も、やはり半分のブリッジ構成で接続される。図示の実施形態では、第１の抵抗器１４、第１の磁気素子１６、第２の抵抗器２０、および第２の磁気素子２２が、完全なブリッジ構成を形成している。したがって、入力電圧は、第１の抵抗器１４と第１の磁気素子１６の中間接続点１８と、第２の抵抗器２０と第２の磁気素子２２の中間接続点２４の間で出力することができる。入力電圧は、ラッチ素子１２の交差反転回路対をオーバードライブして書込みに影響を及ぼすだけ十分に高くなければならない。

【００２７】

入力電圧の振幅を最大にするには、第１の磁気素子１６を磁気的にプログラム可能な２つの抵抗状態のうちの所望の一方にプログラムすることが好ましく、第２の磁気素子２２はもう一方のプログラマブル抵抗状態にプログラムする。明示はしていないが、磁気素子１６および２２をともにブリッジの上側の脚に設け、２つの抵抗器１４および２０をともに下側の脚に設けることもできる。同様に、第２の抵抗器２０で第２の磁気素子２２を置き換える、またその逆の置き換えを行うことができる。この後者の構成では、第１の磁気素子１６および第２の磁気素子２２を同じ状態にプログラムすることによって入力電圧の最大振幅を達成することができる。

【００２８】

セレクタ２８は、入力電圧を選択的にラッチ素子１２に出力するために、入力電圧供給回路１０とラッチ回路１２の間に配置することができる。図示のように、セレクタは、第１のトランジスタ３０および第２のトランジスタ３２を含むことができる。好ましくは、選択信号は、パワー・アップの進行中またはパワー・アップの完了後にトランジスタ３０および３２のゲートに提供される。

【００２９】

図２は、第１の磁気素子４２および第２の磁気素子４４を備えたラッチ素子４０を含む、本発明の別の例示的な実施形態を示す概略図である。ラッチ素子４０は、ｐチャネル・トランジスタ４６およびｎチャネル・トランジスタ４８を有する第１の反転器と、ｐチャネル・トランジスタ６２およびｎチャネル・トランジスタ６４を有する第２の反転器とを含む。第１の反転器および第２の反転器は、周知の交差対構成で互いに結合される。

【００３０】

第１の反転器は、第１の電力供給端子５０および第２の電力供給端子５２を有する。ｐチャネル・トランジスタ４６のソースは、第１の電位５１に直接結合された第１の電力供給端子５０に結合される。ｎチャネル・トランジスタ４８のソースは、第２の電力供給端子５２に結合される。第１の磁気素子４２は、第２の電力供給端子５２とグランド５３（第２の電位）の間に配置される。同様に、第２の反転器は、第１の電力供給端子６６および第２の電力供給端子６８を有する。ｐチャネル・トランジスタ６２のソースは、第１の電位５１に直接結合された第１の電力供給端子６６に結合される。ｎチャネル・トランジスタ６４のソースは、第２の電力供給端子６８に結合される。第２の磁気素子４４は、第２の電力供給端子６８とグランド５３の間に配置される。

【００３１】

この構成では、第１の磁気素子４２は、第２の磁気素子４４とは異なる抵抗状態にプログ

ラムされることが好ましい。したがって、ラッチ素子４０のパワー・アップ中に不均衡が生じ、それにより交差対反転が既知の状態をとることになる。

【００３２】

図３は、２つの磁気素子４２および４４を有するラッチ素子を含む、本発明の別の例示的な実施形態を示す概略図である。この実施形態では、第１の磁気素子４２は、第１の反転器の第１の電力供給端子５０と第１の電位５１との間に接続される。第２の磁気素子４４は、第２の反転器の第１の電力供給端子６６と第１の電位５１との間に接続される。図２に示す実施形態と同様に、第１の磁気素子４２は、第２の磁気素子４４とは異なる抵抗状態にプログラムされることが好ましい。したがって、ラッチ素子のパワー・アップ中に不均衡が生じ、それにより交差対反転が既知の状態をとることになる。

【００３３】

明示はしていないが、第１の磁気素子４２を、第１の反転器の第１の電力供給端子５０と第１の電位５１との間に接続し、第２の磁気素子４４を、第２の反転器の第２の電力供給端子６８とグランド５３との間に接続することもできるよう企図されている。この構成では、第１の磁気素子４２は、第２の磁気素子４４と同じ抵抗状態にプログラムされることが好ましい。したがって、ラッチ素子のパワー・アップ中に不均衡が生じ、それにより交差対反転が既知の状態をとることになる。

【００３４】

交差対反転論理素子は、ＢＩＰＯＬＡＲ、ＣＭＯＳ、ＢＩＣＭＯＳなどを含む任意数の集積回路技術を含めた、離散的ロジックまたは集積ロジックを使用して製造することができる。

【００３５】

図４は、電子回路６０と電子回路６０の上に配設された２つの磁気素子４２および４４とを有するラッチ素子を示す部分斜視図である。電子回路６０は、電子回路を磁気素子４２および４４と相互接続させるために必要な、選択金属の相互接続層、バイア、および接点を含むことが好ましい。参照により本明細書に組み込む１９９７年１２月１８日出願の「Ｈｉｇｈ Ｄｅｎｓｉｔｙ Ｍａｇｎｅｔｉｃ Ｍｅｍｏｒｙ Ｄｅｖｉｃｅ ａｎｄ Ｍｅｔｈｏｄ ｏｆ Ｍａｎｕｆａｃｔｕｒｅ Ｔｈｅｒｅｆｏｒ」と題する本願と同じ譲受人に譲渡された米国特許出願第０８／９９３００５号に開示されるように、接点およびバイアの処理の後で磁気素子を設けることによって、より高い密度を達成することができる。

【００３６】

図５は、磁気素子４２および４４の上に重なる例示的な書込み線を有する磁気ラッチ素子を示す概略図である。電子回路６０は、磁気素子の下に仮想線で示してある。図１～３に関連して上記に示したように、磁気素子４２および４４は、所望の状態にプログラムされることが好ましい。いくつかの実施形態では、磁気素子４２および４４を同じ状態にプログラムすることが望ましく、ほかの実施形態では、磁気素子４２および４４を反対の状態にプログラムすることが望ましい。

【００３７】

ほとんどの磁気抵抗記憶素子は、２つの状態の一方に書き込むことができる。これは、通常、磁気素子に隣接する書込みラインを提供し、書込み電流を書込みラインで流すことによって行われる。書込み電流は磁場を作り、磁場は２方向のうち１方向に磁気素子を横切る。磁場が磁気素子を第１方向に横切れば、磁気素子は第１状態に書き込まれる。磁場が磁気素子を第２方向に横切れば、磁気素子は第２状態に書き込まれる。

【００３８】

具体的に図５を参照すると、第１書込みライン７０が第１磁気素子４２を覆って提供され、第２書込みライン７２が第２磁気素子４４を覆って提供されている。仮想線で示したボックスは７４で示されており、好ましい書込みスキームに依存する異なる機能を表す。ある実施形態では、ボックス７４は、単に、第１書込みライン７０と第２書込みラインを接続する。その場合には、書込み電流I_1は、第１書込みライン７０を流れ下り、第２書込

みライン７２に戻ることができる。第１磁気素子４２および第２磁気素子４４が、たとえば図７７に示すように左から右へと、それぞれ同方向に磁化されたハード層を有すると仮定すると、書込みラインI_1は、第１抵抗状態を第１磁気素子４２に書き込み、反対の抵抗状態を第２磁気素子４４に書き込む。書込み電流の方向を反対にすると、第１磁気素子４２、および第２磁気素子４４に書き込む状態を反対にすることができる。

【００３９】

他の実施形態では、ボックス７４は、直接あるいは間接に、第１書込みライン７０および書込みライン７２を、接地などあらかじめ決められた電圧に接続する。この実施形態では、第１書込みライン７０および第２書込みライン７２は、独立して、それぞれ第１磁気素子４２、および第２磁気素子４４の書込み状態を制御する。

【００４０】

他の実施形態では、ボックス７４は、第１磁気素子４２、および第２磁気素子４４の書込みを制御する助けとなるロジックなどを含む。たとえば、ボックス７４が、選択的に第１書込みライン７０、および第２書込みライン７４を接続するスイッチを含むことがある。これは、第１書込み信号７６および第２書込み信号７８が、１つあるいは複数のラッチ素子をサービスするときに、特に有益である。このスイッチは、特定の書込みサイクルの間に書き込まれるラッチ素子に、ある程度の制御を提供する。

【００４１】

図６は、選択的に好ましい状態を磁気素子に書き込む、２層ワード・ライン構造の概略図である。上述したことからわかるように、磁気素子は、対応する磁気素子に隣接する書込み電流を流すことにより、プログラムすることが可能である。書込み電流は、２つの安定した磁気状態の一方の状態に、磁気素子を磁化する。書込み電流の方向を、対応する磁気素子のハード層の磁化ベクトルに対して変化させると、磁気素子の磁場が変化する。

【００４２】

図６に示された実施形態では、２つの状態の一方を対応する磁気素子８４に書き込むために、２層ワード・ラインを使用する。２層ワード・ラインは、上方ワード・ライン８０および下方ワード・ライン８２を含み、上方ワード・ライン８０は磁気素子８４の上方に、下方ワード・ライン８２は磁気素子８４の下方に置かれる。図示した実施形態では、上方ワード・ライン８０、および下方ワード・ライン８２の端は、８６に示すように、直接接地されるか、あるいは、電流制限抵抗器など（図示せず）を通って、間接的に接地される。この配置では、第１ドライバ８８は、上方ワード・ライン８０を流れる書込み電流９６を提供し、これが図示したハード層９４の磁化ベクトル９２に平行な磁場を作り、この磁場により、第１状態が磁気素子８４に書き込まれる。第２ドライバ９０は、下方ワード・ライン８２を流れる書込み電流９８を提供し、これが図示したハード層９４の磁化ベクトル９２に反平行な磁場を作り、この磁場により、逆の状態が磁気素子８４に書き込まれる。第１ドライバ８８、および第２ドライバ９０の一方のみが、いかなるときでも、アサートされることが好ましい。

【００４３】

図７は、選択的に好ましい状態を磁気素子に書き込む、他の２層ワード・ライン構造の概略図である。この実施形態は、概略的に１００に示したように、上方ワード・ライン８０を結線を通して電気的に下方ワード・ライン８２に接続していることを除いて、図６の実施形態に同様のものである。第１状態を磁気素子８４に書き込むために、第１ドライバ８８は、書込み電流１０２を上方ワード・ライン８０に提供し、それを結線１００に流し、次に下方ワード・ライン８２に流し、最後に第２ドライバ９０に提供する。上方ワード・ライン８０と下方ワード・ライン８２を流れる電流は、反対方向なので、その結果提供される磁場は付加的である。このため、図６に示される実施形態に対して、磁気素子８４の磁場を効果的に２倍にし、磁気素子８４に書き込むために必要な書込み電流を潜在的に低減する。

【００４４】

反対の状態を磁気素子８４に書き込むために、第２ドライバ９０は、書き込み電流１０４

を下方ワード・ライン８２に提供し、それを結線１００に流し、次に上方ワード・ライン８０に流し、最後に第１ドライバ８８に提供する。この場合も、下方ワード・ライン８２、および上方ワード・ライン８０の電流によって提供される磁場は付加的であり、したがって、潜在的に、磁気素子８４に書き込むために必要な書込み電流を低減する。

【００４５】

上述したワード・ライン構造が、さらに磁気素子の磁場を増大するために、磁気キーパーを含むことが考えられる。ワード・ライン・キーパーを図示したものは、共通に譲渡されるＵ．Ｓ．ｐａｔｅｎｔ Ａｐｐｌｉｃａｔｉｏｎ Ｓｅｒｉａｌ Ｎｏ．ＸＸＸ、ｆｉｌｅｄ ＸＸＸに、「ＳＥＬＦ ＡＬＩＧＮＥＤ ＷＯＲＤＬＩＮＥ ＫＥＥＰＥＲ ＡＮＤ ＭＥＴＨＯＤ ＯＦ ＭＡＮＵＦＡＣＴＵＲＥ ＴＨＥＲＥＦＯＲ」の題で発表されている。これは、ここでも参考に組み込まれている。

【００４６】

磁気素子は、図８Ａおよび図８Ｂに示すように、「偽」スピン・バルブ構造を用いて形成されることが好ましい。具体的に図８Ｂを参照すると、偽スピン・バルブ構造は、好ましくは、２つの活性強磁性層１１２および１１４にはさまれた、電気的には伝導性で、磁気的には絶縁されている層１１０を含む。電気的には伝導性で、磁気的には絶縁されている層１１０は、Ｃｕなどで形成され、２つの活性強磁性層１１２および１１４は、好ましくは、ＣｏＦｅなどの硬い材料で形成されることが好ましい。従来のスピン・バルブ構造（たとえば、Ｕ．Ｓ．Ｐａｔｅｎｔ Ｎｏ．５，５９５，８３０ ｔｏ Ｄａｕｇｈｔｏｎに記述されている）のよりやわらかいパーマロイ被覆層は、取り除かれ、ボトムＣｏＦｅ層は、直接タンタル・シード層（図示せず）の上に提供されることが好ましい。

【００４７】

図８Ａおよび図８Ｂに示した実施形態では、上部活性強磁性層１１２は記憶層であり、下部活性強磁性層１１４はハード層である。上部記憶層１１２の磁化ベクトルが、書込み電流に応じて回転するようにするために、上部記憶層１１２の厚さは、下部ハード層１１４に比べて低減される。２つのＣｏＦｅ層の厚さが違うことにより、２層の保磁力に差が生じる。好ましい実施形態では、より薄い記憶層１１２の保磁力は、下部ハード層１１４の消磁場が、ハード層１１４の磁化ベクトルに反平行な記憶層１１２の磁化ベクトル回転させないように、かなり大きくなっている。従来のスピン・バルブ構造の、よりやわらかいパーマロイＮｉＣｏＦｅ被覆層を取り除くことにより、本発明の「偽」スピン・バルブ構造は、フィルム・スタック、したがってデポジション・プロセスを容易にし、大きなＧＭＲ比に不可欠な、モーメントの高い材料を維持し、処理を受けるビットの耐熱性を増大させる。

【００４８】

これまでの本発明の好ましい実施形態の記述により、当業者には、本発明の教示は、請求項の範囲を逸脱することなく、その他の実施形態に適応可能であることは、容易に認識されるものである。

【図面の簡単な説明】

【図１】　従来のラッチ素子に結合されたプログラマブル入力電圧供給回路を含む本発明の第１の例示的な実施形態の概略図である。

【図２】　内部に２つの磁気素子を有するラッチ素子を含む本発明の他の例示的な実施形態の概略図である。

【図３】　内部に２つの磁気素子を有するラッチ素子を含む本発明の他の例示的な実施形態の概略図である。

【図４】　本発明の好ましい実施形態による電子回路の上に配置された２つの磁気素子を有するラッチ素子の部分斜視図である。

【図５】　磁気素子の上にある例示的な書込み線を示す磁気ラッチ素子の概略図である。

【図６】　磁気素子に所望の状態を選択的に書き込むための例示的な２層ワード線構造の概略図である。

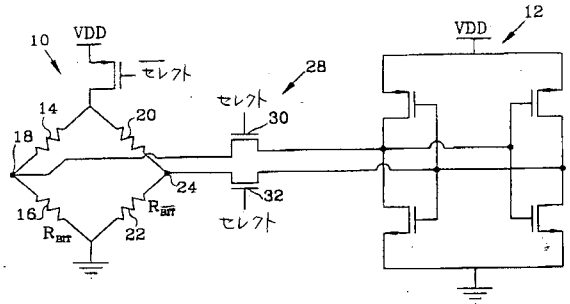
【図７】　磁気素子に所望の状態を選択的に書き込むための他の２層ワード線構造の概略

図である。

【図８Ａ】　本発明による疑似スピン・バルブ（ＰＳＶ）磁気素子の例示的な部分斜視図である。

【図８Ｂ】　図８Ａの疑似スピン・バルブ（ＰＳＶ）磁気素子の例示的な断面図である。

【図１】



【図２】

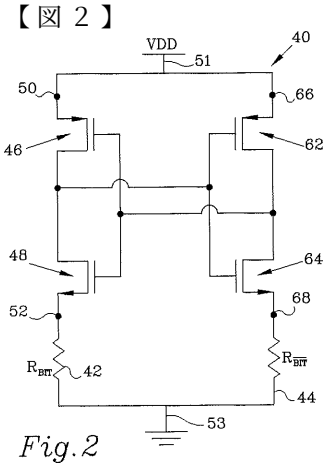


Fig.2

【図３】

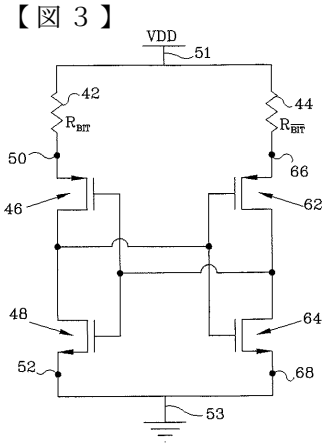


Fig.3

【図４】

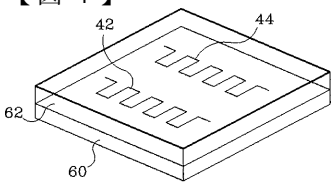
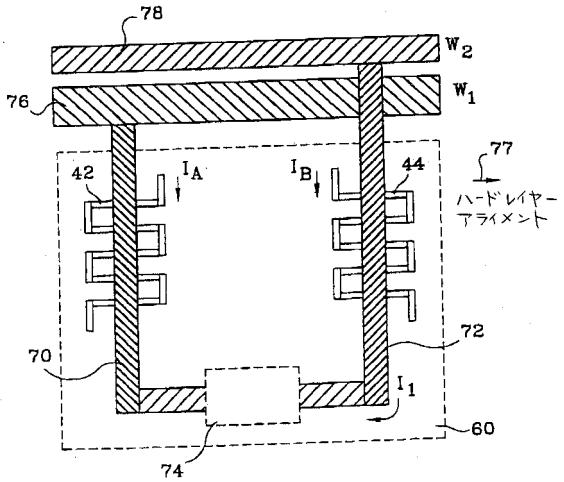


Fig.4

【図５】



【図６】

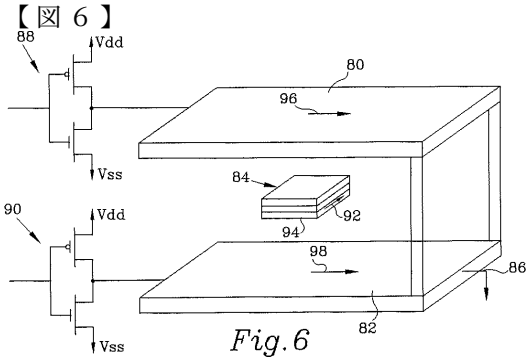


Fig.6

【図７】

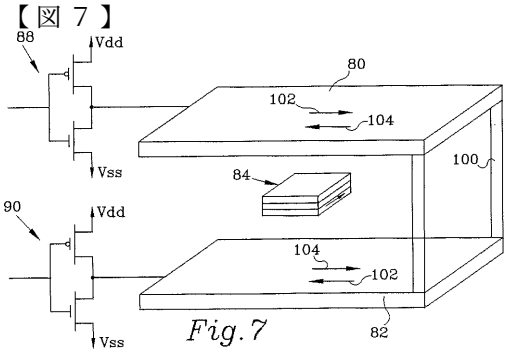


Fig.7

【図８Ａ】

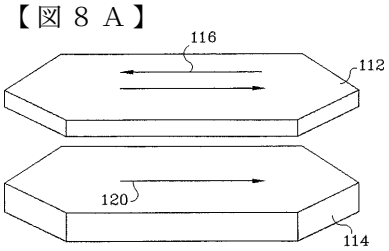
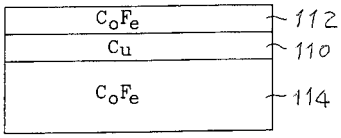


Fig.8A

【図８Ｂ】



フロントページの続き

(51)Int.Cl. ＦＩ
Ｈ０３Ｋ 3/037 (2006.01)

(72)発明者 サザー，ジェフ・エス
アメリカ合衆国・５５３５９・ミネソタ州・メディナ・ウォルナット ストリート・４６２５

審査官 石川 正二

(56)参考文献 国際公開第９８／０２０４９６（WO，Ａ１）
特開昭６３－１３６３８６（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
G11C 11/14
G11C 11/15
H01L 21/8246
H01L 27/105
H01L 43/08
H03K 3/037