



[12] 发明专利申请公开说明书

[21] 申请号 200310119596.9

[43] 公开日 2004 年 6 月 16 日

[11] 公开号 CN 1505052A

[22] 申请日 2003.12.4

[21] 申请号 200310119596.9

[30] 优先权

[32] 2002.12.4 [33] JP [31] 2002-353053

[32] 2003.1.28 [33] JP [31] 2003-018645

[71] 申请人 夏普株式会社

地址 日本大阪府

[72] 发明人 松冈伸明

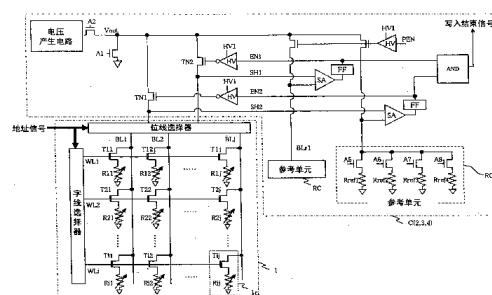
[74] 专利代理机构 中科专利商标代理有限责任公司
代理人 汪惠民

权利要求书 5 页 说明书 16 页 附图 15 页

[54] 发明名称 半导体存储装置和存储单元的写入以及擦除方法

[57] 摘要

本发明的半导体存储装置具备：具有由电应力导致电阻变化且在上述电应力解除后也保持变化了的可变电阻元件($R_{11} \sim R_{ij}$)与N型MOSFET构成的选择晶体管($T_{11} \sim T_{ij}$)的存储单元(1c)成矩阵状配置的存储器阵列(1)；在上述可变电阻元件($R_{11} \sim R_{ij}$)上施加电应力来向上述存储单元(1c)写入数据的写入机构(2)；检测进行写入操作时上述电阻的变化的写入状态检测机构(3)；以及直到上述电阻变化为规定的参考值时停止电应力的施加的写入控制机构(4)。由此，构成达到写入处理所需时间的缩短化目的与写入精度高的半导体存储装置。



1. 一种半导体存储装置，具备：
 - 5 具有电阻进行变化的可变电阻元件的存储单元；利用上述可变电阻元件的上述电阻的变化，向上述存储单元写入数据的写入机构；
 - 10 检测由上述写入机构进行写入动作时的上述电阻的变化的写入状态检测机构；以及当上述电阻变化为规定的参考值时，停止由上述写入机构进行的写入操作的写入控制机构。
 2. 根据权利要求 1 所述的半导体存储装置，其中，上述写入状态检测机构，通过将上述存储单元的上述电阻与写入参考单元中被固定的上述参考值进行比较，从而可以检测上述存储单元的上述电阻的变化。
 3. 根据权利要求 1 所述的半导体存储装置，其中，上述参考单元使用固定电阻形成。
 4. 根据权利要求 3 所述的半导体存储装置，其中，上述固定电阻由扩散电阻或多晶硅电阻形成。
 5. 根据权利要求 1 所述的半导体存储装置，其中，上述存储单元，由当受到电应力时电阻产生变化且解除上述电应力后仍保持变化了的电阻的可变电阻元件和选择晶体管构成。
 6. 根据权利要求 1 所述的半导体存储装置，其中，上述可变电阻元件，在电极间形成含有锰的钙钛矿结构的氧化物。
 7. 根据权利要求 1 所述的半导体存储装置，其中，还具备：
 - 25 利用上述可变电阻元件的上述电阻的变化，擦除上述存储单元数据的擦除机构；
 - 检测由上述擦除机构进行擦除操作时上述电阻的变化的擦除状态检测机构；以及在上述电阻变化为规定的第 2 参考值时，停止上述擦除机构的擦除操作的擦除控制机构。

8. 根据权利要求 7 所述的半导体存储装置，其中，上述写入检测机构与上述擦除状态检测机构，构成为可以兼用，

上述写入控制机构与上述擦除控制机构，构成为可以兼用。

9. 根据权利要求 7 所述的半导体存储装置，其中，上述擦除状态检测机构，通过将上述存储单元的上述电阻的变化与擦除参考单元中被固定的上述第 2 参考值进行比较，从而可以进行检测。

10. 根据权利要求 9 所述的半导体存储装置，其中，上述擦除参考单元使用固定电阻形成。

11. 根据权利要求 10 所述的半导体存储装置，其中，上述固定电阻由扩散电阻或多晶硅电阻形成。

12. 一种半导体存储装置，具备：

具备当受到电应力时电阻产生变化且解除上述电应力后仍保持变化了的电阻的可变电阻元件的存储单元；

通过将上述电应力施加在上述可变电阻元件上使上述电阻变化，来向上述存储单元写入数据的写入机构；

检测由上述写入机构进行写入动作时的上述电阻的变化的写入状态检测机构；以及

上述电阻变化为规定的参考值时，停止由上述写入机构进行的上述电应力的施加的写入控制机构。

20 13. 根据权利要求 12 中所述的半导体存储装置，其中，上述写入状态检测机构，通过将上述存储单元的上述电阻与写入参考单元中被固定的上述参考值进行比较，从而可以进行检测。

14. 根据权利要求 12 中所述的半导体存储装置，其中，上述参考单元使用固定电阻形成。

25 15. 根据权利要求 14 中所述的半导体存储装置，其中，上述固定电阻由扩散电阻或多晶硅电阻形成。

16. 根据权利要求 12 中所述的半导体存储装置，其中，上述存储单元由当受到电应力时电阻产生变化且解除上述电应力后仍保持变化了的电阻的可变电阻元件和选择晶体管构成。

30 17. 根据权利要求 12 中所述的半导体存储装置，其中，上述可变电

阻元件，在电极间形成有含有锰的钙钛矿结构的氧化物。

18. 根据权利要求 12 中所述的半导体存储装置，其中，还具备：

通过将上述电应力施加在上述可变电阻元件上使上述电阻变化，擦除上述存储单元的数据的擦除机构；

5 检测由上述擦除机构进行擦除操作时上述电阻的变化的擦除状态检测机构；以及

在上述电阻变化为规定的第 2 参考值时，停止由上述擦除机构进行的上述电应力的施加操作的擦除控制机构。

10 19. 根据权利要求 18 所述的半导体存储装置，其中，上述写入检测机构与上述擦除状态检测机构，构成为可以兼用，

上述写入控制机构与上述擦除控制机构，构成为可以兼用。

20. 根据权利要求 18 所述的半导体存储装置，其中，上述擦除状态检测机构，通过将上述存储单元的上述电阻变化与擦除参考单元中被固定的上述第 2 参考值进行比较，从而可以进行检测。

15 21. 根据权利要求 20 所述的半导体存储装置，其中，上述擦除参考单元使用固定电阻形成。

22. 根据权利要求 21 所述的半导体存储装置，其中，上述固定电阻由扩散电阻或多晶硅电阻形成。

23. 一种半导体存储装置，具备：

20 具有电阻产生变化的可变电阻元件的存储单元；

利用上述可变电阻元件的上述电阻的变化，擦除上述存储单元数据的擦除机构；

检测由上述擦除机构进行擦除操作时上述电阻的变化的擦除状态检测机构；以及

25 在上述电阻变化为规定的第 2 参考值时，停止上述擦除机构的擦除操作的擦除控制机构。

24. 根据权利要求 23 所述的半导体存储装置，其中，上述擦除状态检测机构，通过将上述存储单元的上述电阻变化与擦除参考单元中被固定的上述第 2 参考值进行比较，从而可以进行检测。

30 25. 根据权利要求 24 所述的半导体存储装置，其中，上述擦除参考

单元使用固定电阻形成。

26. 根据权利要求 25 所述的半导体存储装置，其中，上述固定电阻由扩散电阻或多晶硅电阻形成。

27. 根据权利要求 23 所述的半导体存储装置，其中，上述存储单元由当受到电应力时电阻产生变化且解除上述电应力后仍保持变化了的电阻的可变电阻元件和选择晶体管构成。
5

28. 根据权利要求 23 所述的半导体存储装置，其中，上述可变电阻元件，在电极间形成有含有锰的钙钛矿结构的氧化物。

29. 一种半导体存储装置，具备：

10 具备由当受到电应力时电阻产生变化且解除上述电应力后仍保持变化了的电阻的可变电阻元件的存储单元；

通过将上述电应力施加在上述可变电阻元件上使上述电阻变化，来擦除上述存储单元数据的擦除机构；

15 检测由上述擦除机构进行擦除操作时的上述电阻的变化的擦除状态检测机构；以及

在上述电阻变化为规定的第 2 参考值时，停止由上述擦除机构进行的上述电应力的施加的擦除控制机构。

20 30. 根据权利要求 29 所述的半导体存储装置，其中，上述擦除状态检测机构，通过将上述存储单元的上述电阻变化与擦除参考单元中被固定的上述第 2 参考值进行比较，从而可以进行检测。

31. 根据权利要求 30 所述的半导体存储装置，其中，上述擦除参考单元使用固定电阻形成。

32. 根据权利要求 31 所述的半导体存储装置，其中，上述固定电阻由扩散电阻或多晶硅电阻形成。

25 33. 根据权利要求 29 所述的半导体存储装置，其中，上述存储单元由当受到电应力时电阻产生变化且解除上述电应力后仍保持变化了的电阻的可变电阻元件和选择晶体管构成。

34. 根据权利要求 29 所述的半导体存储装置，其中，上述可变电阻元件，在电极间形成有含有锰的钙钛矿结构的氧化物。

30 35. 一种存储单元的写入方法，其中，

-
- 上述存储单元具备电阻产生变化的可变电阻元件，
同时进行：利用上述电阻的变化向上述存储单元写入数据，及检测
在上述写入操作时的上述存储单元的上述电阻的变化，的动作，
并将上述写入动作进行到检测出上述电阻达到规定的参考值为止。
5 36. 一种存储单元的写入方法，其中，
上述存储单元具备当受到电应力时电阻产生变化且解除上述电应力
后仍保持变化了的电阻的可变电阻元件，
同时进行：通过在上述可变电阻元件上施加上述电应力而使上述电
阻变化，从而向上述存储单元写入数据，及检测在上述写入操作时的上
述存储单元的上述电阻变化，的动作，
10 当上述电阻变化为规定的参考值时，停止上述电应力的施加。
37. 一种存储单元的擦除方法，其中，
同时进行：利用上述电阻的变化将具备电阻产生变化的可变电阻元
件的上述存储单元的数据擦除，及检测在上述擦除操作时的上述存储单
15 元的上述电阻变化，的动作，
并将上述擦除操作进行到上述电阻达到规定的参考值为止。
38. 一种存储单元的擦除方法，其中，
上述存储单元具备当受到电应力时电阻产生变化且解除上述电应力
后仍保持变化了的电阻的可变电阻元件，
同时进行：通过在上述可变电阻元件上施加上述电应力而使上述电
阻变化，来进行上述存储单元的数据的擦除，及检测在上述擦除操作时
20 的上述存储单元的上述电阻变化，的动作，
当上述电阻变化为规定的第 2 参考值时，停止上述电应力的施加。

半导体存储装置和存储单元的写入以及擦除方法

5

技术领域

本发明涉及半导体存储装置和存储单元的写入（programming）以及擦除（erasing）方法，特别涉及在使用了可变电阻元件的非易失性半导体存储装置等中可以有效地利用的写入及擦除方法。

10

背景技术

作为现有技术，例如，作为属于可以电擦除、写入的只读存储器的 EEPROM 的一种，有公知的可以高集成化的 NAND（与非）单元型 EEPROM。在特开平 5-182474 号公报中，记载了以下的内容。NAND 单元型 EEPROM，是将多个存储单元以相邻的单元共用源极（source）、漏极（drain）的方式串联，并作为一个单位与位线连接的。存储单元通常具有电荷存贮层与控制栅极层叠而成的 FETMOS 结构。存储单元阵列，集成于 P 型基板或 N 型基板上形成的 P 型势阱（well）中。NAND 单元的漏极侧通过选择栅极与位线连接，源极侧仍然通过选择栅极与源线（基准电位布线）连接。存储单元的控制栅极沿行方向连续配置，成为字线。

该 NAND 单元型 EEPROM 的动作如下所述。数据写入的动作从离位线最远位置的存储单元开始依序进行。在已被选择的存储单元的控制栅极上，施加高电压 V_{pp} (=20V 左右)，在比其更位于位线侧的控制栅极及选择栅极上施加中间电位 V_{ppM} (=10V 左右)，根据数据向位线提供 0V 电压或中间电位。向位线提供 0V 的电压时，其电位被一直输送到选择存储单元的漏极，从基板侧向浮游栅极进行电子注入。由此，该已被选择的存储单元的阈值电压向正方向偏移。将该状态例如设为“1”。向位线提供中间电位时，不发生电子注入，因此阈值电压不变化，停在负值上。该状态为“0”。

30 数据擦除是对 NAND 单元内的全部存储单元同时进行。即，使全部

的控制栅极为 0V，在选择栅极、位线、源线、形成有存储单元阵列的 P 型势阱及 N 型基板上施加高电压 20V。由此，在全部的存储单元中，浮游栅极的电子向基板侧排出，阈值电压向负方向偏移。

数据读出动作，是使被选择的存储单元的控制栅极为 0V，使其他的存储单元的控制栅极及选择栅极为电源电位 Vcc (=5V)，通过检测电流是否流过选择存储单元来进行的。

从以上的动作说明可以明白，在 NAND 单元型 EEPROM 中，在写入及读出动作时，非选择存储单元起到了传输门的作用。从该观点看，在被写入的存储单元的阈值电压上加上了限制。例如，写入“1”的存储单元的阈值电压的优选范围为 0.5~3.5V 左右。若考虑数据写入后的时效（经时间的变化）、存储单元的制造参数的离差或电源电位的离差，则要求数据写入后的阈值电压分布在比其更小的范围。

然而，在以往的固定写入电位及写入时间，在同一条件下对全部的存储单元进行数据写入的方式中，将写入“1”后的阈值电压范围容纳在允许范围内是难的。例如，存储单元由于制造过程的离差而导致其特性也产生离差。因此，若看写入特性，则存在易写入的存储单元与难写入的存储单元。以往，对于该情况，为了充分地写入到难写入的存储单元中，一般使写入时间具有富余，在相同条件下写入全部的存储单元。由此，造成了对易写入的存储单元的过写入，使阈值电压升高到超过允许范围。

另一方面，若写入了“0”的存储单元或擦除了数据的 NAND 单元的存储单元的阈值电压未增大为负方向上的某一值以上时，则也成为问题。写入了“0”的存储单元的阈值电压，由于数据读出时的单元电流（读出电流）变化，结果导致存取时间变化，故影响 EEPROM 的规格。另外若因数据擦除中未能充分地擦除时，则其后的数据写入中“1”状态的阈值电压增大到必要以上，造成超过阈值电压的允许范围。

为了解决这些问题，在上述公报中，提出具有写入校验（verify）功能的 NAND 单元型的 EEPROM（电可擦除只读存储器）的方案。在这里，设置了写入校验控制电路，该电路包括：在数据写入时被选择的 NAND 单元内的各存储单元的控制栅极上依次施加第 1 写入校验电位、进行数

据读出来确认写入不足状态的功能；和在选择存储单元的控制栅极上施加第 2 写入校验电位、进行数据读出来确认写入过剩状态的功能。由此，若存在写入不足状态的存储单元，追加写入动作，再度进行由第 1 数据写入校验电位的施加而进行的写入状态的确认。反复进行该操作，对该 5 存储单元结束第 1 写入校验与数据再写入之后，对该存储单元进行利用第 2 写入校验电位的写入过剩状态的确认动作。通过反复进行这种操作，对于达到规定的阈值电压的存储单元，控制其不进行再写入，可以解决上述问题。

另外，在美国专利第 5, 287, 317 号说明书中，也提出可电擦除・写入的半导体存储器的同样方案。即，在数据写入时，如图 14 所示，在可电擦除・写入的半导体存储器中，输入写入指令（步骤 S1）后，通过输入地址与数据（步骤 S2），开始向选择存储单元施加程序脉冲（program pulse），数据被写入到存储单元中（步骤 S3）。程序脉冲施加停止之后，通过输入写入校验指令，成为写入校验模式（步骤 S4），开始由进行过写入的存储单元读出数据（步骤 S5）。进行读出，将被读出的数据与最初输入的期望值（参考值：reference）进行比较（步骤 S6），在一致的情况下，正常终止写入，成为读出模式，终止写入。另一方面，在数据不一致的情况下，再度进行程序脉冲的施加（步骤 S7）。该一系列的操作反复进行，直到所有的数据一致。图 15 是施加程序脉冲之后进行施行校验操作的一 10 系列操作，由于期望值数据与写入数据在第 3 次一致，故终止写入的时序图。
15

如上所述，在可电擦除・写入的半导体存储器（EEPROM）中，通过反复进行施加程序脉冲，之后施行校验操作的一系列操作，直到期望值数据与写入数据一致，从而将存储单元的阈值电压设定为期望值。

20 在最近被注目的使用了属于非易失性可变电阻元件的 RRAM（Novel resistance control nonvolatile RAM）元件的存储器中，也可以采用上述技术。

通过采用上述现有技术的写入校验功能，若与不具备写入校验功能的 EEPROM 相比，则可以使阈值电压的离差降低。然而，在程序脉冲施加过程中，由于强制地进行写入操作，故根据程序脉冲施加时间的不同，
30

在施加过程中存储单元的阈值有可能大大高于希望的阈值。另外，如上所述，由于存储单元因制造过程的离差导致其特性也产生离差，故若从写入特性看，则由于存在易写入存储单元与难写入存储单元，导致设定最合适的相同施加时间是困难的。这种情况，在使用了 RRAM 等非易失性可变电阻元件的半导体存储器中也同样，设定为希望的电阻值是困难的。特别是，在 RRAM 等半导体存储器中，在引进使多个存在的电阻状态中的 1 个状态存储在 1 个存储单元的多值（Multilevel）技术的情况下，虽然有进行设定离差小的电阻值的必要，但在上述现有技术中，高精度地进行电阻值的设定是困难的。另外，由于施加程序脉冲之后反复进行所谓的校验操作的一系列操作，存在写入时间长的问题。

发明内容

本发明，可以缩短写入处理所需时间，同时可以将向存储单元写入数据精度优良地设定为目标值，因此，其目的在于提供一种可与多值化优良对应的半导体存储装置及存储单元的写入方法。

为了达成上述目的，本发明的半导体存储装置的特征构成为，具备：具有电阻变化的可变电阻元件的存储单元；利用上述可变电阻元件的上述电阻的变化，向上述存储单元写入数据的写入机构；检测由上述写入机构进行写入动作时的上述电阻的变化的写入状态检测机构；和上述电阻变化为规定的参考值时，停止由上述写入机构进行的写入操作的写入控制机构。再有，本发明的存储单元的写入方法的特征构成为，在利用上述电阻的变化向具备电阻变化的可变电阻元件的存储单元写入数据的同时，检测上述写入操作时的上述电阻的变化，进行上述写入操作直到上述电阻达到规定的参考值。

即，通过与向存储单元写入数据同步地进行校验，可以达到写入与校验所需时间的缩短化的目的，同时，由于在电阻达到规定的参考值的时刻可以停止写入处理，故可以精度优良地设定目标的电阻值，因此，对于多值化非常有利。

优选还具备：利用上述可变电阻元件的上述电阻的变化，擦除上述存储单元数据的擦除机构；检测由上述擦除机构进行擦除操作时上述电

阻的变化的擦除状态检测机构；和在上述电阻变化为规定的第 2 参考值时，停止上述擦除机构的擦除操作的擦除控制机构。

这种情况下，通过与存储单元的数据擦除同步地进行校验操作，可以达到擦除与校验所需时间的缩短化的目的，同时由于在电阻达到规定的第 2 参考值的时刻可以停止擦除处理，故可以精度优良地设定目标的电阻值，在达到规定的电阻值的时刻，由于停止向该存储单元施加电压，故也实现减小消耗电流。
5

上述的存储单元，优选具备 RRAM 元件那样当受到电应力时电阻产生变化且上述电应力解除后仍保持变化了的电阻的可变电阻元件，并使用含有锰的钙钛矿结构的氧化物。若与 EEPROM 类非易失性存储器比较，
10 则程序脉冲施加时间短。对应 EEPROM 中 $1 \mu s$ 左右的时间，非易失性可变电阻元件存储器为 $100ns$ 左右。

上述写入状态检测机构，优选通过将上述存储单元的上述电阻变化与在写入参考单元（reference cell）中被固定的上述参考值比较，进行检测，
15 该参考单元从精度上的观点来说，优选使用在电应力下其值不变动的固定电阻形成，从制造上的观点来说，优选由扩散电阻或多晶硅电阻形成。

再有，上述擦除状态检测机构，优选通过比较上述存储单元的上述电阻变化与在擦除参考单元中被固定的上述第 2 参考值，进行检测，
20 上述擦除参考单元从精度上的观点来说，优选使用在电应力下其值不变动的固定电阻形成，从制造上的观点来说，优选由扩散电阻或多晶硅电阻形成。

附图说明

25 图 1 是表示本发明的半导体存储装置的一实施方式的电路方框构成图。

图 2 是本发明的半导体存储装置的数据写入处理的时序图。

图 3 是本发明的半导体装置的主要部分的电路方框构成图。

图 4 是本发明的半导体装置的主要部分的电路方框构成图。

30 图 5 是表示本发明的半导体装置的其他实施方式的主要部分的电路

方框构成图。

图 6 是表示本发明的半导体装置的其他实施方式的主要部分的电路方框构成图。

图 7 是表示本发明的半导体装置的其他实施方式的电路方框构成图。

5 图 8 是表示本发明的半导体装置的其他实施方式的电路方框构成图。

图 9 是表示本发明的半导体装置的其他实施方式的电路方框构成图。

图 10 是本发明的半导体存储装置的数据擦除处理的时序图。

图 11 是表示本发明的半导体装置的其他实施方式的主要部分的电路方框构成图。

10 图 12 是表示本发明的半导体装置的其他实施方式的主要部分的电路方框构成图。

图 13 是表示本发明的半导体装置的其他实施方式的主要部分的电路方框构成图。

图 14 是说明现有技术的图表。

15 图 15 是说明现有技术的时序图。

具体实施方式

以下，参照附图，说明本发明的半导体存储装置及存储单元的写入以及擦除方法。

20 如图 1 所示，半导体存储装置由存储器阵列 1 和控制电路 C 构成。存储器阵列 1，是将存储单元 1c 排列成矩阵状而构成。存储单元 1c 由 RRAM 等非易失性可变电阻元件 $R_{11} \sim R_{ij}$ 与 N 型 MOSFET 构成的选择晶体管 $T_{11} \sim T_{ij}$ 而构成。RRAM 等非易失性可变电阻元件 $R_{11} \sim R_{ij}$ 具备当受到电应力时电阻产生变化且当上述电应力解除后仍保持变化了的电阻的性质。所述控制电路 C 可起到：在上述可变电阻元件 $R_{11} \sim R_{ij}$ 上施加上述电应力而使上述电阻变化，从而向上述存储单元 1c 写入数据的写入机构 2；检测由上述写入机构 2 进行写入操作时上述电阻的变化的写入状态检测机构 3；以及，当上述电阻变化到规定的参考值时停止由上述写入机构 2 进行的上述电应力的施加的写入控制机构 4 的功能，其具体的动作在后面详述。

上述可变电阻元件 R11～Rij，是由电应力导致电阻变化且在上述电应力解除后仍保持变化后的电阻的 RRAM 元件，它是利用 MOCVD 法、旋转镀膜法、激光侵蚀、溅射法等形成含有锰的钙钛矿结构的氧化物例如用 $\text{Pr}_{(1-x)}\text{Ca}_x\text{MnO}_3$ 、 $\text{La}_{(1-x)}\text{Ca}_x\text{MnO}_3$ 或 $\text{La}_{(1-x-y)}\text{Ca}_x\text{Pb}_y\text{MnO}_3$ （其中 5 $x < 1$ ， $y < 1$ ， $x + y < 1$ ）表示的某种物质，例如 $\text{Pr}_{0.7}\text{Ca}_{0.3}\text{MnO}_3$ 、 $\text{La}_{0.65}\text{Ca}_{0.35}\text{MnO}_3$ 、 $\text{La}_{0.65}\text{Ca}_{0.175}\text{Pb}_{0.175}\text{MnO}_3$ 等的锰氧化膜，来做成的。

以下，在本说明书中，按照将 RRAM 元件的“增加电阻值”时表现为“写入”，通常写入时接通选择晶体管，在位线上施加 3V 的电压，在源线上施加 0V 电压；相反将“降低电阻值”时表现为“擦除”，擦除时接通选择晶体管，施加相反极性的电压；读出时接通选择晶体管，在位线上施加 1.5V 电压，在源线上施加 0V 电压的情况，进行说明，各电压值由电压产生电路交替供给，但其值并未限定于上述的值，只要与非易失性可变电阻元件的特性配合，适当地设定即可。10

上述存储单元 1c，可以根据地址信号由字线选择器的输出 WL1、15 WL2…WLi 及位线选择器的输出 BL1、BL2…BLj 中个别选择，可变电阻元件的一端与接地电平连接。为了简化，虽然将上述位线选择器作为与 2 根节点（node）SH1、SH2 连接的情况进行说明，但例如，在 16 单元同时读出或同时写入的情况下，就需要 SH1～SH16 的 16 根，这一点应注意。

20 对上述控制电路 C 进行说明。节点 SH1、SH2，分别经过由 N 型 MOSFET 构成的 TN1、TN2，选择性地与电压产生电路的输出或接地电平连接，且分别与 2 个读出放大器电路 SA 的输入端子连接。上述读出放大器电路 SA 的另一方输入端子与参考单元（reference cell）电路 RC 连接，且经过以允许写入（program enable）信号（允许写入信号）PEN 进行接通/断开的 N 型 MOSFET 与 Vout 节点连接。25

上述参考单元电路 RC，具有和在位线选择器中选择的根数相同数目的电路，各参考单元电路 RC，具备为上述规定的参考值的参考电阻 Rref1～Rref4 与选择各参考电阻用的选择晶体管 A5～A8。在图 1 中，是写入 4 数据的一例，具有 4 个成为期望值数据的参考电阻，各参考电阻有 $\text{Rref1} < \text{Rref2} < \text{Rref3} < \text{Rref4}$ 的关系。另外，该参考单元，优选由电压30

或电流施加等的电应力不导致电阻变化的固定电阻形成，或由扩散电阻或多晶硅电阻等形成。

上述读出放大器电路 SA 的输出与触发器（flip-flop）电路 FF 的输入连接，触发器电路 FF 的输出通过 AND 电路及高电压驱动电路，分别与由 N 型 MOSFET 构成的 TN1、TN2 的栅极连接。这里的栅极电压，由高电压驱动电路变换为比电压产生电路的输出电压还十分高的电压。上述 AND 电路传递向各选择存储单元的写入操作终止的信号，并在向全部选择存储单元的写入操作终止的时刻输出写入结束信号。

接着，根据从图 1 中省略存储单元的选择晶体管等只摘录基本电路构成的图 3，对具体的向选择存储单元的写入操作进行说明。在这里，示出了选择第 2 参考电阻 Rref2，省略了选择晶体管的情况。由可变电阻元件构成的多个存储单元中被选择了的存储单元的可变电阻元件 Rm，通过节点 W2 与 TN2 的源极及读出放大器电路 SA 的输入端子连接，参考电阻 Rref2 通过节点 W1 与 TN1 的源极及读出放大器电路的输入端子连接。TN1 的漏极与电源电压 Vcc 连接，栅极被施加了接收允许写入信号 PEN 后由高电压驱动电路 HV 变换为比电源电压 Vcc 还高的电压 HV1 的信号。另一方面，TN2 的漏极与电源电压 Vcc 连接，栅极被施加了接收触发器电路 FF 的输出信号后由高电压驱动电路 HV 变换为比电源电压 Vcc 还高的电压 HV1 的信号。上述触发器电路 FF 的输入信号是输入写入开始信号 Ws 与上述读出放大器电路 SA 的输出信号。

根据图 2 所示的时序图说明上述电路的动作。首先，若允许写入信号 PEN 为高电平，则 TN1 处于接通状态，根据数据输入选择参考单元电阻 Rref2，电流通过 TN1 与参考单元电阻 Rref2，从电源电压流向接地电平。此时，节点 W1 具有以 TN1 的正向电阻与参考单元电阻 Rref2 的电阻分压的第 1 电压。接着，若写入开始信号 Ws 为高电平，TN2 处于接通状态，则电流从电源电压流向接地电平，开始向存储单元的可变电阻元件 Rm 写入数据。再有，之后，虽然写入开始信号 Ws 成为低电平，但由于数据被触发器电路锁存，故写入动作继续。在这里，若 TN1 与 TN2 的晶体管能力相等，则在参考电阻 Rref2 与选择存储单元的可变电阻元件 Rm 为相同电阻时流过相同的电流。在选择存储单元的可变电阻元件 Rm

比参考电阻 R_{ref2} 小时，由于选择存储单元的可变电阻元件 R_m 的电阻值低，所以节点 W_2 与节点 W_1 相比电压低，写入脉冲一直施加到与参考电阻 R_{ref2} 相等。因此，通过向读出放大器电路 SA 输入节点 W_1 与节点 W_2 ，来判断选择存储单元的可变电阻元件 R_m 是否比参考电阻 R_{ref2} 的
5 电阻值低，在选择存储单元的可变电阻元件 R_m 与参考电阻 R_{ref2} 为相等的电阻值的时刻，由于读出放大器电路 SA 的输出信号 ENB 为高电平，
 TN_2 为截止状态，故停止电压施加，写入终止。在这里，图 2 所示的所谓的高位 (fast bit)，是指从相对于选择存储单元的可变电阻元件的电压施加到规定的电平的写入时间快的元件，所谓的低位 (slow bit)，指的是从相对于选择存储单元的可变电阻元件的电压施加到规定的电平的
10 写入时间慢的元件，用于表示元件的特性离散性。

上述电路，包括：通过在上述可变电阻元件 $R_{11} \sim R_{ij}$ 上施加上述电
应力，使上述电阻变化，从而向上述存储单元 $1c$ 写入数据的写入机构 2；
检测上述写入机构 2 进行写入操作时的上述电阻的变化的写入状态检测
15 机构 3；以及，直到上述电阻变化为规定的参考值时，停止由上述写入机构 2 进行的上述电应力的施加的写入控制机构 4。

若根据上述的半导体存储装置及存储单元的写入方法，由于写入操作与校验操作在存储单元单位同时进行，故其特点是可以吸收每个存储单元上因施加写入电压时间不同的元件间的离差。由此，不仅可防止过
20 剩写入，还有降低消耗电流的效果。

在多个参考电阻中，通过选择第 2 参考电阻，将选择存储单元设定为第 2 电阻以外，也可以选择第 3 参考电阻将存储单元向第 3 电阻设定，选择第 4 参考电阻将存储单元向第 4 电阻设定，或选择第 1 参考电阻将存储单元向第 1 电阻设定。

以下根据从图 1 中只摘录基本电路构成的图 4 进行详细阐述。由可变电阻元件构成的多个存储单元中的被选择的存储单元的可变电阻元件 R_m 的两端子，分别与选择晶体管 TN_3 的源极及接地电平连接，选择晶体管 TN_3 的漏极通过节点 W_2 与读出放大器电路 SA 的输入端子及 TN_2 的源极连接， TN_2 的漏极与电源电压 V_{cc} 连接。第 1 参考电阻 R_{ref1} 、第
25 30 第 2 参考电阻 R_{ref2} 、第 3 参考电阻 R_{ref3} 、第 4 参考电阻 R_{ref4} 的一端，分

别与由 N 型 MOSFET 构成的 TN5、TN6、TN7、TN8 的源极连接，另一方的端子与接地电平连接。TN5、TN6、TN7、TN8 的漏极，通过节点 W1 与 TN1 的源极和读出放大器电路 SA 的输入端子连接，栅极上分别连接节点 A5、A6、A7、A8。再有，TN1 的漏极与电源电压连接，栅极连接到，接收允许写入信号 PEN 后通过高电压驱动电路 HV 而被变换为比电源电压 Vcc 还高的电压 HV2 的节点。另外，读出放大器电路 SA 的输出与写入开始信号 Ws 被输入到触发器电路 FF，触发器电路 FF 的输出，通过高电压驱动电路 HV，被变换为比电源电压 Vcc 还高的电压 HV1 之后，输入到 TN2 的栅极。

首先，为了选择第 1 存储单元，使 WL1 为高电平，再从 Rref1、Rref2、Rref3、Rref4 中选择要设定的电阻值。在选择第 3 参考电阻 Rref3 的情况下，通过使信号 A7 为高电平，信号 A5、A6、A8 分别为低电平，从而 TN7 为接通状态，TN5、TN6、TN8 成为截止状态。接着，通过使允许写入信号 PEN 为高电平，TN1 为接通状态，电流通过 TN1、TN7、参考电阻 Rref3，从 Vcc 流向接地电平。由此，节点 W1 处于由这些电阻分压而成的中间电位。然后，写入开始信号 Ws 为高电平，TN2 处于接通状态。之后，即使写入开始信号 Ws 成为低电平，但数据被触发器电路锁存。TN2 处于接通状态，通过 TN2、选择存储单元的 TN3、可变电阻元件 Rm，使可变电阻元件 Rm 的电阻值变化，同时，电流从电源电压流向接地电平。在这里，若 TN1 与 TN2、TN3 与 TN7 晶体管能力相等，则参考电阻与选择存储单元的可变电阻元件 Rm 为相同的电阻值时，流过相等的电流。当选择存储单元的可变电阻元件 Rm 比参考电阻 Rref3 的电阻值低时，通过被施加的电位差即可使可变电阻元件 Rm 成为写入状态。在可变电阻元件 Rm 比参考电阻的电阻值低的情况下，可变电阻元件 Rm 的节点 W2 比节点 W1 的电压低。即，通过将节点 W1 与节点 W2 输入读出放大器电路 SA，可以判断可变电阻元件 Rm 的电阻值是否比参考电阻的电阻值低。而且，在选择存储单元的可变电阻元件 Rm 成为与参考电阻相等的电阻值，进而，选择存储单元的可变电阻元件 Rm 比参考电阻 Rref3 的电阻值大的时刻，由于读出放大器电路的输出信号 ENB 成为高电平，TN2 成为截止状态，故电压施加停止，写入结束。

即，选择存储单元的可变电阻元件 Rm，根据选择 4 种参考电阻中任何一个参考电路，可以存储 4 种状态。即，若将参考电阻中的第 1 电阻 Rref1 的状态定义为“00”，第 2 电阻 Rref2 的状态定义为“01”，将第 3 电阻 Rref3 的状态定义为“10”，将第 4 电阻 Rref4 的状态定义为“11”，
5 则第 1 选择存储单元，可以存储 00、01、10、11 四种状态。再有，虽然说明了通过具备 4 种参考电阻，从而可以在选择存储单元的可变电阻元件 Rm 中存储 2 比特数据的示例，但也可以通过增加参考电阻的种类，来存储更多的数据。

以下，说明第 2 实施方式。如图 5 所示，在向存储元件 1c 写入数据的电压必须为比电源电压高的情况下，具备升压电路。即，TN1 及 TN2 的漏极与升压电路的输出 Vout 连接，接收允许写入信号 PEN 后使上述升压电路启动，将升压电路的输出 Vout 作为写入电压使用。再有，在图 5 中也只示出了省略了存储单元的选择晶体管的基本电路构成。

另外，在本实施方式中，虽然说明利用晶体管的接通/截止来控制是否向选择存储单元的可变电阻元件 Rm 施加写入电压的元件，但如图 6 所示，也可以构成为根据是否从升压电路的输出供给电压来进行控制的控制电路。若详细叙述，则从由可变电阻元件构成的多个存储单元内选择的存储单元的可变电阻元件 Rm，通过节点 W2 与 TN2 的源极及读出放大器电路 SA 的输入端子连接，参考电阻 Rref2 通过节点 W1 与 TN1 的源极及读出放大器电路 SA 的输入端子连接。TN1 及 TN2 的漏极与升压电路的输出 Vout 连接，栅极被施加了接收允许写入信号 PEN 后被变换为比升压电压 Vout 还足够高的电压 HV2 的信号。升压电路的启动信号 ENB 从读出放大器电路 SA 输出。写入选择存储单元的可变电阻元件 Rm，即，写入规定数据时，允许写入信号 PEN 成为高电平之后，使升压电路启动，
15 向选择存储单元的可变电阻元件 Rm 及参考电阻 Rref2 施加电压。在属于 TN1 与参考电阻 Rref2 的电阻分压的节点 W1，和属于 TN2 与选择存储单元的可变电阻元件 Rm 的电阻分压的节点 W2 到达相等电压的时刻，
20 升压电路停止，停止向存储单元的可变电阻元件 Rm 的电压施加，写入结束。
25

30 再有，由在上述可变电阻元件 R11~Rij 上施加电应力来向上述存储

单元 1c 写入数据的写入机构 2；检测写入操作中上述电阻的变化的写入状态检测机构 3；以及直到上述电阻变化为规定的参考值时停止电应力的施加的写入控制机构 4，所构成的控制电路 C，并未限定于上述的构成，也可以适当地使用公知的逻辑电路来构成。

5 接下来，说明本发明的半导体存储装置的第三实施方式。另外，对与上述第 1 实施方式对应的部位简略化，进行说明。如图 7 所示，半导体存储装置，由具备上述的可变电阻元件 $R_{11} \sim R_{ij}$ 与 N 型 MOSFET 构成的选择晶体管 $T_{11} \sim T_{ij}$ 的存储单元 1c 成矩阵状配置的存储器阵列 1；和起到通过向上述可变电阻元件 $R_{11} \sim R_{ij}$ 施加上述电应力来擦除上述存储单元 1c 的数据的擦除机构 2'、检测上述擦除机构 2' 进行擦除操作时上述电阻的变化的擦除状态检测机构 3'、以及作为停止由上述擦除机构 2' 进行的上述电应力的施加的擦除控制机构 4' 功能的控制电路 C' 构成。
10

15 上述存储单元 1c，根据地址信号由字线选择器的输出 WL1、WL2…WL_i 及位线选择器 BL1、BL2…BL_j 中选择，上述可变电阻元件 $R_{11} \sim R_{ij}$ 一端的源线 SRC1、SRC2…SRC_j，与源线选择器连接。个别选择多个源线 SRC 的源线选择器，虽然为了简单，作为与 2 个节点 SR1、SR2 连接的机构进行说明，但例如，在同时擦除 16 单元的情况下，必须准备 SR1～SR16 的十六个节点。

20 节点 SR1、SR2，分别通过由 N 型 MOSFET 构成的 TN3、TN4，向电压产生电路的输出 Vout 或接地电平选择并连接。另外，节点 SR1、SR2 分别与 2 个读出放大器电路 SA 的一方输入端子连接。在读出放大器 SA 的另一方输入端子上连接参考单元电路，通过由根据具有足够高的电压的允许擦除信号 ERSEN 接通/断开的 N 型 MOSFET 构成的 TN5、TN6，与 HVE 节点连接。
25

上述读出放大器电路 SA，分别具有 1 个参考单元电路，各参考单元电路分别具备成为期望值的参考电阻 Rref1 与选择该参考电阻 Rref1 用的选择晶体管。该参考电阻 Rref1 是施加电压或电流其电阻不变化的固定电阻，优选由扩散电阻或多晶硅电阻等形成。

30 另外，在读出放大器电路 SA 的输出上，连接有触发器电路 FF，触发器电路 FF 的输出分别连接 AND 电路（与电路）和 N 型 MOSFET 的

TN3、TN4 的栅极。这里的栅极电压，被变换为比电压产生电路的输出电压还高的电压。再有，AND 电路传递表示各选择存储单元的擦除操作完成的信号，在全部的选择存储单元的擦除操作完成的时刻，输出擦除完成信号。该时序图在图 10 中表示。这里，所谓的高速位・低速位是指，
5 因处理离差等，擦除时间有高速的单元与低速的单元，从高速单元一个接一个地停止擦除电压的施加。

然后，说明第 4 实施方式。图 8 是写入电路及擦除电路都具备的电路构成的一例，在这里，在位于图 7 的源线选择器侧的作为控制电路的擦除电路 A10 (C') 的基础上，追加位于位线选择器侧的写入电路 A11。
10

在写入时，允许写入信号 PEN 为高电平，允许擦除信号 ERSEN 为低电平，向位线侧供给电压，源线侧为接地电平，进行写入操作。此时，控制源线侧的列开关 TN3、TN4 成为接通状态。另一方面，擦除时，允许写入信号 PEN 为低电平，允许擦除信号 ERSEN 为高电平，向源线侧供给电压，位线侧为接地电平，进行擦除操作。此时，通过控制位线侧的列开关 TN1、TN2 成为接通状态，电流从源线侧流向位线侧，同时施行擦除与校验操作。
15

然而，在图 8 所示的示例中，虽然在写入电路与擦除电路上分别需要电压产生电路与读出放大器等，但也可以通过兼用这些机构来进行面积削减。这一例作为第 5 实施方式在图 9 中表示。根据使 N 型 MOSFET
20 开关来选择向位线侧供给电压产生电路的输出 Vout 还是向源线侧供给，施行写入及擦除。

在写入时，允许写入信号 PEN 为高电平，允许擦除信号 ERSEN 为低电平，向位线侧供给电压产生电路的输出 Vout，源极侧为接地电平，施行写入操作。另一方面，在擦除时，允许写入信号 PEN 为低电平，允许擦除信号 ERSEN 为高电平，向源极侧供给电压产生电路的输出 Vout，位线侧为接地电平，进行擦除操作。
25

另外，对于读出放大器电路 SA 的输入信号 SH1 或 SH2 也同样，根据允许写入信号 PEN 与允许擦除信号 ERSEN，从位线侧或源线侧取出电压，向读出放大器电路 SA 输入。在参考单元电路中，通过将 Rref1 定义为擦除参考单元，Rref2 定义为第 2 写入单元，将 Rref3 定义为第 3 写入
30

单元，将 Rref4 定义为第 4 写入单元，可以从擦除操作一直兼用到多值写入操作。

电流从电压产生电路的输出 Vout，经过根据允许写入信号 PEN 或允许擦除信号 ERSEN 转换的 N 型 MOSFET 的 TN8、TN9 和参考单元，流向接地电平，此时的电阻分压被输入到读出放大器电路 SA 中。这样，通过采用根据与写入操作对应的允许写入信号 PEN 和与擦除操作对应的允许擦除信号 ERSEN 转换的晶体管，可以兼用电压产生电路或读出放大器电路等。

以下，对上述的从第 3 到第 5 实施方式具体的选择存储单元的擦除操作进行说明。为了简单，参照由图 7 只摘录基本电路构成的图 11。在这里，省略选择晶体管，对选择擦除参考电阻 Rref1 的情况进行说明。再有，在图中难把握的是：在进行擦除操作时，如上所述，必须施加与使选择晶体管导通进行写入时相反极性的电压，这一点要注意。

从由可变电阻元件构成的多个存储单元内选择的存储单元的可变电阻元件 Rm，通过节点 W2 与由 N 型 MOSFET 构成的 TN2 的源极及读出放大器电路 SA 的输入端子连接。另外，电阻值不因电流或电压的施加导致的应力而发生变化的参考电阻 Rref1，通过节点 W1 与由 N 型 MOSFET 构成的 TN1 的源极及读出放大器电路 SA 的输入端子连接。TN1 的漏极与电源电压 Vcc 连接，栅极被施加了接收允许擦除信号 ERSEN 后变换为比电源电压 Vcc 还高的电压的信号。另一方面，TN2 的漏极与电源电压 Vcc 连接，栅极被施加了接收触发器电路 FF 的输出信号后变换为比电源电压 Vcc 还高的电压的信号。另外，触发器电路的输入信号，输入的是擦除电压施加开始信号 Es 与上述读出放大器电路 SA 的输出信号 ENB。

在上述的基本电路构成中，首先，若允许擦除信号 ERSEN 为高电平，则 TN1 为接通状态，通过 TN1 与参考单元电阻，电流从电源电压流向接地电平。此时，节点 W1 具有由 TN1 的正向电阻与参考单元电阻的电阻分压而确定的第 1 电压。接着，在擦除信号 Es 被传送时，TN2 处于接通状态。之后，即使 Es 成为低电平，由于数据被触发器电路 FF 锁存，故没有问题。由于 TN2 成为接通状态，故电流通过 TN2 与选择存储单元 Rm，从电源电压流向接地电平，选择存储单元 Rm 被擦除。这里，若由 N 型

MOSFET 构成的 TN1 与 TN2 的晶体管能力相等，则在参考电阻与选择存储单元 Rm 成为相同的电阻时，流过相等的电流。

即，通过将节点 W1 与节点 W2 输入到读出放大器电路 SA 中，判断选择存储单元的电阻是否比参考电阻的电阻值低，在选择存储单元成为与参考电阻相等的电阻值的时刻，由于读出放大器电路 SA 的输出信号 ENB 成为高电平，TN2 成为截止状态，故电压施加被停止，擦除终止。即，在每个存储单元中擦除电压施加时间不同方面是特长的。由此，不但防止过剩擦除，也达到削减消耗电流的目的。

接着，在电源电压低时，或擦除电压需要电源电压以上的高电压的情况下，考虑包括升压电路的电路构成。该构成在图 12 中表示。在这里，与图 11 不同的是，TN1 及 TN2 的漏极与升压电路的输出 Vout 连接，接收允许擦除信号 ERSEN，启动上述升压电路，将升压电路的输出 Vout 作为擦除电压使用的方面。

另外，作为擦除方法的其他实施方式，并不是根据晶体管的接通/截止来进行是否向选择存储单元施加擦除电压的控制，而是如图 13 所示，也考虑根据是否从升压电路的输出供给电压来进行控制的方法。属于从可变电阻元件构成的多个存储单元中选择的存储单元的 Rm，通过节点 W2，与 TN2 的源极及读出放大器电路 SA 的输入端子连接。另外，电阻根据电流・电压不变化的参考电阻 Rref1，通过节点 W1，与 TN1 的源极及读出放大器电路 SA 的输入端子连接。由 N 型 MOSFET 构成的 TN1 及 TN2 的漏极，与升压电路的输出 Vout 连接，栅极被施加了接收允许擦除信号 ERSEN 后变换为比升压电压 Vout 还足够高的电压的信号。升压电路的允许信号 ENB 从读出放大器电路输出。

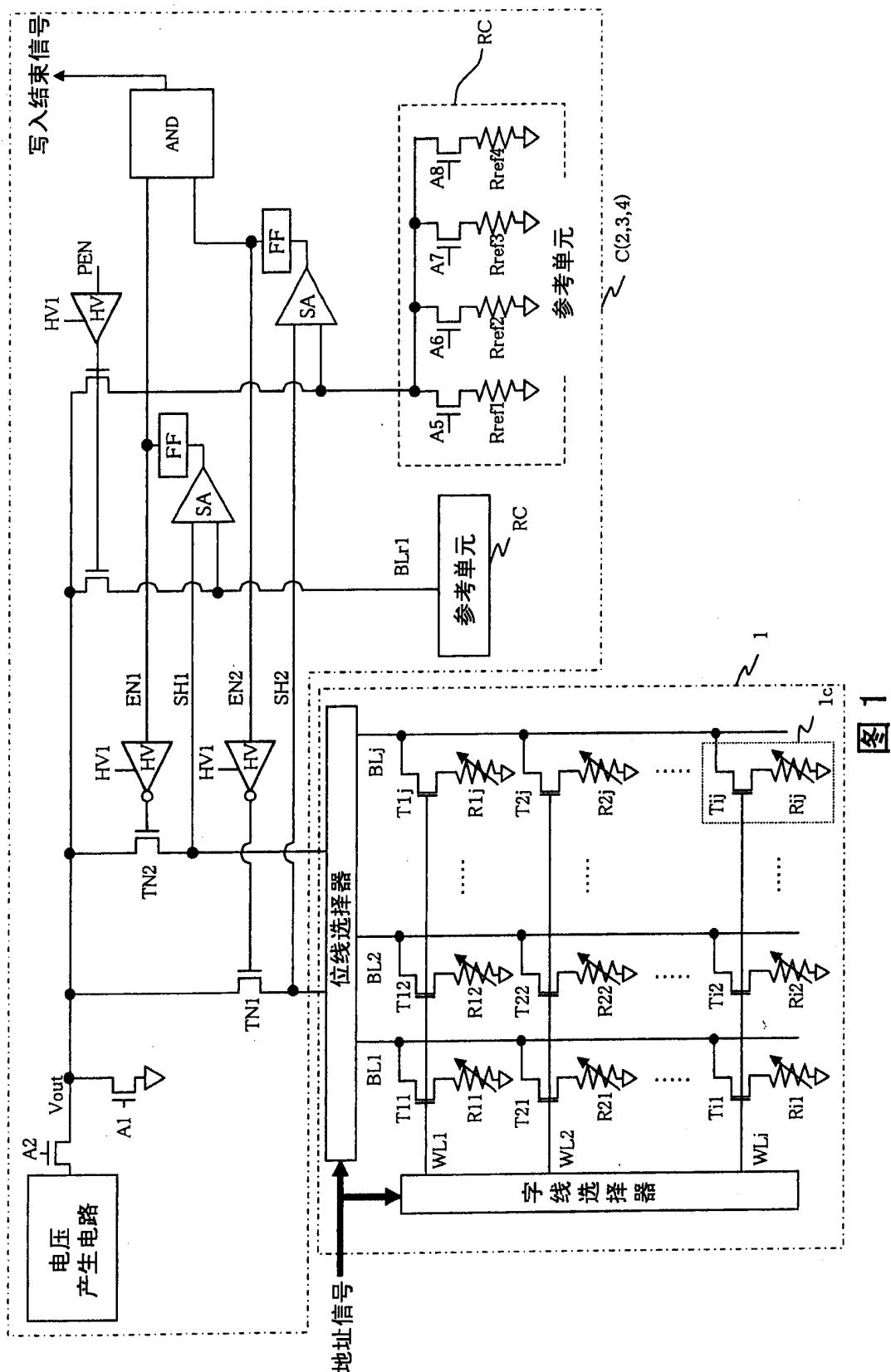
在要擦除选择存储单元 Rm 的情况下，使允许擦除信号 ERSEN 为高电平之后，使升压电路起动，将电压施加在选择存储单元及参考电阻 Rref1 上。在属于 TN1 与参考电压 Rref1 的电阻分压的节点 W1 和属于 TN2 与选择存储单元 Rm 的电阻分压的节点 W2 达到相同电压的时刻，由于升压电路停止，向存储单元的电压施加停止，故擦除终止。

再有，在上述的任何一个实施方式中，虽然说明了作为上述可变电阻元件 $R_{11} \sim R_{ij}$ ，使用 RRAM 元件构成存储单元的情况，但作为可变电

阻元件，也可以用沿磁化方向改变电阻值的 MRAM（Magnetic RAM）元件或电阻值由热导致的结晶状态的变化而改变的 OUM（Ovonic Unified Memory）元件等取代 RRAM 元件。

如上所说明的，根据本发明，由于可以同时施行向存储单元写入数据操作与校验操作，故在达到写入处理所需时间的缩短化目的的同时，
5 由于在电阻达到规定参考值的时刻可以停止写入处理，故可以将向存储单元写入数据的操作精度优良地设定为目标值，因此，是在多值对应方面优良的装置，通过同时施行擦除电压施加与校验操作，可以实现高速的擦除操作，再有，由于在达到规定的电阻值的时刻停止向该存储单元
10 的电压施加，故也可以实现减小消耗电流的目的。

本发明并不局限于上述实施方式，只要在本发明的技术思想范围内可以进行各种变更。



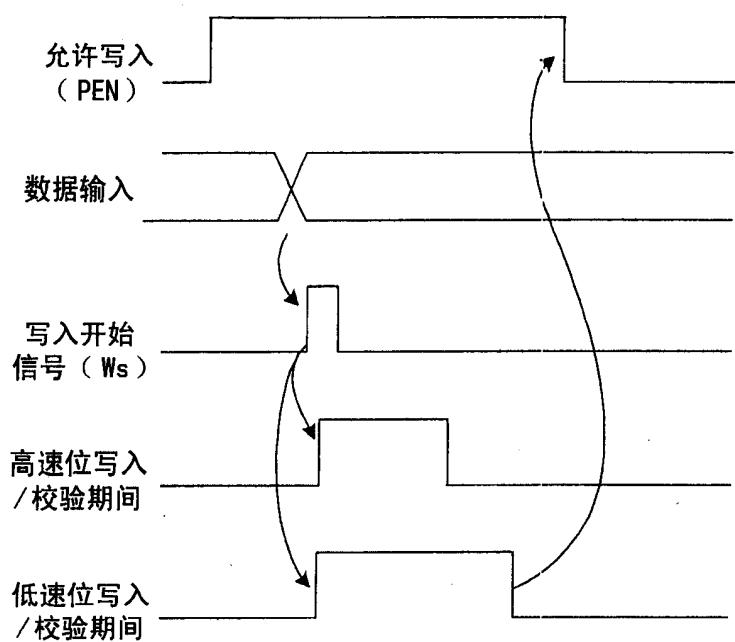


图 2

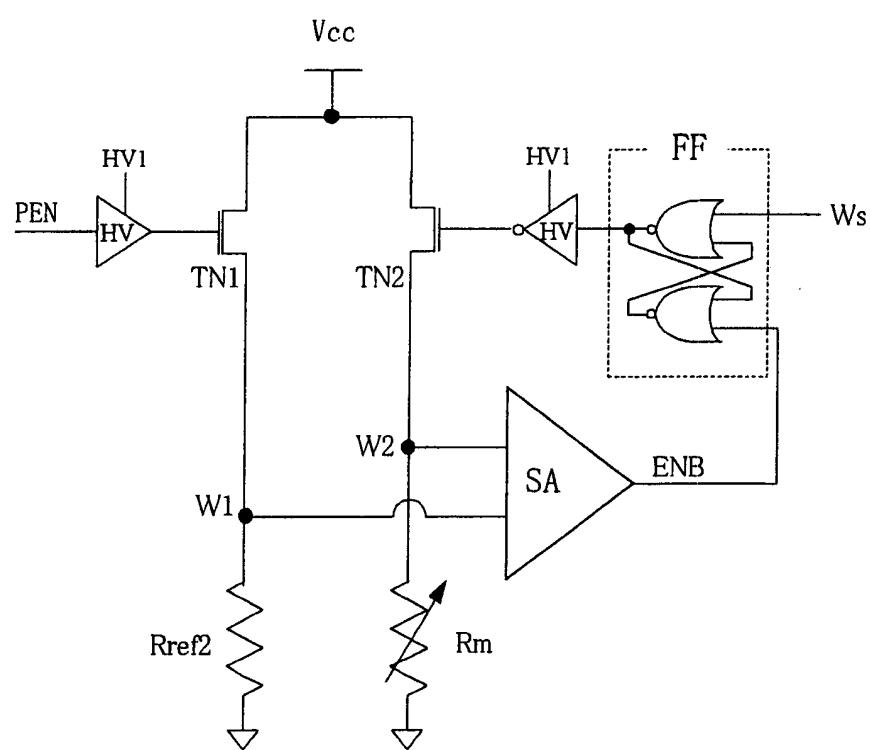


图 3

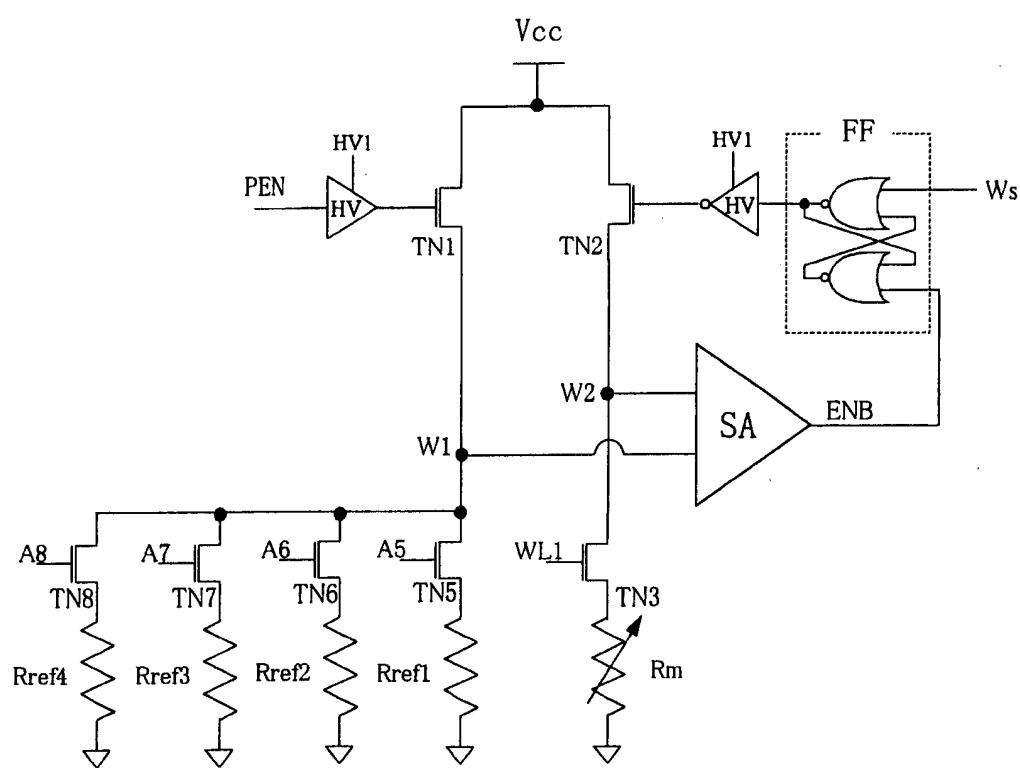


图 4

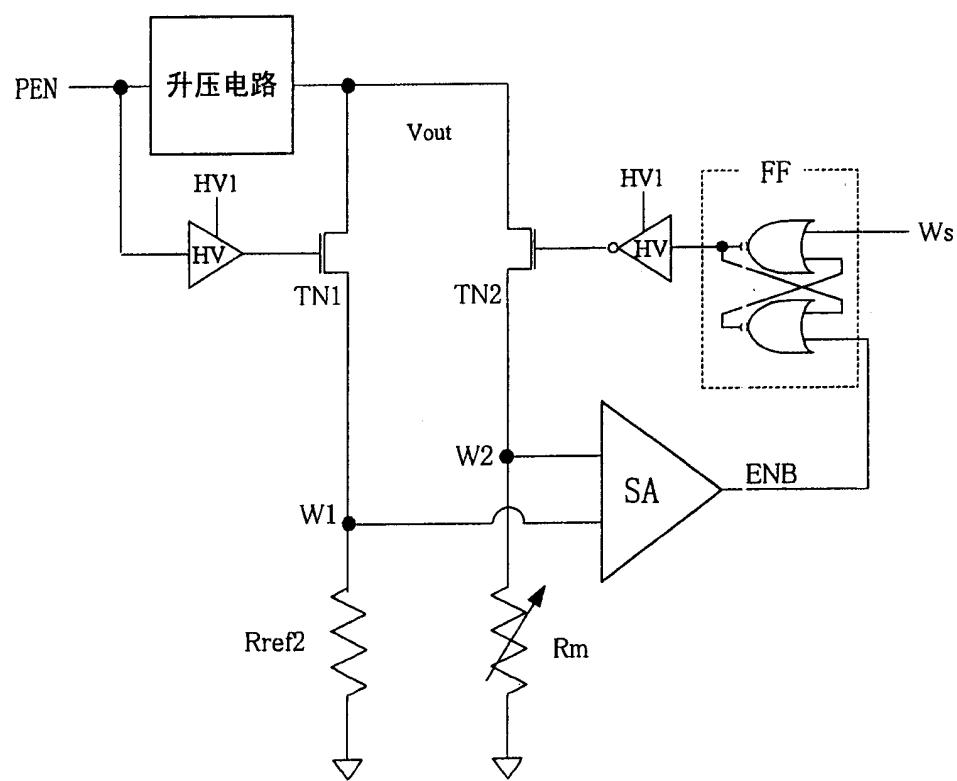


图 5

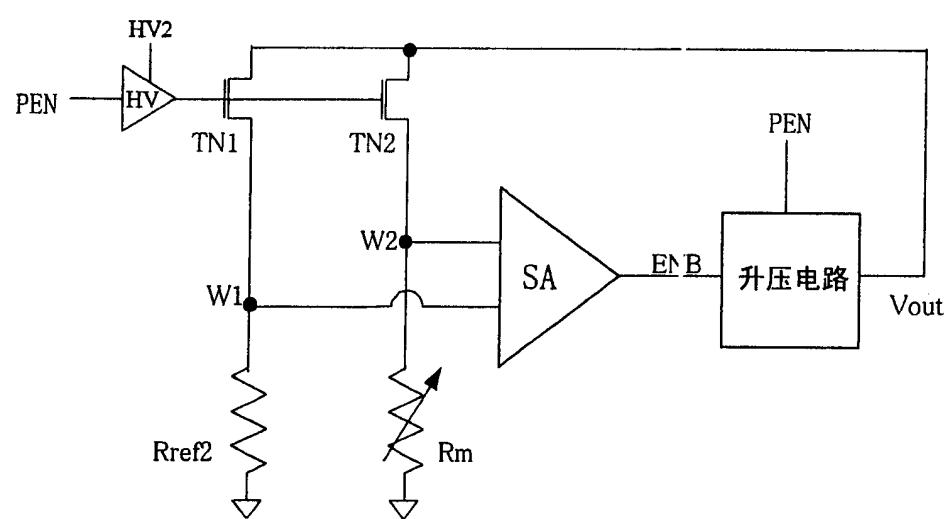


图 6

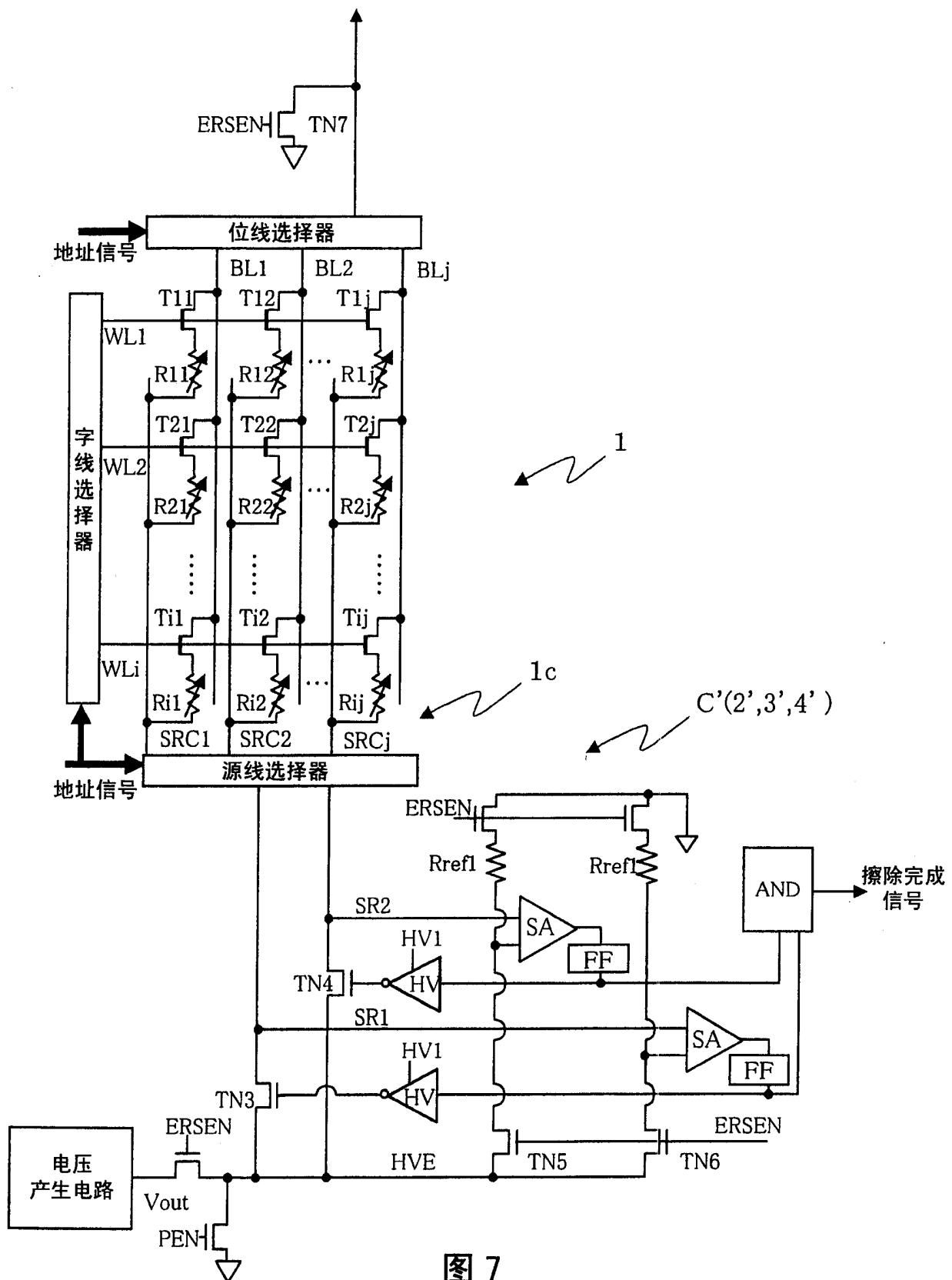


图 7

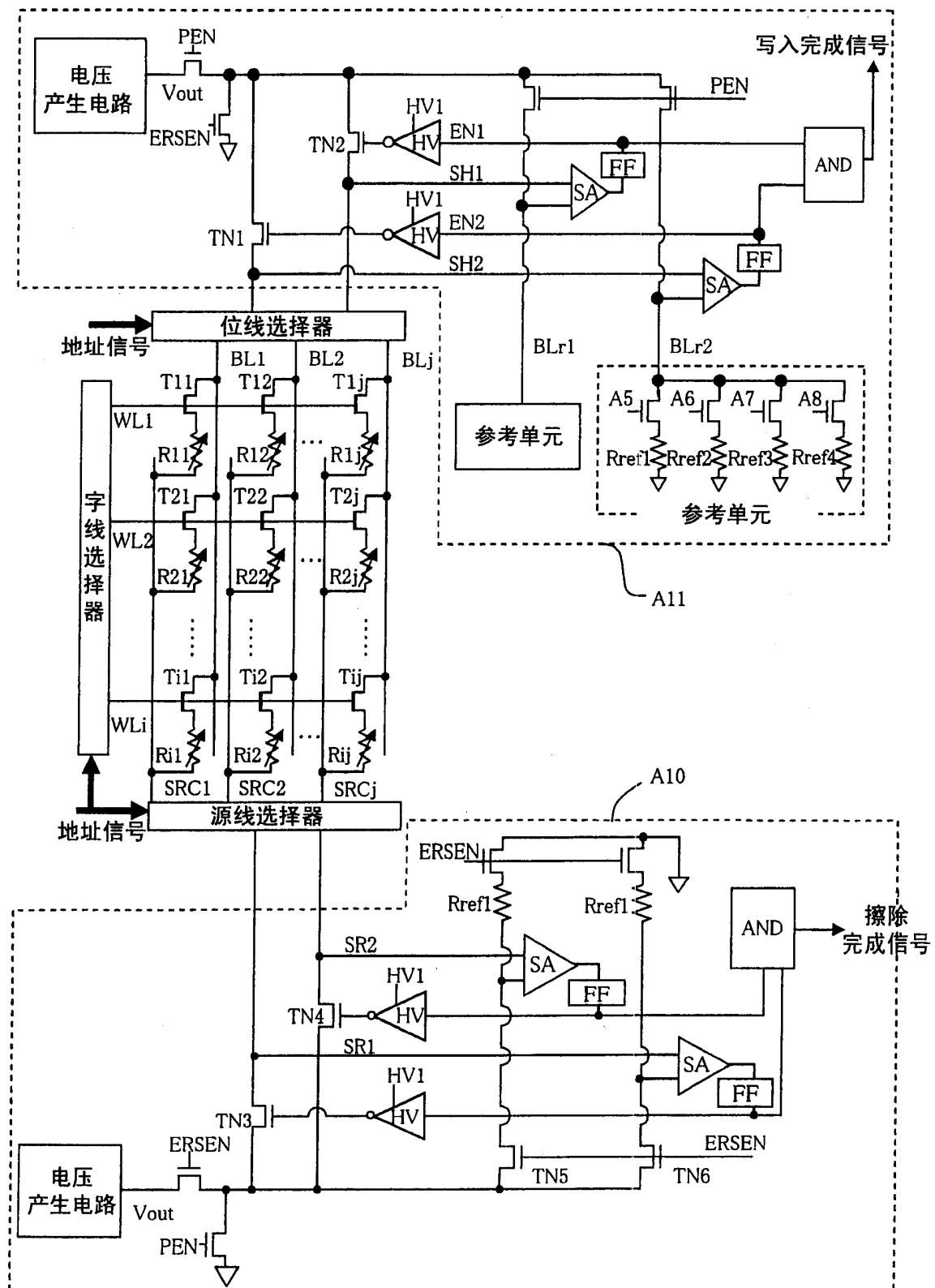
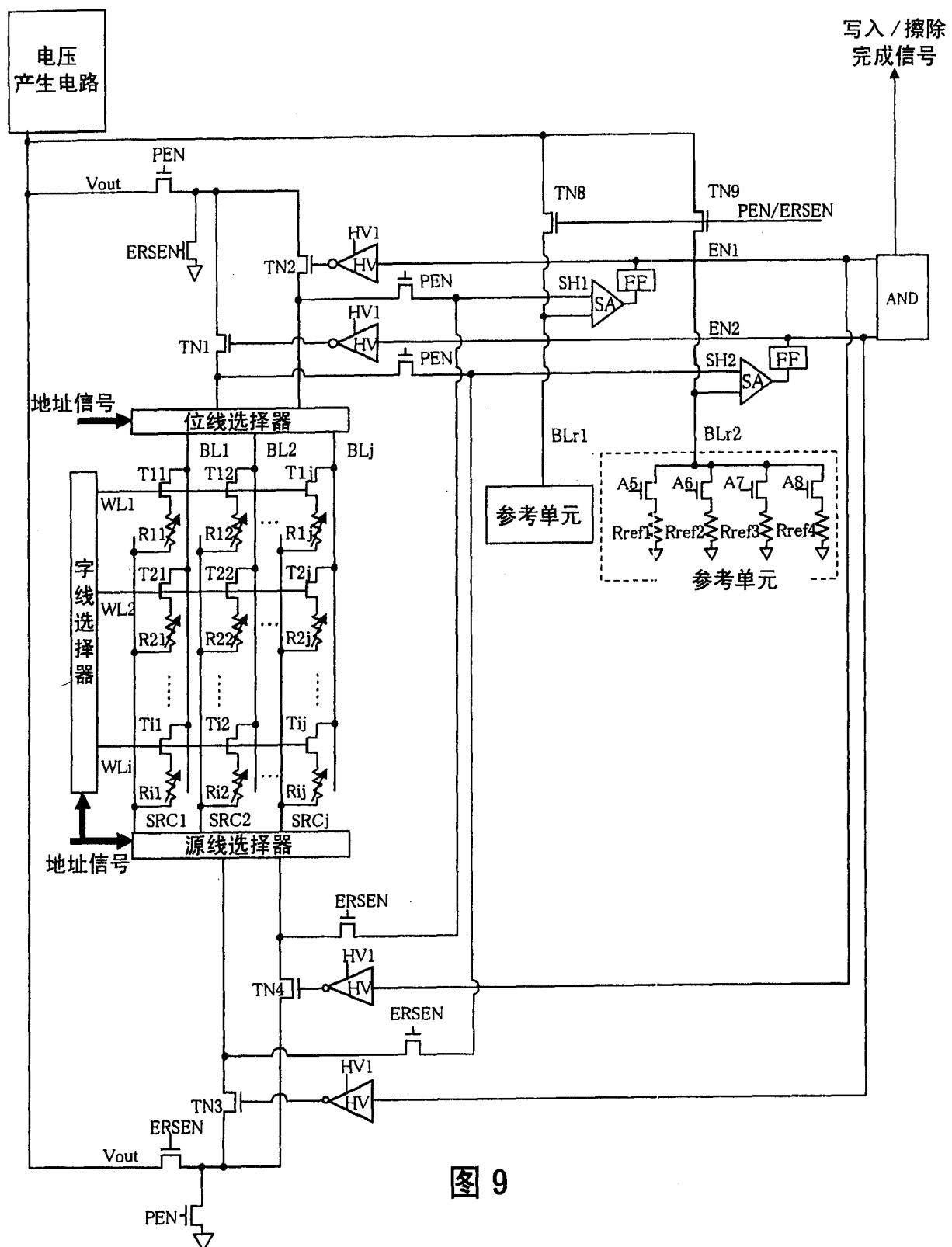


图 8



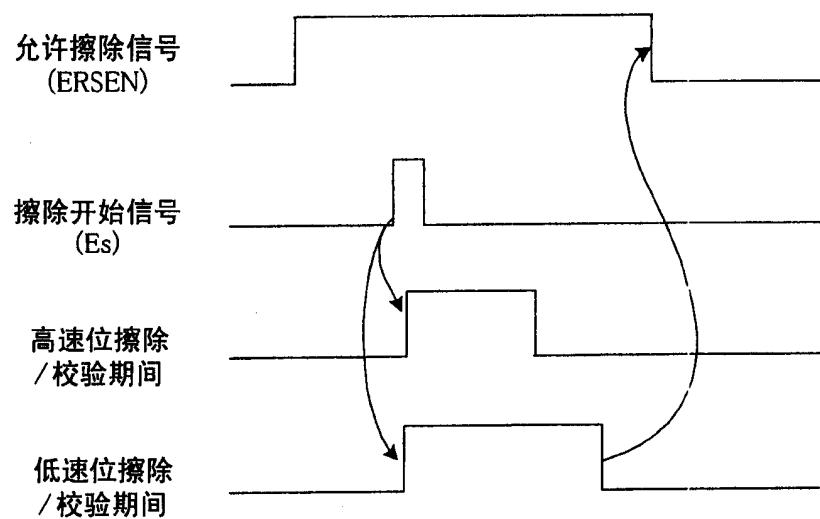


图 10

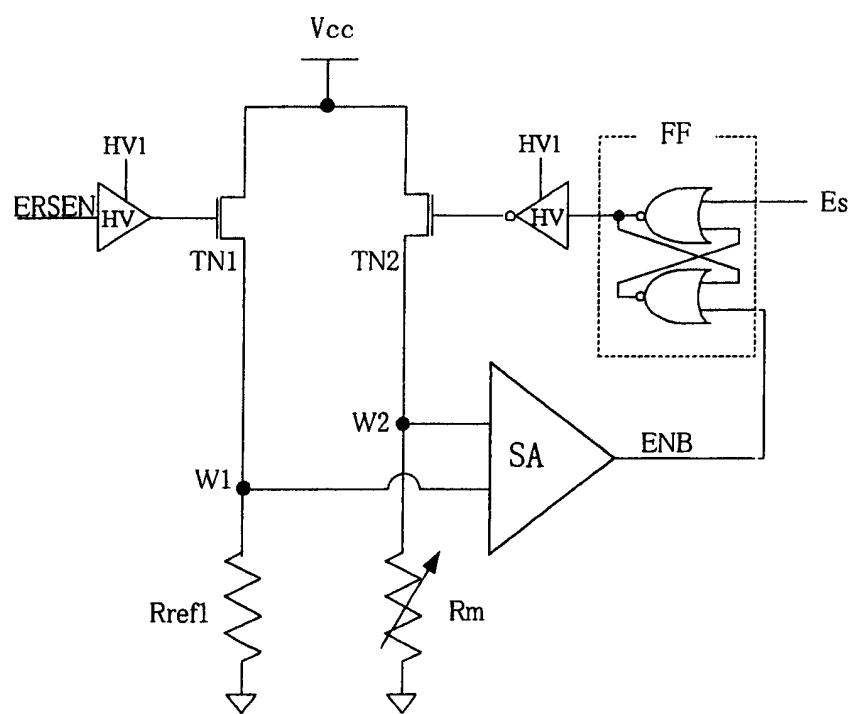


图 11

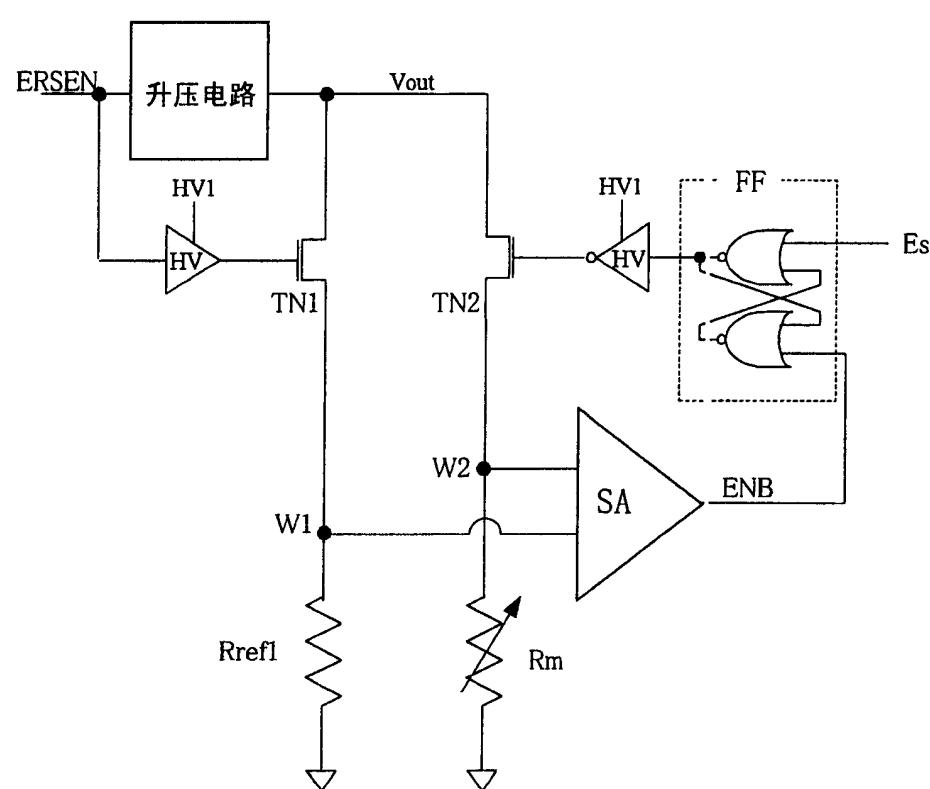


图 12

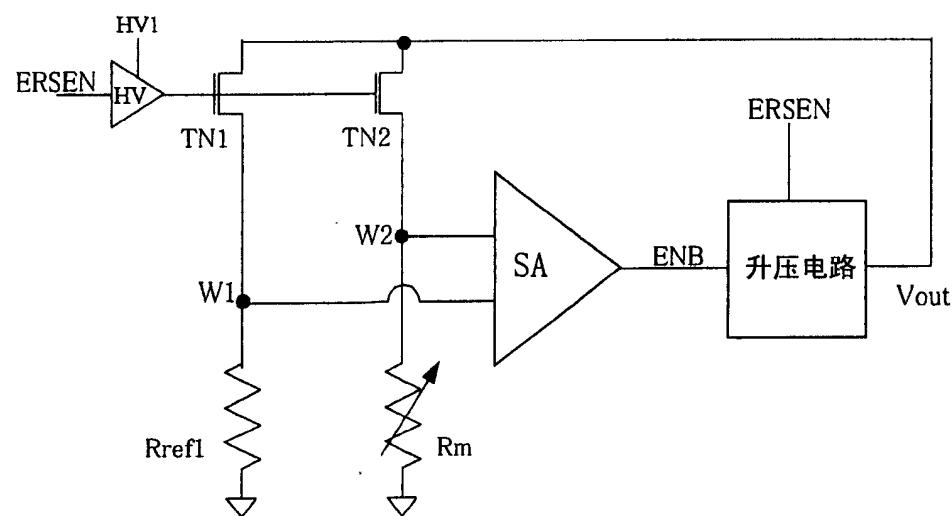


图 13

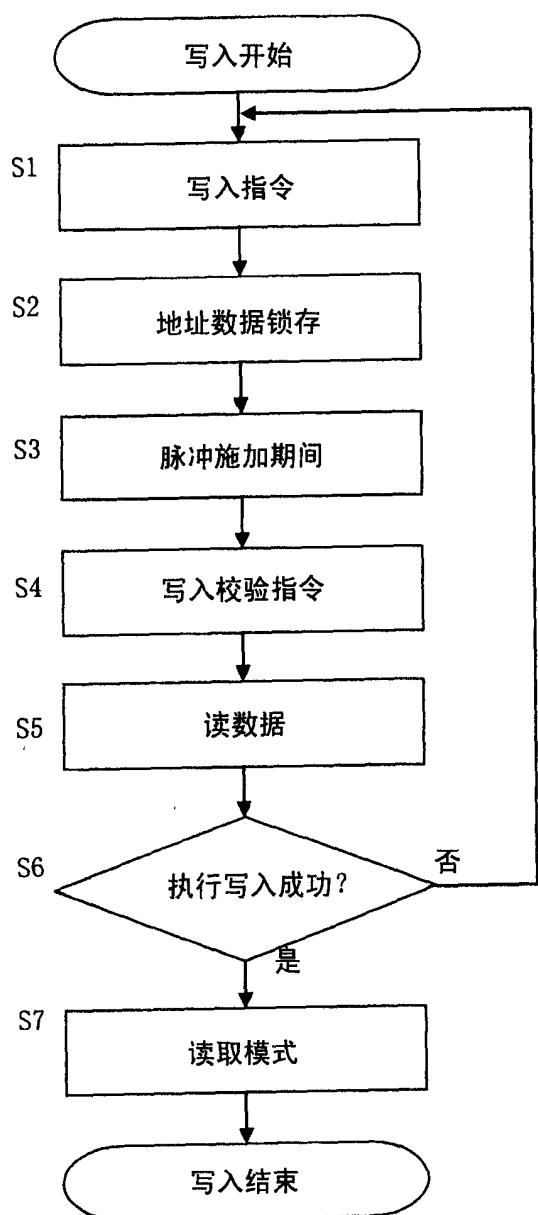


图 14

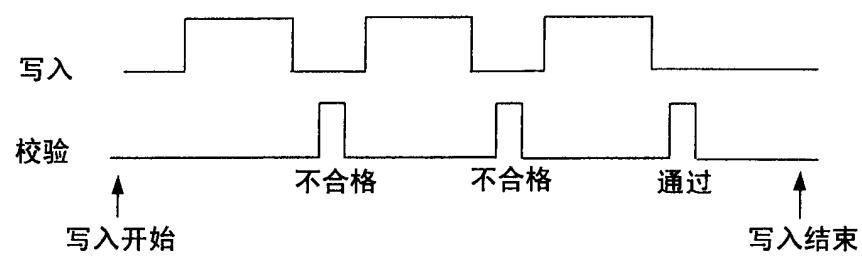


图 15