

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3659742号  
(P3659742)

(45) 発行日 平成17年6月15日(2005.6.15)

(24) 登録日 平成17年3月25日(2005.3.25)

(51) Int.Cl.<sup>7</sup>

F I

H02M 3/28

H02M 3/28

H

H02J 3/18

H02M 3/28

U

H02M 7/217

H02J 3/18

D

H02M 7/217

請求項の数 18 (全 20 頁)

(21) 出願番号 特願平8-201549  
 (22) 出願日 平成8年7月31日(1996.7.31)  
 (65) 公開番号 特開平9-121539  
 (43) 公開日 平成9年5月6日(1997.5.6)  
 審査請求日 平成15年7月28日(2003.7.28)  
 (31) 優先権主張番号 95410076.4  
 (32) 優先日 平成7年7月31日(1995.7.31)  
 (33) 優先権主張国 ドイツ(DE)

(73) 特許権者 398038580  
 ヒューレット・パカード・カンパニー  
 HEWLETT-PACKARD COMPANY  
 アメリカ合衆国カリフォルニア州パロアル  
 ト ハノーバー・ストリート 3000  
 (74) 代理人 100087642  
 弁理士 古谷 聡  
 (74) 代理人 100063897  
 弁理士 古谷 馨  
 (74) 代理人 100076680  
 弁理士 溝部 孝彦  
 (72) 発明者 ジャンセン, アレン  
 フランス国クロール38920, エル・ド  
 ャ・ゼラルブ・302

最終頁に続く

(54) 【発明の名称】 力率補正付きスイッチングモード電源

(57) 【特許請求の範囲】

【請求項1】

交流入力を受け、整流装置の出力に整流出力を発生する整流装置(39)と、前記整流装置(39)の出力に接続された入力回路(40)、調整直流出力電圧を供給する出力回路(41)、及び前記入力回路(40)及び出力回路(41)にそれぞれ接続された、一次巻線(46)及び二次巻線(47)を有するエネルギー蓄積変圧器(42)を具備するフライバック変換器とから成る電源において、

前記入力回路(40)は、

(a) エネルギー蓄積インダクタ(43)と、

(b) 前記整流装置(39)の出力を横切って、前記エネルギー蓄積インダクタ(43)と直列に接続されたスイッチング素子(44)と、 10

(c) 該スイッチング素子(44)の周期的ターンオン及びターンオフを、前記交流入力の周波数よりかなり大きなスイッチング周波数で制御する制御装置(60-71)と、

(d) 前記スイッチング素子(44)を横切る一次巻線(46)と直列に接続され、前記スイッチング周波数では、低インピーダンスを示すが、前記交流入力の周波数では、それよりかなり高いインピーダンスを示すように値決めされた、結合コンデンサ(45)とから構成され、

前記制御装置は、

前記インダクタ(43)と変圧器(42)が、等しく平衡して相互に充電するような蓄積エネルギーレベルを有する所定のターンオン条件への到達時を検出するための検出器手段 20

( 6 0、6 2 ) と、前記検出手段が前記所定のターンオン条件に到達したことを検出したときに、前記スイッチング素子 ( 4 4 ) をオンにするターンオン手段 ( 6 5 ) とを有するスイッチオン制御手段と、

前記調整直流出力電圧の所望の値に依存する期間中、前記スイッチング素子 ( 4 4 ) をオンに維持するためのオン時間制御手段 ( 6 5 - 7 1 )

とから構成されることからなる、電源。

【請求項 2】

前記インダクタ ( 4 3 ) と前記変圧器一次巻線 ( 4 6 ) のインダクタンス値は等しく、前記所定のターンオン条件への到達は、前記インダクタ及び前記変圧器の蓄積エネルギーがゼロであるときになされる、請求項 1 に記載の電源。

10

【請求項 3】

前記インダクタ ( 4 3 ) のインダクタンス値は、前記変圧器一次巻線 ( 4 6 ) のインダクタンス値より大きく、前記変圧器 ( 4 2 ) は、スイッチング素子 ( 4 4 ) のターンオフに続き、まずゼロにまで放電し、次いで前記所定のターンオン条件に到達するまで、前記インダクタ ( 4 3 ) により再充電される、請求項 1 に記載の電源。

【請求項 4】

前記スイッチオン制御手段の前記検出器手段 ( 6 0、6 2 ) が、前記変圧器 ( 4 2 ) 内の磁束の変化率に比例する電圧を導出するための検知手段 ( 6 0 ) であって、この変化率は、前記所定のターンオン条件が満たされる場合にゼロに降下することからなる、検知手段と、

20

前記検知手段 ( 6 0 ) により検知される電圧の最小値を判定する判定手段 ( 6 2 )

とを備え、前記ターンオン手段 ( 6 5 ) が、前記判定手段 ( 6 2 ) により判定された前記最小値において、前記スイッチング素子 ( 4 4 ) をオンにすることからなる、請求項 1 に記載の電源。

【請求項 5】

前記検知手段は、前記変圧器の前記一次巻線及び二次巻線 ( 4 6、4 7 ) と共に巻かれた検知巻線 ( 6 0 ) を備える、請求項 4 に記載の電源。

【請求項 6】

前記スイッチオン制御手段は、更に、スイッチング素子が、早期に再び前記ターンオン手段 ( 6 5 ) によりオンにされていない限り、スイッチング素子が、最後にオンであった時から所定時間後に、前記ターンオン手段による前記スイッチング素子 ( 4 4 ) のターンオンを開始するためのタイムアウト手段 ( 6 4 ) を備える、請求項 4 に記載の電源。

30

【請求項 7】

前記スイッチオン制御手段は、

前記変圧器二次巻線 ( 4 7 ) の電流を監視する検知手段であって、この電流は、前記所定のターンオン条件が満たされる場合にゼロになることからなる、検知手段と、

前記検知手段により監視される二次巻線電流がゼロに降下する時を判定する判定手段

とを備え、前記ターンオン手段 ( 6 5 ) は、前記判定手段が、前記二次巻線電流が降下してゼロになっていると判定した場合に前記スイッチング素子をオンにすることからなる、請求項 1 に記載の電源。

40

【請求項 8】

前記オン時間制御手段は、

前記出力電圧を表すフィードバック信号を供給するための出力電圧フィードバック手段 ( 6 6 - 6 9 ) と、

誤差信号を発生するために、前記フィードバック信号をある基準と比較する比較手段 ( 7 1 ) であって、前記基準は、前記出力電圧の所望の値を表すものであることからなる、比較手段と、

前記誤差信号を最小にするように、前記スイッチング素子 ( 4 4 ) のオン時間を調節するタイミング手段 ( 6 5 )

とから構成され、

50

前記出力電圧フィードバック手段は、前記出力電圧を表す入力信号を受け取るように接続され、前記入力信号に含まれるリップル成分の大きさが、実質的に減少している、対応する出力信号を生成するように動作する低域通過フィルタ(66)を備えており、このリップル成分は、交流幹線路の周波数の2倍の周波数で、前記出力電圧に存在するリップルに対応し、前記低域通過フィルタの出力信号は、少なくとも部分的に、前記フィードバック信号を形成することからなる、請求項1に記載の電源。

【請求項9】

前記出力電圧フィードバック手段は更に、前記出力電圧の急速な変化、及び/又は大きい変化にตอบสนองして、前記低域通過フィルタ(66)をバイパスし、これらの変化をより迅速に前記フィードバック信号に導入する過渡検出器(68)を備える、請求項8に記載の電源。

10

【請求項10】

前記出力電圧フィードバック手段は更に、幹線路周波数の時間尺度で、変前記圧器の二次巻線(47)にかかる電圧の最小値を検出するための最小ピーク検出器(67)を備え、該最小ピーク検出器(67)は、前記低域通過フィルタ(66)の出力に存在する、如何なる残留リップル成分をも相殺するように、前記低域通過フィルタ(66)の出力と尺度及び位相が合った出力を生成し、前記最小ピーク検出器(67)の出力は、前記フィードバック信号及び前記誤差信号の一方に導入される、請求項8に記載の電源。

【請求項11】

交流入力を受け取り、整流装置の出力で整流出力を発生する整流装置(39)と、前記整流装置の出力に接続されて、調整直流出力電圧を供給するように動作する調整器とを備える電源において、

20

前記調整器は、

(a) 第1のエネルギー蓄積インダクタ(43)と、

(b) 前記整流装置(39)の出力を横切って、前記第1のインダクタ(43)と直列に接続されたスイッチング素子(44)と、

(c) 該スイッチング素子(44)の周期的ターンオン及びターンオフを、前記交流入力の周波数よりかなり大きいスイッチング周波数で制御する制御装置(60-70)と、

(d) 第2のエネルギー蓄積インダクタ(100)と、

(e) 前記スイッチング素子(44)を横切って、前記第2のインダクタ(100)と直列に接続されて、前記スイッチング周波数では、低インピーダンスを示すが、前記交流入力の周波数では、それよりかなり高いインピーダンスを示すように値決めされた、結合コンデンサ(45)と、

30

(f) 整流ダイオード(48)と、

(g) 前記第2のインダクタ(100)を横切って、前記整流ダイオード(48)と直列に接続される蓄積コンデンサ(49)であって、前記調整直流出力電圧は、前記蓄積コンデンサ(49)の両端に出現することからなる蓄積コンデンサ

とを備え、

前記制御装置は、

前記第1及び第2のインダクタ(43、100)が、等しく平衡して相互に充電するような蓄積エネルギーレベルを有する所定のターンオン条件に到達したことを検出するための検出器手段(62)と、前記検出器手段が、前記所定のターンオン条件に到達したことを検出したときに前記スイッチング素子(44)をオンにするためのターンオン手段(65)とを有するスイッチオン制御手段と、

40

前記調整直流出力電圧の所望の値に依存した期間中、前記スイッチング素子(44)をオンに維持するためのオン時間制御手段(65-70)

を備えることからなる、電源

【請求項12】

前記第1及び第2のインダクタ(43、100)のインダクタンス値は等しく、前記所定のターンオン条件への到達は、それらのインダクタの蓄積エネルギーレベルがゼロである

50

場合になされる、請求項 1 1 に記載の電源。

【請求項 1 3】

前記第 1 のインダクタ ( 4 3 ) のインダクタンス値は、前記第 2 のインダクタ ( 1 0 0 ) のインダクタンス値より大きく、前記第 2 のインダクタは、前記スイッチング素子 ( 4 4 ) のターンオフに続き、まずゼロにまで放電し、次いで前記所定のターンオン条件に到達するまで、前記第 1 のインダクタ ( 4 3 ) により再充電される、請求項 1 1 に記載の電源。

【請求項 1 4】

前記スイッチオン制御手段の検出器手段は、  
前記第 2 のインダクタ ( 1 0 0 ) にかかる電圧を監視するための検知手段であって、この電圧は、前記所定のターンオン条件が満たされる場合にゼロに降下することからなる、検知手段と、  
前記検知手段により検知された電圧の最小値を判定するための判定手段 ( 6 2 ) とを備え、  
前記ターンオン手段 ( 6 5 ) は、前記判定手段 ( 6 2 ) により判定された前記最小値において、前記スイッチング素子 ( 4 4 ) をオンにすることからなる、請求項 1 1 に記載の電源。

【請求項 1 5】

前記スイッチオン制御手段は更に、前記スイッチング素子が、早期に再び前記ターンオン手段 ( 6 5 ) によりオンにされていない限り、前記スイッチング素子 ( 4 4 ) が最後にオンであった時から所定時間後に、前記ターンオン手段 ( 6 5 ) による前記スイッチング素子 ( 4 4 ) のターンオンを開始するためのタイムアウト手段 ( 6 4 ) を備える、請求項 1 4 に記載の電源。

【請求項 1 6】

前記オン時間制御手段は、  
前記出力電圧を表すフィードバック信号を供給するための出力電圧フィードバック手段と、  
誤差信号を発生するために、前記フィードバック信号をある基準と比較するための比較手段 ( 7 0 ) であって、前記基準は、前記出力電圧の所望の値を表すものであることからなる、比較手段と、  
前記誤差信号を最小にするように、前記スイッチング素子 ( 4 4 ) のオン時間を調節するためのタイミング手段 ( 6 5 ) を備え、

前記出力電圧フィードバック手段は、前記出力電圧を表す入力信号を受け取るように接続され、前記入力信号に含まれるリップル成分の大きさが実質的に減少している、対応する出力信号を生成するように動作する低域通過フィルタ ( 6 6 ) を備えており、このリップル成分は、交流幹線路の周波数の 2 倍の周波数で、前記出力電圧に存在するリップルに対応し、前記低域通過フィルタ ( 6 6 ) の出力信号は、少なくとも部分的に、前記フィードバック信号を形成することからなる、請求項 1 1 に記載の電源。

【請求項 1 7】

前記出力電圧フィードバック手段は更に、前記出力電圧の急速な変化、及び / 又は大きい偏差に応答して、前記低域通過フィルタ ( 6 6 ) をバイパスし、これらの変化を、より迅速に前記フィードバック信号に導入する過渡検出器 ( 6 8 ) を備える、請求項 1 6 に記載の電源。

【請求項 1 8】

前記出力電圧フィードバック手段は更に、前記幹線路周波数の時間尺度で、前記第 2 のインダクタ ( 1 0 0 ) にかかる電圧の最小値を検出するための最小ピーク検出器 ( 6 7 ) を備え、該最小ピーク検出器 ( 6 7 ) は、前記低域通過フィルタ ( 6 6 ) の出力に存在する、如何なる残留リップル成分をも相殺するように、前記低域通過フィルタ ( 6 6 ) の出力と尺度及び位相が合った出力を生成し、前記最小ピーク検出器 ( 6 7 ) の出力は、前記

フィードバック信号及び前記誤差信号の一方に導入されることからなる、請求項16に記載の電源。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、力率補正付きスイッチングモード電源に関する。

【0002】

【従来の技術】

スイッチングモード電源は、交流幹線路入力から調整直流出力を発生する電子機器に頻繁に使用されている。このような用途のスイッチングモード電源は、典型的には、整流され且つ少なくとも一部が平滑された直流出力を発生する整流器ユニット、及び整流器ユニットに結合された、フライバック又は順方向変換器のようなDC/DC変換器から構成されている。DC/DC変換器は通常、調整直流出力を発生するばかりでなく、交流幹線路入力から出力を分離するようにも働く。

【0003】

上述の形態のスイッチングモード電源は一般に、貧弱な（低い）力率を示す。この力率は、電源により引き出される真の電力の、実際の電圧及び電流のRMS値の積に対する比である。二つの値の間の相違は、整流器ユニット及び平滑用コンデンサの高調波歪みに起因している。

【0004】

交流幹線路の発電及び配電ネットワークで、低い力率が生ずるという問題を最小限に抑えるために、比較的低電力の機器でさえ、厳格な力率の要求条件に適合することが必要であるという傾向が益々増えている。

【0005】

一つの機器が示す力率を管理する様々な技法が知られており、このような管理を行なうすべての技法を包含するために、本明細書では、「力率補正」という用語を全般に使用する。

【0006】

スイッチングモード電源で力率補正を行なう既知の一つの手法は、整流器ユニットに一般に設けられている大型コンデンサを不要にし、次いで、下流の変換器の各スイッチングサイクル中に引き出される電流を、整流された半正弦波入力電圧の瞬時値に比例させようとするものである（スイッチング周波数は、幹線路周波数よりはるかに高い）。変換器により引き出される電流を、入力電圧に比例するように構成することにより、変換器（、従ってスイッチングモード電源）は、高い力率により現実に抵抗性と見なせる。

【0007】

フライバック又は順方向変換器のような、標準のDC/DC変換器により引き出される電流は、入力電圧に比例していないので、所望の結果を得るのに特殊の変換器構成が考え出されており、このような一つの構成を添付図面のうちの図1に示す。

【0008】

図1に示すスイッチングモード電源は、ブリッジ整流器11を備え、これは、ブースト調整器12に、次いでフライバック変換器13に給電する。要するに、ブースト調整器12は、ブリッジ整流器11からの整流出力の最大より大きい電圧で、蓄積コンデンサ14にエネルギーを貯え、次に、フライバック変換器13は、コンデンサ14で構成されているエネルギー源を流出させる。

【0009】

ブースト調整器12は、ブリッジ11の出力で発生される整流電圧 $V_{IN}$ に比例する電流でコンデンサ14を充電し、それにより、自身を交流幹線路に対して抵抗性負荷として示すように構成されている。この目的で、調整器12のスイッチング素子（MOSFET）16のデューティサイクルが、（電位分割器ネットワーク18を経由して検知された） $V_{IN}$ の瞬時値にตอบสนองする、固定周波数のパルス幅変調（PWM）制御ブロック17により制御されて、スイッ

10

20

30

40

50

チング素子16のオン時間が、検知された $V_{IN}$ の値に比例して増大する。ブースト調整器の本来の特性というのは、連続モードで動作するとき、電圧 $V_C$ が一定であるという条件で、平均入力電流が、スイッチング素子16のデューティサイクルのオン時間に比例することである。この電圧 $V_C$ が一定という条件は、コンデンサ14の大きさという観点で、幹線路周波数の時間尺度に関する場合であると想定できる。事実、電圧 $V_C$ を実質上一定レベルに維持するには、(電位分割器ネットワーク19を経由して検知された) $V_C$ の値に依存して、スイッチング素子16のデューティサイクルを調節することも必要である。しかし、この調節は、低域通過フィルタ15によって確実に、電圧 $V_{IN}$ の変化の時間尺度に対して長い時間尺度となる。PWM制御ブロック17の入力信号は、やはり電位分割器ネットワーク18により検知された変換器入力電圧と同じ形状でなければならないので、PWM制御ブロック17に供給する前に、低域通過フィルタ15の出力は、乗算器24において、検知された入力電圧により乗算される。

10

#### 【0010】

フライバック変換器13は、標準形態のものであり、パルス幅変調(PWM)制御ブロック20を備え、これは、変換器13の出力電圧 $V_O$ の値に応答して、変換器スイッチング素子(MOSFET)のデューティサイクルを調整し、それにより出力電圧 $V_O$ が所望レベルに維持される(所望の出力電圧レベルを設定する基準を含む、ループバック電子回路が、制御ブロック20に組み込まれている)。フライバック変換器の変圧器22により、交流幹線路の入力「AC IN」と出力電圧 $V_O$ との間が分離される。

20

#### 【0011】

図1のスイッチングモード電源は、力率補正というその目標に関して有効であるが、乗算器、二つのPWMコントローラ、及び二つのスイッチング素子を必要とするため高価である。

#### 【0012】

##### 【発明が解決しようとする課題】

本発明の目的は、安価で、且つ構成が簡単な、力率補正付きスイッチングモード電源を提供することである。

#### 【0013】

課題を解決する手段に説明を進める前に、まず注目されたいのは、他の既知の調整器であり、添付図面の図2に示した、いわゆるSEPIC(シングルエンド型の一次インダクタンス変換器)調整器である。この調整器について、ここで述べる理由は、その主回路要素の全体構成が、本発明のものと類似しており、しかしSEPIC調整器のスイッチング素子の制御が、本発明に用いるスイッチング素子の制御と実質上異なるためである。また、留意されたいのは、SEPIC調整器は、明らかに力率補正には適用できないという点である。SEPIC調整器は、広くは使用されていないが、平滑入力を、その極性を反転させずに昇圧することに時折用途を見いだしている。SEPIC調整器は、分離を与える変圧器が無いために、幹線路の電源ユニットに直ぐ使用できる候補ではない。

30

#### 【0014】

手短に、且つ図2を参照して説明すれば、SEPIC変換器は、調整器への入力を横切って、スイッチング素子27と直列に接続される、第1のエネルギー蓄積インダクタ26、及びスイッチング素子27を横切って、コンデンサ29と直列に接続される、第2のエネルギー蓄積インダクタ28を備えている。ダイオード30が、第2のインダクタ28とコンデンサ29との接合点を、出力蓄積コンデンサ31及び負荷32に接続している。スイッチング素子27は、出力電圧 $V_O$ の値に応答する固定周波数のPWMコントローラ33により制御され、 $V_O$ を一定に維持するように、スイッチング素子27のデューティサイクルを調節する。コンデンサ29及び31の両方の値は十分に大きく、その結果、それらを横切るリップルが、スイッチング素子27のスイッチング周波数において小さくなり、無視できることになる。すなわち、コンデンサ29を横切る電圧は、入力電圧 $V_{IN}$ に等しい。

40

#### 【0015】

多数の動作モードが可能であるが、最も普通に使用されるモードは、電流が、両方のイン

50

ダクタ26及び28を通して連続的に流れるモードである。このモードでは、スイッチング素子がオンであるとき、ダイオード30が遮断されて、負荷はコンデンサ31から給電される。ここで、電流 $I_1$ がインダクタ26を通して流れ、インダクタ26にエネルギーが蓄積され、同様に、電流 $I_2$ がインダクタ28を通して流れ、エネルギーがこのインダクタ28に蓄積される。スイッチング素子27がオフであるとき、ダイオード30が導通し、エネルギーが、インダクタ26及び28からコンデンサ31及び負荷に転送されて、これらのインダクタを通る電流 $I_1$ 及び $I_2$ が、次第に降下する。次に、スイッチング素子が再びオンされて、動作のサイクルが再開される。

【0016】

【課題を解決するための手段】

本発明の一つの態様によれば、交流入力を受け、整流装置の出力に整流出力を発生する整流装置と、整流装置の出力に接続された入力回路、調整直流出力を供給する出力回路、及び前記入力回路及び出力回路にそれぞれ接続された、一次巻線及び二次巻線を有するエネルギー蓄積変圧器を具備する、フライバック変換器とから成る電源において、

前記入力回路は、(a) エネルギー蓄積インダクタと、(b) 整流装置の出力を横切って、前記エネルギー蓄積インダクタと直列に接続されたスイッチング素子と、(c) 該スイッチング素子の周期的ターンオン及びターンオフを、前記交流入力の周波数より大きいスイッチング周波数で制御する制御装置と、(d) 前記スイッチング素子を横切る一次巻線と直列に接続され、前記スイッチング周波数では、低インピーダンスを示すが、前記交流入力の周波数では、高インピーダンスを示すように値決めされた、結合コンデンサとから構成され、

前記制御装置は、前記インダクタ、及び変圧器が、等しく平衡して相互に充電するような蓄積エネルギーレベルを有する、ターンオン条件への到達に基づいて、スイッチング素子をオンにするためのスイッチオン・タイミング手段と、前記調整直流出力電圧の所望の値に依存した期間中、スイッチング素子をオンに維持するためのオン時間制御手段とから構成される電源が提供される。

【0017】

このようにスイッチング素子を制御することで、入力電流を入力電圧に比例させ、それにより、所望の抵抗性挙動が与えられる。

【0018】

好適には、インダクタ、及び変圧器一次巻線の各インダクタンス値は等しく、それにより、インダクタ、及び変圧器の蓄積エネルギーレベルがゼロであるとき、前記ターンオン条件に達する。代替として、インダクタのインダクタンス値が、変圧器一次巻線のインダクタンス値より大きい場合には、変圧器は、スイッチング素子のターンオフに続いて、まずゼロまで放電し、次に前記ターンオン条件に達するまで、インダクタにより再充電される。また、インダクタのインダクタンスを、変圧器一次巻線のインダクタンスより小さくする構成も可能である。

【0019】

ターンオン条件の検知を多数の方法で行なうことができる。というのは、この時点で、変圧器の磁束、及びインダクタの磁束も変化せず、二次電流がゼロになるためである。勿論、変圧器、又はインダクタの磁束が変化しない場合、これらの構成要素に誘導された電圧はゼロになり、これは容易に検出される。好適には、変圧器には、検知巻線が設けられており、この巻線に誘導される電圧を監視して、いつターンオン条件に到達したかを判定する。代案としては、変圧器二次巻線の電流を監視することである。

【0020】

オン時間制御手段は、好適には、幹線路に関連したリップル成分を低減するための低域通過フィルタを備えた、出力電圧フィードバックループを構成する。これには、負荷変化に対する変換器の応答性を低減するという影響があるので、フィードバックループに過渡検出器を備えるのが有利であり、この過渡検出器は、前記出力電圧の急速な変化、及び/又は大きな偏差にตอบสนองして、低域通過フィルタを迂回させ、これら変化を一層迅速に前記フィードバック信号に導入する。

10

20

30

40

50

## 【0021】

好適には、フィードバックループは更に、幹線路周波数の時間尺度で、変圧器の二次巻線を横切る電圧の最小を検知する、最小ピーク検出器を備えており、最小電圧検出器は、低域通過フィルタの出力と尺度及び位相が合っている出力を発生し、かかる機能により、低域通過フィルタの出力の如何なる残留リップル成分も相殺される。

## 【0022】

本発明の他の態様によれば、交流入力を受け取り、整流装置の出力で整流出力を発生する整流装置と、整流装置の出力に接続されて、調整直流出力電圧を供給するように動作する調整器とから成る電源において、

前記調整器は、(a) 第1のエネルギー蓄積インダクタと、(b) 整流装置の出力を横切って、前記第1のインダクタと直列に接続されたスイッチング素子と、(c) スwitching素子の周期的ターンオン及びターンオフを、前記交流入力の周波数より大きいスイッチング周波数で制御する制御装置と、(d) 第2のエネルギー蓄積インダクタと、(e) 前記スイッチング素子を横切って、前記第2のインダクタと直列に接続されて、前記スイッチング周波数では、低インピーダンスを示すが、前記交流入力の周波数では、高インピーダンスを示すように値決めされた、結合コンデンサと、(f) 整流ダイオードと、(g) 前記第2のインダクタを横切って、前記整流ダイオードと直列に接続され、両端間に調整直流出力電圧を発生する蓄積コンデンサとから構成され、

前記制御装置は、前記第1及び第2のインダクタが、等しく平衡して相互に充電するような蓄積エネルギーレベルを有する、ターンオン条件への到達に基づいて、前記スイッチング素子をオンにするための、スイッチオン・タイミング手段と、前記調整直流出力電圧の所望の値に依存した期間中、前記スイッチング素子をオンに維持するオン時間制御手段とから構成される電源が提供される。

## 【0023】

本発明を具体化する二つのスイッチングモード電源を次に、添付図面を参照して、非限定例として説明する。

## 【0024】

## 【発明の実施の形態】

図3は、本発明に従って力率補正を行なう、第1実施例のスイッチングモード電源を示す。この電源は、その交流側で交流幹線路電源（典型的には、50Hz）に接続されている、ブリッジ整流器39を備えている。ブリッジ整流器の直流側により、両波整流された正弦波入力電圧 $V_{IN}$ が、修正形態のフライバック変換器に与えられ、それにより調整電圧出力 $V_o$ が供給される。修正型のフライバック変換器は、エネルギー蓄積変圧器42を介して、出力回路41に結合されている入力回路40を備えている。

## 【0025】

入力回路40の形態は、SEPIC調整器（図2を参照）のフロントエンド部と同じであり、ブリッジ整流器39の出力を横切って、スイッチング素子44と直列に接続されているエネルギー蓄積インダクタ43と、スイッチング素子44を横切って、変圧器42の一次巻線46と直列に接続されているコンデンサ45とを備えている。以下での説明のために、前提として、インダクタ43のインダクタンスが、二次巻線を開放した状態で、一次巻線46により示されるインダクタンスと同じであるとする（変圧器のインダクタンスについての以下の参照は、このインダクタンスとして理解されたい）。インダクタ43、及び変圧器42のインダクタンス値を同じにする方が望ましいが、後で説明するように、これは必要不可欠ではない。コンデンサ45の値は、幹線路リップルの通過を阻止するように、幹線路周波数では高インピーダンスとなるが、スイッチング素子44のスイッチング周波数では、低インピーダンスとなるような容量値である。

## 【0026】

出力回路41は、フライバック変換器用の標準形態をとり、ダイオード48を介して、蓄積コンデンサ49に給電する二次巻線47を備え、出力電圧 $V_o$ は、負荷50に給電するために、コンデンサ49を横切って発生する。

10

20

30

40

50



## 【0027】

本発明の動作を理解しやすくするため、一次巻線46と二次巻線47の間の巻線比を、以下の説明では1とする。実際には、このようなことは一般的な事例ではないが、以下で説明する動作原理は、それによって影響を受けない。

## 【0028】

スイッチング素子44(ここでは、単に例として、MOSFETで示す)は、後で更に詳細に説明する、要素60乃至71から成る制御回路により、周期的にオン及びオフにされる。ここで必要な留意点としては、この制御回路が、オン時間制御ブロック65を備え、これにより、以下の2点が制御されるということにある。

## 【0029】

1 スwitchング素子のターンオンのタイミングであって、これは、変圧器巻線に誘導される電圧が、ゼロに降下した直後に同期して生ずる(この機能には、要素60乃至65が関係している)。

## 【0030】

2 スwitchング素子のオン時間の持続時間であって、この持続時間は、出力電圧 $V_o$ の値を所定レベルに維持するように、出力電圧 $V_o$ の値に応じて調節される(この機能には、要素65乃至71が関係している)。

## 【0031】

この制御方式に起因して、スイッチング素子44のスイッチング周波数は、固定ではなく、典型的には、50から300KHzの範囲にわたって変化することになる。

## 【0032】

図3の回路の動作説明を、次に図4及び図5を参照して行なう。図4は、図3の変換器(制御回路を除く)の主要構成要素を示し、関係する主電圧及び電流を表している。特に、インダクタ43を通して流れる電流は、 $I_1$ で表され、インダクタ43とスイッチング素子44との接合点での電圧は、 $V_1$ で表され、スイッチング素子を構成するMOSFETのゲートに加えられる電圧は、 $V_{gs}$ で表され、一次巻線46を横切る電圧、及びそれを通して流れる電流は、それぞれ $V_2$ 及び $I_2$ で表され、二次巻線47を通る電流は、 $I_3$ で表され、変圧器42の磁束は、 $\Phi_T$ で表されている。

## 【0033】

図5は、スイッチング素子44の4つのスイッチングサイクルにわたった、 $V_{gs}$ 、 $V_1$ 、 $I_1$ 、 $V_2$ 、 $I_2$ 、 $I_3$ の時間プロットを示す。各スイッチングサイクルは、スイッチング素子44がオン( $V_{gs}$ が高レベル)である場合の、第1の期間 $t_{ON}$ 、及びスイッチング素子44がオフ( $V_{gs}$ が低レベル)である場合の、第2の期間 $t_{OFF}$ から構成されている。図示した4サイクルに含まれる短い期間では、入力電圧 $V_{IN}$ が一定であると仮定する(これは妥当であり、というのは、入力電圧が正弦状に変化するとしても、スイッチング素子44のスイッチング周波数よりはるかに低い周波数では、一定となるためである)。出力電圧 $V_o$ も、図示した4サイクル期間にわたり一定と仮定する。これに基づき、スイッチング素子44のスイッチング周波数もやはり、図示した4サイクル期間にわたって、一定と見なすことができ、事実、各図示した動作サイクルは実質的に同一である。

## 【0034】

スイッチング素子44のスイッチング周波数で、コンデンサ45を横切る電圧は、実質的に一定で、入力電圧 $V_{IN}$ に等しくなる。 $V_1$ がゼロである各サイクルの第1の $t_{ON}$ 期間中、電圧 $V_2$ はしたがって $-V_{IN}$ であり、インダクタ43、及び一次巻線46には両方とも、同じ駆動電圧 $V_{IN}$ がかかり、それにより、インダクタ及び一次巻線の各々を通る電流(それぞれ $I_1$ 、 $I_2$ )が、同じ割合で増加され、つまり両者のインダクタンスは同じである。このようにして、エネルギーが、インダクタ43及び変圧器42に蓄積される。電流 $I_3$ は、ダイオード48が逆バイアスされる $t_{ON}$ の期間中ゼロであり、負荷50には、蓄積器コンデンサ49から引き出される電流により電力が供給される。

## 【0035】

スイッチング素子44がオフである、第2のサイクル期間 $t_{OFF}$ の間、インダクタ43及び変

10

20

30

40

50

圧器42に蓄積されたエネルギーが解放されて、電流  $I_3$  を二次巻線47を通して流し、蓄積コンデンサ49を再充電して、負荷50に電力を供給する。更に詳細に述べれば、スイッチング素子44のターンオン時、電流  $I_1$  は、一次巻線46を通過する以外に選択の余地がないため、電流  $I_1$ 、及び  $I_2$  は同一電流となり、これには、電流  $I_2$  の反転が関係していることに注目することができる。これを補償するのに、 $I_3$ （これは、今のところ、ダイオード48の順方向バイアスのため流れることができる）は適切な値をなす。目下のところ、一次巻線と二次巻線間の巻線比が1である場合には、電流  $I_3$  は、期間  $t_{OFF}$  の開始時に、スイッチング素子がオフになる瞬間に、 $I_2$  の値の2倍に等しい値をなす。 $I_3$  が（したがって、 $I_2$  及び  $I_1$  も）減少する割合は、出力電圧  $V_0$  に依存する。電圧  $V_1$  に関しては、スイッチング素子のターンオフ時に、電圧  $V_1$  は、電流  $I_1$  の減少率によって決定される、 $V_{IN}$  を超えるレベルにまで直ちに上昇し、電圧  $V_2$  も、 $V_1$  と同じ量だけ上昇する。

10

#### 【0036】

インダクタ43の磁束（この磁束は、蓄積エネルギーの目安となる）の減少率は、勿論、電流  $I_1$  と同じ形である。変圧器42の磁束  $\Phi$  の減少率は、図5に示したように、電流  $I_2$  及び  $I_3$  の減少率に依存する。目下のところ、インダクタ43、及び変圧器42のインダクタンスが同じである場合には、インダクタ及び変圧器の磁束は、期間  $t_{OFF}$  の始まりに存在する、同じ開始値から同じ割合で減少する。したがって、インダクタ43、及び変圧器42の磁束がゼロに到達する、共通時点に結局到達することになり、これは、勿論、電流  $I_1$ 、 $I_2$ 、及び  $I_3$  がゼロに到達する時に対応する。スイッチング素子44のオフが終われば、インダクタにも変圧器にも蓄積エネルギーがないので、また、コンデンサ45を横切る電圧が、入力電圧  $V_{IN}$  と平衡するので、電流  $I_1$ 、 $I_2$ 、及び  $I_3$  はゼロのまま、インダクタ及び変圧器の磁束は、ゼロで一定したままとなる。事実、本発明の変換器では、スイッチング素子44は、変圧器の磁束の変化率が（したがって、変圧器巻線に誘導される電圧が）ゼロになると、直ちに再びオンになり、新しい動作サイクルが始まる。

20

#### 【0037】

電流  $I_1$  に関する時間プロットから分かるように、 $I_1$  の波形が連続する三角形であるため、 $I_1$  の平均値は、この電流により達成される最大値に比例する。この最大値は、 $V_{IN}$  の値によって決まり、事実、 $V_{IN}$  に比例するので、入力電流  $I_1$  の平均値は、入力電圧  $V_{IN}$  に比例することになる。この挙動は図6に示されており、図6には、入力電圧が三つの異なる値、すなわち  $V_{IN}$  が  $V$ 、 $2V$ 、及び  $3V$  の場合の電流  $I_1$  の波形が示されている。図示のように、 $t_{ON}$  の値を  $t_1$  に設定すると、 $I_1$  の最大値、 $I_1$  の平均値、及びオフサイクルの期間  $t_{OFF}$  の持続時間はすべて、入力電圧  $V_{IN}$  の値に比例する。その結果、入力電圧が、整流正弦波として変化するにつれて、引き出される平均電流の位相は、入力電圧の変化と共に同様に変化し、したがって、変換器は抵抗性負荷と見なせて、所望の力率補正が与えられる。

30

#### 【0038】

図4の回路の以上の動作説明は、スイッチング素子のオン時間  $t_{ON}$  を一定と見なし展開したが、オン時間  $t_{ON}$  が変化する時間尺度は、入力電圧の変化よりはるかに長いので、上記のような回路の挙動は、 $t_{ON}$  が変化する場合でさえ、出力電圧をその値  $V_0$  に維持するのに、依然として有効である。

40

#### 【0039】

図6での留意点は、スイッチング素子44のスイッチング周波数が、固定ではなく、入力電圧と共に変化するという点にあり、この理由は、事実、スイッチング素子が、変圧器の磁束がゼロに降下してそこに留まることに基づき、唯一オンに戻るためである。図3に関連して上述したように、この動作は、変換器制御回路の要素60乃至65により達成される。制御回路のこの部分を、次に更に詳細に説明する。

#### 【0040】

既に注記したように、スイッチング素子は、変圧器の磁束がゼロに降下して変化しなくなると、オンになるので、変圧器巻線には電圧が誘導されない。換言すれば、変圧器巻線に誘導される電圧は最小値の状態にある。この最小値の検知は、図3の変換器において、変

50

圧器コアに巻かれた検知コイル60、及び検知コイルの電圧がゼロに低下した時を検出する、最小電圧検出器62から成る構成によりなされる（この検出器は、たとえば、ゼロ電圧検出器、又は検知電圧波形の負に移行するエッジを検知する検出器とすることができる）。検出器62の出力は、トリガ信号の形態をなし、これは、OR回路63を経由してオン時間制御ブロック65に送られ、MOSFET 44のターンオンを開始させる。したがって、制御要素60乃至65が動作することにより、図3の変換器が、連続動作モードと不連続動作モードの間の境界で動作する。

#### 【0041】

検知する誘導電圧の最小値が存在しない状況（始動時及び入力電圧 $V_{IN}$ のゼロ点でのような）をカバーするために、タイムアウト回路64が設けられて、これにより、ゲート信号 $V_{gs}$ が最後に高くなってから所定時間後に、ターンオン・トリガ信号が、オン時間制御ブロックに確実に送られるが、これは条件として、MOSFETが、検出器62からのトリガ信号により、再び早期にオンにされない場合である。

10

#### 【0042】

実際のオン時間の持続時間は、フィードバック出力電圧 $V_o$ のレベルによって決定され、この目的は、出力電圧 $V_o$ を一定に維持するためである。一般的な形態では、フィードバックループにより、出力電圧 $V_o$ の尺度が、誤差増幅器70に送られて、所望の出力電圧レベルを表す基準値REFと比較される。その結果、誤差増幅器により出力に発生される誤差信号は、次に、アイソレータ71（たとえば、光アイソレータ）を介して制御ブロック65に送られて、制御ブロック65は、オン時間の期間 $t_{ON}$ を調整して、この誤差信号を最小にする。

20

#### 【0043】

あいにく、出力電圧 $V_o$ には、交流幹線路周波数の2倍のリプルが乗っている。この理由は、入力電圧及び電流は、ブリッジ整流器39（図7を参照）の直流側に発生する両波整流された正弦波 $V_{IN}$ に対応して、位相は合っているが、大きさが変化するので、変換器出力回路41へのエネルギー入力も、同じ周波数（50Hzの幹線路周波数に対して100Hz）で変化するためである。エネルギーが負荷50に絶えず供給されており、コンデンサ49は無限ではないので、出力電圧 $V_o$ は、出力回路41へのエネルギーの供給率と共に変化する。換言すれば、出力電圧 $V_o$ には、図7に示すように100Hzのリプルが乗ることになる。留意されたいのは、このリプル成分は、 $V_{IN}$ のゼロ点で最も急速に減少し、 $V_{IN}$ の最大値で最も急速に増加することである。

30

#### 【0044】

このリプルが、フィードバックループで見られるとすれば、その原因として、入力電流波形が、交流幹線路に対して、完全な抵抗性負荷を示すのに必要な波形から歪んでいるためであろう。この理由のために、出力電圧 $V_o$ は、このリプルの大部分を除去する、低域通過フィルタ66を通してフィードバックされる（たとえば、100Hzで、フィルタ利得は、0 - 3Hzの範囲での利得より30dB下がる）。

#### 【0045】

低域通過フィルタが存在すると、言うまでもないが、変換器のダイナミック応答が遅くなり、負荷が急速に変化すれば、重大な（たとえば、15%の）過渡誤差が、出力電圧に生ずる可能性がある。この問題を低減するために、過渡検出器68を設けてある。過渡検出器は、出力電圧の突然の、又は大きな変化にตอบสนองして、低域通過フィルタを効果的に迂回させ、その変化を（低域通過フィルタ66の出力も接続されている、加算器69を経由して）誤差増幅器70に直接伝える。適切な過渡検出器の設計は当業者には明らかであろう。

40

#### 【0046】

低域通過フィルタ66は、フィードバック出力電圧のリプル成分の大きさを実質的に低減するとはいえ、フィルタ66は、このリプル成分を完全には阻止しない。誤差増幅器70に送られる電圧のリプル成分が、ほとんど出現しないようにするために、第3のブロック67を設けて、誤差増幅器の入力信号に寄与させる。ブロック67は、二次巻線47を横切る電圧の負ピークを検知する働きをして、 $V_{IN}$ とは逆の形の電圧 $V_{NP}$ を効果的に発生する（図

50

7を参照)。これを行なうために、ブロック67は、100Hz程度の周波数は通すが、MOSFETのスイッチング周波数に近い、高い周波数は阻止するような、周波数応答特性を有する。このような負ピーク検出器の設計は当業者には明らかであろう。

#### 【0047】

次に、 $V_{NP}$ が、図7に破線で示すように、リップル成分と整合していれば(この整合は、ブロック66又は67のいずれが該当する方を、適切に移相することにより行なうことができる)、適切に増減された電圧 $V_{NP}$ を加算器69で混合すると、リップル成分が大幅に相殺される。このようにして、リップル成分が、ほとんどフィードバック電圧から除去される。ここで留意されたいのは、電圧 $V_{NP}$ を、誤差増幅器への入力信号にではなく、誤差増幅器により出力に発生された誤差信号に導入することができる、という点である。

10

#### 【0048】

図3の以上の動作説明は、インダクタ43、及び変圧器42のインダクタンス値が等しい場合に関するものであった。こういう場合でなければ、期間 $t_{OFF}$ の間、インダクタンス値が更に低い誘導性構成要素42、43が、完全に放電してしまっている点に到達している。その後の期間、インダクタンスが高い方の構成要素が、低い値の構成要素を充電し、一方それ自身は放電し続ける。これが続くのは、インダクタ及び変圧器が、等しく充電されるまでであるが、逆の意味では、各々は他方を充電しようとしており、この状態では、それらを共に通る電流は充電を止める。換言すれば、インダクタ及び変圧器は、実効的に平衡逆位相にある。この時点で、二つの誘導性構成要素の蓄積エネルギーは、それらのインダクタンスの比になっている。同時に、電流 $I_3$ はゼロに達しており、インダクタ及び変圧器の電流が一定になるので、誘導性構成要素を横切る電圧がゼロに降下する。この事象は、前述のように、検知巻線60、及び検出器62を使用して検出されて、スイッチング素子44が再びオンに切り換えられる。

20

#### 【0049】

スイッチング素子のオフ期間中の、インダクタ及び変圧器の相互作用の以上の説明は、事実、それらのインダクタンスが等しい場合に、同じく有効である。しかし、この場合には、蓄積エネルギーレベルは、インダクタ及び変圧器においてゼロであるが、そうなるのは、これら二つが、互いに平衡し、いずれにも他方を充電する機会がない時である。

#### 【0050】

ここで考えを転じて、インダクタと変圧器のインダクタンスが異なる場合が、図8及び図9に示されるが、それぞれには、インダクタ43のインダクタンスが、変圧器42のインダクタンスより大きい場合、及び前者が後者より小さい場合に対する、4スイッチングサイクルにわたる $V_{gs}$ 、 $I_1$ 、 $I_2$ 、 $I_3$ 、及び $T$ の波形が示されている。インダクタ43のインダクタンス値が、変圧器42のインダクタンス値より大きい場合(図8の波形)、変圧器は、オフ期間 $t_{OFF}$ の間、時刻 $t_X$ で放電し(磁束波形 $T$ を参照)、その後、変圧器は、インダクタと等しく且つ逆相に充電されるまで、インダクタにより充電される。インダクタ43のインダクタンス値が、変圧器42のインダクタンス値より小さい場合(図9の波形)、インダクタは、オフ期間 $t_{OFF}$ の間、時刻 $t_Y$ で放電し(磁束波形 $T$ を参照)、その後、インダクタは、変圧器と等しく且つ逆相に充電されるまで、変圧器により充電される。インダクタ43を通る逆電流は、ブリッジ整流器39の直流側の両端間に接続されたコンデンサ(図示せず)により、流れることが可能となる。このコンデンサのインピーダンスは、交流幹線路周波数で高いが、スイッチング素子44のスイッチング周波数では低い。

30

40

#### 【0051】

両方の場合において、図8及び図9から分かるのは、電流 $I_1$ がその三角形状を維持しており、これにより、事実として、電流最小値のゼロからのオフセットが、入力電圧に比例するということも含めて、入力電圧と電流間の比例関係が維持されることになる、ということである。

#### 【0052】

本発明は、「フライバック変換器」と称する、同日付けの本出願人の関連ヨーロッパ特許出願に記載されている発明と共に、有利に用いることができる。その出願には、フライバ

50

ック変換器が記載されており、変圧器の一次漏洩インダクタンスに蓄積されたエネルギーの少なくとも一部が、変換器の出力回路に伝送されて、変換器出力の直流成分に変換され、その結果、負荷で有用なエネルギーとして消費される。これを達成するために、それぞれ、変圧器一次巻線、及び二次巻線を横切って接続される、第1、及び第2の同調コンデンサが設けられる。本発明の図10は、図3と同形態のスイッチングモード電源を示すが、図10には、前述の本出願人の関連特許出願に従って、第1、及び第2の同調コンデンサ80、85が設けられている。図10の構成において、第1の同調コンデンサ80は、スイッチング素子44のターンオフ時にリングングを引き起こし、このリングングは、変圧器42の二次側で見られる。第2の同調コンデンサ85は、リングング信号に対して、逆位相成分を生成する。主リングング信号、及びその逆位相成分は、次に、出力回路の整流ダイオード48で構成される、非線形素子において混合されて、負荷で消費可能な直流成分が生成される。同調コンデンサ80及び85の効果に関する、図10の回路動作の更に詳細な説明については、前述の本出願人の関連特許出願を参照されたい。

10

#### 【0053】

しかし、1つの点について、本明細書で述べるのが適切であり、それはすなわち、スイッチング素子44は、変圧器の磁束がゼロに降下すると直ちにオンになるのではなく、スイッチング素子を横切る電圧が、同調コンデンサ80、85と一次巻線46との間で確定される共振周波数で減衰振動しながら、最小値に達し、その短時間後にオンになるということである。このようにする理由は、同調コンデンサ80に蓄積されたエネルギーが、スイッチング素子44で消費されるのを最小にするためである。この電圧最小値を検出するために、検知コイル60の出力が、今度は、90度移相器91（たとえば、積分器）に接続され、次いで、図3の検出器62に置き換わる、ゼロ交差検出器92に接続される。このように構成すると、変圧器42の磁束がまずゼロに到達し、その後が続いて発生する電圧最小値は、移相器91により出力される信号のゼロ交差で表されるので、ゼロ交差検出器92により検出される。

20

#### 【0054】

上記の本発明の実施例に各種修正を、勿論、行なうことができる。たとえば、図3の変換器の出力電圧フィードバックループ内に、ブロック66、67、及び68を設けるのが好適であるが、効果を低減して、一つ以上のブロック、又はこれらのブロックを設けずに、本発明を実施することも可能である。更に、スイッチング素子44をオンに戻すべき時点の検出は、二次電流 $I_3$ を監視して、 $I_3$ がゼロに降下した時点で、スイッチング素子44をオンに戻すことにより、又はインダクタ43を横切る電圧を監視して、この電圧がゼロに降下した時点で、スイッチング素子44をオンに戻すことにより、行なうことができる。

30

#### 【0055】

本発明は、変圧器により分離を行わない変換器で実施することも可能であり、換言すれば、全般的形態が、図2を参照して説明した、SEPIC調整器と同様の変換器で実施することも可能である。このような構成が、添付図面のうちの図11に示されている。実際に、この構成での動作は、図3の変換器の動作に対応するが、第2のインダクタ100が、変圧器42と置き換わっており、このインダクタを通る電流は、電流 $I_2$ 及び $I_3$ の組合せに対応する（図3の変換器の変圧器42の一次巻線46、及び二次巻線47の巻数比を考慮して）。また留意されたいのは、最小電圧検出器62に供給される信号の位相は、前に説明した実施例で示される信号の位相とは反対である、という点である。

40

#### 【0056】

以下に、本発明の実施態様を列挙する。

#### 【0057】

1. 交流入力を受け、整流装置の出力に整流出力を発生する整流装置と、整流装置の出力に接続された入力回路、調整直流出力を供給する出力回路、及び前記入力回路及び出力回路にそれぞれ接続された、一次巻線及び二次巻線を有するエネルギー蓄積変圧器を具備する、フライバック変換器とから成る電源において、  
前記入力回路は、  
(a) エネルギー蓄積インダクタと、

50

(b) 前記整流装置の出力を横切って、前記エネルギー蓄積インダクタと直列に接続されたスイッチング素子と、

(c) 該スイッチング素子の周期的ターンオン及びターンオフを、前記交流入力周波数より大きいスイッチング周波数で制御する制御装置と、

(d) 前記スイッチング素子を横切る一次巻線と直列に接続され、前記スイッチング周波数では、低インピーダンスを示すが、前記交流入力周波数では、高インピーダンスを示すように値決めされた、結合コンデンサとから構成され、

前記制御装置は、前記インダクタ、及び変圧器が、等しく平衡して相互に充電するような蓄積エネルギーレベルを有する、ターンオン条件への到達に基づいて、前記スイッチング素子をオンにする、スイッチオン・タイミング手段と、前記調整直流出力電圧の所望の値に依存した期間中、前記スイッチング素子をオンに維持する、オン時間制御手段とから構成される電源。

10

【0058】

2. 前記インダクタと前記変圧器一次巻線のインダクタンス値は等しく、前記ターンオン条件への到達は、前記インダクタ、及び前記変圧器の蓄積エネルギーレベルが、ゼロである場合になされる、前項1に記載の電源。

【0059】

3. 前記インダクタのインダクタンス値は、前記変圧器一次巻線のインダクタンス値より大きく、前記変圧器は、スイッチング素子のターンオフに続き、まずゼロにまで放電し、次いで前記ターンオン条件に到達するまで、前記インダクタにより再充電される、前項1

20

【0060】

4. 前記スイッチオン・タイミング手段は

前記変圧器内の磁束の変化率に比例する電圧を導出する検知手段であって、この変化率は、前記ターンオン条件が満たされる場合にゼロに降下する、検知手段と、

前記検知手段により検知される電圧の最小値を判定する判定手段と、

前記判定手段により判定された前記最小値において、スイッチング素子をオンにするターンオン手段と、

からなる、前項1に記載の電源。

【0061】

5. 前記検知手段は、前記変圧器の前記一次巻線、及び二次巻線と共に巻かれた検知巻線を備える、前項4に記載の電源。

30

【0062】

6. 前記スイッチオン・タイミング手段は更に、スイッチング素子が、早期に再び前記ターンオン手段によりオンにされていない限り、スイッチング素子が、最後にオンであった時から所定時間後に、スイッチング素子のターンオンを開始する、タイムアウト手段を備える、前項4に記載の電源。

【0063】

7. 前記スイッチオン・タイミング手段は、

前記変圧器二次巻線の電流を監視する検知手段であって、この電流は、前記ターンオン条件が満たされる場合にゼロになる、検知手段と、

40

前記検知手段より監視される二次巻線電流が、ゼロに降下する時を判定する判定手段と、

前記判定手段が、二次巻線電流が降下してゼロになっていると判定した場合、スイッチング素子をオンにするターンオン手段と、

を備える、前項1に記載の電源。

【0064】

8. 前記オン時間制御手段は、

前記出力電圧を表すフィードバック信号を供給する、出力電圧フィードバック手段と、

誤差信号を発生するために、前記フィードバック信号を基準と比較する比較手段であって、前記基準は、前記出力電圧の所望の値を表すものである、比較手段と、

50

前記誤差信号を最小にするように、前記スイッチング素子のオン時間を調節するタイミング手段とから構成され、

前記出力電圧フィードバック手段は、前記出力電圧を表す前記入力信号を受け取るように接続されて、前記入力信号に含まれるリップル成分の大きさが、実質的に減少している、対応する出力信号を生成するように動作する、低域通過フィルタを備えており、このリップル成分は、交流幹線路の周波数の2倍の周波数で、前記出力電圧に存在するリップルに対応し、前記低域通過フィルタの出力信号は、少なくとも部分的に、前記フィードバック信号を形成する、前項1に記載の電源。

【0065】

9. 前記出力電圧フィードバック手段は更に、前記出力電圧の急速な変化、及び/又は大きい変化にตอบสนองして、低域通過フィルタを迂回させ、これら変化を一層迅速に前記フィードバック信号に導入する、過渡検出器を備える、前項7に記載の電源。

【0066】

10. 前記出力電圧フィードバック手段は更に、幹線路周波数の時間尺度で、変前記圧器の二次巻線を横切る電圧の最小値を検出する、最小ピーク検出器を備え、該最小ピーク検出器は、前記低域通過フィルタの出力に存在する、如何なる残留リップル成分をも相殺するように、前記低域通過フィルタの出力と尺度、及び位相の合った出力を生成し、前記最小ピーク検出器の出力は、前記フィードバック信号、及び前記誤差信号の一方に導入される、前項7に記載の電源。

【0067】

11. 交流入力を受け取り、整流装置の出力で整流出力を発生する整流装置と、整流装置の出力に接続されて、調整直流出力電圧を供給するように動作する調整器とから成る電源において、

前記調整器は、

(a) 第1のエネルギー蓄積インダクタと、

(b) 前記整流装置の出力を横切って、前記第1のインダクタと直列に接続されたスイッチング素子と、

(c) 該スイッチング素子の周期的ターンオン及びターンオフを、前記交流入力の周波数より大きいスイッチング周波数で制御する制御装置と、

(d) 第2のエネルギー蓄積インダクタと、

(e) 前記スイッチング素子を横切って、前記第2のインダクタと直列に接続されて、前記スイッチング周波数では、低インピーダンスを示すが、前記交流入力の周波数では、高インピーダンスを示すように値決めされた、結合コンデンサと、

(f) 整流ダイオードと、

(g) 前記第2のインダクタを横切って、前記整流ダイオードと直列に接続される、蓄積コンデンサであって、前記調整直流出力電圧は、前記蓄積コンデンサを横切って出現する、蓄積コンデンサとから構成され、

前記制御装置は、前記第1及び第2のインダクタが、等しく平衡して相互に充電するような蓄積エネルギーレベルを有する、ターンオン条件への到達に基づいて、前記スイッチング素子をオンにする、スイッチオン・タイミング手段と、前記調整直流出力電圧の所望の値に依存した期間中、前記スイッチング素子をオンに維持する、オン時間制御手段とから構成される電源

12. 前記第1、及び第2のインダクタのインダクタンス値は等しく、前記ターンオン条件への到達は、各インダクタの蓄積エネルギーレベルがゼロである場合になされる、前項11に記載の電源。

【0068】

13. 前記第1のインダクタのインダクタンス値は、前記第2のインダクタのインダクタンス値より大きく、前記第2のインダクタは、スイッチング素子のターンオフに続き、まずゼロにまで放電し、次いでターンオン条件に到達するまで、前記第1のインダクタにより再充電される、前項11に記載の電源。

10

20

30

40

50

## 【 0 0 6 9 】

14．前記スイッチオン・タイミング手段は、  
前記第2のインダクタを横切る電圧を監視する検知手段であって、この電圧は、前記ターンオン条件が満たされる場合にゼロに降下する、検知手段と、  
前記検知手段により検知された電圧の最小値を判定する判定手段と、  
前記判定手段により判定された前記最小値において、スイッチング素子をオンにするターンオン手段と、  
から構成される、前項11に記載の電源。

## 【 0 0 7 0 】

15．前記スイッチオン・タイミング手段は更に、前記スイッチング素子が、早期に再び  
前記ターンオン手段によりオンにされていない限り、前記スイッチング素子が、最後にオンであった時から所定時間後に、前記スイッチング素子のターンオンを開始する、タイムアウト手段を備える、前項14に記載の電源。

## 【 0 0 7 1 】

16．前記オン時間制御手段は、  
前記出力電圧を表すフィードバック信号を供給する、出力電圧フィードバック手段と、  
誤差信号を発生するために、前記フィードバック信号を基準と比較する比較手段であって、  
前記基準は、前記出力電圧の所望の値を表すものである、比較手段と、  
前記誤差信号を最小にするように、前記スイッチング素子のオン時間を調節するタイミング手段とから構成され、  
前記出力電圧フィードバック手段は、前記出力電圧を表す前記入力信号を受け取るように接続されて、前記入力信号に含まれるリップル成分の大きさが実質的に減少している、対応する出力信号を生成するように動作する、低域通過フィルタを備えており、このリップル成分は、交流幹線路の周波数の2倍の周波数で、前記出力電圧に存在するリップルに対応し、前記低域通過フィルタの出力信号は、少なくとも部分的に、前記フィードバック信号を形成する、前項11に記載の電源。

## 【 0 0 7 2 】

17．前記出力電圧フィードバック手段は更に、前記出力電圧の急速な変化、及び/又は大きい偏差に応答して、低域通過フィルタを迂回させ、これら変化を、一層迅速に前記フィードバック信号に導入する、過渡検出器を備える、前項16に記載の電源。

## 【 0 0 7 3 】

18．前記出力電圧フィードバック手段は更に、幹線路周波数の時間尺度で、前記第2のインダクタを横切る電圧の最小値を検出する、最小ピーク検出器を備え、該最小ピーク検出器は、前記低域通過フィルタの出力に存在する、如何なる残留リップル成分をも相殺するように、前記低域通過フィルタの出力と尺度、及び位相の合った出力を生成し、前記最小ピーク検出器の出力は、前記フィードバック信号、及び前記誤差信号の一方に導入される、前項16に記載の電源。

## 【 0 0 7 4 】

## 【 発明の効果 】

本発明は上述のように、従来技術におけるスイッチングモード電源の力率補正に、高価な2つのPWMコントローラ、及び乗算器を使用せず、変圧器巻線に誘導される電圧が、ゼロに降下した直後に同期して生ずる、スイッチング素子のターンオンのタイミングを制御する、スイッチオン・タイミング手段（構成要素60乃至65からなる）と、出力電圧 $V_0$ の値を所定レベルに維持するように、出力電圧 $V_0$ の値に応じて調節される、スイッチング素子のオン時間の持続時間を制御する、オン時間制御手段（構成要素65乃至71からなる）を具備する。これにより、安価で構成が簡単であり、且つ良好に調整された直流出力を供給可能な、力率補正付きスイッチングモード電源を提供することが可能となる。

## 【 図面の簡単な説明 】

【 図 1 】 既知の力率補正付きスイッチングモード電源の回路図である。

【 図 2 】 従来技術のSEPIC調整器を形成する部分の回路図である。



【図 3】本発明の第 1 実施例のスイッチングモード電源の回路図である。

【図 4】図 3 のスイッチングモード電源の主要構成要素の回路図である。

【図 5】図 4 の回路の第 1 及び第 2 の誘導性構成要素が、等しいインダクタンス値を有する場合の回路動作を示す、電圧及び電流の時間プロットである。

【図 6】入力電圧が三つの異なる値を有する場合の、図 4 の回路により引き出される入力電流の電流 - 時間プロットである。

【図 7】図 3 の変換器の出力電圧フィードバックループの動作を示す、電圧 - 時間プロットである。

【図 8】図 5 に類似しているが、ここでは、図 4 の回路の第 1 の誘導性構成要素が、第 2 の誘導性構成要素より高いインダクタンスを有する場合の回路動作を示す、電圧及び電流の時間プロットである。 10

【図 9】図 5 に類似しているが、ここでは、図 4 の回路の第 1 の誘導性構成要素が、第 2 の誘導性構成要素より低いインダクタンスを有する場合の回路動作を示す、電圧及び電流の時間プロットである。

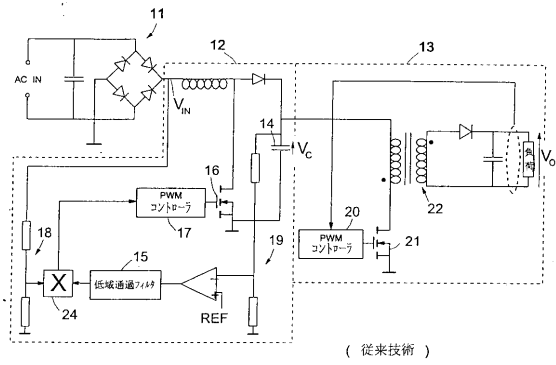
【図 10】本発明の第 2 実施例のスイッチングモード電源の回路図である。

【図 11】本発明の第 3 実施例のスイッチングモード電源の回路図である。

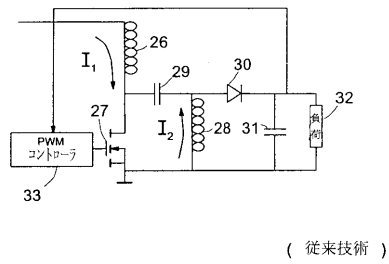
【符号の説明】

39...	ブリッジ整流器	
40...	入力回路	
41...	出力回路	20
42...	エネルギー蓄積変圧器	
43...	エネルギー蓄積インダクタ	
44...	スイッチング素子	
45...	結合コンデンサ	
46...	一次巻線	
47...	二次巻線	
48...	整流ダイオード	
49...	蓄積コンデンサ	
50...	負荷	
60...	検知巻線	30
62...	最小電圧検出器	
63...	OR 回路	
64...	タイムアウト回路	
65...	オン時間制御ブロック	
66...	低域通過フィルタ	
67...	負ピーク検出器	
68...	過渡検出器	
69...	加算器	
70...	誤差増幅器	
71...	アイソレータ	40

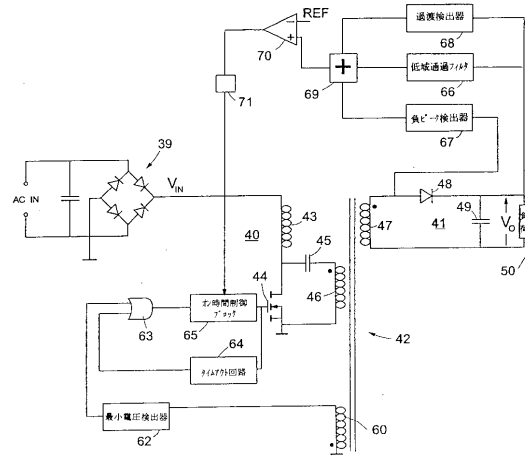
【図 1】



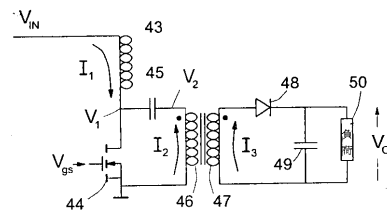
【図 2】



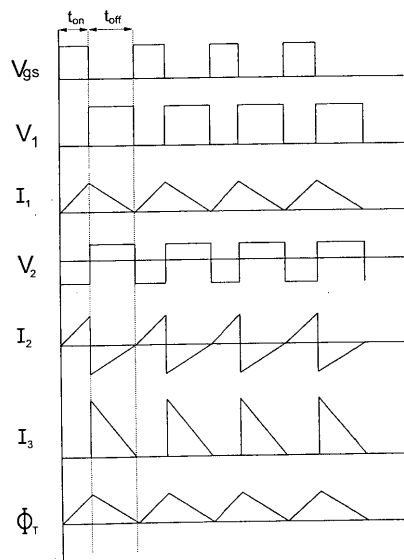
【図 3】



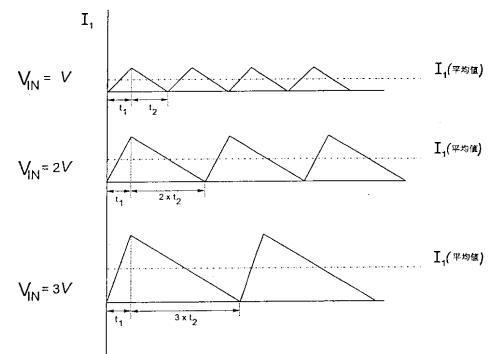
【図 4】



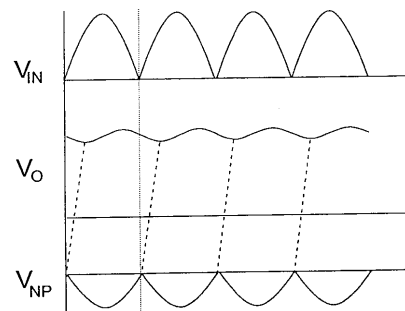
【図 5】



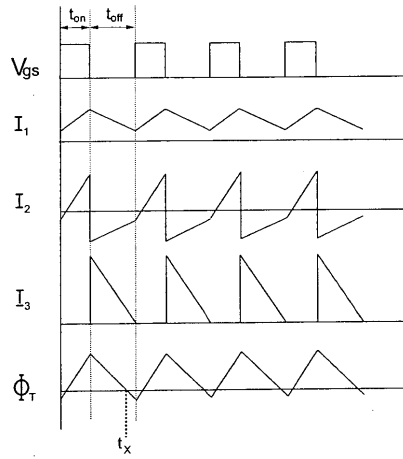
【図 6】



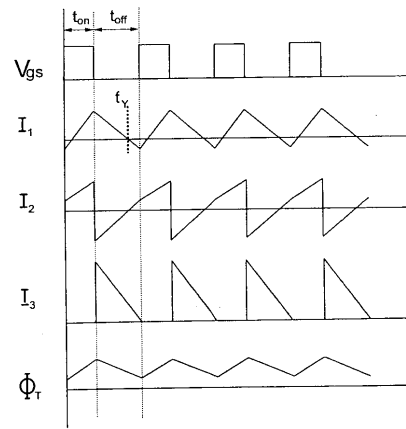
【図 7】



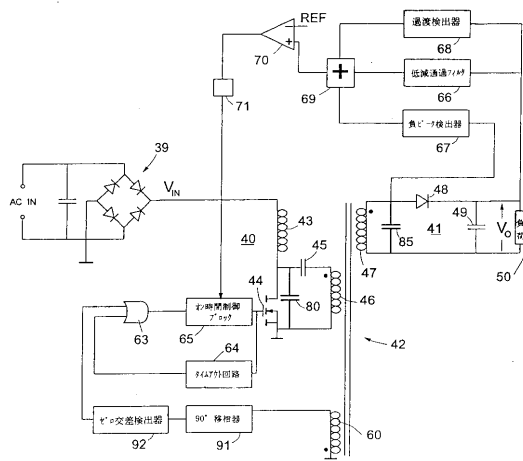
【図 8】



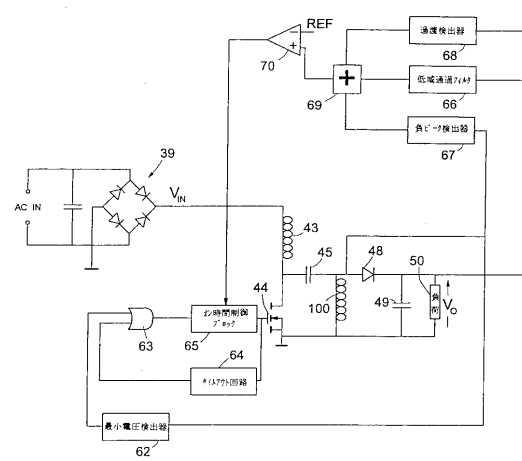
【図 9】



【図 10】



【図 11】



---

フロントページの続き

審査官 川端 修

(56)参考文献 特開平05-049255(JP,A)  
特開平02-179271(JP,A)

(58)調査した分野(Int.Cl.<sup>7</sup>, DB名)  
H02M 3/28  
H02J 3/18  
H02M 7/217