

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4801242号
(P4801242)

(45) 発行日 平成23年10月26日(2011.10.26)

(24) 登録日 平成23年8月12日(2011.8.12)

(51) Int.Cl.

F I

HO 1 L 29/786 (2006.01)
 GO 2 F 1/1368 (2006.01)
 HO 1 L 23/52 (2006.01)
 HO 1 L 21/3205 (2006.01)
 GO 9 F 9/00 (2006.01)

HO 1 L 29/78 6 1 2 C
 GO 2 F 1/1368
 HO 1 L 21/88 Z
 HO 1 L 21/88 P
 GO 9 F 9/00 3 3 8

請求項の数 3 (全 33 頁) 最終頁に続く

(21) 出願番号 特願2000-232507 (P2000-232507)
 (22) 出願日 平成12年7月31日(2000.7.31)
 (65) 公開番号 特開2002-50761 (P2002-50761A)
 (43) 公開日 平成14年2月15日(2002.2.15)
 審査請求日 平成19年7月19日(2007.7.19)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 秋元 健吾
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 納 光明
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内

審査官 宮澤 尚之

(56) 参考文献 特開平08-043859 (JP, A)
 特開平11-095256 (JP, A)

最終頁に続く

(54) 【発明の名称】 半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項1】

絶縁表面上に結晶構造を含む半導体層を形成し、

前記結晶構造を含む半導体層をエッチングして、チャネル領域と、ソース領域と、ドレイン領域と、保持容量を形成する領域と、を含む第1の島状半導体層と、ゲート配線の一部となる第2の島状半導体層及び第3の島状半導体層と、を形成し、

前記ソース領域、前記ドレイン領域、前記保持容量を形成する領域、前記第2の島状半導体層、及び前記第3の島状半導体層に、n型を付与する不純物元素を添加し、

前記第1の島状半導体層、前記第2の島状半導体層、及び前記第3の島状半導体層上に絶縁層を形成し、

前記絶縁層を選択的にエッチングして、前記ソース領域、前記ドレイン領域、前記第2の島状半導体層、及び前記第3の島状半導体層上の前記絶縁層の一部に開口部を形成し、

前記開口部によって露出した前記ソース領域、前記ドレイン領域、前記第2の島状半導体層、及び前記第3の島状半導体層に、p型を付与する不純物元素を添加し、

前記絶縁層、前記第1の島状半導体層、前記第2の島状半導体層、及び前記第3の島状半導体層上に導電層を形成し、

前記導電層を選択的にエッチングして、ソース配線と、前記第2の島状半導体層と前記第3の島状半導体層を電気的に接続するゲート配線と、を形成し、

前記第1の島状半導体層、前記第2の島状半導体層、及び前記第3の島状半導体層に、前記絶縁層を通過させて前記n型を付与する不純物元素を添加して低濃度不純物領域を形

10

20

成し、

前記第1の島状半導体層、前記第2の島状半導体層、及び前記第3の島状半導体層に添加された不純物元素を活性化することを特徴とする半導体装置の作製方法。

【請求項2】

絶縁表面上に非結晶構造の半導体層を形成し、

前記非結晶構造の半導体層にニッケルを添加し、

前記非結晶構造の半導体層を熱処理し、結晶構造を含む半導体層を形成し、

前記結晶構造を含む半導体層をエッチングして、チャンネル領域と、ソース領域と、ドレイン領域と、保持容量を形成する領域と、を含む第1の島状半導体層と、ゲート配線の一部となる第2の島状半導体層及び第3の島状半導体層を形成し、

前記ソース領域、前記ドレイン領域、前記保持容量を形成する領域、前記第2の島状半導体層、及び前記第3の島状半導体層に、n型を付与する不純物元素を添加し、

前記第1の島状半導体層、前記第2の島状半導体層、及び前記第3の島状半導体層上に絶縁層を形成し、

前記絶縁層を選択的にエッチングして、前記ソース領域、前記ドレイン領域、前記第2の島状半導体層、及び前記第3の島状半導体層上の前記絶縁層の一部に開口部を形成し、

前記開口部によって露出した前記ソース領域、前記ドレイン領域、前記第2の島状半導体層、及び前記第3の島状半導体層に、p型を付与する不純物を添加し、

前記第1の島状半導体層、前記第2の島状半導体層、及び前記第3の島状半導体層を熱処理し、

前記絶縁層、前記第1の島状半導体層、前記第2の島状半導体層、及び前記第3の島状半導体層の上に導電層を形成し、

前記導電層を選択的にエッチングして、ソース配線と、前記第2の島状半導体層と前記第3の島状半導体層を電気的に接続するゲート配線と、を形成し、

前記第1の島状半導体層、前記第2の島状半導体層、及び前記第3の島状半導体層に、前記絶縁層を通過させて前記n型を付与する不純物元素を添加して低濃度不純物領域を形成し、

前記第1の島状半導体層、前記第2の島状半導体層、及び前記第3の島状半導体層に添加された不純物元素を活性化することを特徴とする半導体装置の作製方法。

【請求項3】

請求項1または請求項2において、

前記半導体装置は、パーソナルコンピュータ、ビデオカメラ、携帯型情報端末、デジタルカメラ、またはプロジェクターであることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は絶縁表面を有する基板上に薄膜トランジスタ（以下、薄膜トランジスタをTFTと記す）で構成された回路を有する半導体装置およびその作製方法に関する。特に本発明は、画素部とその周辺に設けられる駆動回路を同一の基板上に設けた液晶表示装置に代表される電気光学装置、および電気光学装置を搭載した電子機器に好適に利用できる技術を提供する。尚、本明細書において半導体装置とは、半導体特性を利用することで機能する装置全般を指し、上記電気光学装置およびその電気光学装置を搭載した電子機器をその範疇に含んでいる。

【0002】

【従来の技術】

アクティブマトリクス型の液晶表示装置に代表される電気光学装置のTFTの積層構造の例として、トップゲート型を成す場合、（1）半導体層、（2）ゲート絶縁層、（3）ゲート電極、（4）層間絶縁層、（5）ソース配線、の5層が挙げられる。そして前記TFTを形成するにあたり、（1）半導体層の分離、（2）ゲート絶縁層形成、（3）ゲート電極形成、（4）配線と、ゲート電極及びソース電極を接続する箇所にあたる層間絶縁層

10

20

30

40

50

に開口部を形成、(5)ソース配線形成、の計5種類のマスクを用いることが挙げられる。前記計5種類のマスクを用いるということは、5回のフォトリソグラフィの工程が行われることを意味する。

【0003】

また、前記TFTにおける活性層すなわち半導体層は、ガラスなどの基板上に気相成長法などにより形成される。近年この活性層の半導体層を結晶化させる技術が進み、結晶構造を含む半導体（以下、結晶質半導体と記す）層（代表的には、結晶質シリコン或いは多結晶シリコン）を活性層としたTFTでは、高い電界効果移動度が得られることからnチャネル型TFTとpチャネル型TFTとから成るCMOS回路を機能させることができた。CMOS回路を形成することが可能になれば、画素部の他に駆動回路を同一基板上に一体形成でき、液晶表示装置において軽量化および薄型化が可能になるなど、利用範囲は大きい。しかしながら、nチャネル型のみもしくはpチャネル型のみのTFT構造に比べ、構造は複雑になり、工程数は多くなる。

10

【0004】

【発明が解決しようとする課題】

上に示したように、前記TFTの作製工程は多い。結晶質半導体層を活性層に適用し、画素部に設けたTFTの他に駆動回路を作製する場合は特に多くなる。

【0005】

TFTの作製工程の多さの目安の一つに、工程に用いるフォトマスクの枚数が挙げられる。フォトマスクはフォトリソグラフィの技術において、エッチング工程のマスクとするレジストパターンを基板上に形成するために用いる。従って、フォトマスクを1枚使用することは、その前後の工程において、被膜の成膜およびエッチングなどの工程の他に、レジスト剥離、洗浄や乾燥工程などが付加され、フォトリソグラフィの工程においても、レジスト塗布、プレバーク、露光、現像、ポストバークなどの煩雑な工程が行われることを意味する。工程数の増加は製造コストの増加要因になるばかりか、製造歩留まりを低下させる原因となることは明らかである。

20

【0006】

本発明はこのような問題点を解決する手段を提供することを目的とする。すなわち工程数を削減し、特に工程に用いるフォトマスクを削減することで、レジスト塗布、プレバーク、露光、現像、及びその前後における洗浄や乾燥工程等も省略し、全体として大幅な工程削減をすることを目的とする。

30

【0007】

【課題を解決するための手段】

本発明では、TFTの製造に要するフォトマスクの枚数を削減し、製造工程の数を削減する技術を提供する。

【0008】

上記課題を解決するため、本発明では、トップゲート型TFTの積層構造を簡素にし、3層構造とした。

すなわち本発明では、基板の上に、半導体層と、前記半導体層上の絶縁層と、前記絶縁層上の導電層が形成される。

40

【0009】

前記3層構造でTFTを形成するために、ソース配線と、ゲート配線を同一の導電層で形成する。

【0010】

保持容量は、 10^{19} atomic/cm³以上の不純物が添加された半導体層と、半導体層上の絶縁層と、絶縁層上の導電層より形成する。

【0011】

またゲート配線については、島状導電層と、 10^{19} atomic/cm³以上の一導伝型不純物が添加され前記島状導電層に接続した島状半導体層と、から形成する。そしてソース配線と交差させる部分は島状半導体層で形成され、絶縁層を介して交差させる。但し抵抗が大きくな

50

ることが予想されるため、前記島状半導体層の大きさを適当なものとする。さらに保持容量配線の形成手段として、ゲート配線に接続し、前記島状半導体層の交差する長さを小さくする方法を挙げる。この詳細は発明の実施の形態に示す。

【0012】

この手段によれば、ゲート配線とソース配線が交差する、T F Tを有する半導体装置が3層構造で作製される。

【0013】

また製造工程において、フォトリソは、(1) 島状半導体層の形成、(2) 一導伝型の不純物領域の形成、(3) 絶縁層の形成、(4) 導電層の形成、のために用い、すなわち計4枚使用する。

10

【0014】

このような手段を用い、本発明の構成は、基板上にT F Tを設けた半導体装置において、第一の絶縁表面上に、チャンネル領域と、ソース領域と、ドレイン領域と、前記チャンネル領域と前記ソース領域の間の領域と、前記チャンネル領域と前記ドレイン領域の間の領域と、保持容量を形成する領域と、を形成する第一の島状半導体層と、前記第一の絶縁表面上に第二の島状半導体層と、前記第一の絶縁表面の上方に形成された第二の絶縁表面上に、前記チャンネル領域と交差し、かつ前記第二の島状半導体層と電気的に接続している第一の配線と、前記第二の絶縁表面上に前記保持容量を形成する領域と重なり、かつ前記第二の島状半導体層と交差する第二の配線と、を有し、前記ソース領域、前記ドレイン領域、前記保持容量を形成する領域、及び前記第二の島状半導体層は、 10^{19} atomic/cm³以上の濃度の一導伝型の不純物が添加されていることを特徴とする。

20

【0015】

また他の発明の構成は、基板上にT F Tを設けた半導体装置において、第一の絶縁表面上に、チャンネル領域と、ソース領域と、ドレイン領域と、前記チャンネル領域と前記ソース領域の間の領域と、前記チャンネル領域と前記ドレイン領域の間の領域と、保持容量を形成する領域と、を形成する第一の島状半導体層と、前記第一の絶縁表面上に第二の島状半導体層と、前記第一の絶縁表面の上方に形成された第二の絶縁表面上に、前記チャンネル領域と交差し、かつ前記第二の島状半導体層と電気的に接続している第一の配線と、前記第二の絶縁表面上に前記保持容量を形成する領域と重なり、かつ前記第一の配線と隣り合う第一の配線と電気的に接続している第二の配線と、を有し、前記ソース領域、前記ドレイン領域、前記保持容量を形成する領域、及び前記第二の島状半導体層は、 10^{19} atomic/cm³以上の濃度の一導伝型の不純物が添加されていることを特徴とする。

30

【0016】

本発明の半導体装置の作製方法に関する構成は、基板上にpチャンネル型T F Tとnチャンネル型T F Tとを有する半導体装置の作製方法において、前記基板上に結晶構造を含む半導体層を形成する第1の工程と、前記結晶構造を含む半導体層を選択的にエッチングして第1の島状半導体層及び第2の島状半導体層を形成する第2の工程と、前記第1の島状半導体層に、n型を付与する不純物元素を添加して 10^{19} atomic/cm³以上の濃度のn型不純物領域を選択的に形成する第3の工程と、前記第1の島状半導体層及び前記第2の島状半導体層の上に絶縁層を形成する第4の工程と、前記絶縁層を選択的にエッチングする第5の工程と、前記第2の島状半導体層に、p型を付与する不純物元素を添加して 10^{19} atomic/cm³以上の濃度のp型不純物領域を選択的に形成する第6の工程と、前記絶縁層もしくは前記第1の島状半導体層及び前記第2の島状半導体層の上に導電層を形成する第7の工程と、前記導電層を選択的にエッチングする第8の工程と、前記第1の島状半導体層または前記第2の島状半導体層に、前記絶縁層を通過させて一導伝型の不純物元素を添加し、一導伝型の不純物領域と形成する第9の工程と、前記第1の島状半導体層及び前記第2の島状半導体層に添加された不純物元素を活性化する第10の工程と、を有することを特徴とする。

40

【0017】

また、他の作製方法に関する構成は、基板上にpチャンネル型T F Tとnチャンネル型T F T

50

とを有する半導体装置の作製方法において、前記基板上に非結晶構造の半導体層を形成する第1の工程と、前記非結晶構造の半導体層にニッケル、鉄、パラジウム、スズ、鉛、コバルト、白金、銅、金のうち何れかを添加する第2の工程と、前記半導体層を熱処理し、結晶構造を含む半導体層を形成する第3の工程と、前記結晶構造を含む半導体層を選択的にエッチングして第1の島状半導体層及び第2の島状半導体層を形成する第4の工程と、前記第1の島状半導体層に、選択的に、リン、もしくはリンとn型を付与する不純物元素、を添加して 10^{19} atomic/cm³以上の濃度のn型不純物領域を形成する第5の工程と、前記第1の島状半導体層及び前記第2の島状半導体層の上に絶縁層を形成する第6の工程と、前記絶縁層を選択的にエッチングする第7の工程と、前記第2の島状半導体層に、選択的に、リンと 10^{19} atomic/cm³以上の濃度のp型を付与する不純物が添加された領域を形成する第8の工程と、前記第1の島状半導体層及び前記第2の島状半導体層を熱処理もしくはレーザー照射処理する第9の工程と、前記絶縁層もしくは前記第1の島状半導体層及び前記第2の島状半導体層の上に導電層を形成する第10の工程と、前記導電層を選択的にエッチングする第11の工程と、前記第1の島状半導体層及び前記第2の島状半導体層に、前記絶縁層を通過させn型を付与する不純物元素を添加して、n型不純物領域を形成する第12の工程と、前記第1の島状半導体層及び前記第2の島状半導体層に添加された不純物元素を活性化する第13の工程と、を有することを特徴とする。

10

【0018】

また、他の作製方法に関する構成は、nチャネル型もしくはpチャネル型のTFTを基板上に設けた半導体装置の作製方法において、前記基板上に結晶構造を含む半導体層を形成する第1の工程と、前記結晶構造を含む半導体層を選択的にエッチングして複数の島状半導体層を形成する第2の工程と、前記島状半導体層に、選択的に 10^{19} atomic/cm³以上の濃度の前記nチャネル型もしくはpチャネル型の不純物領域を形成する第3の工程と、前記島状半導体層の上に絶縁層を形成する第4の工程と、前記絶縁層を選択的にエッチングする第5の工程と、前記絶縁層もしくは前記島状半導体層の上に導電層を形成する第6の工程と、前記導電層を選択的にエッチングする第7の工程と、前記島状半導体層に、前記絶縁層を通過させ一導伝型の不純物元素を添加し、選択的に前記一導伝型の不純物領域を形成する第8の工程と、前記島状半導体層に添加された不純物元素を活性化する第9の工程と、を有することを特徴とする。

20

【0019】

また、他の作製方法に関する構成は、nチャネル型もしくはpチャネル型のTFTを基板上に設けた半導体装置の作製方法において、前記基板上に非結晶構造の半導体層を形成する第1の工程と、前記非結晶構造の半導体層にニッケル、鉄、パラジウム、スズ、鉛、コバルト、白金、銅、金のうち何れかを添加する第2の工程と、前記半導体層を熱処理し、結晶構造を含む半導体層を形成する第3の工程と、前記結晶構造を含む半導体層を選択的にエッチングして複数の島状半導体層を形成する第4の工程と、前記島状半導体層に、選択的に、リン、もしくはリンと 10^{19} atomic/cm³以上の濃度の一導伝型の不純物領域を形成する第5の工程と、前記島状半導体層の上に絶縁層を形成する第6の工程と、前記絶縁層を選択的にエッチングする第7の工程と、前記島状半導体層を熱処理もしくはレーザー照射処理する第8の工程と、前記絶縁層もしくは前記島状半導体層の上に導電層を形成する第9の工程と、前記導電層を選択的にエッチングする第10の工程と、前記島状半導体層に、前記絶縁層を通過させ前記一導伝型の不純物領域を形成する第11の工程と、前記島状半導体層に添加された不純物元素を活性化する第12の工程と、を有することを特徴とする。

30

40

【0020】

また、他の作製方法に関する構成は、基板上にpチャネル型TFTとnチャネル型TFTとを有する半導体装置の作製方法において、前記基板上に結晶構造を含む半導体層を形成する第1の工程と、前記結晶構造を含む半導体層を選択的にエッチングして前記第1の島状半導体層及び前記第2の島状半導体層を形成する第2の工程と、前記第1の島状半導体層に、選択的に、n型を付与する不純物元素を添加して 10^{19} atomic/cm³以上の濃度のn型

50

不純物領域を形成する第3の工程と、前記第1の島状半導体層及び前記第2の島状半導体層の上に絶縁層を形成する第4の工程と、前記絶縁層を選択的にエッチングする第5の工程と、前記第2の島状半導体層に、選択的に、 10^{19} atomic/cm³以上の濃度のp型不純物領域を形成する第6の工程と、前記第1の島状半導体層及び前記第2の島状半導体層に添加された不純物元素を活性化する第7の工程と、前記絶縁層もしくは前記第1の島状半導体層及び前記第2の島状半導体層の上に導電層を形成する第8の工程と、前記導電層を選択的にエッチングする第9の工程と、を有することを特徴とする。

【0021】

また、他の作製方法に関する構成は、基板上にpチャネル型TFTとnチャネル型TFTとを有する半導体装置の作製方法において、前記基板上に非結晶構造の半導体層を形成する第1の工程と、前記非結晶構造の半導体層にニッケル、鉄、パラジウム、スズ、鉛、コバルト、白金、銅、金のうち何れかを添加する第2の工程と、前記半導体層を熱処理し、結晶構造を含む半導体層を形成する第3の工程と、前記結晶構造を含む半導体層を選択的にエッチングして前記第1の島状半導体層及び前記第2の島状半導体層を形成する第4の工程と、前記第1の島状半導体層に、選択的に、リン、もしくはリンとn型を付与する不純物元素、を添加して 10^{19} atomic/cm³以上の濃度のn型不純物領域を形成する第5の工程と、前記第1の島状半導体層及び前記第2の島状半導体層の上に絶縁層を形成する第6の工程と、前記絶縁層を選択的にエッチングする第7の工程と、前記第2の島状半導体層に、選択的に、リンと 10^{19} atomic/cm³以上の濃度のp型不純物が添加された領域を形成する第8の工程と、前記第1の島状半導体層及び前記第2の島状半導体層に添加された不純物元素を活性化する第9の工程と、前記絶縁層もしくは前記第1の島状半導体層及び前記第2の島状半導体層の上に導電層を形成する第10の工程と、前記導電層を選択的にエッチングする第11の工程と、を有することを特徴とする。

【0022】

また、他の作製方法に関する構成は、nチャネル型もしくはpチャネル型のTFTを基板上に設けた半導体装置の作製方法において、前記基板上に結晶構造を含む半導体層を形成する第1の工程と、前記結晶構造を含む半導体層を選択的にエッチングして複数の島状半導体層を形成する第2の工程と、前記島状半導体層に、選択的に 10^{19} atomic/cm³以上の濃度の一導伝型の不純物領域を形成する第3の工程と、前記島状半導体層に添加された不純物元素を活性化する第4の工程と、前記島状半導体層の上に絶縁層を形成する第5の工程と、前記絶縁層を選択的にエッチングする第6の工程と、前記絶縁層もしくは前記島状半導体層の上に導電層を形成する第7の工程と、前記導電層を選択的にエッチングする第8の工程と、を有することを特徴とする。

【0023】

また、他の作製方法に関する構成は、nチャネル型もしくはpチャネル型のTFTを基板上に設けた半導体装置の作製方法において、前記基板上に非結晶構造の半導体層を形成する第1の工程と、前記非結晶構造の半導体層にニッケル、鉄、パラジウム、スズ、鉛、コバルト、白金、銅、金のうち何れかを添加する第2の工程と、前記半導体層を熱処理し、結晶構造を含む半導体層を形成する第3の工程と、前記結晶構造を含む半導体層を選択的にエッチングして複数の島状半導体層を形成する第4の工程と、前記島状半導体層に、選択的に、リン、もしくはリンと 10^{19} atomic/cm³以上の濃度の一導伝型の不純物領域を形成する第5の工程と、前記島状半導体層に添加された不純物元素を活性化する第6の工程と、前記島状半導体層の上に絶縁層を形成する第7の工程と、前記絶縁層を選択的にエッチングする第8の工程と、前記絶縁層もしくは前記島状半導体層の上に導電層を形成する第9の工程と、前記導電層を選択的にエッチングする第10の工程と、を有することを特徴とする。

【0024】

【発明の実施の形態】

本発明の実施の形態について、図1～図8を用いて説明する。

【0025】

本発明によって作製されるトップゲート型TFTの、構成の一例を図1に上面図として示す。図1はこの発明が適用された、アクティブマトリクス型LCDとして線幅が充分大きく画素数が充分小さい構成であり、ゲート配線の抵抗を考慮せずに済むときの例を示している。また、反射型液晶表示装置に用いられる構成としている。

【0026】

図1(a)は、画素部の構成を表す上面図である。TFTを構成する半導体1007のソース領域は、一方向に伸びた形で形成される導電性配線1002に接続している。またドレイン領域には、反射電極用の導電層1004が接続するとともに、半導体からなる領域1003が延在している。該半導体からなる領域1003は、絶縁成膜を介して導電層1011と重なり、保持容量として機能する。

10

【0027】

ドレイン領域から延在した保持容量を形成する半導体からなる領域1003に、絶縁性層を介して重なるように、保持容量を形成する導電層領域1011が形成されている。前記保持容量を形成する導電層からなる領域1011は、前記導電性配線1002と重ならないよう形成される、保持容量用導電性配線1006に接続している。

【0028】

また、TFTを構成するゲート電極及びゲート配線は、導電層1001により形成される。前記導電層1001は、半導体からなる導電部分1005に接続している。前記半導体からなる導電部分1005は、前記一方向に伸びた形で形成される導電性配線1002及び前記保持容量用導電性配線1006と、絶縁層を介して交わっている。

20

【0029】

図1(b)は、駆動回路におけるn型TFTの構成を表す上面図である。ゲート電極には導電性配線1009が延在し、ソース、ドレイン領域に重なるゲート絶縁層には開口部が設けられ、導電性配線1008と接続している。

【0030】

また、図1(c)は、駆動回路におけるp型TFTの構成を表す上面図である。ゲート電極には導電性配線1010が延在している。前記導電性配線1010が前記p型TFTの半導体層1013と重なる部分以外はゲート絶縁層に開口部が設けられ、ソース、ドレイン領域には導電性配線1012が接続している。

【0031】

30

図2(a)、図2(b)、図2(c)、はそれぞれ、図1中に破線A1～A2、破線B1～B2、破線C1～C2、で示された部分の断面図を示す。破線A1～A2で示された部分は駆動回路部分であり、説明の都合上、n型TFT及びp型TFTを並べている。

【0032】

図2(a)で示された駆動回路のn型TFT2001は、半導体層において、ソースもしくはドレイン部分2005と、チャンネル部分2006を有する。また前記ソースもしくはドレイン部分2005と、チャンネル部分2006の間には、オフセット領域もしくはLDD領域2007が形成される。前記オフセット領域もしくはLDD領域2007は、オフリーク電流を小さくするため有効である。

【0033】

40

図2(a)で示された駆動回路のp型TFT2002は、半導体層において、ソースもしくはドレイン部分2008と、チャンネル部分2009を有する。また前記ソースもしくはドレイン部分2008と、チャンネル部分2009の間には、オフセット領域もしくはLDD領域2010が形成される。前記オフセット領域もしくはLDD領域2010は、オフリーク電流を小さくするため有効である。

【0034】

図2(b)で示された画素部のTFT2003は、半導体層において、ソースもしくはドレイン部分2011と、チャンネル部分2012を有する。また前記ソースもしくはドレイン部分2011と、チャンネル部分2012の間には、オフセット領域もしくはLDD領域2013が形成される。前記オフセット領域もしくはLDD領域2013は、オフリーク電流を小さくするため有効である。

50

【0035】

以上のオフセット領域もしくはLDD領域の形状は、必要な特性に応じて設計する。例えば駆動回路のP型TFTにおいては、ソースもしくはドレイン部分と、チャネル部分の間隔は $2\mu\text{m}$ 以下が適当であり、これ以上の長さではオン電流が小さくなってしまう。

【0036】

図2(C)で示されたゲート電極及びゲート配線2004は、導電性配線2015と、n型を付与する高濃度の不純物を有する半導体層2014からなる。

【0037】

但し、図1で示した構成では、配線の線幅が大きく、ゲート配線の抵抗が充分小さい場合のみ適用できる。微細化された構成においては、配置に工夫が必要となる。

10

【0038】

図3(A)で示される様に、ゲート配線は導電性配線3001と、n型を付与する高濃度の不純物を有する半導体層3002とのチェーン状になる。ここで問題は、n型を付与する高濃度の不純物を有する半導体層3002の抵抗率が高いことにある。

【0039】

我々の作成した 10^{21}atoms/cm^3 程度リンが添加されたシリコン層の抵抗率は、加工後には $2 \times 10^3 \Omega \cdot \text{cm}$ 前後となる。抵抗率が前記 $2 \times 10^3 \Omega \cdot \text{cm}$ 前後の半導体層は、導電性配線として汎用されるAlの抵抗率 $4 \mu \Omega \cdot \text{cm}$ 前後であるのに比べ、3桁程度大きい。また、Alの導電性配線は400nmで形成されることに對し、半導体層は結晶化等の理由からこれより小さい膜厚で形成されることが多い。

20

【0040】

すなわち導電性材料のみで形成された従来のゲート配線より抵抗は大きくなることが予想され、特に前記高濃度の不純物を有する半導体層の線幅を検討する必要がある。例えば、画素ピッチが $42 \times 126 \mu\text{m}$ である直視型LCDにおいて、導電性配線の抵抗及びコンタクト抵抗を0とし、半導体層の厚さを50nmと仮定した場合、駆動するために必要な、n型を付与する高濃度の不純物を有する半導体層3002の線幅は最低 $50 \mu\text{m}$ と見積もられる。この様に前記半導体層3002の線幅が広い場合には、図3(B)に示すように、前記半導体層3002は、ゲート絶縁層を介してソース配線と並列するように配置することになる。

【0041】

さらに、前記半導体層3002に重なるよう形成された保持容量配線3005,3006,3007は、図3(B)に示すように、隣のゲート配線3004より延在させ接続することで、前記半導体層3002の上に形成しなくて済む。このとき、隣のゲート配線3004が保持容量配線を兼ねることになる。このとき、前記半導体層3002の長さを短くすることが出来る。図4(A)は図2及び図3におけるゲート配線を示す断面図である。図4(A)すなわち図2の配置の様に配線間隔4001,4002,4003を $2 \mu\text{m}$ 、配線4002,4004の間隔を $5 \mu\text{m}$ とし、コンタクト開口部までの長さ4006,4007を $4 \mu\text{m}$ とした場合、一つの高濃度の不純物を有する半導体層の長さは $24 \mu\text{m}$ と算出できる。これに對し、図3のごとく前記隣のゲート配線が保持容量配線を兼ねる方法を用いれば、図4(A)の部分は図4(B)のごとく形成され、各間隔4008,4009,4010,4011,4012の合計は $17 \mu\text{m}$ となり、抵抗を約2/3に小さくすることが出来る。

30

40

【0042】

すなわち、画素付近の回路を図3(B)のごとく形成すれば、抵抗を小さくすることができる。

【0043】

多結晶シリコン層にリンを加えたときの導電率特性を図23(M. M. Mandurah, J. Electrochem. Soc. 126.1019-1023 (June.1979))に示す。図中poly-crystalline シリコンの曲線で示されるように、リン濃度が 10^{19}atoms/cm^3 前後で抵抗率の変化が異なる。 10^{19}atoms/cm^3 より小さくなるにつれ、粒界にキャリアがトラップされ、結晶中のキャリアが少なくなり抵抗が高くなる。 10^{19}atoms/cm^3 からリン濃度が大きくなると抵抗率は小さくなるが、その依存性は前記 10^{19}atoms/cm^3 より小さくなる変化に比べて緩やかになる。

50

【0044】

我々の作成した、 10^{21} atoms/cm³程度リンが添加されたシリコン層の抵抗率は、 $2 \times 10^3 \Omega \cdot \text{cm}$ 前後となる。これは抵抗率を小さくする目的で、大きな濃度で添加しているが、回路設計により若干の抵抗の増大は許容される。従来のTFTにおいて、ソース及びドレイン領域に添加された 10^{19} atoms/cm³以上のものが多いことから、我々は前記多結晶シリコン中にリンに限らず不純物元素が 10^{19} atoms/cm³以上添加されていれば、シリコンに導電性を持たせることが可能と考えた。このシリコン中に添加された 10^{19} atoms/cm³以上の不純物の濃度を、本明細書では高濃度と記す。

【0045】

以上の構成で動作可能な、液晶表示装置について評価する。半導体層を結晶化した場合、CMOS回路を作製することが可能となる。このとき全ての素子にオフセット領域またはLDD領域を設けることで、オフリーク電流を小さくすることができる。しかしながらP型TFTからなる駆動回路を形成するとき、オフセット領域またはLDD領域によって、オン電流が小さくなることが予想される。表1には、幅 $8 \mu\text{m} \times 8 \mu\text{m}$ のTFTにおいて、前記オフセット領域またはLDD領域を形成したときの、ON電流値を示す。

【0046】

【表1】

(1) Pch LDD部分がn-構造で長さ $1.0 \mu\text{m}$

ドレイン印加電圧 (V)	ソース-ドレイン間 電流 (μA)	添加したリン濃度 (atoms/cm ³)
Vds=-1V	-0.55	0
Vds=-14V	-9.39	0
Vds=-1V	-0.52	$1.00\text{E}-15$
Vds=-14V	-9.21	$1.00\text{E}-15$
Vds=-1V	-0.15	$1.00\text{E}-16$
Vds=-14V	-6.59	$1.00\text{E}-16$

(2) Pch LDD部分がn-構造で長さ $0.5 \mu\text{m}$

ドレイン印加電圧 (V)	ソース-ドレイン間 電流 (μA)	添加したリン濃度 (atoms/cm ³)
Vds=-1V	-3.83	0
Vds=-14V	-16.48	0
Vds=-1V	-4.13	$1.00\text{E}-15$
Vds=-14V	-16.72	$1.00\text{E}-15$
Vds=-1V	-3.58	$1.00\text{E}-16$
Vds=-14V	-15.44	$1.00\text{E}-16$

(3) Pch LDD部分がp-構造で長さ $1.0 \mu\text{m}$

ドレイン印加電圧 (V)	ソース-ドレイン間 電流 (μA)	添加したボロン濃度 (atoms/cm ³)
Vds=-1V	-3.84	$1.00\text{E}-17$
Vds=-14V	-17.36	$1.00\text{E}-17$
Vds=-1V	-8.86	$5.00\text{E}-17$
Vds=-14V	-35.24	$5.00\text{E}-17$
Vds=-1V	-10.04	$1.00\text{E}-18$
Vds=-14V	-38.17	$1.00\text{E}-18$

(4) Pch LDD部分がp-構造で長さ $0.5 \mu\text{m}$

ドレイン印加電圧 (V)	ソース-ドレイン間 電流 (μA)	添加したボロン濃度 (atoms/cm ³)
Vds=-1V	-21.28	$1.00\text{E}-17$
Vds=-14V	-81.35	$1.00\text{E}-17$
Vds=-1V	-27.36	$5.00\text{E}-17$
Vds=-14V	-101.58	$5.00\text{E}-17$
Vds=-1V	-28.52	$1.00\text{E}-18$
Vds=-14V	-104.28	$1.00\text{E}-18$

【0047】

シフトレジスタは一方方向の画素数分のトランジスタが連結されている。前記一方方向の画素数が一定の場合、シフトレジスタを小さいON電流値で、かつ高い周波数で駆動すると、TFTにおいて充電もしくは放電がしきれず、信号が流れなくなる。したがって、ON電流値により周波数は制限される。また、画素部において、ゲート配線はメタル部分と半導体部分が直列でつながっており、この抵抗増加に起因した信号の遅延がおきる。信号の遅延が起きた場合、ゲート電極に印加する信号の有効時間が短くなるため、ビデオ信号の分割を行うなどで解決する。

【0048】

前記シフトレジスタの動作限界を考慮し、シミュレーションにより、必要なオン電流を流すための前記オフセット領域またはLDD領域中の不純物量と、前記オフセット領域またはLDD領域の幅を見積もった。本発明においては、画素数 640×3 (RGB) $\times 480$ 、画素ピッチ $42 \mu\text{m} \times 126 \mu\text{m}$ であり、周辺にp型TFT及びn型TFTからなる駆動回路が設けられ、4分割されたビデオ信号に対応する液晶表示用電気光学装置を例にする。その結果、シフトレジスタに関しては、シミュレーションによれば、シフトレジスタは、駆動する周

10

20

30

40

50

波数は5MHz以下において動作すると見積もられた。このとき前記LDD領域の不純物がn型を付与する不純物の場合、前記LDD領域の幅は0.5 μ m以下で動作し、p型を付与する不純物の場合、前記LDD領域の幅は1 μ m以下と見積もられた。

【0049】

このように、通常量産される、4 inch角で5MHz以下の液晶駆動回路は、この発明による設計においても動作する。

【0050】

以下に、本発明のTFTの作製工程を四例示す。工程例1では基板上にnチャネル型TFTとpチャネル型のTFTを形成し、全てのTFTにLDD領域を形成する工程例を、工程例2では基板上にnチャネル型TFTとpチャネル型のTFTを形成し、全てのTFTにオフセット領域を形成する工程例を、工程例3では基板上にnチャネル型TFTもしくはpチャネル型のTFTを形成し、全てのTFTにLDD領域を形成する工程例を、工程例4では基板上にnチャネル型TFTもしくはpチャネル型のTFTを形成し、全てのTFTにオフセット領域を形成する工程例を、それぞれ示す。いずれの工程例においても、TFTは4枚のフォトマスクを使用することで、作製される。

【0051】

(工程例1)

本発明のTFTの作製工程を表2に示す。表2では、金属不純物を用いて半導体層を結晶化し、基板上に形成される全てのTFTにLDD領域を形成する工程例を示す。該工程を、保持容量配線が、絶縁層を介してゲート電極の高濃度n型不純物が添加された半導体層からなる部分と交差する図1のTFT構成を例にとり説明する。該工程順序及び条件は、保持容量配線が当該保持容量配線と接続したTFTのゲート配線のある方向とは反対側のゲート配線と接続する図3(B)で示される構成の場合にも適用できる。なお表2中では、フォトマスクを使用する工程に*をつけている。

【0052】

【表2】

パターニング(*)	工程NO.	工程フロー
	1	a-Si成膜
	2	半導体層の結晶化(半導体層(シリコン)への触媒(ニッケル)添加、熱結晶化、レーザ結晶化)
*	3	半導体層のパターニング、エッチング
*	4	N型高濃度不純物領域パターニング
	5	N型高濃度不純物ドーピング
	6	ゲート絶縁膜成膜
*	7	ゲート絶縁膜パターニング、エッチング
	8	P型高濃度不純物ドーピング
	9	配線 Ti\Al成膜
*	10	配線パターニング、薬液によるエッチング
	11	一導伝型低濃度不純物ドーピング
	12	半導体層の活性化、水素化

【0053】

以下表2の工程に従い、図5～図8を用いて説明する。図5～図8は、工程が進むにつれ形成される各層の形状を示す上面図である。

【0054】

基板はガラスもしくは石英から成るものを使用する。ガラスの場合には表面よりアルカリ金属などの拡散を防ぐため、シリコン酸化膜等の下地膜を形成することが望ましい。

【0055】

まず、工程1で示される様に、前記基板上に非結晶質の半導体層を成膜する。シリコンを例にするなら、プラズマCVDもしくは減圧CVDもしくはスパッタによる成膜を行う。シリコン以外にも、ガリウム、ヒ素、ゲルマニウムの何れかを組成としてもつ材料を用いても良い。

【0056】

次に、工程 2 で示される様に前記非結晶質の半導体層の結晶化を行う。これは熱結晶化、もしくはレーザーによる結晶化、もしくはこれを併用する。この発明において半導体層は、金属不純物を触媒として添加し、結晶化を促進する方法を使用出来る。前記金属不純物はニッケルが効果的であり、以後ニッケルを用いた例を挙げる。ニッケルの添加した場合は、後の工程 8 で熱結晶化を行い、その後 P 型 T F T 部のソース、ドレイン部に高濃度不純物をドーピングした後、ゲッタリング熱処理を行う。

【0057】

次に、工程 3 で示される様に結晶化された半導体層に、フォトレジストを形成し、ドライエッチングにて形成を行う。このとき、図 5 (a) に示されるように、画素部の駆動スイッチにあたる T F T のチャンネル及び低濃度不純物領域部分 5000、および前記 T F T のソース領域 5001、および前記 T F T のドレイン領域 5002 にあたる部分より延在した保持容量部分 5003、ゲート配線の一部となる島状の部分 5004、図 5 (b) に示される駆動回路の n 型 T F T 部、図 5 (c) に示される駆動回路の p 型 T F T 部、が形成される。なお図 5 ~ 8 中で駆動回路のソース部分とドレイン部分の区別はしていない。

10

【0058】

次に、工程 4 で示される様に高濃度 n 型不純物を添加する領域を形成する。画素部の駆動スイッチにあたる T F T のソース領域 5001、およびそのドレイン領域 5002、保持容量を形成する部分 5003、ゲート配線の一部となる島状の部分 5004、図 5 (b) に示される駆動回路の n 型 T F T のソース部分及びドレイン部分 5005、の部分以外にフォトレジストを形成し、高濃度 n 型不純物をドーピングする際のマスクとする。

20

【0059】

そして工程 5 で示される様に半導体層において前記ドーピングする際のマスクが形成されていない領域に高濃度 n 型不純物ドーピング領域のドーピングを行う。前記 n 型不純物として典型的にはリン (P) または砒素 (As) を用いるが、ニッケルを用いた結晶化を行う場合はリン (P) を用いる。なぜなら前記半導体層に触媒すなわちニッケルを添加し、半導体層を結晶化する場合には、後工程で熱処理によりリンの添加された領域に偏析させる方法で、チャンネル部分の半導体層のリンを除去する、すなわちゲッタリングをする方法が一般的にとられているからである。本発明でもこれを利用する。

【0060】

次に工程 6 で示される様にゲート絶縁層をプラズマ CVD もしくはスパッタ、熱酸化等で、酸化膜もしくは窒化膜を形成する。

30

【0061】

そして工程 7 で示される様にゲート絶縁層に、フォトレジストを形成し、ドライエッチングにて開口部を設ける。図 6 は前記開口部の形状を示している。画素部分のソース領域 6001 及びドレイン領域 6002、ゲート配線の半導体層部分の両端 6003、駆動回路の n 型 T F T 部分のソース領域及びドレイン領域 6004、P 型 T F T のチャンネル領域にフォトレジストが形成されるときに誤差を加味した幅を除いた領域 6006 に開口部を設ける。

【0062】

すると前記開口部を設けた部分は、半導体層が露出している。この露出した領域に、工程 8 で示される様に高濃度の p 型不純物をドーピングする。半導体層がシリコンであるとき、典型的にはボロンを用いる。図 6 中では、ボロンがドーピングされた領域が、前記高濃度の n 型不純物を示したハッチングとは異なるハッチングで示されている。このとき、画素部分のソース領域 6001 及びドレイン領域 6002、ゲート配線の半導体層部分の両端 6003、駆動回路の n 型 T F T 部分のソース領域及びドレイン領域 6004 に高濃度の p 型不純物がドーピングされるので、該領域の p 型不純物は n 型不純物濃度を超えない濃度でドーピングする。

40

【0063】

このため前記 p 型不純物をドーピングする前後何れかに、リンを、前記 p 型不純物をドーピングする領域に前記 p 型不純物濃度を超えない濃度で添加する。その後ゲッタリング熱処理を行う。このときニッケルは各 T F T のソース及びドレイン領域にゲッタリングされ

50

る。

【0064】

そして、工程9で示される様にスパッタ成膜等で、導電性配線を成膜する。これはゲート配線及びソース配線として、半導体層と接触し導電性を確保するため、熱により半導体層に拡散せず、かつ抵抗率が上昇しない材料が望ましい。また、前記導電性配線は半導体層に接しているため、後工程でエッチングする際の半導体層と前記配線材料とのエッチング選択比が必要となる。半導体層がシリコンの場合、選択比を大きくするためには、配線材料を薬液でエッチングすることが望ましい。以上の条件より、前記導電性配線材料は、前記TiとAlを積層する他に、Mo、Ag-Pd-Cuが挙げられる。

【0065】

その後工程10で示される様に前記導電性配線に、フォトレジストを形成し、図7に示されるような導電性配線の形状を形成する。画素部TF Tのソース部分と接続する配線7001、シリコンで形成されたゲート配線の一部をチェーン状に繋ぐよう接続され、画素部TF Tのゲート部に伸びた配線7002、画素部TF Tのドレイン部分に接続する画素電極7003、画素部TF Tのドレイン領域にあたる部分より伸びたCs（保持容量）部分に重なるよう形成された保持容量配線7004、を形成する。また駆動回路においては、n型TF T部分のソース配線及びドレイン配線及びゲート配線7005、p型TF T部分のソース配線及びドレイン配線及びゲート配線7006、を形成する。

【0066】

このとき画素部TF Tの半導体層において、基板平面を上から見た場合、ゲート配線で遮蔽された部分と低濃度のn型不純物領域の間には、斜線で示された間隔8001がある。また駆動回路においてもn型TF T及びP型TF Tに同様の間隔がある。ここに、工程11で示される様にゲート絶縁層を通過させ半導体層にドーピングする、いわゆるスルードープ方法を用い、低濃度の一導伝型不純物を添加する。これにより低濃度の一導伝型不純物領域8002,8003,8004を形成する。

【0067】

その後、工程12で示される様に基板をレーザー照射による処理もしくは500℃前後で加熱処理する。これにより半導体中のn型不純物もしくはp型不純物が安定した位置に収まり、決まった不純物準位が形成される。そして、基板を水素雰囲気中で加熱処理し、半導体中もしくは半導体とゲート絶縁層間のダングリングボンドを水素で終端する。これにより界面準位を無くし、特性を向上させる。

【0068】

以上の工程で、結晶化された半導体層を用いたトップゲート型TF Tが4枚のマスクで完成する。

【0069】

（工程例2）

本発明のTF Tの作製工程を表3に示す。工程例2では、基板上に形成される全てのTF Tにオフセット領域を形成する工程例を示す。該工程を、保持容量配線が、絶縁層を介してゲート電極の高濃度n型不純物が添加された半導体層からなる部分と交差するTF T構成を例にとり説明する。該工程順序及び条件は、保持容量配線が当該保持容量配線と接続したTF Tのゲート配線のある方向とは反対側のゲート配線と接続する構成の場合にも適用できる。

【0070】

【表3】

10

20

30

40

パターニング(*)	工程NO.	工程フロー
	1	a-Si成膜
	2	半導体層の結晶化(半導体層(シリコン)への触媒(ニッケル)添加、熱結晶化、レーザ結晶化)
*	3	半導体層のパターニング、エッチング
*	4	N型高濃度不純物領域パターニング
	5	N型高濃度不純物ドーピング
	6	ゲート絶縁膜成膜
*	7	ゲート絶縁膜パターニング、エッチング
	8	P型高濃度不純物ドーピング
	9	半導体層の活性化
	10	配線 Ti\Al成膜
*	11	配線パターニング、薬液によるエッチング
	12	水素化

10

【0071】

表3の工程例において、工程1より、工程8までは工程例1と同様の処理を行う。但し工程8においてゲッターリング熱処理を行う。このときニッケルは各TFTのソース及びドレイン領域にゲッターリングされる。その後工程9で示される様に半導体層の活性化を行う。これにより半導体中のn型不純物もしくはp型不純物が安定した位置に収まり、決まった不純物準位が形成される。工程例1と異なり、半導体層の活性化を行う際、配線材料の耐熱性を考慮する必要が無い利点がある。

【0072】

20

このとき画素部TFTの半導体層において、基板平面を上から見た場合、ゲート配線で遮蔽された部分と低濃度のn型不純物領域の間には、斜線で示された間隔8001がある。また駆動回路においてもn型TFT及びP型TFTに同様の間隔8002,8003,8004がある。工程例1ではここに不純物を添加するが、工程例2ではここに不純物を添加しない。すなわち前記間隔が真性半導体となりオフセット領域となる。

【0073】

そして工程10、工程11、で示される様に導電性配線を形成する。この導電性配線は、水素雰囲気での加熱処理すなわち300℃程度の耐熱性を持ち、低抵抗の材料が望ましい。

【0074】

その後工程12で示される様に基板を水素雰囲気で加熱処理し、半導体中もしくは半導体とゲート絶縁層間のダングリングボンドを水素で終端する。これにより界面準位を無くし、特性を向上させる。水素化しなくても半導体特性として良好である場合、この工程は無くてもよい。

30

【0075】

以上の工程で、結晶化された半導体層を用いたトップゲート型TFTが4枚のマスクで完成する。

【0076】

(工程例3)

本発明のTFTの作製工程を表4に示す。表4では、金属不純物を用いて半導体層を結晶化し、基板上にnチャネル型TFTもしくはpチャネル型TFTが形成され、前記TFTにLDD領域を形成する工程例を示す。該工程を、保持容量配線が、絶縁層を介してゲート電極の高濃度n型不純物が添加された半導体層からなる部分と交差するTFT構成を例にとり説明する。該工程順序及び条件は、保持容量配線が当該保持容量配線と接続したTFTのゲート配線のある方向とは反対側のゲート配線と接続する構成の場合にも適用できる。

40

【0077】

【表4】

パターニング(*) 工程NO.		工程フロー
	1	a-Si成膜
	2	半導体層の結晶化(半導体層(シリコン)への触媒(ニッケル)添加、熱結晶化、レーザ結晶化)
*	3	半導体層のパターニング、エッチング
*	4	高濃度の一導伝型不純物領域パターニング
	5	高濃度の一導伝型不純物ドーピング
	6	ゲート絶縁膜成膜
*	7	ゲート絶縁膜パターニング、エッチング
	8	配線 Ti\Al成膜
*	9	配線パターニング、薬液によるエッチング
	10	一導伝型低濃度不純物ドーピング
	11	半導体層の活性化、水素化

10

【0078】

以下表4の工程に従い、図19～図22を用いて説明する。図19～図22は、工程が進むにつれ形成される各層の形状を示す上面図である。

【0079】

表4の工程例において、工程1～工程2までは工程例1と同様の処理を行う。

そして工程3で示される様に結晶化された半導体層に、フォトレジストを形成し、ドライエッチングにて島状に形成する。このとき、図19(A)に示されるように、画素部の駆動スイッチにあたるTFETのチャネル及び低濃度不純物領域部分1900、および前記TFETのソース領域1901、および前記TFETのドレイン領域1902にあたる部分より延在した保持容量部分1903、ゲート配線の一部となる島状の部分1904、図19(B)に示される駆動回路の前記nチャネル型TFETもしくはpチャネル型TFET部、が形成される。

20

【0080】

次に、工程4で示される様に高濃度の前記一導伝型不純物を添加する領域を形成する。画素部の駆動スイッチにあたるTFETのソース領域1901、およびそのドレイン領域1902、保持容量を形成する部分1903、ゲート配線の一部となる島状の部分1904、図19(B)に示される駆動回路の前記一導伝型のソース部分及びドレイン部分1905、の部分以外にフォトレジストを形成し、高濃度の前記一導伝型不純物をドーピングする際のマスクとする。

【0081】

そして工程5で示される様に半導体層において前記ドーピングする際のマスクが形成されていない領域に高濃度の前記一導伝型不純物ドーピング領域のドーピングを行う。半導体層がシリコンであるとき、前記nチャネル型TFETもしくはpチャネル型のTFETがn型のTFETであれば、典型的にはリン(P)または砒素(As)を用いるが、ニッケルを触媒とし結晶化を行う場合はリン(P)を用いる。また前記半導体層の結晶化において、ニッケル添加を用いて半導体層を結晶化する場合に、前記nチャネル型TFETもしくはpチャネル型のTFETがp型であれば、当不純物以外に、当不純物を越えない濃度でリンを添加する。なぜならリンはニッケルをゲッタリングする際に有効だからである。その後ゲッタリング熱処理を行う。このときニッケルは各TFETのソース及びドレイン領域にゲッタリングされる。

30

40

【0082】

その後、工程6で示される様にゲート絶縁層をプラズマCVDもしくはスパッタ、熱酸化等で、酸化膜もしくは窒化膜を形成する。

【0083】

次に工程7で示される様にゲート絶縁層に、フォトレジストを形成し、ドライエッチングにて開口部を設ける。図20は前記開口部の形状を示している。画素部分のソース領域2021及びドレイン領域2022、ゲート配線の半導体層部分の両端2023、駆動回路の前記nチャネル型TFETもしくはpチャネル型TFET部分のソース領域及びドレイン領域2024、に開口部を設ける。

【0084】

50

そして工程 8 で示される様に、スパッタ成膜等で、導電性配線を成膜する。これはゲート配線及びソース配線として、半導体層と接触し導電性を確保するため、熱により半導体層に拡散せず、かつ抵抗率が上昇しない材料が望ましい。また、前記導電性配線は半導体層に接しているため、後工程でエッチングする際の半導体層と前記配線材料とのエッチング選択比が必要となる。半導体層がシリコンの場合、選択比を大きくするためには、配線材料を薬液でエッチングすることが望ましい。以上の条件より、前記導電性配線材料は、前記TiとAlを積層する他に、Mo、Ag-Pd-Cuが挙げられる。

【0085】

その後工程 9 で示される様に前記導電性配線に、フォトレジストを形成し、図 2 1 に示されるような前記導電性配線の形状を形成する。画素部 T F T のソース部分と接続する配線 2101、シリコンで形成されたゲート配線の一部をチェーン状に繋ぐよう接続され、画素部 T F T のゲート部上に伸びた配線 2102、画素部 T F T のドレイン部分に接続する画素電極 2103、画素部 T F T のドレイン領域にあたる部分より伸びたCs（保持容量）部分に重なるよう形成された保持容量配線 2104、を形成する。また駆動回路においては、前記 n チャネル型 T F T もしくは p チャネル型 T F T 部分のソース配線及びドレイン配線及びゲート配線 2105、を形成する。

10

【0086】

このとき画素部 T F T の半導体層において、基板平面を上から見た場合、ゲート配線で遮蔽された部分と低濃度の一導伝型の不純物領域の間には、斜線で示された間隔 2201 がある。また駆動回路においても前記 n チャネル型 T F T もしくは p チャネル型 T F T に同様の間隔 2202, 2203 がある。ここに、工程 1 0 で示される様にゲート絶縁層を通過させ半導体層にドーピングする、いわゆるスルードープ方法を用い、低濃度の前記一導伝型不純物を添加する。これにより低濃度の前記一導伝型の不純物領域を形成する。

20

【0087】

その後工程 1 1 で示される様に基板をレーザー照射による処理もしくは加熱処理する。これにより半導体中の前記一導伝型不純物が安定した位置に収まり、決まった不純物準位が形成される。そして、基板を水素雰囲気中で加熱処理し、半導体中もしくは半導体とゲート絶縁層間のダングリングボンドを水素で終端する。これにより界面準位を無くし、特性を向上させる。水素化しなくても半導体特性として良好である場合、この工程は無くてもよい。

30

【0088】

以上の工程で、結晶化された半導体層を用いたトップゲート型 T F T が 4 枚のマスクで完成する。

【0089】

（工程例 4）

本発明の T F T の作製工程を表 5 に示す。表 5 では、金属不純物を用いて半導体層を結晶化し、基板上に n チャネル型 T F T もしくは p チャネル型 T F T が形成され、前記 T F T にオフセット領域を形成する工程例を示す。該工程を、保持容量配線が、絶縁層を介してゲート電極の高濃度 n 型不純物が添加された半導体層からなる部分と交差する T F T 構成を例にとり説明する。該工程順序及び条件は、保持容量配線が当該保持容量配線と接続した T F T のゲート配線のある方向とは反対側のゲート配線と接続する構成の場合にも適用できる。

40

【0090】

【表 5】

パターニング(*) 工程NO.

工程フロー

	1	a-Si成膜
	2	半導体層の結晶化(半導体層(シリコン)への触媒(ニッケル)添加、熱結晶化、レーザ結晶化)
*	3	半導体層のパターニング、エッチング
*	4	高濃度の一導伝型不純物領域パターニング
	5	高濃度の一導伝型不純物ドーピング
	6	熱活性化
	7	ゲート絶縁膜成膜
*	8	ゲート絶縁膜パターニング、エッチング
	9	配線 Ti\Al成膜
*	10	配線パターニング、薬液によるエッチング
	11	水素化

10

【0091】

以下表5の工程に従い、図19～図22を用いて説明する。図19～図22は、工程が進むにつれ形成される各層の形状を示す上面図である。

【0092】

表5の工程例において、工程1～工程5までは工程例3と同様の処理を行う。

【0093】

その後、工程6で示される様に基板をレーザー照射による処理もしくは加熱処理する。これにより前記半導体中の不純物が安定した位置に収まり、決まった不純物準位が形成される。

20

【0094】

次に工程7で示される様にゲート絶縁層をプラズマCVDもしくはスパッタ、熱酸化等で、酸化膜もしくは窒化膜を形成する。

【0095】

そして工程8で示される様にゲート絶縁層に、フォトリソストを形成し、ドライエッチングにて開口部を設ける。図20は前記開口部の形状を示している。画素部分のソース領域2021及びドレイン領域2022、ゲート配線の半導体層部分の両端2023、駆動回路の前記nチャネル型TFトもしくはpチャネル型TFト部分のソース領域及びドレイン領域2024、に開口部を設ける。

【0096】

そして工程9で示される様に、スパッタ成膜等で、導電性配線を成膜する。これはゲート配線及びソース配線として、半導体層と接触し導電性を確保するため、熱により半導体層に拡散せず、かつ抵抗率が上昇しない材料が望ましい。また、前記導電性配線は半導体層に接しているため、後工程でエッチングする際の半導体層と前記配線材料とのエッチング選択比が必要となる。半導体層がシリコンの場合、選択比を大きくするためには、配線材料を薬液でエッチングすることが望ましい。以上の条件より、前記導電性配線材料は、前記TiとAlを積層する他に、Mo、Ag-Pd-Cuが挙げられる。

30

【0097】

その後工程10で示される様に前記導電性配線に、フォトリソストを形成し、図21に示されるような導電性配線の形状を形成する。画素部TFトのソース部分と接続する配線2101、シリコンで形成されたゲート配線の一部をチェーン状に繋ぐよう接続され、画素部TFトのゲート部に伸びた配線2102、画素部TFトのドレイン部分に接続する画素電極2103、画素部TFトのドレイン領域にあたる部分より伸びたCs(保持容量)部分に重なるよう形成された保持容量配線2104、を形成する。また駆動回路においては、前記nチャネル型TFトもしくはpチャネル型TFト部分のソース配線及びドレイン配線及びゲート配線2105、を形成する。

40

【0098】

このとき画素部TFトの半導体層において、基板平面を上から見た場合、ゲート配線で遮蔽された部分と低濃度の前記一導伝型不純物領域の間には、斜線で示された間隔2201がある。また駆動回路においても前記nチャネル型TFトもしくはpチャネル型TFトに同様

50

の間隔2202,2203がある。ここに、ゲート絶縁層を通過させ半導体層にドーピングする、いわゆるスルードープ方法を用い、低濃度の前記一導伝型不純物を添加する。これにより低濃度の前記一導伝型不純物領域を形成する。

【0099】

そして、基板を水素雰囲気中で加熱処理し、半導体中もしくは半導体とゲート絶縁層間のダングリングボンドを水素で終端する。これにより界面準位を無くし、特性を向上させる。水素化しなくても半導体特性として良好である場合、この工程は無くてもよい。

【0100】

以上の工程で、結晶化された半導体層を用いたトップゲート型TFTが4枚のマスクで完成する。

10

【0101】

また、本発明によれば、画素部に設けたTFTを有する液晶表示装置にとどまらず、pチャネル型TFTとnチャネル型TFTとを有する半導体装置、あるいは、nチャネル型TFTもしくはpチャネル型TFTを有する半導体装置を作製できる。

【0102】

【実施例】

以下に示す実施例により詳細な説明を行う。

【0103】

[実施例1]

本発明の実施例を、図9～図12を用いて説明する。図9～図12では、図2中の断面A1～A2を画素部の周辺に設けられる駆動回路のTFTとして、図2中の断面A1～A2を画素に設けたTFTおよび保持容量として、図2中の断面A1～A2をゲート配線及びゲート電極部分として示し、これらを同時に作製する方法について工程に従って詳細に説明する。なお、フォトリソグラフィーによって形成されたレジスト部分を、図中PM1～PM4として示す。

20

【0104】

図9(A)において、基板101にはコーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板の他に、ポリエチレンテレフタレート(PET)、ポリエチレンナフタレート(PEN)、ポリエーテルサルフォン(PES)など光学的異方性を有しないプラスチック基板を用いることができる。ガラス基板を用いる場合には、ガラス歪み点よりも10～20℃程度低い温度であらかじめ熱処理しておいても良い。そして、基板101のTFTを形成する表面に、基板101からの不純物拡散を防ぐために、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜102を形成する。例えば、プラズマCVD法でSiH₄、NH₃、N₂Oから作製される酸化窒化シリコン膜102aを10～200nm(好ましくは50～100nm)、同様にSiH₄、N₂Oから作製される酸化窒化水素化シリコン膜102bを50～200nm(好ましくは100～150nm)の厚さに積層形成する。ここでは下地膜102を2層構造として示したが、前記絶縁膜の単層膜または2層以上積層させて形成しても良い。

30

【0105】

酸化窒化シリコン膜は従来の平行平板型のプラズマCVD法を用いて形成する。酸化窒化シリコン膜102aは、SiH₄を10SCCM、NH₃を100SCCM、N₂Oを20SCCMとして反応室に導入し、基板温度325℃、反応圧力40Pa、放電電力密度0.41W/cm²、放電周波数60MHzとした。一方、酸化窒化水素化シリコン膜102bは、SiH₄を5SCM、N₂Oを120SCCM、H₂を125SCCMとして反応室に導入し、基板温度400℃、反応圧力20Pa、放電電力密度0.41W/cm²、放電周波数60MHzとした。これらの膜は、基板温度を変化させ、反応ガスの切り替えのみで連続して形成することもできる。

40

【0106】

次に、25～80nm(好ましくは30～60nm)の厚さで非晶質構造を有する半導体層103aを、プラズマCVD法やスパッタ法などの公知の方法で形成する。例えば、プ

50

ラズマCVD法で非晶質シリコン膜を55nmの厚さに形成する。非晶質構造を有する半導体膜には、非晶質半導体層や微結晶半導体膜があり、非晶質シリコン・ゲルマニウム膜などの非晶質構造を有する化合物半導体膜を適用しても良い。また、下地膜102と非晶質半導体層103aとは両者を連続形成することも可能である。例えば、前述の様に酸化窒化シリコン膜102aと酸化窒化水素化シリコン膜102bをプラズマCVD法で連続して成膜後、反応ガスを SiH_4 、 N_2O 、 H_2 から SiH_4 と H_2 或いは SiH_4 のみに切り替えれば、一旦大気雰囲気に晒すことなく連続形成できる。その結果、酸化窒化水素化シリコン膜102bの表面の汚染を防ぐことが可能となり、作製するTFTの特性バラツキやしきい値電圧の変動を低減させることができる。

【0107】

そして、結晶化の工程を行い非晶質半導体層103aから結晶質半導体層103bを作製する。その方法としてレーザーアニール法や熱アニール法（固相成長法）、またはラピットサーマルアニール法（RTA法）を適用することができる。前述のようなガラス基板や耐熱性の劣るプラスチック基板を用いる場合には、特にレーザーアニール法を適用することが好ましい。RTA法では、赤外線ランプ、ハロゲンランプ、メタルハライドランプ、キセノンランプなどを光源に用いる。或いは特開平7-130652号公報で開示された技術に従って、触媒元素を用いる結晶化法で結晶質半導体層103bを形成することもできる。結晶化の工程ではまず、非晶質半導体層が含有する水素を放出させておくことが好ましく、400～500℃で1時間程度の熱処理を行い含有する水素量を5atomic%以下にしてから結晶化させると膜表面の荒れを防ぐことができるので良い。

【0108】

また、プラズマCVD法で非晶質シリコン膜の形成工程において、反応ガスに SiH_4 とアルゴン（Ar）を用い、成膜時の基板温度を400～450℃として形成すると、非晶質シリコン膜の含有水素濃度を5atomic%以下にすることもできる。このような場合において水素を放出させるための熱処理は不要となる。

【0109】

結晶化をレーザーアニール法にて行う場合には、パルス発振型または連続発光型のエキシマレーザーやアルゴンレーザーをその光源とする。パルス発振型のエキシマレーザーを用いる場合には、レーザー光を線状に加工してレーザーアニールを行う。レーザーアニール条件は実施者が適宜選択するものであるが、例えば、レーザーパルス発振周波数30Hzとし、レーザーエネルギー密度を100～500mJ/cm²（代表的には300～400mJ/cm²）とする。そして線状ビームを基板全面に渡って照射し、この時の線状ビームの重ね合わせ率（オーバーラップ率）を80～98%として行う。このようにして図9（B）に示すように結晶質半導体層103bを得ることができる。

【0110】

そして、結晶質半導体層103b上に第1のフォトリソグラフィの技術を用いてレジストパターンを形成し、ドライエッチングによって結晶質半導体層を島状に分割し、図9（C）に示すように島状半導体層104～108を形成する。結晶質シリコン膜のドライエッチングには CF_4 と O_2 の混合ガスを用いる。

【0111】

このような島状半導体層に対し、TFTのしきい値電圧（ V_{th} ）を制御する目的でp型を付与する不純物元素を $1 \times 10^{16} \sim 5 \times 10^{17} \text{ atomic/cm}^3$ 程度の濃度で島状半導体層の全面に添加しても良い。半導体に対してp型を付与する不純物元素には、ホウ素（B）、アルミニウム（Al）、ガリウム（Ga）など周期律表第13族の元素が知られている。その方法として、イオン注入法やイオンドーピング法（或いはイオンシャワードーピング法）を用いることができるが、大面積基板を処理するにはイオンドーピング法が適している。イオンドーピング法ではジボラン（ B_2H_6 ）をソースガスとして用いホウ素（B）を添加する。このような不純物元素の注入は必ずしも必要でなく省略しても差し支えないが、特にnチャネル型TFTのしきい値電圧を所定の範囲内に収めるために好適に用いる手法である。

【0112】

そして、図10(d)に示すように、第2のフォトマスクを用いてレジストを形成し、第1のドーピング処理を行い、n型を付与する不純物元素を添加する。ドーピングの方法はイオンドープ法若しくはイオン注入法で行えば良い。イオンドープ法の条件はドーズ量を $1 \times 10^{14} \sim 5 \times 10^{15}$ atomic/cm²とし、加速電圧を5～15 keVとして行う。n型を付与する不純物元素として15族に属する元素、典型的にはリン(P)または砒素(As)を用いるが、ここではリン(P)を用いる。第1の不純物領域には $1 \times 10^{20} \sim 1 \times 10^{21}$ atomic/cm³の濃度範囲でn型を付与する不純物元素を添加する。これにより、駆動回路のn型TFETのソース及び駆動回路領域109と、画素部のソース領域110と、画素部の保持容量領域111と、ゲート配線及び電極部分の半導体層からなる層112が形成される。

【0113】

第1のドーピング処理の後、半導体層上にゲート絶縁膜を形成する。ゲート絶縁膜113はプラズマCVD法またはスパッタ法を用い、膜厚を40～150 nmとしてシリコンを含む絶縁膜で形成する。本実施例では、120 nmの厚さで酸化窒化シリコン膜から形成する。また、SiH₄とN₂OにO₂を添加させて作製された酸化窒化シリコン膜は、膜中の固定電荷密度が低減されているのでこの用途に対して好ましい材料となる。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。例えば、酸化シリコン膜を用いる場合には、プラズマCVD法で、オルトケイ酸テトラエチル(Tetraethyl Ortho-silicate: TEOS)とO₂とを混合し、反応圧力40 Pa、基板温度300～400℃とし、高周波(13.56 MHz)電力密度0.5～0.8 W/cm²で放電させて形成することができる。このようにして作製された酸化シリコン膜は、その後400～500℃の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。

【0114】

そして、第3のフォトマスクでレジストによるマスクを形成し、ドライエッチングによって図9(f)に示すように絶縁膜に開口部を設ける。ゲート絶縁膜のドライエッチングにはCHF₃のガスを用いる。

【0115】

前記絶縁膜の開口部に半導体が露出するため、ここから高濃度p型不純物をドーピングし不純物領域を形成する。この不純物領域はジボラン(B₂H₆)を用いたイオンドープ法で形成し、高濃度p型不純物領域のボロン(B)濃度は、 $1 \times 10^{20} \sim 1 \times 10^{21}$ atomic/cm³となるようにする。これによりpチャネル型TFETを形成する島状半導体層のソース領域およびドレイン領域である高濃度p型不純物領域114を形成する。

【0116】

このとき、nチャネル型TFETを形成する島状半導体層においても、ソース及びドレイン領域は露出しており、前記p型を付与する不純物元素が添加される。このp型不純物領域には、前工程においてリンが $3 \times 10^{20} \sim 3 \times 10^{21}$ atomic/cm³の濃度で含有している。すなわち、ソース及びドレイン領域における前記n型を付与する不純物元素濃度を超えない濃度が添加され、n型不純物領域とする電気特性は変わることが無い。

【0117】

そして、導電性の金属膜をスパッタ法や真空蒸着法で形成し第4のフォトマスクでレジストマスクパターンを形成しエッチングによって、図11(h)に示すようにゲート絶縁膜上に駆動回路及び画素部のゲート電極115,117と、駆動回路のソース及びドレイン配線116,118と、駆動回路のゲート配線124,127と、画素電極を形成するための導電膜123とを形成する。導電性配線としては、熱処理及び半導体層とのコンタクト抵抗が小さい材料が望ましい。本実施例では、熱処理によりシリコンに拡散しにくいバリアメタルとしてTiを用い、その上に抵抗の低いAlを積層して用いる。この構成を説明すると、Ti膜を50～150 nmの厚さで形成し、高濃度不純物を含む半導体膜とコンタクトを形成する。そのTi膜上に重ねてAl膜を300～400 nmの厚さで形成し、2層を有する構造とする。その後、第4のフォトマスクによりレジストマスクパターンを形成し、エッチングによって前記導電層115～127を形成する。

【0118】

そして、第2のドーピング処理を行う。この場合、第1のドーピング処理よりもドーズ量を下げ高加速電圧の条件でn型を付与する不純物元素をドーピングする。例えば、加速電圧を70～120 keVとし、 $1 \times 10^{13}/\text{cm}^2$ のドーズ量で行い、図12(i)で島状半導体層に形成された高濃度不純物領域の内側に新たな不純物領域を形成する。ドーピングは、加速電圧を60～100 keV程度とし、n型不純物を絶縁膜を通過させ半導体層内に添加する方法をとる。こうして、チャネル形成領域と、高濃度不純物領域との間に低濃度不純物領域を形成する。n型を付与する不純物元素は、 $2 \times 10^{17} \sim 3 \times 10^{18} \text{ atomic}/\text{cm}^3$ の濃度となるようにする。

【0119】

その後、それぞれの濃度で添加されたn型またはp型を付与する不純物元素を活性化する工程を行う。この工程はファーネスアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、またはラピッドサーマルアニール法(RTA法)を適用することができる。熱アニール法では酸素濃度が1 ppm以下、好ましくは0.1 ppm以下の窒素雰囲気中で400～700℃、代表的には500～600℃で行うものであり、本実施例では550℃で4時間の熱処理を行った。また、基板101に耐熱温度が低いプラスチック基板を用いる場合にはレーザーアニール法を適用することが好ましい(図12(j))。

【0120】

活性化の工程に続いて、雰囲気ガスを変化させ、3～100%の水素を含む雰囲気中で、300～450℃で1～12時間の熱処理を行い、島状半導体層を水素化する工程を行う。この工程は熱的に励起された水素により島状半導体層にある $10^{16} \sim 10^{18}/\text{cm}^3$ のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。いずれにしても、島状半導体層104～108中の欠陥密度を $10^{16}/\text{cm}^3$ 以下とすることが望ましく、そのために水素を0.01～0.1 atomic%程度付与すれば良かった。

【0121】

こうして4枚のフォトマスクにより、同一の基板上に、駆動回路のTFTと画素部に設けたTFTとを有した基板を完成させることができる。駆動回路にはpチャネル型TFT、nチャネル型TFT、画素部にはTFT、保持容量が形成されている。本明細書では便宜上このような基板をアクティブマトリクス基板と呼ぶ。

【0122】

[実施例2]

本実施例では、実施例1で示したアクティブマトリクス基板のTFTの活性層を形成する結晶質半導体層の他の作製方法について示す。結晶質半導体層は非晶質半導体層を熱アニール法やレーザーアニール法、またはRTA法などで結晶化させて形成するが、その他に特開平7-130652号公報で開示されている触媒元素を用いる結晶化法を適用することもできる。

【0123】

このとき、実施例1と同様にして、ガラス基板上に下地膜、非晶質構造を有する半導体層を25～80 nmの厚さで形成する。非晶質半導体層は非晶質シリコン(a-Si)膜、非晶質シリコン・ゲルマニウム(a-SiGe)膜、非晶質炭化シリコン(a-SiC)膜、非晶質シリコン・スズ(a-SiSn)膜などが適用できる。これらの非晶質半導体層は水素を0.1～40 atomic%程度含有するようにして形成すると良い。例えば、非晶質シリコン膜を55 nmの厚さで形成する。そして、重量換算で10 ppmの触媒元素を含む水溶液をスピナーで基板を回転させて塗布するスピコート法で触媒元素を含有する層を形成する。触媒元素にはニッケル(Ni)、ゲルマニウム(Ge)、鉄(Fe)、パラジウム(Pd)、スズ(Sn)、鉛(Pb)、コバルト(Co)、白金(Pt)、銅(Cu)、金(Au)などである。この触媒元素を含有する層は、スピコート法の他に印刷法やスプレー法、バーコーター法、或いはスパッタ法や真空蒸着法によって上記触媒元素の

10

20

30

40

50

層を1～5nmの厚さに形成しても良い。

【0124】

そして、結晶化の工程では、まず400～500℃で1時間程度の熱処理を行い、非晶質シリコン膜の含有水素量を5atomic%以下にする。非晶質シリコン膜の含有水素量が成膜後において最初からこの値である場合にはこの熱処理は必ずしも必要でない。そして、ファーネスアニール炉を用い、窒素雰囲気中において550～600℃で1～8時間の熱アニールを行う。以上の工程により結晶質シリコン膜から成る結晶質半導体層を得ることができる。しかし、この熱アニールによって作製された結晶質半導体層は、光学顕微鏡観察により巨視的に観察すると局所的に非晶質領域が残存していることが観察されることがあり、このような場合、同様にラマン分光法では480cm⁻¹にブロードなピークを持つ非晶質成分が観測される。そのため、熱アニールの後に実施例1で説明したレーザーアニール法で結晶質半導体層を処理してその結晶性を高めることは有効な手段として適用できる。

10

【0125】

また同様に触媒元素を用いる結晶化法もあり、このときは触媒元素を含有する層をスパッタ法により形成する。まず、実施例1と同様にして、ガラス基板上に下地膜、非晶質構造を有する半導体層を25～80nmの厚さで形成する。そして、非晶質構造を有する半導体層の表面に0.5～5nm程度の酸化膜（図示せず）を形成する。このような厚さの酸化膜は、プラズマCVD法やスパッタ法などで積極的に該当する被膜を形成しても良いが、100～300℃に基板を加熱してプラズマ化した酸素雰囲気中に非晶質構造を有する半導体層の表面を晒しても良いし、過酸化水素水（H₂O₂）を含む溶液に非晶質構造を有する半導体層の表面を晒して形成しても良い。或いは、酸素を含む雰囲気中で紫外線光を照射してオゾンが発生させ、そのオゾン雰囲気中に非晶質構造を有する半導体層を晒すことによって形成できる。

20

【0126】

このようにして表面に薄い酸化膜を有する非晶質構造を有する半導体層上に前記触媒元素を含有する層をスパッタ法で形成する。この層の厚さに限定はないが、10～100nm程度の厚さに形成すれば良い。例えば、Niをターゲットとして、Ni膜を形成することは有効な方法である。スパッタ法では、電界で加速された前記触媒元素から成る高エネルギー粒子の一部が基板側にも飛来し、非晶質構造を有する半導体層の表面近傍、または該半導体層表面に形成した酸化膜中に打ち込まれる。その割合はプラズマ生成条件や基板のバイアス状態によって異なるものであるが、好適には非晶質構造を有する半導体層の表面近傍や該酸化膜中に打ち込まれる触媒元素の量を1×10¹¹～1×10¹⁴atom/cm²程度となるようにすると良い。

30

【0127】

その後、触媒元素を含有する層を選択的に除去する。例えば、この層がNi膜で形成されている場合には、硝酸などの溶液で除去することが可能であり、または、フッ酸を含む水溶液で処理すればNi膜と非晶質構造を有する半導体層上に形成した酸化膜を同時に除去できる。いずれにしても、非晶質構造を有する半導体層の表面近傍の、触媒元素の量を1×10¹¹～1×10¹⁴atom/cm²程度となるようにしておく。そして、熱アニールによる結晶化の工程を行い、結晶質半導体層を得ることができる。

40

【0128】

上記工程で作製された結晶質半導体層から島状半導体層を作製すれば、実施例1と同様にしてアクティブマトリクス基板を完成させることができる。しかし、結晶化の工程においてシリコンの結晶化を助長する触媒元素を使用した場合、島状半導体層中には微量（1×10¹⁷～1×10¹⁹atomic/cm³程度）の触媒元素が残留する。勿論、そのような状態でもTFTを完成させることが可能であるが、残留する触媒元素を少なくともチャネル形成領域から除去する方がより好ましかった。この触媒元素を除去する手段の一つにリン（P）によるゲッタリング作用を利用する手段がある。

【0129】

50

この目的におけるリン（P）によるゲッタリング処理は、活性化工程で同時に行うことができる。ゲッタリングに必要なリン（P）の濃度は高濃度n型不純物領域の不純物濃度と同程度でよく、活性化工程の熱アニールにより、nチャネル型TFTおよびpチャネル型TFTのチャネル形成領域から触媒元素をその濃度でリン（P）を含有する不純物領域へ偏析させることができる。その結果その不純物領域には $1 \times 10^{17} \sim 1 \times 10^{19}$ atomic/cm³程度の触媒元素が偏析した。このようにして作製したTFTはオフ電流値が下がり、結晶性が良いことから高い電界効果移動度が得られ、良好な特性を達成することができる。

【0130】

[実施例3]

本実施例では、実施例1で示したアクティブマトリクス基板の画素電極の一部を、透明導電膜で形成する例を示す。

【0131】

図25には、実施例1で作成される導電膜からなる画素電極2501に電氣的に接触するように、新たに一枚フォトマスクを用いて、透明導電膜からなる画素電極2502を形成した場合の画素部における上面図を示す。前記透明導電膜には、代表的にはITO膜を用いることができる。前記ITO膜は、スパッタ成膜方法によって約100nmの膜厚で成膜し、フォトマスクを用いてフォトレジストを形成し、公知のエッチング方法を用いて形成する。透明導電膜には酸化インジウム酸化亜鉛合金（ $\text{In}_2\text{O}_3-\text{ZnO}$ ）、酸化亜鉛（ ZnO ）も適した材料であり、さらに可視光の透過率や導電率を高めるためにガリウム（Ga）を添加した酸化亜鉛（ $\text{ZnO}:\text{Ga}$ ）などを好適に用いることができる。

【0132】

こうして5枚のフォトマスクにより、画素部に透明導電膜からなる画素電極を有する基板を完成させることができる。このようにして作成されるアクティブマトリクス基板は、透過型表示装置に用いることができる。

【0133】

[実施例4]

本実施例では実施例1～3で作製したアクティブマトリクス基板から、アクティブマトリクス型液晶表示装置を作製する工程を図13を用いて説明する。図13は、図2（b）の画素電極及び保持容量部分の断面図を用いた完成図である。

【0134】

まず図2の状態のアクティブマトリクス基板に柱状スペーサから成るスペーサを形成する。スペーサは数 μm の粒子を散布して設ける方法でも良いが、ここでは基板全面に樹脂膜を形成した後これをパターニングして形成する方法を採用した。このようなスペーサの材料に限定はないが、例えば、JSR社製のNN700を用い、スピナーで塗布した後、露光と現像処理によって所定のパターンに形成する。さらにクリーンオープンなどを用い150～200℃で加熱して硬化させる。

【0135】

スペーサの配置は任意に決定すれば良いが、好ましくは、図13で示すように、画素部においてはドレイン配線（画素電極）のコンタクト部と重ねてその部分を覆うように柱状スペーサ401を形成すると良い。コンタクト部は平坦性が損なわれこの部分では液晶がうまく配向しなくなるので、このようにしてコンタクト部にスペーサ用の樹脂を充填する形で柱状スペーサ401を形成することでディスクリネーションなどを防止することができる。また、駆動回路のTFT上にもスペーサを形成しておく。このスペーサは駆動回路部の全面に渡って形成しても良いし、図13で示すようにソース配線およびドレイン配線を覆うようにして設けても良い。

【0136】

その後、配向膜402を形成する。通常液晶表示素子の配向膜にはポリイミド樹脂を用いる。配向膜を形成した後、ラビング処理を施して液晶分子がある一定のプレチルト角を持って配向するようにした。画素部に設けた柱状スペーサ401の端部からラビング方向に

10

20

30

40

50

対してラビングされない領域が2 μm 以下となるようにした。また、ラビング処理では静電気の発生がしばしば問題となるが、駆動回路のTFT上に形成したスペーサにより静電気からTFTを保護する効果を得ることができる。また図13では説明しないが、配向膜407を先に形成してから、スペーサを形成した構成としても良い。

【0137】

対向側の対向基板400には、遮光膜406、透明導電膜405および配向膜404を形成する。遮光膜406はTi膜、Cr膜、Al膜などを150～300nmの厚さで形成する。そして、画素部と駆動回路が形成されたアクティブマトリクス基板と対向基板とをシール剤（図示せず）で貼り合わせる。シール剤にはフィラー（図示せず）が混入されていて、このフィラーとスペーサ401によって均一な間隔を持って2枚の基板が貼り合わせられる。その後、両基板の間に液晶材料403を注入する。液晶材料には公知の液晶材料を用いれば良い。例えば、TN液晶の他に、電場に対して透過率が連続的に変化する電気光学応答性を示す、無しきい値反強誘電性混合液晶を用いることもできる。この無しきい値反強誘電性混合液晶には、V字型の電気光学応答特性を示すものもある。このようにして図13に示すアクティブマトリクス型液晶表示装置が完成する。

【0138】

図14はこのようなアクティブマトリクス基板の上面図を示し、画素部および駆動回路部とスペーサおよびシール剤の位置関係を示す上面図である。実施例1で述べたガラス基板101上に画素部604の周辺に駆動回路として走査信号駆動回路605と画像信号駆動回路606が設けられている。さらに、その他CPUやメモリなどの信号処理回路607も付加されていても良い。そして、これらの駆動回路は接続配線603によって外部入出力端子602と接続されている。画素部604では走査信号駆動回路605から延在するゲート配線群608と画像信号駆動回路606から延在するソース配線群609がマトリクス状に交差して画素を形成し、各画素にはそれぞれ画素部に設けたTFT（本明細書では画素TFTと呼ぶ）と保持容量が設けられている。

【0139】

図13において画素部において設けた柱状スペーサ406は、すべての画素に対して設けても良いが、図14で示すようにマトリクス状に配列した画素の数個から数十個おきに設けても良い。即ち、画素部を構成する画素の全数に対するスペーサの数の割合は20～100%とすることが可能である。また、駆動回路部に設けるスペーサはその全面を覆うように設けても良いし各TFTのソースおよびドレイン配線の位置にあわせて設けても良い。図14では駆動回路部に設けるスペーサの配置を610～612で示す。そして、図14で示すシール剤は、基板100上の画素部604および走査信号駆動回路605、画像信号駆動回路606、その他の信号処理回路607の外側であって、外部入出力端子602よりも内側に形成する。

【0140】

このようなアクティブマトリクス型液晶表示装置の構成を図15の斜視図を用いて説明する。図15においてアクティブマトリクス基板は、ガラス基板101上に形成された、画素部604と、走査信号駆動回路605と、画像信号駆動回路606とその他の信号処理回路607とで構成される。画素部604には画素TFT204と保持容量205が設けられ、画素部の周辺に設けられる駆動回路はCMOS回路を基本として構成されている。走査信号駆動回路605と画像信号駆動回路606からは、それぞれゲート配線122とソース配線148が画素部604に延在し、画素TFT204に接続している。また、フレキシブルプリント配線板（Flexible Printed Circuit：FPC）613が外部入力端子602に接続していて画像信号などを入力するのに用いる。FPC613は補強樹脂614によって強固に接着されている。そして接続配線603でそれぞれの駆動回路に接続している。また、対向基板400には図示していない、遮光膜や透明電極が設けられている。

【0141】

このような構成の液晶表示装置は、実施例1で示したアクティブマトリクス基板を用いて

形成することができる。実施例 3 で示すアクティブマトリクス基板を用いると透過型の液晶表示装置を得ることができる。

【0142】

[実施例 5]

本発明はアクティブマトリクス型 EL ディスプレイに適用することも可能である。その例を図 24 に示す。

【0143】

図 24 はアクティブマトリクス型 EL ディスプレイの回路図である。81 は画素部を表しており、その周辺には X 方向制御回路 82、Y 方向制御回路 83 が設けられている。また、画素部 81 の各画素は、スイッチ用 TFT 84、コンデンサ 85、電流制御用 TFT 86、有機 EL 素子 87 を有し、スイッチ用 TFT 84 に X 方向信号線 88a (または 88b)、Y 方向信号線 89a (または 89b、89c) が接続される。また、電流制御用 TFT 86 には、電源線 90a、90b が接続される。

10

【0144】

本実施例のアクティブマトリクス型 EL ディスプレイでは、X 方向制御回路 82、Y 方向制御回路 83 又は電流制御用 TFT 86 として実施例 1 で作成される CMOS 回路を用い、スイッチ用 TFT 84 として画素 TFT を用いることが可能である。すなわち、本実施例のアクティブマトリクス型 EL ディスプレイは実施例 1 ~ 3 で作成されるアクティブマトリクス基板を作製した後、公知の手段により EL 層を形成すれば良い。

【0145】

[実施例 6]

本発明を実施して作製されたアクティブマトリクス基板および液晶表示装置並びに EL 型表示装置は様々な電気光学装置に用いることができる。そして、そのような電気光学装置を表示媒体として組み込んだ電子機器全てに本発明を適用することができる。電子機器としては、パーソナルコンピュータ、デジタルカメラ、ビデオカメラ、携帯情報端末 (モバイルコンピュータ、携帯電話、電子書籍など)、ナビゲーションシステムなどが上げられる。

20

【0146】

図 16 (A) は携帯情報端末であり、本体 2201、画像入力部 2202、受像部 2203、操作スイッチ 2204、表示装置 2205 で構成される。本発明は表示装置 2205 やその他の信号制御回路に適用することができる。

30

【0147】

このような携帯型情報端末は、屋内はもとより屋外で使用されることも多い。長時間の使用を可能とするためにはバックライト使用せず、外光を利用する反射型の液晶表示装置が低消費電力型として適しているが、周囲が暗い場合にはバックライトを設けた透過型の液晶表示装置が適している。このような背景から反射型と透過型の両方の特徴を兼ね備えたハイブリット型の液晶表示装置が開発されているが、本発明はこのようなハイブリット型の液晶表示装置にも適用できる。表示装置 2205 はタッチパネル 3002、液晶表示装置 3003、LED バックライト 3004 により構成されている。タッチパネル 3002 は携帯型情報端末の操作を簡便にするために設けている。タッチパネル 3002 の構成は、一端に LED などの発光素子 3100 を、他の一端にフォトダイオードなどの受光素子 3200 が設けられ、その両者の間に光路が形成されている。このタッチパネル 3002 を押して光路を遮ると受光素子 3200 の出力が変化するので、この原理を用いて発光素子と受光素子を液晶表示装置上でマトリクス状に配置させることにより、入力媒体として機能させることができる。

40

【0148】

図 16 (B) はハイブリット型の液晶表示装置における画素部の構成であり、画素 TFT 204 および保持容量 205 上の第 2 の層間絶縁膜上にドレイン配線 263 と画素電極 262 が設けられている。このような構成は、実施例 1 を適用すれば形成することができる。このときドレイン配線は実施例 1 で示したような積層構造を成し、画素電極を兼ねる構

50

成としている。画素電極 262 は実施例 1 で説明した透明導電膜材料を用いて形成する。液晶表示装置 3003 をこのようなアクティブマトリクス基板から作製することで携帯型情報端末に好適に用いることができる。

【0149】

図 17 (A) はパーソナルコンピュータであり、マイクロプロセッサやメモリーなどを備えた本体 2001、画像入力部 2002、表示装置 2003、キーボード 2004 で構成される。本発明は表示装置 2003 やその他の信号処理回路を形成することができる。

【0150】

図 17 (B) はビデオカメラであり、本体 2101、表示装置 2102、音声入力部 2103、操作スイッチ 2104、バッテリー 2105、受像部 2106 で構成される。本発明は表示装置 2102 やその他の信号制御回路に適用することができる。

10

【0151】

図 17 (D) はプログラムを記録した記録媒体（以下、記録媒体と呼ぶ）を用いるプレーヤーであり、本体 2401、表示装置 2402、スピーカー部 2403、記録媒体 2404、操作スイッチ 2405 で構成される。尚、記録媒体には DVD (Digital Versatile Disc) やコンパクトディスク (CD) などを用い、音楽プログラムの再生や映像表示、ビデオゲームやインターネットを介した情報表示などを行うことができる。本発明は表示装置 2402 やその他の信号制御回路に好適に利用することができる。

【0152】

図 17 (E) はデジタルカメラであり、本体 2501、表示装置 2502、接眼部 2503、操作スイッチ 2504、受像部（図示しない）で構成される。本発明は表示装置 2502 やその他の信号制御回路に適用することができる。

20

【0153】

図 18 (A) はフロント型プロジェクターであり、光源光学系および表示装置 2601、スクリーン 2602 で構成される。本発明は表示装置やその他の信号制御回路に適用することができる。図 18 (B) はリア型プロジェクターであり、本体 2701、光源光学系および表示装置 2702、ミラー 2703、スクリーン 2704 で構成される。本発明は表示装置やその他の信号制御回路に適用することができる。

【0154】

なお、図 18 (C) に、図 18 (A) および図 18 (B) における光源光学系および表示装置 2601、2702 の構造の一例を示す。光源光学系および表示装置 2601、2702 は光源光学系 2801、ミラー 2802、2804～2806、ダイクロイックミラー 2803、ビームスプリッター 2807、液晶表示装置 2808、位相差板 2809、投射光学系 2810 で構成される。投射光学系 2810 は複数の光学レンズで構成される。図 18 (C) では液晶表示装置 2808 を三つ使用する三板式の例を示したが、このような方式に限定されず、単板式の光学系で構成しても良い。また、図 18 (C) 中において矢印で示した光路には適宜光学レンズや偏光機能を有するフィルムや位相を調節するためのフィルムや、IR フィルムなどを設けても良い。また図 18 (D) は、図 18 (C) における光源光学系 2801 の構造の一例を示した図である。本実施例では、光源光学系 2801 はリフレクター 2811、光源 2812、レンズアレイ 2813、2814、偏光変換素子 2815、集光レンズ 2816 で構成される。尚、図 18 (D) に示した光源光学系は一例であって図示した構成に限定されるものではない。

30

40

【0155】

またここでは図示しなかったが、本発明ではその他にも、ナビゲーションシステムやイメージセンサの読み取り回路などに適用することが可能である。このように本願発明の適用範囲はきわめて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例 1～3 の技術を用いて実現することができる。

【0156】

【発明の効果】

トップゲート型 TFT において、積層された構造を 3 層とすることにより、製造コストの

50

削減及び歩留まりの向上を実現する。トップゲート型TFT製造工程において、フォトマスクを4枚とすることにより、製造コストの削減及び歩留まりの向上を実現する。反射型アクティブマトリクス型表示装置に用いるトップゲート型TFTを、フォトマスクを4枚用いて作成できる。透過型アクティブマトリクス型表示装置に用いるトップゲート型TFTを、フォトマスクを5枚用いて作成できる。また、作製される全てのTFTにLDDもしくはオフセット領域を設けることで、オフリーク電流を削減できる。

【図面の簡単な説明】

【図1】 本発明によって作製されるトップゲート型TFTを示す上面図。

【図2】 本発明によって作製されるトップゲート型TFTを示す断面図。

【図3】 本発明によって作製されるゲート配線抵抗を改善した配置のトップゲート型TFTを示す上面図。 10

【図4】 図2及び図3におけるゲート配線を示す断面図。

【図5】 画素部及び駆動回路におけるTFTの作製工程を示す上面図。

【図6】 画素部及び駆動回路におけるTFTの作製工程を示す上面図。

【図7】 画素部及び駆動回路におけるTFTの作製工程を示す上面図。

【図8】 画素部及び駆動回路におけるTFTの作製工程を示す上面図。

【図9】 画素部及び駆動回路におけるTFTの作製工程を示す断面図。

【図10】 画素部及び駆動回路におけるTFTの作製工程を示す断面図。

【図11】 画素部及び駆動回路におけるTFTの作製工程を示す断面図。

【図12】 画素部及び駆動回路におけるTFTの作製工程を示す断面図。 20

【図13】 アクティブマトリクス型液晶表示装置の作製工程を示す断面図。

【図14】 液晶表示装置の入出力端子、配線、回路配置、スペーサ、シール剤の配置を説明する上面図。

【図15】 液晶表示装置の構造を示す斜視図。

【図16】 携帯型情報端末の一例を示す図。

【図17】 半導体装置の一例を示す図。

【図18】 投影型液晶表示装置の構成を示す図。

【図19】 画素部及び駆動回路におけるTFTの作製工程を示す上面図。

【図20】 画素部及び駆動回路におけるTFTの作製工程を示す上面図。

【図21】 画素部及び駆動回路におけるTFTの作製工程を示す上面図。 30

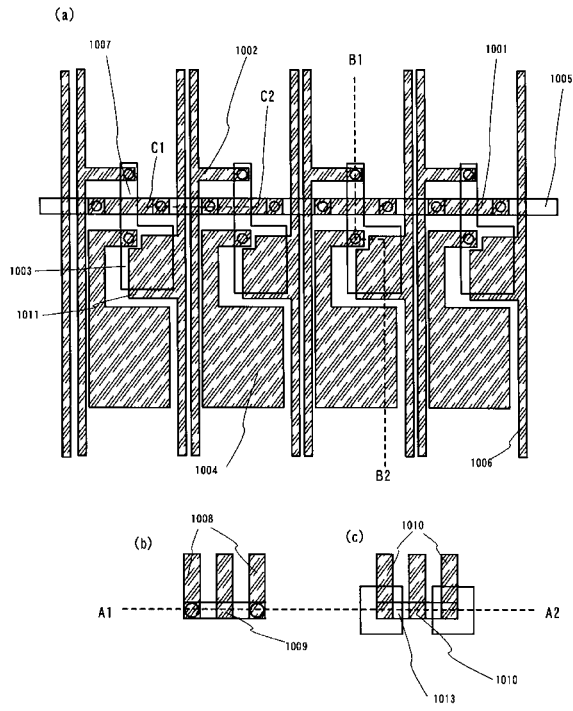
【図22】 画素部及び駆動回路におけるTFTの作製工程を示す上面図。

【図23】 導伝性を付与する不純物濃度と、抵抗率の関係。

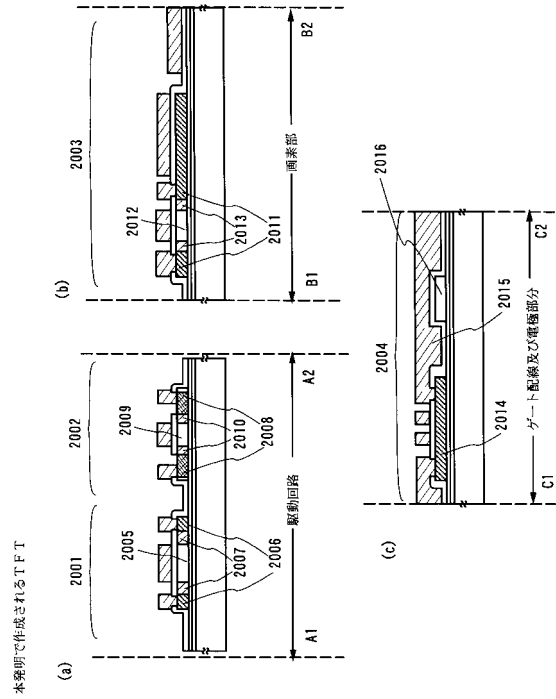
【図24】 アクティブマトリクス型EL表示装置の回路構成を示す図。

【図25】 画素部におけるTFTの作製工程を示す上面図。

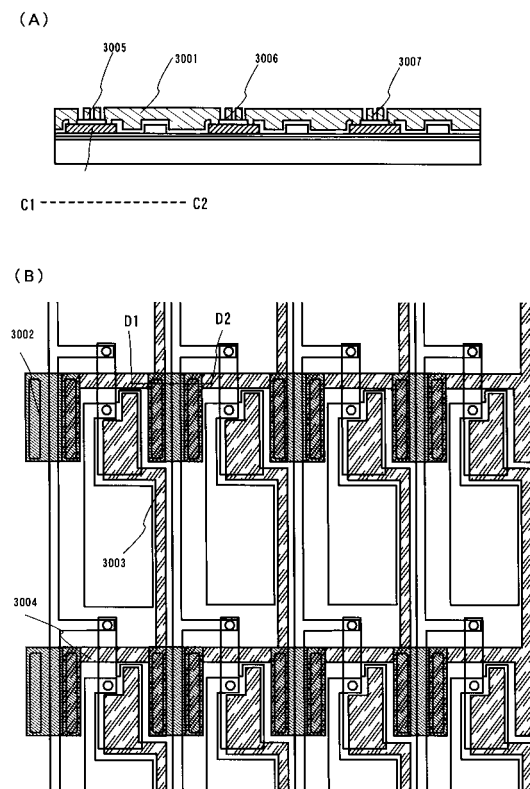
【図 1】



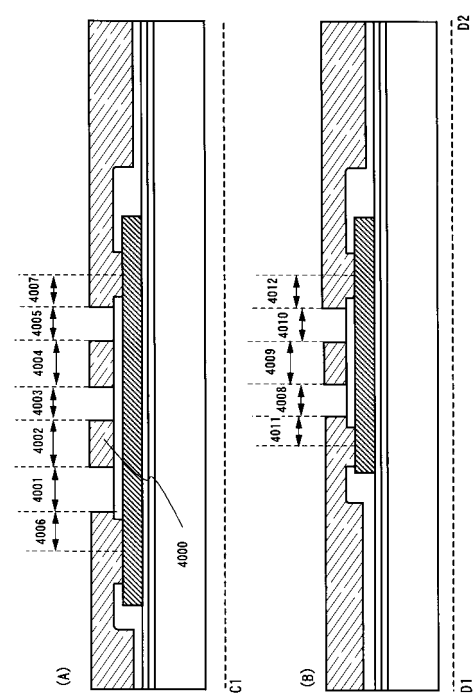
【図 2】



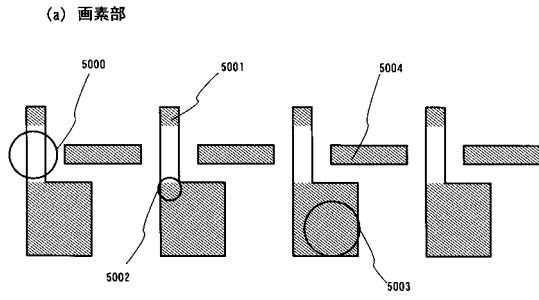
【図 3】



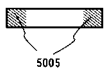
【図 4】



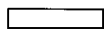
【図 5】



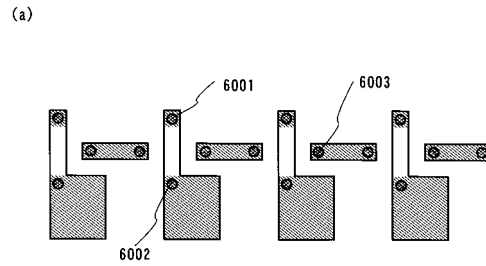
(b) n型ドライバ部



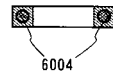
(c) p型ドライバ部



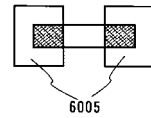
【図 6】



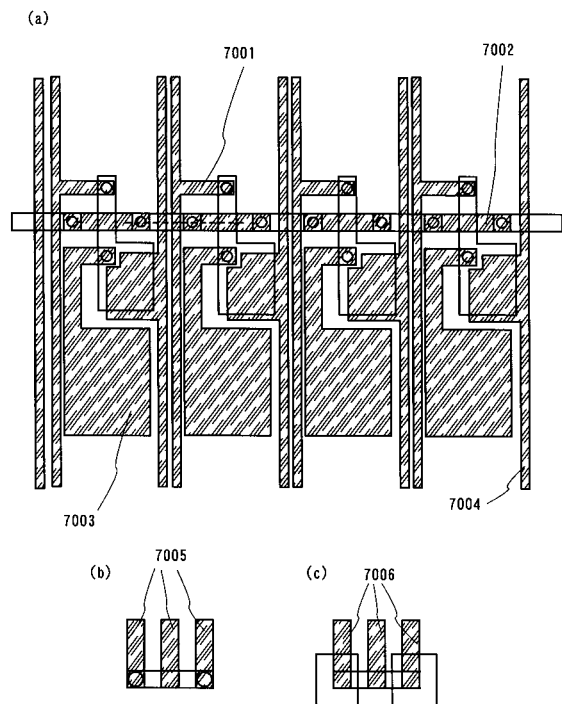
(b)



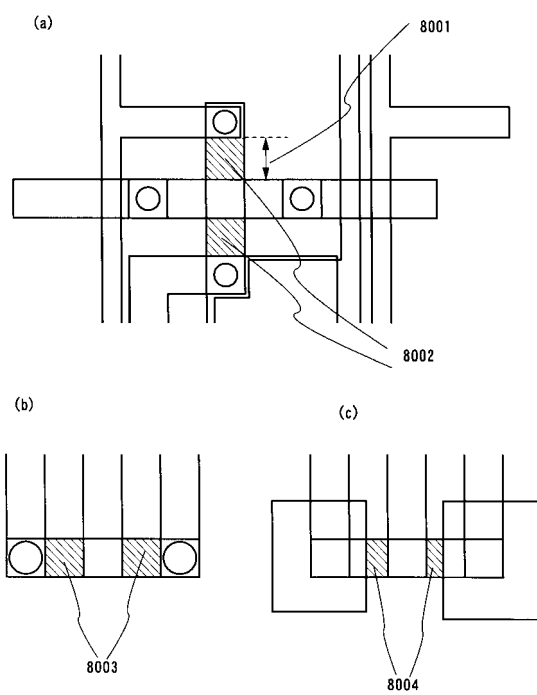
(c)



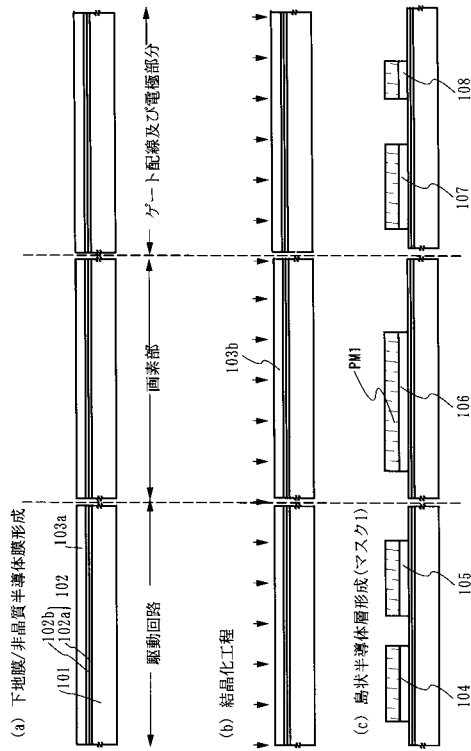
【図 7】



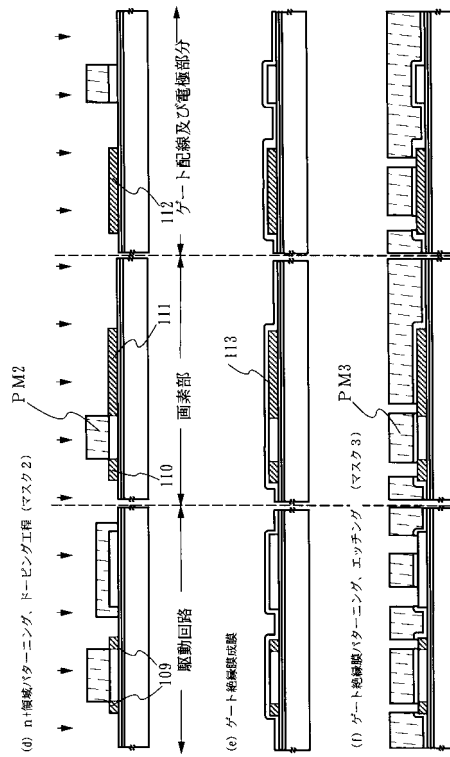
【図 8】



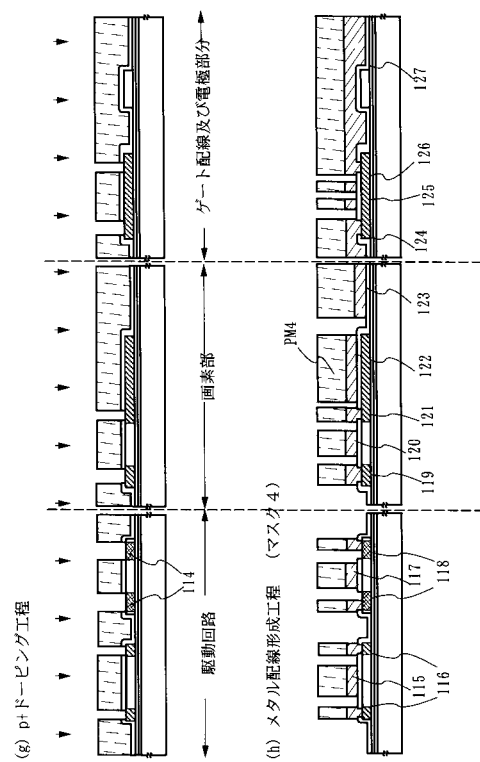
【図 9】



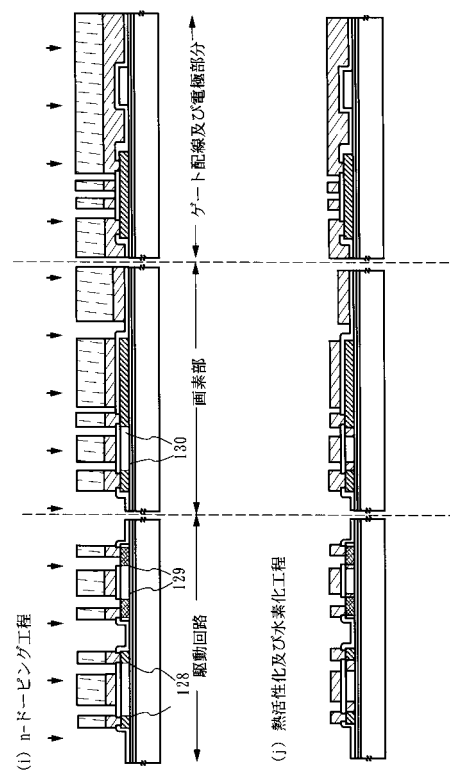
【図 10】



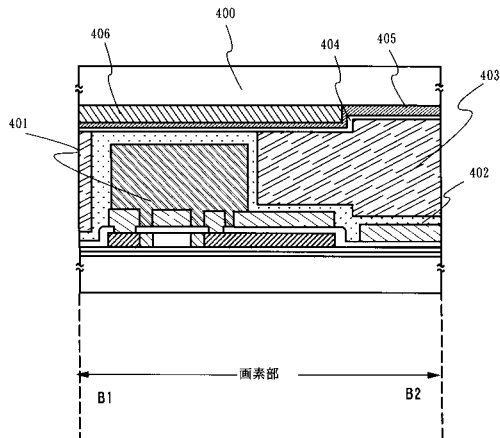
【図 11】



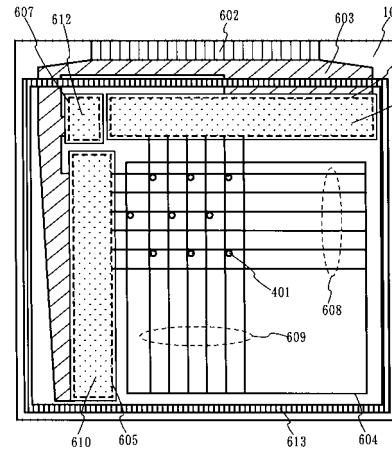
【図 12】



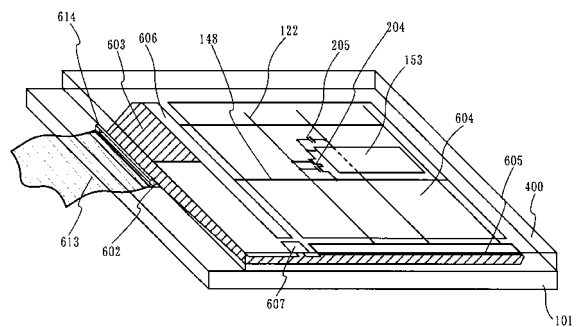
【図13】



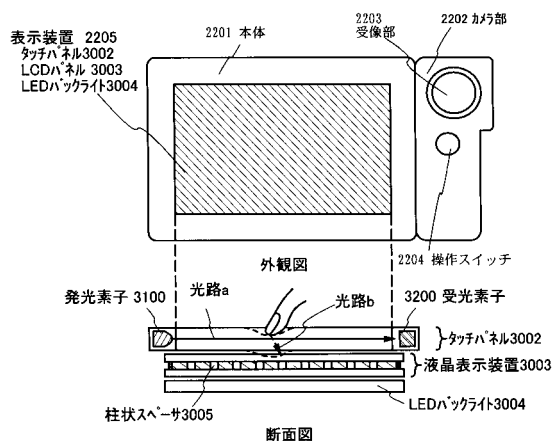
【図14】



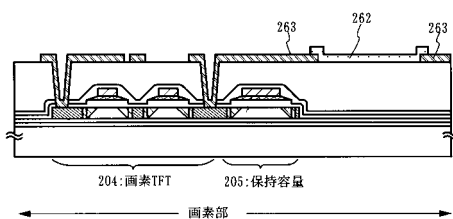
【図15】



【図16】

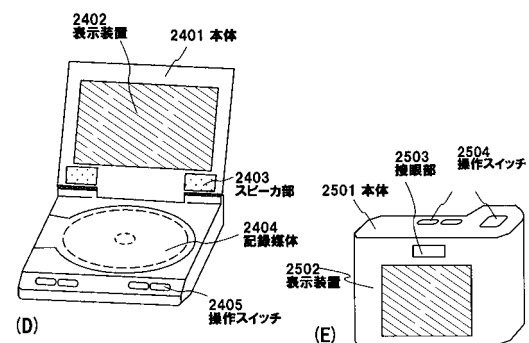
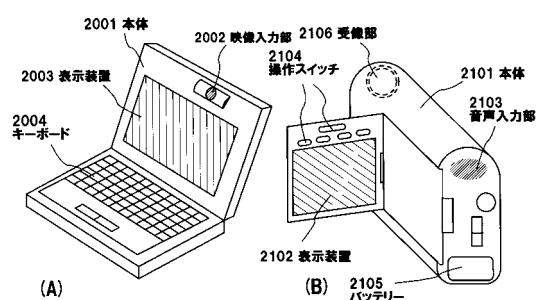


(A) 携帯情報端末機器(光学式タッチパネル)の外観図および断面図

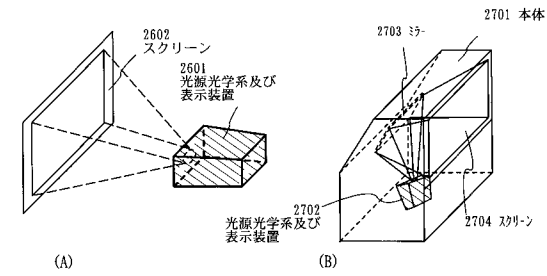


(B) 画素部断面図

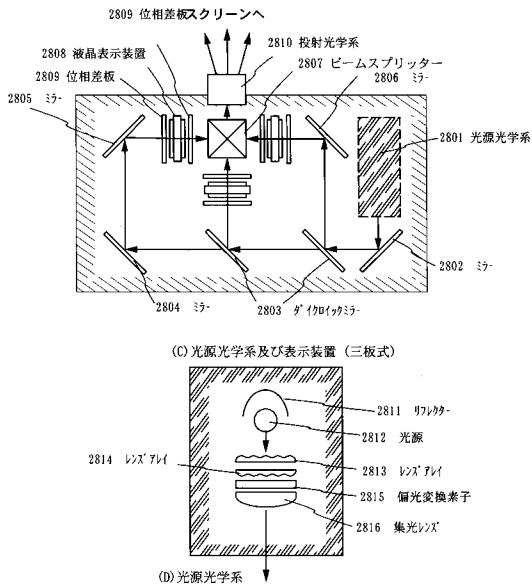
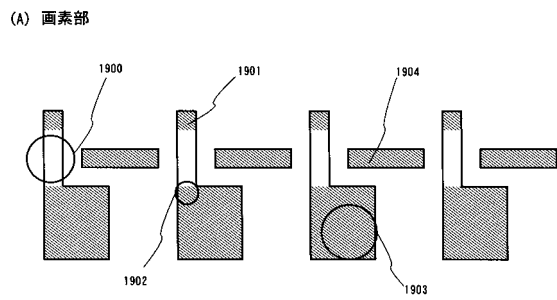
【図17】



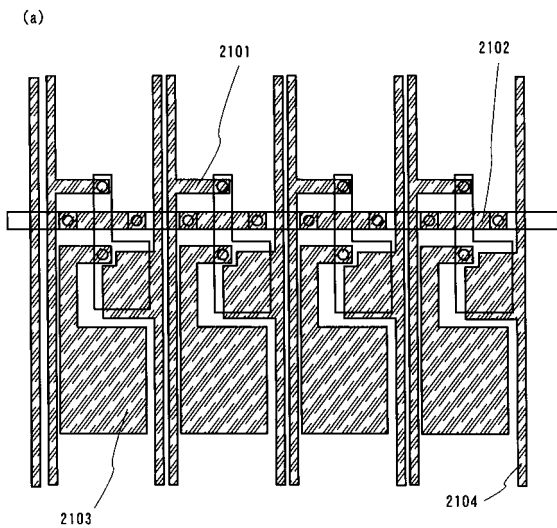
【図 18】



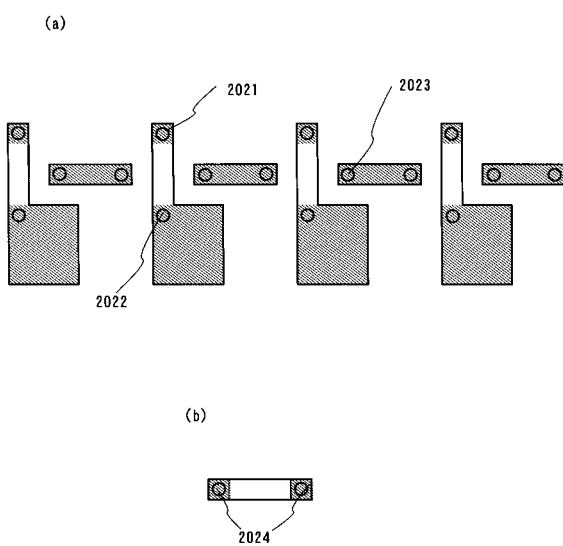
【図 19】



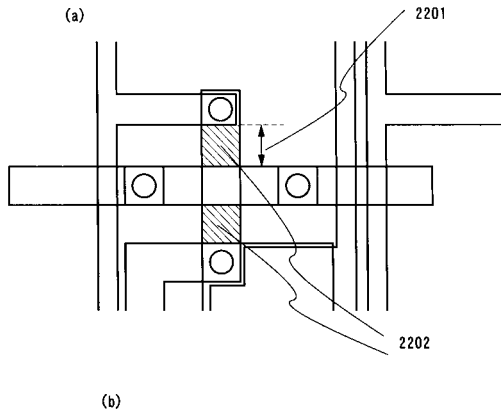
【図 21】



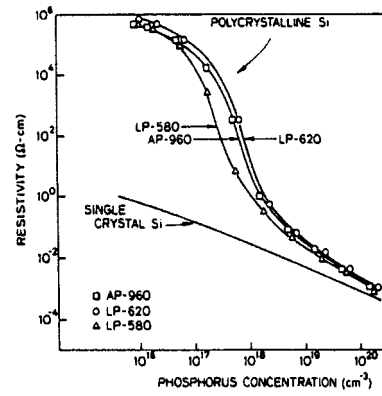
【図 20】



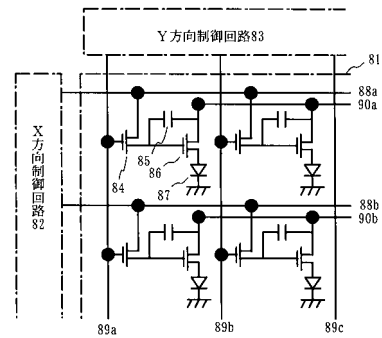
【図 2 2】



【図 2 3】

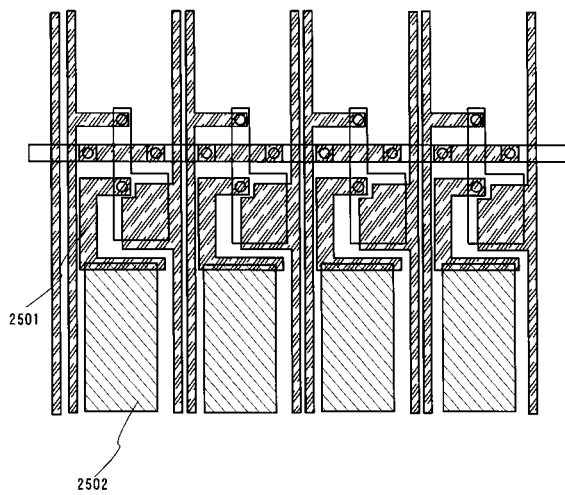


【図 2 4】



81:画素部 82:X方向制御回路 83:Y方向制御回路
 84:1T1C用TFT 85:コンダクタ 86:電流制御用TFT 87:有機EL素子
 88a, 88b:X方向信号線 89a~89c:Y方向信号線 90a, 90b:電源線

【図 2 5】



フロントページの続き

(51)Int.Cl.

G 0 9 F 9/30 (2006.01)
H 0 1 L 27/092 (2006.01)
H 0 1 L 21/8238 (2006.01)
H 0 1 L 21/336 (2006.01)
H 0 1 L 27/08 (2006.01)

F I

G 0 9 F 9/00 3 4 8 C
G 0 9 F 9/30 3 3 8
H 0 1 L 27/08 3 2 1 F
H 0 1 L 27/08 3 2 1 E
H 0 1 L 29/78 6 1 2 B
H 0 1 L 29/78 6 2 7 G
H 0 1 L 27/08 3 3 1 E

(58)調査した分野(Int.Cl., D B名)

H01L 29/786

H01L 21/336