MINISTERO DELLO SVILUPPO ECONOMICO
DIREZIONE GENERALE PER LA LOTTA ALLA CONTRAFFAZIONE
UFFICIO ITALIANO BREVETTI E MARCHI

DOMANDA DI INVENZIONE NUMERO	**102010901862058**
Data Deposito	**29/07/2010**
Data Pubblicazione	**29/01/2012**

Classifiche IPC

Titolo

CIRCUITI INTEGRATI TRACCIABILI E RELATIVO METODO DI PRODUZIONE

DESCRIZIONE

La soluzione in accordo con una o più forme di realizzazione della presente invenzione si riferisce in generale a circuiti integrati; in particolare, tale soluzione riguarda circuiti integrati provvisti di marcature per la loro tracciabilità a valle del loro processo di produzione.

Tipicamente, ciascun circuito integrato o chip (ad esempio, un circuito elettronico integrato) comprende una substrato di materiale semiconduttore sul quale è integrata una regione funzionale (tipicamente, componenti funzionali e strati di metallizzazione per le relative connessioni elettriche) per implementare specifiche funzionalità del chip. I chip sono formati in gran numero in una fetta (wafer) di materiale semiconduttore per mezzo di un processo di produzione tipicamente eseguito in una sequenza di stadi, al termine del quale il wafer contiene una pluralità di chip identici. Ciascun chip comprende anche un rispettivo anello di protezione perimetrale (seal ring), il quale ha lo scopo sia di irrobustire meccanicamente il chip (in special modo, per evitare cedimenti dello stesso durante l'operazione di taglio del wafer per separare i vari chip formati su di esso) che di minimizzare rischi di contaminazione ed inclusione di corpi estranei nella regione funzionale del chip. Chip adiacenti all'interno del wafer sono distanziati tra loro da regioni di separazione dette scribe line, le quali fungono tipicamente da linee di taglio lungo cui i chip sono divisi gli uni dagli altri mediante operazioni di taglio (tramite una opportuna sega o laser); una volta divisi, i chip vengono incapsulati in rispettivi contenitori (package).

Nel caso in cui i circuiti integrati dovessero risultare difettosi prima o durante il loro utilizzo, essi vengono rimandati al produttore al fine di effettuare analisi di fallimento; pertanto, la possibilità di risalire alla posizione originaria del chip nel corrispondente wafer (o ad altri parametri significativi) è di importanza strategica per la gestione della qualità del processo di produzione. Infatti, prestazioni e affidabilità di ciascun chip possono variare anche notevolmente in funzione della sua posizione nel wafer (o di altri parametri relativi o riconducibili al processo di produzione). Per questo, è importante per il produttore sapere a quale livello del processo di produzione intervenire per migliorarne la qualità.

A tale scopo, nel processo di produzione dei circuiti integrati sono anche previste operazioni di marcatura degli stessi in modo tale da tenere traccia delle

posizioni (e/o di altri parametri identificativi) dei corrispondenti chip all'interno del wafer anche a valle del corrispondente processo di produzione. A questo scopo, nello stato della tecnica è possibile individuare sostanzialmente due differenti approcci per effettuare dette marcature ed ottenere circuiti integrati tracciabili.

In particolare, un primo approccio prevede di scrivere elettricamente informazioni significative in opportuni circuiti di memoria dedicati (ad esempio, memorie non-volatili) realizzati all'interno di ciascun chip; tuttavia, le soluzioni che impiegano tale approccio sono affette da uno spreco relativamente notevole in termini di occupazione di area del chip (dovendo integrare anche tali circuiti di memoria nella corrispondente regione funzionale), con conseguente incremento dei costi di produzione del circuito integrato. Inoltre tali soluzioni non sono applicabili a chip con regione funzionale completamente analogica, sia a causa di problemi di compatibilità di interfacciamento tra quest'ultima ed i circuiti (digitali) di memoria, che a causa della necessità di specifici processi tecnologici per realizzare tali circuiti di memoria. Inoltre, la lettura delle informazioni, non essendo di tipo diretto (ma necessitando di appositi circuiti di lettura), può non essere agevole e veloce.

Un altro approccio prevede invece di realizzare su ciascun chip una marcatura fisica leggibile direttamente e dalla quale desumere in maniera rapida le informazioni relative al chip.

Ad esempio, nel brevetto statunitense n. US3562536 tale marcatura comprende codici a barre realizzati nelle scribe line ed ottenuti mediante processi di attacco (etching); tuttavia, l'operazione di taglio lungo le scribe line può danneggiare tali codici a barre, rendendo pertanto inaccessibili le informazioni da essi codificate; inoltre, tipicamente si preferisce destinare l'intera superficie delle scribe line a strutture funzionali (denominate TEG, ovvero Test Element Group) tramite le quali è possibile effettuare misure parametriche del processo di produzione.

In alternativa, tipicamente la marcatura può avvenire formando codici (numerici o alfanumerici) o mappe durante il processo di produzione dei chip mediante opportune maschere fotolitografiche; tuttavia, tale soluzione risulta non applicabile efficacemente per i processi di produzione attuali. Infatti, con l'incremento delle dimensioni dei wafer e con l'aumento della capacità di integrazione dei circuiti integrati, ogni fase del processo di produzione dei chip

(mediante la corrispondente maschera fotolitografica) non può essere eseguita in un passo solo su tutta la superficie del wafer, ma è tipicamente eseguita passo dopo passo su porzioni differenti del wafer; ad ogni passo la maschera agisce su una corrispondente area del wafer nella quale verrà realizzato, al termine del processo, un corrispondente gruppo di chip (con ciascun chip del gruppo che presenta una propria marcatura); la stessa identica operazione è ripetuta fino ad applicare la stessa maschera sull'intera superficie del wafer. In questo modo, chip di gruppi differenti nella medesima posizione relativa risulteranno avere la medesima marcatura; di conseguenza, marcature ausiliarie saranno necessarie per distinguere tra loro i diversi gruppi di chip nel wafer. Inoltre, tale soluzione realizza la marcatura all'interno della regione del chip delimitata dal rispettivo seal ring, dove cioè sono integrati i corrispondenti componenti funzionali; ciò può comportare un aumento notevole dell'occupazione complessiva di area del chip, in particolar modo se le marcature comprendono codici (o mappe) lunghi e complessi e/o che richiedono marcature ausiliarie.

Un'altra soluzione, descritta nel brevetto statunitense n. US6063685, prevede di realizzare la marcatura in zone non utilizzate (per le connessioni elettriche) di un ultimo strato di metallizzazione della regione funzionale del rispettivo chip mediante tecniche e apparati di scrittura a laser; tuttavia, tale marcatura, essendo realizzata in zone interne al seal ring, non esclude la possibilità che la corrispondente regione funzionale venga accidentalmente danneggiata durante la scrittura, con conseguente perdita di resa di produzione dei chip; inoltre, nel caso non sia assicurata la disponibilità di tali zone interne al seal ring per la marcatura, ciò potrebbe rappresentare un ulteriore vincolo di progetto, con conseguente possibile aumento dei costi.

In vista dello stato della tecnica qui illustrato, è uno scopo della presente invenzione superare gli inconvenienti appena citati.

In particolare, uno o più aspetti della soluzione in accordo con specifiche forme di realizzazione dell'invenzione sono indicati nelle rivendicazioni indipendenti, con caratteristiche vantaggiose della stessa soluzione che sono indicate nelle rivendicazioni dipendenti (il cui testo è incorporato nella presente alla lettera per riferimento).

Più specificamente, un aspetto della soluzione in accordo con una forma di realizzazione della presente invenzione propone un metodo per produrre circuiti integrati tracciabili. Il metodo comprende formare su una fetta di materiale semiconduttore regioni funzionali per implementare funzionalità specifiche di corrispondenti circuiti integrati, formare almeno un anello di sigillatura intorno a ciascuna regione funzionale del corrispondente circuito integrato, e formare su ciascun circuito integrato almeno un marcatore indicativo di informazioni del circuito integrato. Nella soluzione in accordo con una o più forme di realizzazione della presente invenzione, la fase di formare su ciascun circuito integrato almeno un marcatore comprende realizzare l'almeno un marcatore su almeno una porzione del rispettivo anello di sigillatura visibile dall'esterno del circuito integrato.

Un altro aspetto della soluzione in accordo con una forma di realizzazione della presente invenzione propone un corrispondente circuito integrato (con le stesse caratteristiche vantaggiose recitate nelle rivendicazioni dipendenti per il metodo che si applicano *mutatis mutandis* al circuito integrato).

Grazie alla presente invenzione, è possibile realizzare circuiti integrati tracciabili in maniera semplice ed efficace, senza che la loro resa di produzione risulti compromessa; infatti, realizzare la marcatura sul seal ring consente di evitare rischi di danneggiamenti delle regioni funzionali durante la scrittura delle marcature. Inoltre, poiché il metodo proposto di marcatura non è realizzato mediante tecniche fotolitografiche, esso risulta valido anche per circuiti integrati con dimensioni particolarmente ridotte; per lo stesso motivo, non sono necessarie marcature e/o mappature complesse o aggiuntive, che porterebbero un aumento complessivo rilevante in termini di occupazione di area del circuito integrato.

Queste ed altre caratteristiche e vantaggi della soluzione secondo la presente invenzione, saranno meglio compresi con riferimento alla seguente descrizione dettagliata di sue possibili forme di realizzazione, data puramente a titolo indicativo e non limitativo, da leggersi congiuntamente alle figure allegate (in cui elementi corrispondenti sono indicati con riferimenti uguali o simili e la loro spiegazione non è ripetuta per brevità). A tale riguardo, è espressamente inteso che le figure non sono necessariamente in scala e che, a meno di indicazione contraria, esse sono intese semplicemente ad illustrare concettualmente le strutture e le procedure descritte. In

particolare:

la **Figura 1** mostra schematicamente in vista dall'alto la struttura ottenuta ad uno stadio intermedio di un processo di produzione di circuiti integrati in cui la soluzione in accordo con una forma di realizzazione della presente invenzione può essere applicata;

la **Figura 2A** mostra in vista dall'alto un generico chip della struttura di **Figura 1** in accordo con una forma di realizzazione della presente invenzione;

le **Figure 2B-2D** mostrano schematicamente in vista frontale alcune fasi salienti del processo di produzione del chip di **Figura 2A**;

la **Figura 3A** mostra in vista dall'alto un generico chip della struttura di **Figura 1** in accordo con un'altra forma di realizzazione della presente invenzione;

le **Figure 3B-3D** mostrano schematicamente in vista frontale alcune fasi salienti del processo di produzione del chip di **Figura 3A**;

la **Figura 4A** mostra in vista dall'alto un generico chip della struttura di **Figura 1** in accordo con un'ulteriore forma di realizzazione della presente invenzione;

le **Figure 4B-4D** mostrano schematicamente in vista frontale alcune fasi salienti del processo di produzione del chip di **Figura 4A**; e

la **Figura 5** mostra in vista dall'alto un generico chip della struttura di **Figura 1** in accordo con un'altra ulteriore forma di realizzazione della presente invenzione.

Considerando in particolare la **Figura 1**, essa mostra schematicamente in vista dall'alto la struttura ottenuta ad uno stadio intermedio di un processo di produzione di circuiti integrati o chip noti nello stato della tecnica.

In particolare, i circuiti integrati **105** sono realizzati su un wafer **110** di materiale semiconduttore. Come meglio visibile nel dettaglio della **Figura 1**, ciascun chip **105** comprende una regione funzionale **115**, in cui sono integrati componenti elettronici (e strati di metallizzazione o di altri materiali per le loro connessioni elettriche) che implementano funzionalità specifiche del circuito integrato; la regione funzionale **115** di ciascun chip **105** è circondata da un rispettivo seal ring **120**, il quale assolve in generale a funzioni di protezione da danneggiamenti meccanici e da contaminazioni chimiche della regione funzionale **115** del rispettivo chip **105**. Chip **105** adiacenti, ovvero seal ring **120** adiacenti, sono distanziati tra loro per formare

regioni di separazione, o scribe line, **125** del (e sopra il) wafer **110** (rappresentate in figura con una differente colorazione rispetto a quest'ultimo per semplicità), le quali scribe line **125** (di cui solo quattro mostrate in figura per semplicità, e rappresentate mediante linee tratteggiate) verranno usate per le successive operazioni di taglio del wafer **110** (mediante un'opportuna sega o laser, non mostrati) ottenendo la divisione tra i vari chip **105**, i quali, potranno poi essere incapsulati in corrispondenti package (non mostrati).

In applicazioni relativamente recenti, come quella dell'esemplificativa ma non limitativa forma di realizzazione descritta, le scribe line **125** vengono solitamente riempite con strutture elementari TEG (non mostrate) per la misura di parametri significativi del processo di fabbricazione, e quindi tipicamente le scribe line **125** non sono disponibili per altri usi.

Si noti che il seal ring **120** nell'esemplificativa forma di realizzazione illustrata presenta un profilo smussato in corrispondenza dei quattro angoli del rispettivo chip **105** in modo tale da preservare maggiormente la sua integrità durante l'operazione di taglio; infatti, ciascun angolo del chip **105**, essendo sottoposto sia ad una sollecitazione longitudinale che una sollecitazione trasversale della sega durante l'operazione di taglio, risulta essere una regione notevolmente esposta a cedimenti meccanici. Ad ogni modo, nello stato della tecnica sono note differenti forme e configurazioni del seal ring **120**, le quali sono impiegabili indistintamente nella presente invenzione senza tuttavia che l'ambito di protezione della stessa risulti modificato; per questo motivo, il profilo smussato per il seal ring **120** non è da intendersi in maniera limitativa.

A partire dalla struttura base del chip **105** noto, è possibile effettuare, in accordo con i principi della presente invenzione, diverse marcature dello stesso, così da ottenere differenti chip secondo corrispondenti forme di realizzazione; nel seguito, per semplicità di notazione, elementi simili e/o corrispondenti di forme di realizzazione differenti saranno indicati con riferimenti analoghi ma differenziati per la sola prima cifra.

In **Figura 2A**, è mostrato in vista dall'alto un generico chip **205** in accordo con una forma di realizzazione della presente invenzione. Il seal ring **220** comprende, a differenza del seal ring **120** dell'implementazione nota, uno o più marcatori, solo

tre mostrati nell'esemplificativa forma di realizzazione illustrata in figura ed indicati, rispettivamente, con i riferimenti **230a**, **230b**, **230c**; in particolare, tali marcatori sono realizzati su porzioni del seal ring **220** che sono visibili (in quanto non coperte da elementi del chip) dall'esterno del circuito integrato anche a valle del processo di produzione. A tale proposito si noti che il posizionamento dei marcatori **230a**, **230b**, **230c** nel seal ring **220** non è da intendersi in maniera limitativa, ma solamente esemplificativa; in particolare, a seconda di particolari e specifiche esigenze, tali marcatori **230a**, **230b**, **230c** possono essere opportunamente dislocati lungo tutta la superficie visibile del seal ring **220**, la quale può essere predefinita in fase di progetto - ad esempio, posizionando opportunamente tali marcatori in zone a relativamente basse densità di fili di connessione, o wirebond, creati durante il processo di incapsulamento di ciascun chip nel relativo package. Ad esempio, in una forma di realizzazione alternativa, non mostrata, uno o più di tali marcatori possono essere posizionati lungo le smussature del seal ring **220,** o più in generale lungo sue regioni d'angolo.

Nella forma di realizzazione descritta, ciascun marcatore **230a**, **230b**, **230c** è realizzato in maniera tale da poter essere letto direttamente (ovvero, visivamente) ed interpretato agevolmente come un opportuno codice binario, ovvero una successione o stringa di cifre binarie (ad esempio, di valore 0 e/o 1); tale codice binario può essere utilmente impiegato per codificare informazioni del chip **205** ritenute significative, come ad esempio posizione del chip **205** nel wafer (ad esempio, tramite l'uso di un sistema di coordinate), numero di lotto del wafer, posizione del wafer nel lotto, impianto di realizzazione del wafer, e/o set di maschere impiegato per la realizzazione del chip **205**. In particolare, ciascun marcatore **230a**, **230b**, **230c** comprende (a seconda del valore del codice binario da implementare) una pluralità di punti (dot) **235** (rappresentati schematicamente in figura come cerchi grigi) cui è associata, ad esempio, la cifra 1, ed una pluralità di dot mancanti **240** (rappresentata in figura come posizione vuota in quanto non occupata da un dot) a ciascuno dei quali è associata, ad esempio, la cifra 0. Negli esempi in figura, il marcatore **230a**, comprendendo un dot **235**, seguito da due dot mancanti **240** e da un altro dot **235**, viene letto come codice binario di valore 1001; invece, il marcatore **230b**, comprendendo due dot **235** seguiti da un dot mancante **240** e da altri due dot **235**,

viene letto come codice binario di valore 11011; infine, il marcatore **230c**, comprendendo due dot **235** seguiti da due dot mancanti **240** e da altri due dot **240**, viene letto come codice binario di valore 110011. A tale proposito, si noti che, affinché la lettura del codice binario avvenga in maniera corretta, preferibilmente tra dot **235** adiacenti è presente una distanza fissa; di conseguenza, un dot mancante **240** è interpretato come tale in presenza di una regione di seal ring vuota (ovvero, non occupata da alcun dot **235**) di estensione sostanzialmente pari al doppio della distanza fissa che si ha fra due dot **235** contigui.

Preferibilmente, anche se non necessariamente, può essere realizzato almeno un elemento di riferimento (ad esempio, uno o più ulteriori dot, non mostrati per semplicità) per consentire una corretta lettura del codice binario, ad esempio per indicare un punto di inizio lettura e/o un verso di lettura (e/o altre indicazioni simili).

Passando alle **Figure 2B-2D,** esse mostrano schematicamente in vista frontale alcune esemplificative fasi salienti del processo di produzione del chip **205** (di cui è mostrata per semplicità in sezione soltanto la porzione delimitata da **II** in **Figura 2A**); con particolare riferimento alla **Figura 2B**, il chip **205** è in una fase già avanzata del suo processo di produzione. In particolare, il chip **205** comprende un substrato **245**, ovvero una porzione predefinita del wafer **105** sulla quale vengono integrati, in maniera nota, la regione funzionale **115** (indicata in figura come un generico blocco) comprendente componenti elettronici e gli strati di metallizzazione per le relative connessioni elettriche, ed il corrispondente seal ring **220** che circonda la regione funzionale **115** per proteggerla.

In generale, poiché tipicamente il processo di formazione del seal ring **220** avviene parallelamente al processo di formazione della regione funzionale **115**, di solito tali processi sono effettuati sfruttando le medesime (o simili) tecniche realizzative; per questo motivo, nell'esemplificativa forma di realizzazione descritta, il seal ring **220** comprende una struttura impilata di strati di metallizzazione e connessioni verticali (in gergo, via) analoga a quella presente (ma non mostrata) nella regione funzionale **115**. In particolare, senza entrare in eccessivi dettagli, di per sé ben noti, il seal ring **220** comprende una pluralità di strati di metallizzazione **250**, ad esempio in rame, impilati uno sull'altro a partire dal substrato **245**; ciascuno strato di metallizzazione **250** è meccanicamente separato dallo strato di metallizzazione

sottostante **250** (o dal substrato **245**, nel caso del primo strato di metallizzazione **250**) da un opportuno strato dielettrico **255** ed elettricamente connesso ad esso mediante corrispondenti via **260** ricavate nello strato dielettrico **255**; in altre parole, come è noto, lo strato dielettrico **255** e le via **260** tra strati di metallizzazione adiacenti **250** fungono da corrispondenti elementi distanziatori. Come visibile in **Figura 2C**, l'ultimo strato conduttivo **250** del seal ring **220** è sottoposto ad una tecnica di scrittura mediante incisione laser (mediante un opportuno apparato laser, non mostrato in quanto di per sé noto e comunque non limitativo per la presente invenzione) per realizzare la marcatura desiderata (nell'esempio considerato, il dot **235** del marcatore **230c**). In particolare, su porzioni dell'ultimo strato di metallizzazione **250** sottoposte all'azione del laser vengono realizzati incavi, ciascuno dei quali è associabile ad un corrispondente dot **235**, mentre porzioni non sottoposte all'azione del laser vengono associate a rispettivi dot mancanti **240** (non visibili in figura a causa della porzione di chip **205** illustrata e del punto di vista considerato).

Per agevolare l'operazione di scrittura ed ottenere dot **235** che siano il più possibile omogenei tra loro, può essere effettuato, prima della scrittura, un processo di finitura della superficie esposta del chip **205** (ed in particolare dell'ultimo strato di metallizzazione **250** del seal ring **220**); tale processo di finitura può essere eseguito mediante, ad esempio, una tecnica nota di planarizzazione chimico-meccanica (CMP, ovvero Chemical-Mechanical Polishing), la quale consente di rendere la superficie esposta del chip **205** planare, con una bassissima disuniformità ed un'eccellente selettività.

Successivamente, come mostrato in **Figura 2D**, sulla struttura così ottenuta viene depositato uno strato di passivazione **265**, il quale consente di proteggere superiormente il chip **205** così ottenuto per preservarlo dalla contaminazione/corrosione da parte di agenti atmosferici o da reazioni chimiche indesiderate. Inoltre, lo strato di passivazione **265**, depositandosi anche all'interno degli incavi che identificano i dot **235** (eventualmente) presenti sul seal ring **220**, preserva e protegge anche i marcatori, prevenendone alterazioni (ad esempio, corrosioni) che potrebbero falsare la lettura dei rispettivi codici da essi codificati.

Si noti che, prima di depositare lo strato di passivazione **265**, può essere utile

eseguire un opportuno processo di pulitura (o cleaning) della superficie del wafer per rimuovere eventuali particelle contaminanti su di esso depositate e/o formate.

Passando ora alla **Figura 3A**, essa mostra in vista dall'alto un generico chip **305** in accordo con un'altra forma di realizzazione della presente invenzione. Il chip **305** è sostanzialmente analogo al chip **205**, ma, differentemente da quest'ultimo, esso presenta un seal ring **320** avente una porzione aggiuntiva **370** che si estende in una zona della regione funzionale **115** a relativamente bassa densità di occupazione di componenti e/o connessioni elettriche; a tale proposito, si consideri che tipicamente, nel progettare la disposizione (layout) dei chip, è necessario rispettare regole di progetto (design rules), così che zone della regione funzionale **115** (tipicamente, ma non necessariamente, quelle periferiche) possono risultare relativamente poco occupate. Nell'esemplificativa ma non limitativa forma di realizzazione descritta, il seal ring **320** comprende ancora i marcatori **230a**, **230b**, **230c**, ed un ulteriore marcatore **330d** realizzato (con modalità che saranno descritte a breve) in tale porzione aggiuntiva del seal ring **320**.

Il marcatore **330d** del chip **305** così ottenuto può essere utilmente impiegato per realizzare un sistema di codifica bidimensionale, differentemente dalla codifica utilizzata per i marcatori **230a**, **230b** e **230c** (ed identificabile come unidimensionale, dal momento che essa comprende una stringa ordinata di dot **235** e dot mancanti **240** da leggersi lungo un'unica direzione predefinita). Tale codifica bidimensionale è ottenuta, nell'esempio in questione, combinando informazioni del marcatore **330d** con quelle del marcatore **230c** (o, eventualmente, con quelle dei marcatori **230a** e **230b)**. Ad esempio, il marcatore **330d** può essere usato per implementare ridondanze dei codici (in modo da non perdere le informazioni anche in caso di danneggiamenti di marcatori in posizioni del seal ring **320** delicate), stabilire un riferimento di lettura dei marcatori (come ad esempio, un loro verso e/o punto di inizio di lettura), oppure codificare una indicizzazione secondo una mappatura a matrice.

Ad ogni modo, si noti che anche le informazioni contenute nei marcatori **230a**, **230b** e **230c** possono essere opportunamente codificate usando codici che possono implementare ridondanza e/o codici che permettono, ad esempio, correzione di errori per soddisfare specifiche esigenze.

Per implementare il chip **305** in accordo con la forma di realizzazione appena

descritta, il processo di produzione è molto simile a quello precedentemente illustrato, con la differenza che la realizzazione del seal ring **320** prevede la formazione di un ultimo strato di metallizzazione **350** comprendente lo strato di metallizzazione **250** ed un'estensione dello stesso sporgente in pianta che implementa la porzione aggiuntiva **370** del seal ring **320** (si veda la **Figura 3B**, in cui è mostrata in vista frontale solo la porzione del chip **305** indicata da **III** in **Figura 3A**). Da questo punto in poi il processo di produzione del chip **305** procede come quello del chip **205** precedentemente descritto, ed in particolare con la scrittura dei dot **235** (due, nell'esempio in questione) e dei dot mancanti (non visibili), e successiva ricopertura mediante lo strato di passivazione **265**, come rappresentato nelle **Figure 3C** e **3D**, rispettivamente.

Si noti che combinando le due forme di realizzazione appena descritte, è possibile ottenere una varietà di possibili implementazioni, tutte rientranti nell'ambito di protezione della presente invenzione; ad esempio, l'estensione **370** può essere realizzata su differenti strati di metallizzazione **250** (non necessariamente sull'ultimo). Inoltre, in presenza di particolari layout del chip, è possibile realizzare tale estensione **370** sporgente verso le scribe line **125** (in quanto, a seguito dell'operazione di taglio che separa tra loro i vari chip nel wafer, il chip tipicamente può comprendere una porzione residua più o meno estesa della scribe line **125**).

Inoltre, se le dimensioni del seal ring e dei dot sono sufficienti, è comunque possibile realizzare un sistema di codifica o codice bidimensionale senza necessariamente formare l'estensione **370.** Si noti inoltre che, sebbene nella forma di realizzazione illustrata in figura il codice bidimensionale viene realizzato come due stringhe di dot e dot mancanti, in realtà esso può essere realizzato anche usando più di due stringhe.

Passando alla **Figura 4A**, essa mostra in vista dall'alto un generico chip **405** in accordo con un'ulteriore forma di realizzazione della presente invenzione. Il chip **405** è sostanzialmente analogo al chip **205**, ma, differentemente da quest'ultimo, esso presenta un seal ring **420** configurato in modo tale che i dot **435** ed i dot mancanti **440** presentino un contrasto di colore tale da renderli distinguibili in maniera particolarmente agevole e netta durante l'operazione di lettura dei codici dei rispettivi marcatori **430a**, **430b**, **430c**.

Come in precedenza, per illustrare le fasi salienti del processo di produzione del chip **405**, di quest'ultimo è mostrata una porzione significativa (delimitata da **IV** in **Figura 4A**) in vista frontale; con particolare riferimento alla **Figura 4B**, sull'ultimo strato di metallizzazione **250**, ad esempio in rame, viene depositato uno strato conduttivo di ricopertura (ad esempio in alluminio) **475**, preferibilmente con uno spessore inferiore rispetto allo strato conduttivo **250** sottostante. In tale configurazione, i corrispondenti dot **435** e dot mancanti **440** possono essere formati sfruttando la differenza di colore tra il rame (tipicamente di colore rossastro, ma colorato di bianco per semplicità) e l'alluminio (tipicamente di colore argento) di cui sono formati gli strati di metallizzazione **250** e lo strato conduttivo di ricopertura **475**, rispettivamente. In particolare, in questo caso un dot **435** può essere ottenuto incidendo (ad esempio, ancora mediante tecniche laser) soltanto lo strato conduttivo di ricopertura **475** e lasciando intatto lo strato di metallizzazione **250** ad esso sottostante (come visibile in **Figura 4C**), mentre un dot mancante **440** (non visibile) è corrispondentemente associato ad una mancata incisione dello strato conduttivo di ricopertura **465**.

Pertanto, a differenza delle forme di realizzazione precedentemente descritte, il dot **435** risulta meglio distinguibile (dal dot mancante **440**) grazie alla differenza di colore tra il rame (dell'ultimo strato di metallizzazione **250**) scoperto dall'incisione e l'alluminio (dello strato conduttivo di ricopertura **475** residuo ad essa circostante). Inoltre, l'operazione di marcatura o scrittura del codice ha una durata più breve, in quanto l'incisione dello strato conduttivo di ricopertura **475**, dovendo essere eseguita per una minore profondità, necessita di un tempo inferiore; tale implementazione, inoltre, risulta anche notevolmente versatile, in quanto lo strato conduttivo di ricopertura **475** in alluminio, avendo uno spessore ridotto, può essere efficacemente forato anche mediante un utensile di tipo meccanico; ad esempio, impiegando in pressione una opportuna sonda (ad esempio, di tipo cantilever), è possibile lasciare un segno sonda funzionalmente equivalente all'incavo cui è associato il dot.

Il processo poi continua in **Figura 4D**, con la deposizione dello strato di passivazione **265**, in maniera del tutto analoga a quanto precedentemente descritto.

In una variante non mostrata, avendo in questo esempio utilizzato alluminio per lo strato conduttivo di ricopertura **475** posto sullo strato di metallizzazione **250** in

rame, lo strato di passivazione **265** può essere eventualmente aperto almeno in una porzione del seal ring **420** (in modo del tutto simile a come viene fatto per un terminale di interconnessione o pad del chip **405**), e pertanto l'operazione di marcatura può avvenire anche dopo la deposizione dello strato di passivazione **265**. Ciò può essere utile per aggiungere ulteriori informazioni durante il processo di produzione.In una ulteriore variante non mostrata, lo strato di ricopertura **475**, invece di essere in materiale conduttivo, può essere creato usando materiali con caratteristiche tali da poter memorizzare informazioni; ad esempio è possibile utilizzare leghe calcogenure o materiali termosensibili o fotosensibili, i quali possono variare localmente una loro caratteristica (ad esempio, il loro stato o colore o altre proprietà chimico-fisiche) in risposta ad una determinata procedura (ad esempio, termica e/o ottica). Dato poi che lo strato di passivazione **265** è tipicamente trasparente, l'operazione di marcatura può avvenire anche dopo la deposizione dello strato di passivazione **265** medesimo, a seconda del materiale usato e della sua caratteristica soggetta a variazione.

Come sottolineato in precedenza, anche tale forma di realizzazione può essere combinata, anche parzialmente, con quelle precedentemente descritte, anche congiuntamente con l'arte nota, in modo da ottenere una varietà notevole di implementazioni, tutte comunque basate sul medesimo principio inventivo di sfruttare il seal ring come elemento su cui realizzare marcature, preferibilmente, ma non necessariamente, sotto forma di codice binario.

Un differente approccio per realizzare le marcature sfruttando il seal ring, è mostrato in **Figura 5**; in particolare, tale figura mostra in vista dall'alto un generico chip **505** in accordo con un'ulteriore forma di realizzazione della presente invenzione. Il chip **505** ha un seal ring **520** strutturalmente equivalente al seal ring **120**, ma, differentemente da quest'ultimo, esso presenta almeno uno strato conduttivo visibile in lettura (ad esempio, l'ultimo) con una struttura a sbalzo avente un profilo lateralmente sagomato in accordo con l'informazione da codificare. Tale profilo sagomato identifica un marcatore **530** comprendente protuberanze **535** e mancate protuberanze **540** (funzionalmente analoghe ai dot e dot mancanti precedentemente descritti), le quali possono essere lette, ad esempio, come cifra binaria 1 e cifra binaria 0 (nell'esempio in questione, il marcatore **530** codifica una

stringa binaria di valore 101001). Si noti che tale marcatore **530** è definito litograficamente (ovvero, ottenuto mediante una apposita maschera fotolitografica che permette di realizzare direttamente lo strato conduttivo col profilo sagomato), ed ottenuto per mezzo del, e durante il, normale processo fotolitografico con cui si realizzano i chip **505** nel wafer; pertanto tale marcatore **530** tipicamente è in grado di codificare solo informazioni fisse (ovvero, in accordo con la corrispondente maschera utilizzata), e perciò esso è utilizzabile in maniera vantaggiosa come marcatore ausiliario per codificare informazioni che solitamente sono condivise da ogni chip di uno stesso wafer **110** (come ad esempio dettagli riguardo al set di maschere impiegato e simili), oppure in abbinamento con altri sistemi di codifica per facilitarne la lettura. Perciò, tale forma di realizzazione è particolarmente adatta ad essere impiegata in combinazione con le forme di realizzazione precedentemente descritte (o eventualmente in combinazione con l'arte nota), così da ottenere marcatori con sistemi di codifica avanzati, completi e facilmente individuabili e leggibili, ed al tempo stesso che comportano un'occupazione di area ridotta.

Si noti inoltre che la forma delle protuberanze **535** e protuberanze mancanti **540** non è limitativa, in quanto esse possono essere, ad esempio, di forma rettangolare (come nell'esemplificativa forma di realizzazione mostrata in figura), triangolare, semicircolare, poligonale o una loro combinazione.

Si noti infine che, analogamente a quanto precedentemente descritto, il chip **505**, e quindi il marcatore **530**, viene rivestito mediante lo strato di passivazione **260** (non mostrato in figura) per preservarlo da contaminazioni esterne.

Naturalmente, al fine di soddisfare esigenze contingenti e specifiche, un tecnico del ramo potrà apportare alla soluzione sopra descritta numerose modifiche e varianti logiche e/o fisiche. Più specificamente, sebbene tale soluzione sia stata descritta con un certo livello di dettaglio con riferimento ad una o più sue forme di realizzazione, è chiaro che varie omissioni, sostituzioni e cambiamenti nella forma e nei dettagli così come altre forme di realizzazione sono possibili. In particolare, diverse forme di realizzazione dell'invenzione possono essere messe in pratica anche senza gli specifici dettagli (come gli esempi numerici) esposti nella precedente descrizione per fornire una loro più completa comprensione; al contrario, caratteristiche ben note possono essere state omesse o semplificate al fine di non

oscurare la descrizione con particolari non necessari. Inoltre, è espressamente inteso che specifici elementi e/o passi di metodo descritti in relazione ad ogni forma di realizzazione della soluzione esposta possono essere incorporati in qualsiasi altra forma di realizzazione come una normale scelta di progetto.

Inoltre, la soluzione in accordo con una forma di realizzazione dell'invenzione si presta ad essere implementata con un metodo equivalente (usando passi simili, rimovendo alcuni passi non essenziali, o aggiungendo ulteriori passi opzionali); inoltre, i passi possono essere eseguiti in ordine diverso, in parallelo o sovrapposti (almeno in parte).

Il tipo di marcatore non è limitativo per la presente invenzione; in particolare, il marcatore può essere implementato mediante codici alfanumerici (cioè, con lettere e numeri), eventualmente in combinazione con codici binari. Inoltre, per motivi realizzativi, differenti porzioni del medesimo seal ring possono avere corrispondenti marcatori implementati con sistemi di codifica tra loro differenti.

Attorno a ciascuna regione funzionale possono essere presenti diversi seal ring, anche con altezze tra loro differenti; in tale condizione, la presente invenzione può essere applicata in maniera analoga su uno o più di tali seal ring. Il seal ring può avere qualsiasi forma e dimensione. Inoltre, il seal ring può essere corredato di strutture sacrificali (ad esempio, per rafforzare gli angoli del chip), le quali, pur essendo destinate con buona probabilità ad andare perse durante l'operazione di taglio del wafer, possono in ogni caso essere provviste di analoghe o simili marcature a quelle precedentemente descritte.

In aggiunta, l'estensione sporgente o porzione aggiuntiva può essere formata su più strati di metallizzazione, e tali estensioni possono essere tra loro sfalsate (ad esempio, estendendosi alternativamente verso la regione funzionale e verso le scribe line) in modo da essere tutte visibili durante la lettura delle marcature. Considerazioni analoghe valgono naturalmente anche per la struttura a sbalzo.

Nulla vieta che lo strato conduttivo di ricopertura comprenda una struttura multistrato, in modo da ottenere le caratteristiche di colorazione e di durezza necessarie per distinguere i dot ed i dot mancanti ed effettuare l'incisione secondo modalità e tempi desiderati. A tale proposito, si noti che l'ultimo strato di metallizzazione (così come almeno parte di quelli sottostanti) può essere realizzato in

alluminio, mentre lo strato conduttivo di ricopertura in rame.

Inoltre, la formazione di dot mediante pressione di un'opportuna sonda può essere eseguita anche nelle forme di realizzazione che non prevedono la formazione dello strato di ricopertura sull'ultimo strato di metallizzazione; a tale proposito, l'ultimo strato di metallizzazione, o quello che definisce la porzione leggibile da marcare, può essere formato con uno spessore sufficientemente sottile da garantirne l'erosione in caso di pressione anche relativamente lieve da parte della sonda o di altro mezzo meccanico.

Inoltre la forma dei dot non è limitativa e si possono usare anche dot di forme diverse sullo stesso seal ring ad esempio per implementare un opportuno codice. Può essere utile ad esempio usare un dot con forma allungata per essere più visibile anche nel caso in cui siano presenti i wirebond. Ad ogni modo, usando particolari tecniche ottiche di focalizzazione, i dot possono essere visibili anche in presenza di wirebond; per questo motivo, la soluzione descritta non è limitata a regioni del seal ring non coperte da wirebond.

Considerazioni analoghe si applicano se il circuito integrato ha una diversa struttura o include elementi equivalenti; inoltre, gli elementi possono essere separati tra loro o combinati insieme, in tutto o in parte. Ad esempio, ogni elemento del circuito integrato può avere qualsiasi forma e/o dimensione, e può essere realizzato in qualsiasi altro materiale.

Dovrebbe essere evidente che la struttura proposta può far parte della progettazione di un circuito integrato. Il progetto può anche essere creato in un linguaggio di programmazione; inoltre, se il progettista non fabbrica i circuiti integrati o le maschere, il progetto può essere trasmesso attraverso mezzi fisici ad altri. In ogni caso, il circuito integrato risultante può essere distribuito dal relativo produttore in forma di fetta (wafer) grezza, come piastrina nuda, o in contenitori (package). Inoltre, la struttura proposta può essere integrata con altri circuiti nella stessa piastrina, o può essere montata in prodotti intermedi (come schede madri) ed accoppiato ad una o più altre piastrine (come un processore). In ogni caso, il circuito integrato è adatto ad essere usato in sistemi complessi (come applicazioni automotive o microcontrollori).

* * * * *

RIVENDICAZIONI

1. Un metodo per produrre circuiti integrati tracciabili (**105-505**), il metodo comprendendo:

- formare su una fetta di materiale semiconduttore (**110**) regioni funzionali (**115**) per implementare funzionalità specifiche di corrispondenti circuiti integrati;

- formare almeno un anello di sigillatura (**120-520**) intorno a ciascuna regione funzionale del corrispondente circuito integrato; e

- formare su ciascun circuito integrato almeno un marcatore (**230a-230c**, **330c**, **430a-430c, 530**) indicativo di informazioni del circuito integrato;

caratterizzato dal fatto che

la fase di formare su ciascun circuito integrato almeno un marcatore (**230a-230c**, **330d**, **430a-430c**, **530**) comprende realizzare l'almeno un marcatore (**230a-230c**, **330d**, **430a-430c**, **530**) su almeno una porzione del rispettivo anello di sigillatura visibile dall'esterno del circuito integrato.

2. Il metodo secondo la Rivendicazione 1, in cui la fase di realizzare l'almeno un marcatore comprende formare, in accordo con il marcatore da realizzare, una pluralità di incavi (**235-535**) e/o mancati incavi (**240-540**) su detta almeno una porzione visibile dell'anello di sigillatura, ciascun incavo essendo associabile ad uno tra un primo valore ed un secondo valore di un sistema numerico binario, ciascun mancato incavo essendo associato all'altro tra il secondo ed il primo valore.

3. Il metodo secondo la Rivendicazione 1 o 2, ulteriormente comprendente:

- effettuare una planarizzazione chimico-meccanica dell'almeno una porzione visibile dell'anello di sigillatura in modo da realizzare detto almeno un marcatore su di essa in maniera efficace.

4. Il metodo secondo una qualsiasi delle precedenti Rivendicazioni, ulteriormente comprendente:

- depositare uno strato di passivazione (**260**) su ciascun circuito integrato, detto strato di passivazione proteggendo detto almeno un marcatore.

5. Il metodo secondo una qualsiasi delle precedenti Rivendicazioni, in cui la fase di formare almeno un anello di sigillatura (**120-520**) intorno a ciascuna regione funzionale del corrispondente circuito integrato comprende:

- formare intorno a ciascuna regione funzionale una pluralità di strati conduttivi (**250**) l'uno sull'altro a partire dal rispettivo substrato (**245**),

- realizzare mezzi distanziatori (**255**, **260**) tra strati conduttivi adiacenti per separarli meccanicamente, detta pluralità di strati conduttivi (**250**) e detti mezzi distanziatori (**255**, **260**) formando detto almeno un anello di sigillatura.

6. Il metodo secondo la Rivendicazione 5, in cui un ultimo strato conduttivo di detta pluralità di strati conduttivi (**250**) definisce una prima dell'almeno una porzione visibile dell'anello di sigillatura su cui realizzare un primo (**230a-230c**) di detto almeno un marcatore o di parte di esso.

7. Il metodo secondo la Rivendicazione 5 o 6, ulteriormente comprendente:

- formare almeno un'estensione sporgente in pianta (**370**) di almeno uno di detta pluralità di strati conduttivi (**250**), detta estensione (**370**) estendendosi almeno parzialmente all'interno di porzioni libere della corrispondente regione funzionale (**115**) ed identificando una seconda dell'almeno una porzione visibile dell'anello di sigillatura, e

- realizzare un secondo (**330d**) di detto almeno un marcatore o di parte di esso su detta estensione.

8. Il metodo secondo la Rivendicazione 5 o 7 quando dipendente direttamente dalla Rivendicazione 5, in cui almeno un ultimo di detta pluralità di strati conduttivi (**250**) è in un primo materiale conduttivo, il metodo ulteriormente comprendendo:

- depositare su detto ultimo strato conduttivo uno strato conduttivo di ricopertura (**475**) in un secondo materiale conduttivo differente dal primo materiale conduttivo, detto strato conduttivo di ricopertura identificando una terza dell'almeno una porzione visibile dell'anello di sigillatura, e

- realizzare un terzo (**430a-430c**) di detto almeno un marcatore su detto strato conduttivo di ricopertura (**475**).

9. Il metodo secondo la Rivendicazione 8, in cui il primo materiale conduttivo è rame, ed il secondo materiale conduttivo è alluminio.

10. Il metodo secondo una qualsiasi Rivendicazione da 2 a 9, in cui la fase di formare una pluralità di incavi (**235-535**) e/o mancati incavi (**240-540**) su detta almeno una porzione visibile dell'anello di sigillatura comprende realizzare su di essa incisioni (**235-435**) mediante una tecnica laser e/o mancate incisioni (**240-440**), rispettivamente.

11. Il metodo secondo la Rivendicazione 8 o 9, in cui almeno detta fase di realizzare un terzo (**430a-430c**) di detto almeno un marcatore su detto strato conduttivo di ricopertura (**475**) comprende formare una pluralità di segni sonda (**435**) e/o mancati segni sonda (**440**) mediante, rispettivamente, pressioni e/o mancate pressioni di sonde sullo strato conduttivo di ricopertura.

12. Il metodo secondo una qualsiasi Rivendicazione da 5 a 10, in cui la fase di formare una pluralità di incavi (**235-535**) e/o mancati incavi (**240-540**) su detta almeno una porzione visibile dell'anello di sigillatura ulteriormente comprende:

- definire fotolitograficamente almeno uno strato selezionato di detta pluralità di strati conduttivi (**250**) in accordo con un profilo laterale sagomato comprendente una pluralità di protuberanze (**535**) e/o mancate protuberanze (**540**), detto profilo sagomato identificando un quarto marcatore ausiliario (**530**) di detto almeno un marcatore.

13. Un circuito integrato (**105-505**) comprendente una regione funzionale (**115**) per implementare funzionalità specifiche del circuito integrato, almeno un anello di sigillatura (**120-520**) intorno alla regione funzionale del circuito integrato, e almeno un marcatore (**230a-230c**, **330c**, **430a-430c**, **530**) indicativo di informazioni del circuito integrato,

caratterizzato dal fatto che

detto almeno un marcatore (**230a-230c**, **330c**, **430a-430c**, **530**) è realizzato su almeno una porzione del rispettivo anello di sigillatura visibile dall'esterno del

circuito integrato.

* * * * *

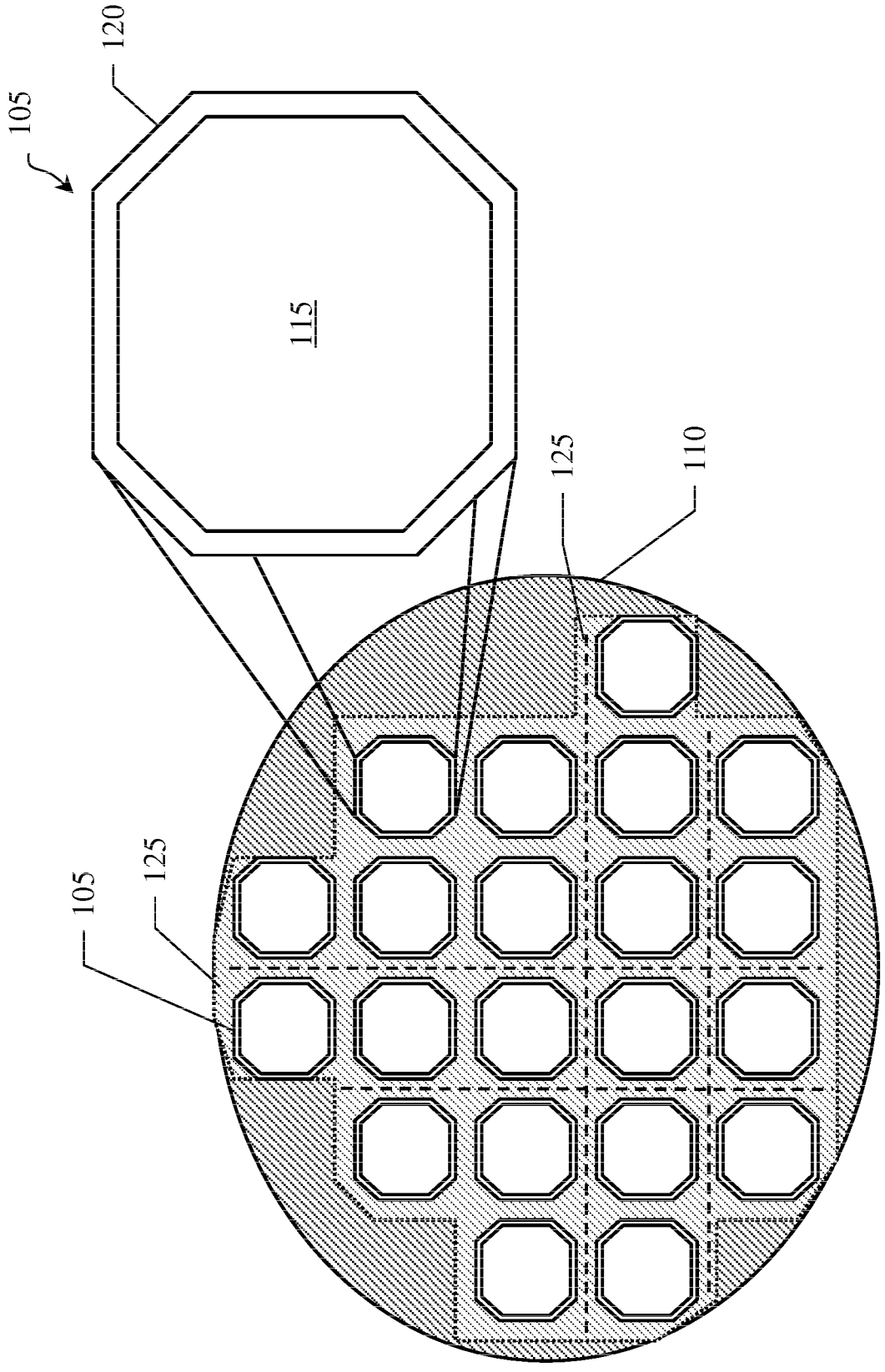

FIG.1

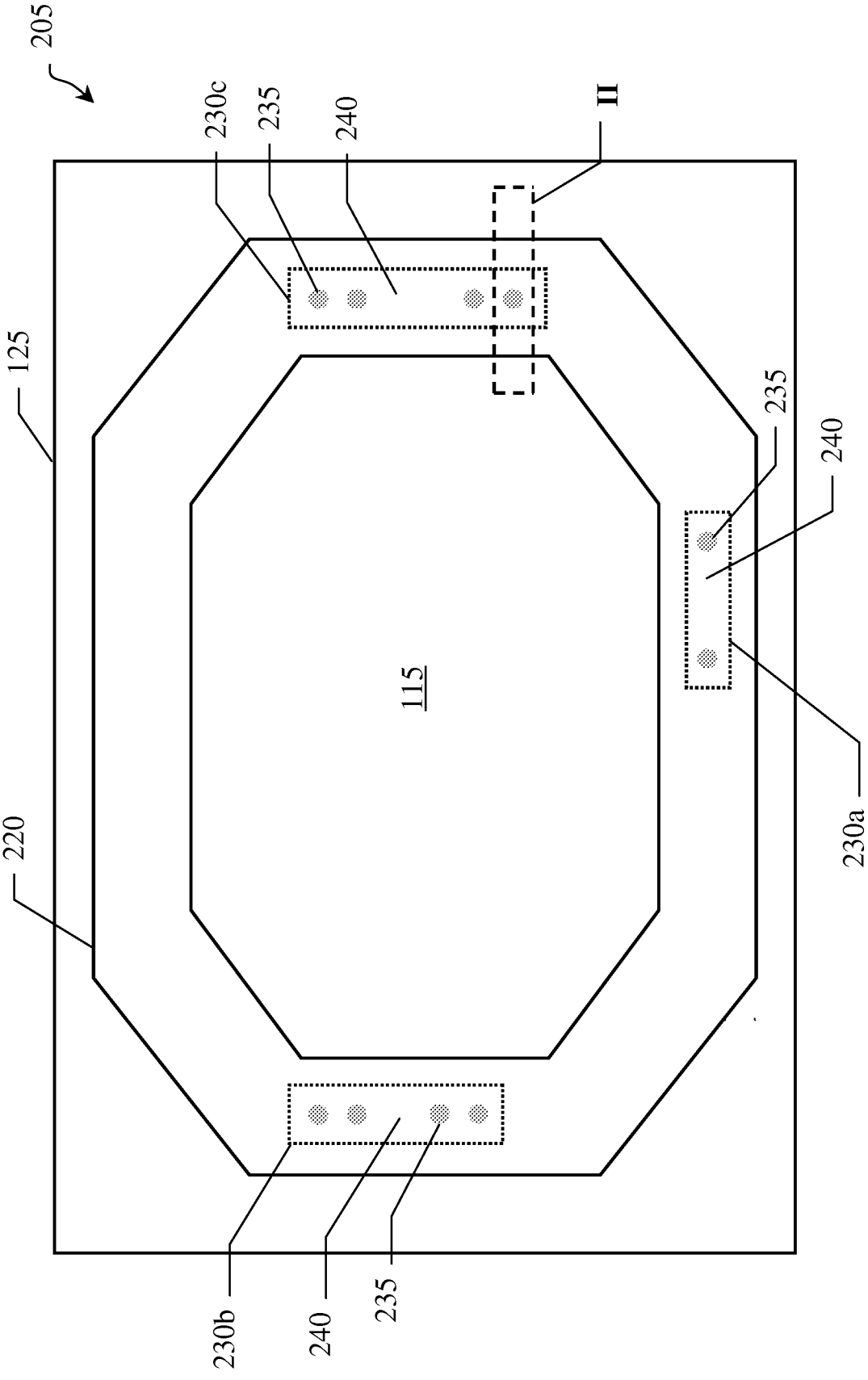

FIG.2A

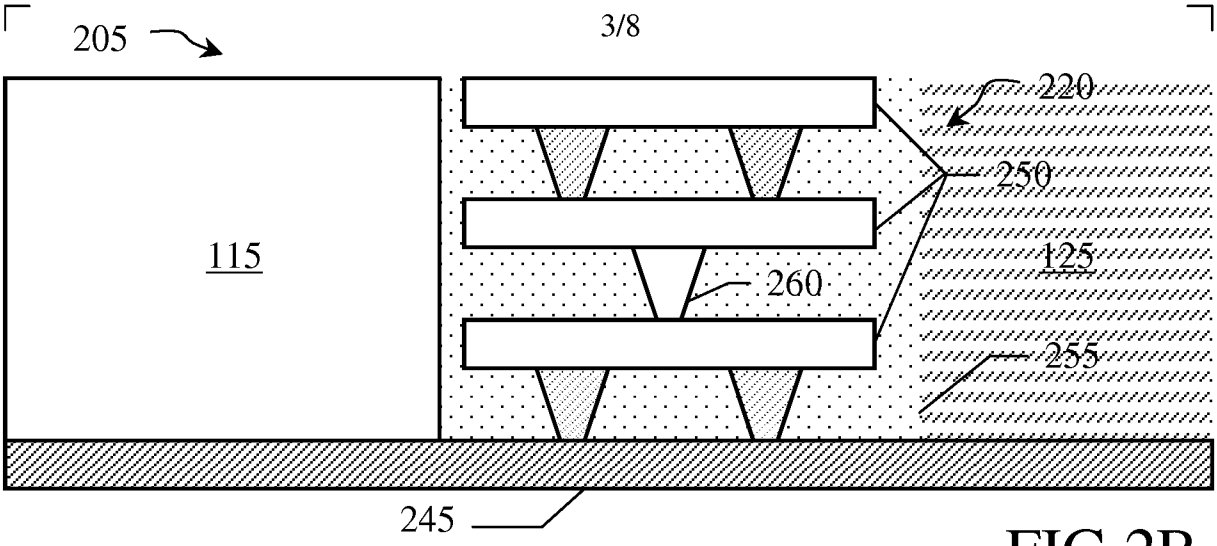

FIG.2B

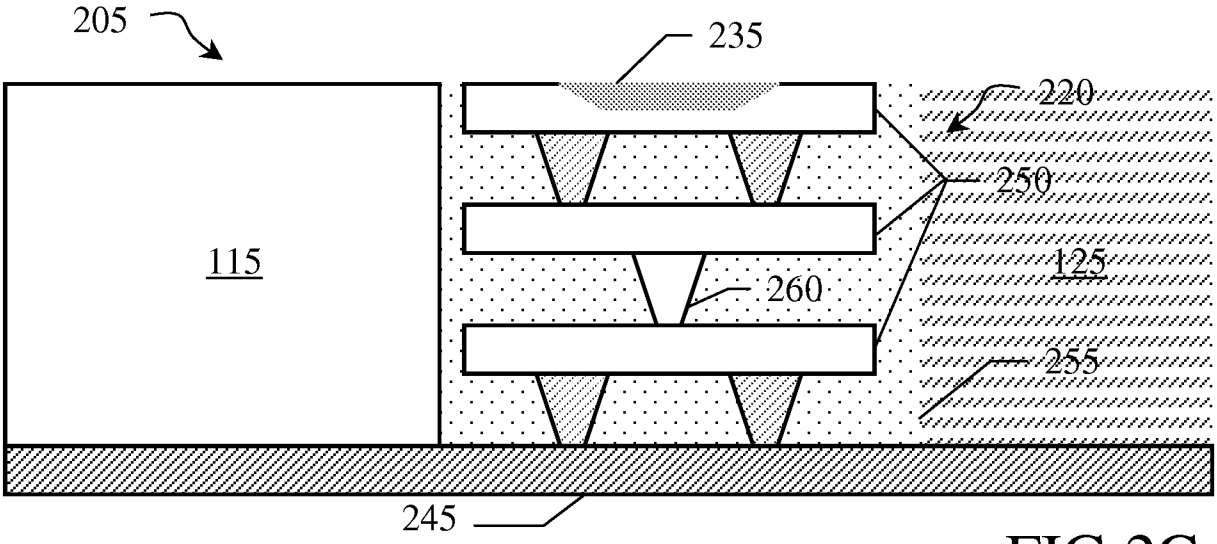

FIG.2C

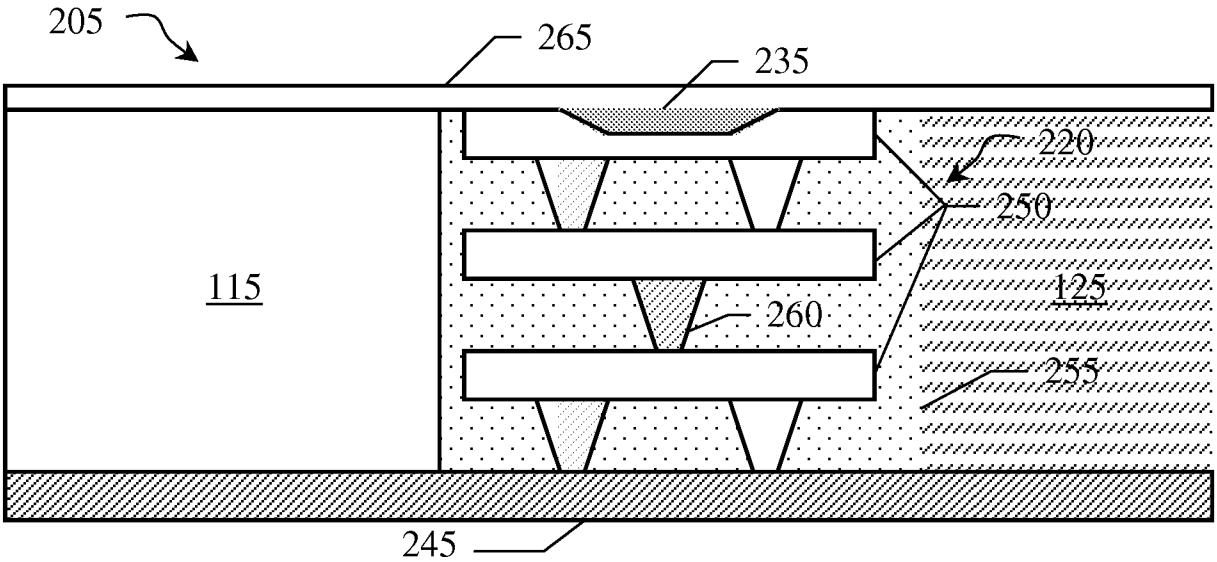

FIG.2D

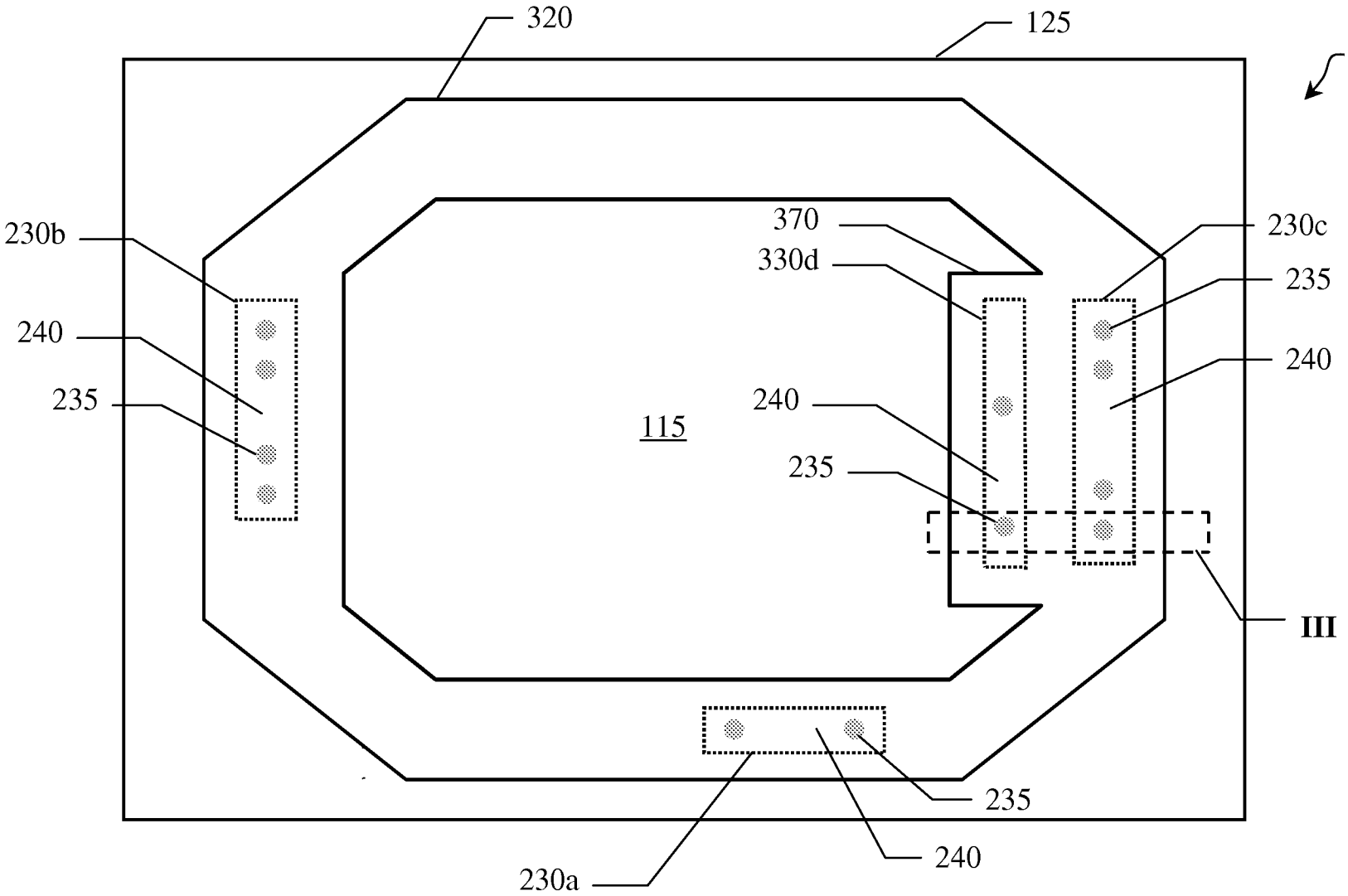
320
125
305
230b
370
330d
230c
235
240
240
235
115
240
235
III
235
240
230a

FIG.3A

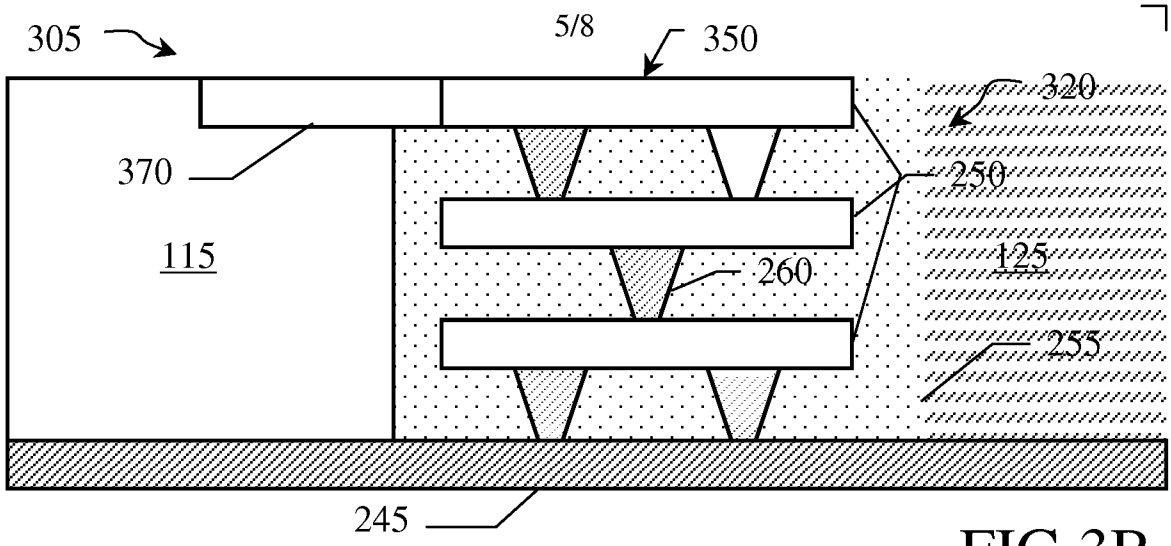

FIG.3B

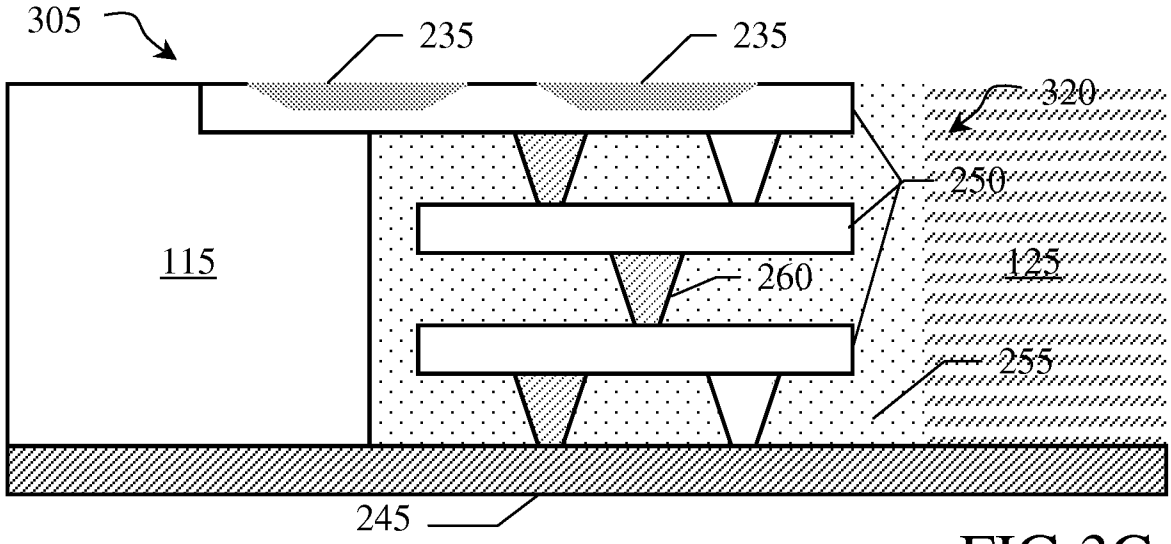

FIG.3C

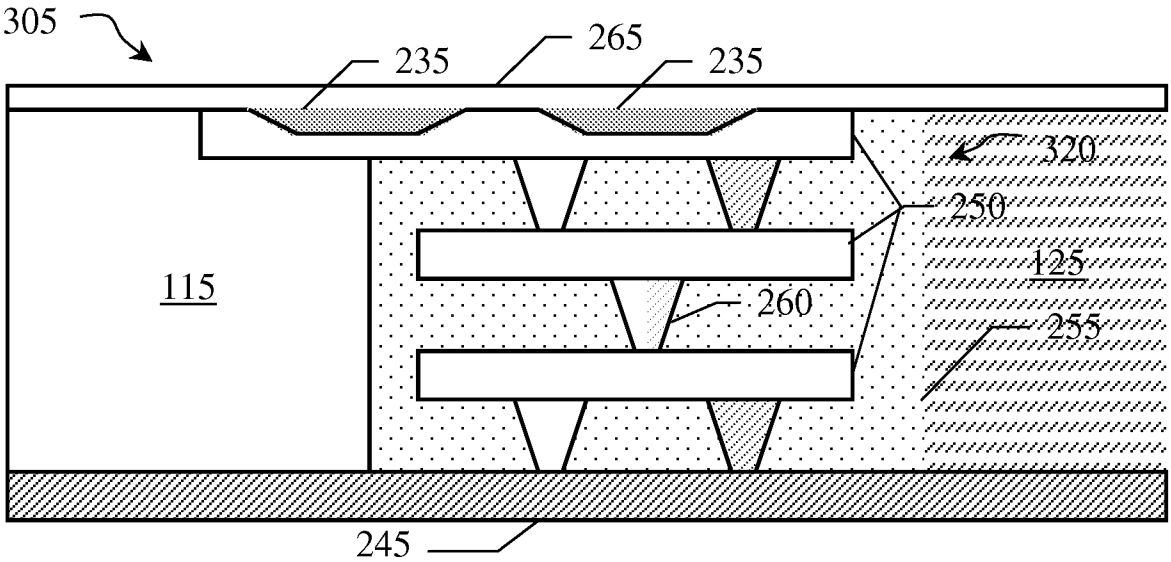

FIG.3D

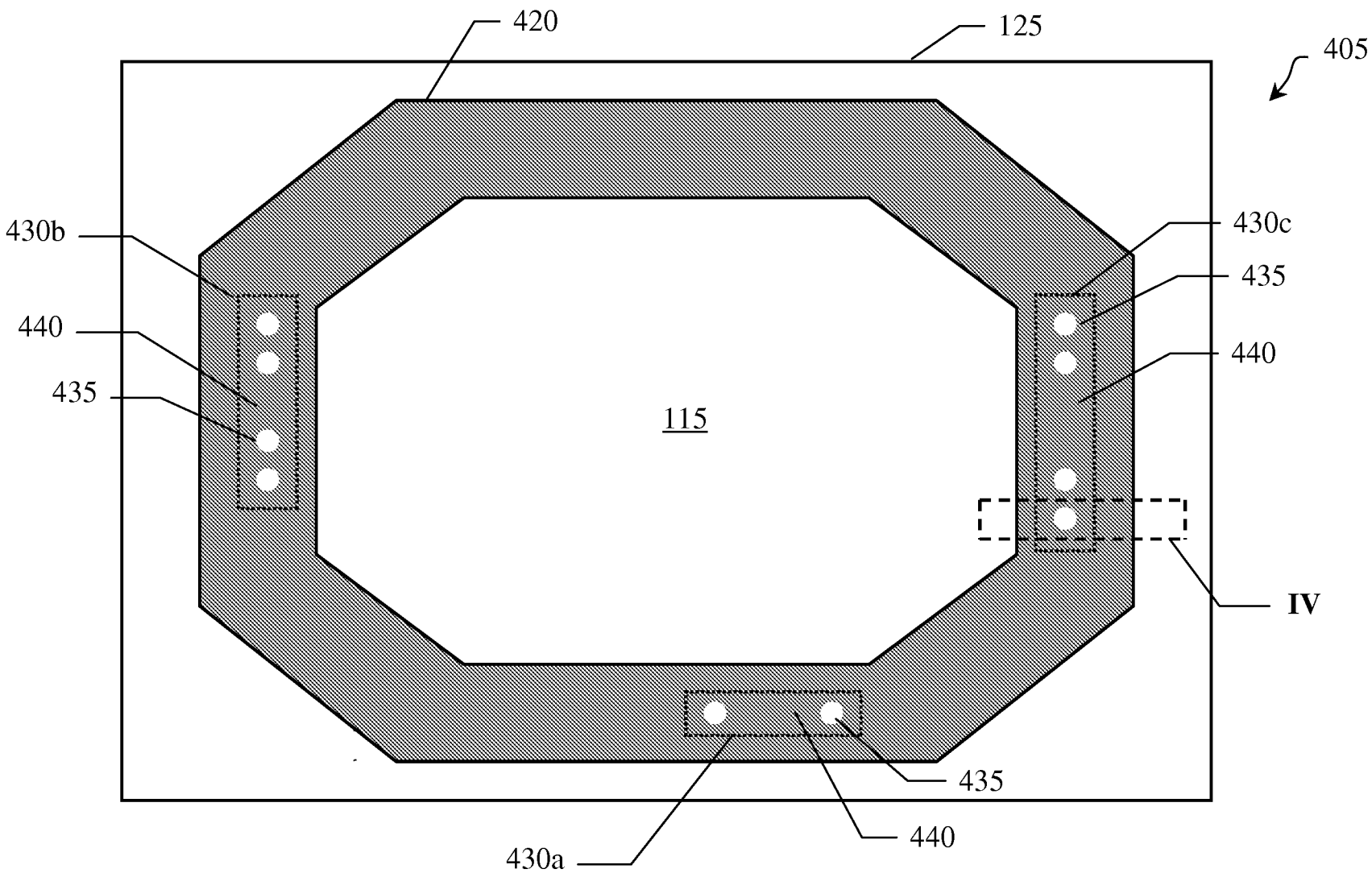

FIG.4A

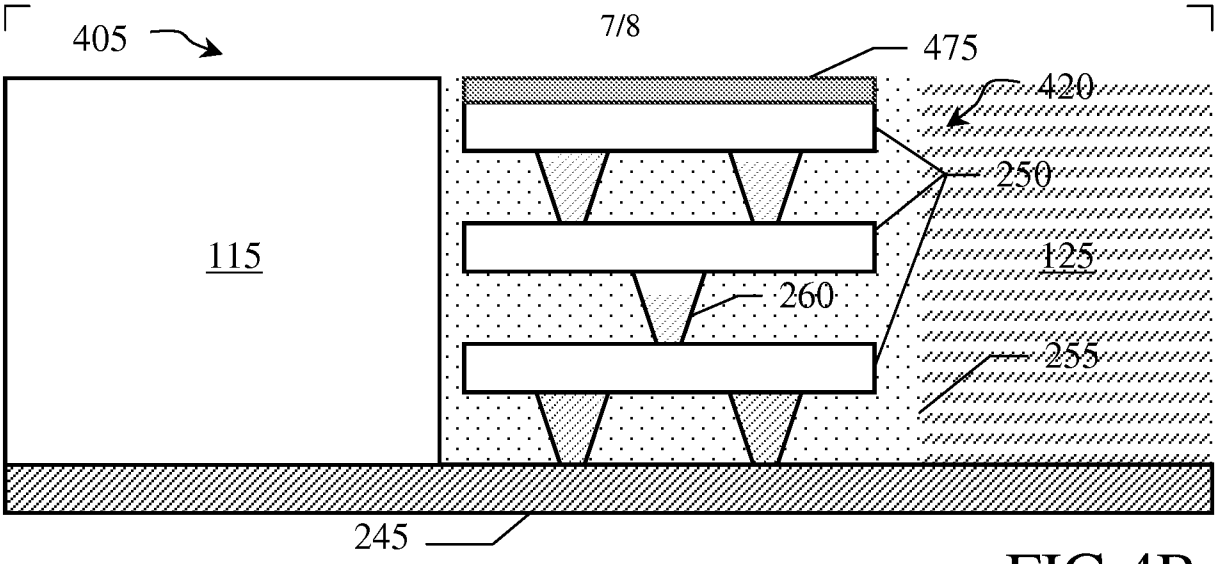

FIG.4B

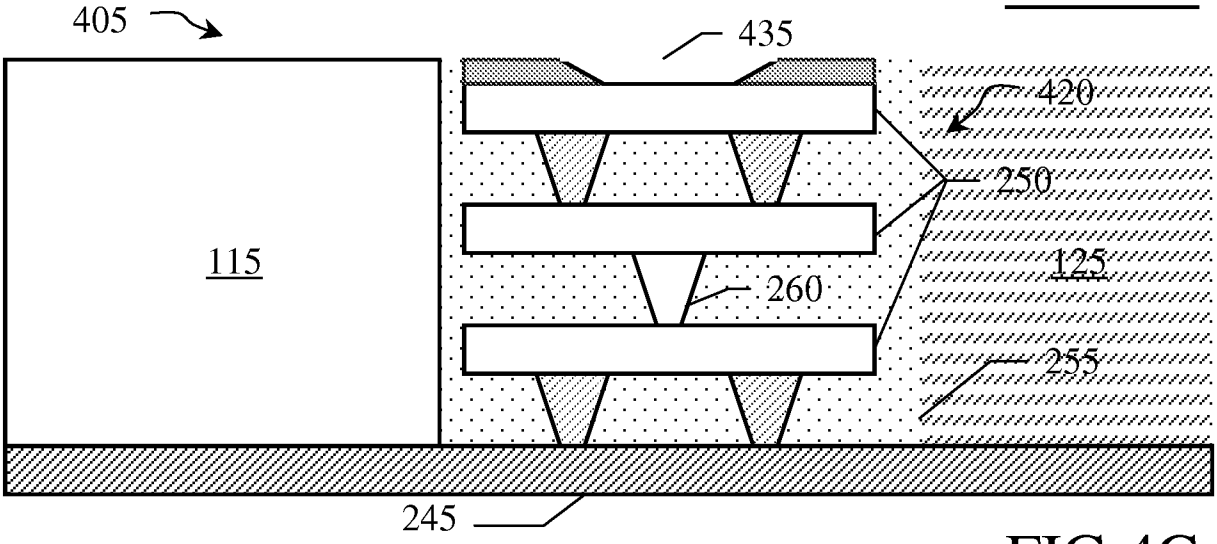

FIG.4C

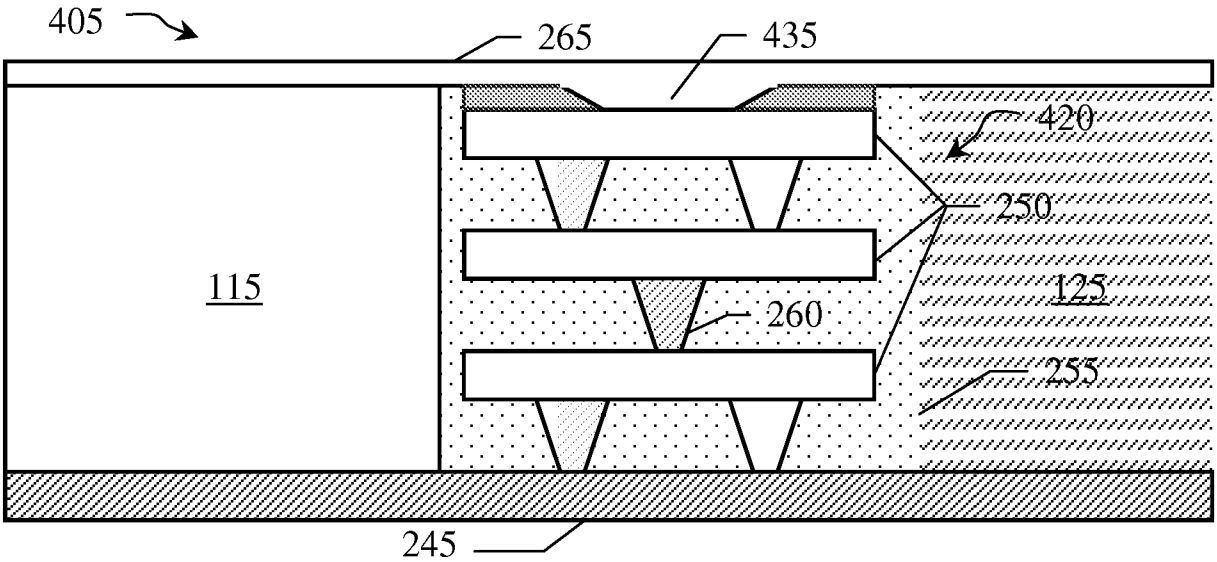

FIG.4D

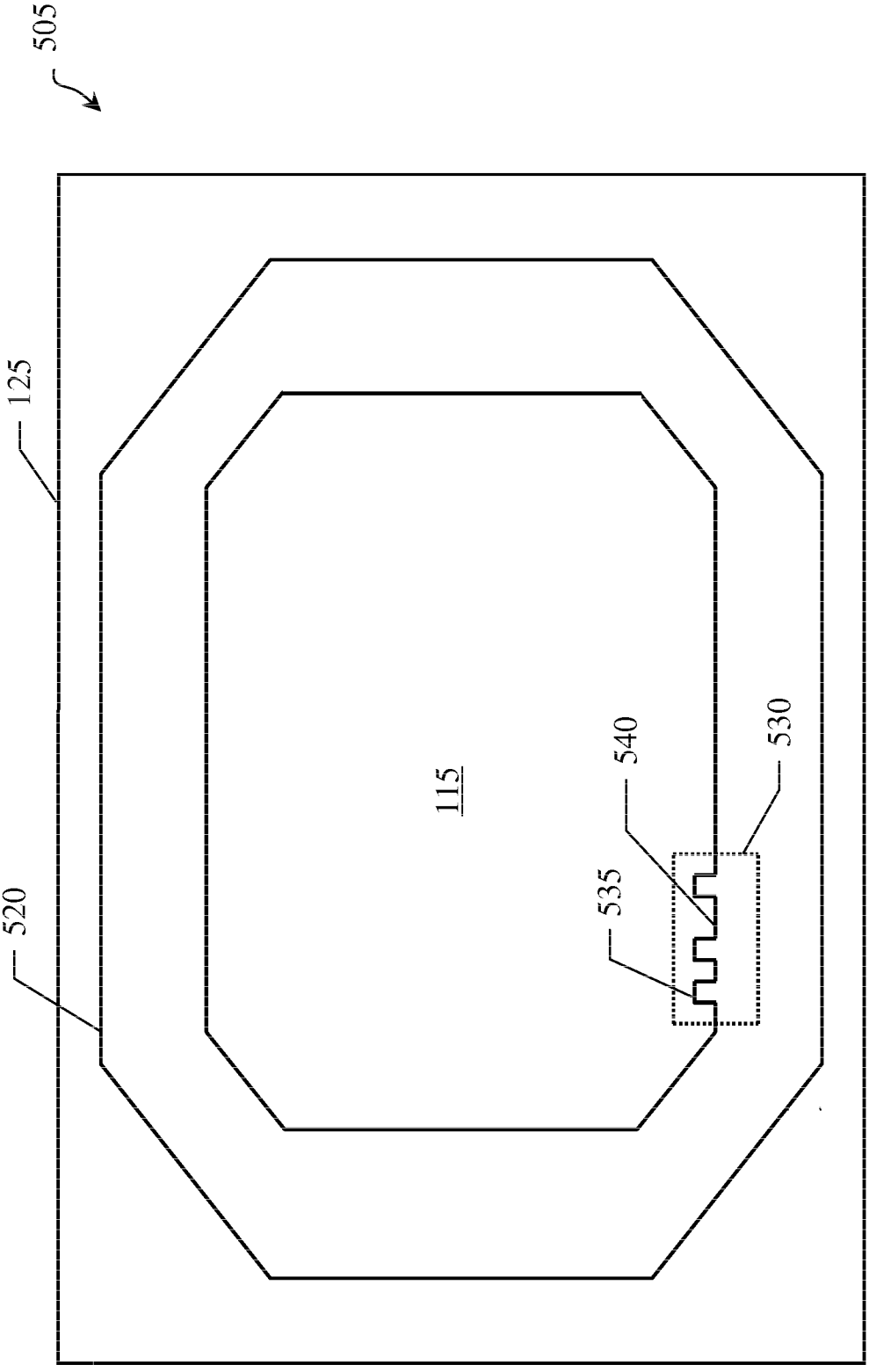

FIG.5