

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5372630号  
(P5372630)

(45) 発行日 平成25年12月18日(2013.12.18)

(24) 登録日 平成25年9月27日(2013.9.27)

(51) Int.Cl. F I  
**G06F 3/041 (2006.01)** G O 6 F 3/041 3 3 O B  
**G06F 3/044 (2006.01)** G O 6 F 3/041 3 3 O D  
 G O 6 F 3/044 E

請求項の数 16 (全 44 頁)

(21) 出願番号	特願2009-163401 (P2009-163401)	(73) 特許権者	303018827 N L Tテクノロジー株式会社 神奈川県川崎市中原区下沼部1753番地
(22) 出願日	平成21年7月10日(2009.7.10)	(74) 代理人	100080816 弁理士 加藤 朝道
(65) 公開番号	特開2011-14109 (P2011-14109A)	(72) 発明者	芳賀 浩史 神奈川県川崎市中原区下沼部1753番地 NEC液晶テクノロジー株式会社内
(43) 公開日	平成23年1月20日(2011.1.20)	(72) 発明者	柳瀬 慈郎 神奈川県川崎市中原区下沼部1753番地 NEC液晶テクノロジー株式会社内
審査請求日	平成24年6月20日(2012.6.20)	(72) 発明者	北岸 洋一 神奈川県川崎市中原区下沼部1753番地 NEC液晶テクノロジー株式会社内
(31) 優先権主張番号	特願2008-186255 (P2008-186255)		
(32) 優先日	平成20年7月17日(2008.7.17)		
(33) 優先権主張国	日本国(JP)		
(31) 優先権主張番号	特願2009-135211 (P2009-135211)		
(32) 優先日	平成21年6月4日(2009.6.4)		
(33) 優先権主張国	日本国(JP)		

最終頁に続く

(54) 【発明の名称】 表示装置及び表示装置の駆動方法

(57) 【特許請求の範囲】

【請求項1】

対向する第1の面と第2の面との間に配された電気光学材料と、  
前記第1の面に配され、前記電気光学材料に電気信号を与える導体を有する第1の基板と、

前記第2の面に配され、前記電気光学材料に電気信号を与える第1の導電膜と、  
前記第1及び第2の面によって挟まれる領域の外側に配された第2の導電膜と、  
前記第2の導電膜における電流を検出する電流検出回路と、

前記電流検出回路により電流が検出される期間に亘り、前記導体及び前記第1の導電膜の双方に前記第2の導電膜に印加された電圧と振幅及び位相が略同一の電圧を印加する制御回路と、を備える、表示装置。

【請求項2】

前記電気光学材料は、液晶、電気泳動体、帯電粒子、エレクトロクロミック材料、EL材料、ガス、半導体又は蛍光体である、請求項1に記載の表示装置。

【請求項3】

前記第2の導電膜に交流電圧を印加する交流電圧源を備え、  
前記電流検出回路は、前記交流電圧源と前記第2の導電膜との間における電流を検出する、請求項1又は2に記載の表示装置。

【請求項4】

前記電気光学材料は、液晶を主成分とし、

前記第 1 の導電膜は、透明であり、  
 前記第 2 の導電膜は、透明であり、前記第 1 及び第 2 の面によって挟まれる領域に対し  
 て、前記第 1 の導電膜と同じ側に配され、  
 前記第 1 及び第 2 の導電膜に挟まれた第 2 の基板を備え、  
 前記制御回路は、前記電流検出回路により電流が検出される期間に亘り、前記導体であ  
 って表示領域の内部から外部に亘って延在するものをフローティングとするとともに前記  
 第 1 の導電膜に前記第 2 の導電膜に印加された電圧と振幅及び位相が略同一の電圧を印加  
 するか、又は、これらの双方に前記第 2 の導電膜に印加された電圧と振幅及び位相が略同  
 一の電圧を印加する、請求項 3 に記載の表示装置。

【請求項 5】

前記導体は、表示領域内部から外部に亘って延在する蓄積容量線を含み、  
 前記制御回路は、前記電流検出回路により電流が検出される期間に亘り、前記蓄積容量  
 線をフローティングとするとともに前記第 1 の導電膜に前記第 2 の導電膜に印加された電  
 圧と振幅及び位相が略同一の電圧を印加するか、又は、これらの双方に前記第 2 の導電膜  
 に印加された電圧と振幅及び位相が略同一の電圧を印加する、請求項 4 に記載の表示装置  
 。

【請求項 6】

前記導体は、表示領域内部から外部に亘って延在する走査線を含み、  
 前記走査線と前記走査線を駆動する走査線駆動回路とがスイッチ素子を介して接続され  
 るか、又は、前記走査線駆動回路はハイレベル、ロウレベル及びハイインピーダンスの 3  
 値を出力するとともに前記走査線駆動回路と前記走査線とが直接接続される、請求項 4 に  
 記載の表示装置。

【請求項 7】

前記電気光学材料は、液晶を主成分とし、  
 前記第 1 及び第 2 の導電膜はいずれも透明であり、  
 前記第 2 の導電膜は、前記第 1 及び第 2 の面によって挟まれる領域に対して、前記第 1  
 の導電膜と同じ側に配され、  
 前記第 1 の導電膜を配する第 2 の基板と、  
 前記第 2 の導電膜を配する第 3 の基板と、を備え、  
 前記制御回路は、前記電流検出回路により電流が検出される期間に亘り、前記導体であ  
 って表示領域内部から外部に亘って延在するものをフローティングとするとともに前記第  
 1 の導電膜に前記第 2 の導電膜に印加された電圧と振幅及び位相が略同一の電圧を印加す  
 るか、又は、これらの双方に前記第 2 の導電膜に印加された電圧と振幅及び位相が略同  
 一の電圧を印加する、請求項 3 に記載の表示装置。

【請求項 8】

前記電気光学材料は、液晶を主成分とし、  
 前記第 1 の導電膜は、不透明であるとともに開口部を有し、  
 前記第 2 の導電膜は、透明であり、前記第 1 及び第 2 の面によって挟まれる領域に対し  
 て、前記第 1 の導電膜と同じ側に配され、  
 前記第 1 及び第 2 の導電膜に挟まれた第 2 の基板を備え、  
 前記制御回路は、前記電流検出回路により電流が検出される期間に亘り、前記導体であ  
 って表示領域の内部から外部に亘って延在するものをフローティングとするとともに前記  
 第 1 の導電膜に前記第 2 の導電膜に印加された電圧と振幅及び位相が略同一の電圧を印加  
 するか、又は、これらの双方に前記第 2 の導電膜に印加された電圧と振幅及び位相が略同  
 一の電圧を印加する、請求項 3 に記載の表示装置。

【請求項 9】

電気光学材料と、  
 前記電気光学材料に電気信号を与える導体と、  
 前記電気光学材料に電気信号を与える第 1 の導電膜と、  
 表示装置の表示面に設けられた第 2 の導電膜と、

10

20

30

40

50

前記第2の導電膜における電流を検出する電流検出回路と、  
前記電流検出回路により電流が検出される期間に亘り、前記導体及び前記第1の導電膜の双方に前記第2の導電膜に印加された電圧と振幅及び位相が略同一の電圧を印加する制御回路と、を備える、表示装置。

【請求項10】

請求項1乃至9のいずれか1項に記載の表示装置を備える、電子機器。

【請求項11】

対向する第1の面と第2の面との間に配された電気光学材料と、  
前記第1の面に配され、前記電気光学材料に電気信号を与える導体を有する第1の基板と、

10

前記第2の面に配され、前記電気光学材料に電気信号を与える第1の導電膜と、  
前記第1及び第2の面によって挟まれる領域の外側に配された第2の導電膜と、を備える表示装置の駆動方法であって、

電流検出回路によって、前記第2の導電膜における電流を検出する工程と、  
前記電流検出回路により電流が検出される期間に亘り、制御回路によって、前記導体及び前記第1の導電膜の双方に前記第2の導電膜に印加された電圧と振幅及び位相が略同一の電圧を印加する工程と、を含む、表示装置の駆動方法。

【請求項12】

前記導体と第2の電圧源はスイッチ素子を介して接続され、  
前記導体と前記交流電圧源はキャパシタを介して接続されている、請求項3に記載の表示装置。

20

【請求項13】

前記第1の導電膜と第3の電圧源はスイッチ素子を介して接続され、  
前記第1の導電膜と前記交流電圧源はキャパシタを介して接続されている、請求項3に記載の表示装置。

【請求項14】

前記導体を駆動する駆動回路と、  
前記駆動回路の電源入力端子と、  
前記電源入力端子に与える電圧を生成する電源回路と、を備え、  
前記電源入力端子と前記電源回路はスイッチ素子を介して接続され、  
前記電源入力端子と前記交流電圧源はキャパシタを介して接続されている、請求項3に記載の表示装置。

30

【請求項15】

前記走査線を駆動する走査線駆動回路と、  
前記走査線駆動回路の電源入力端子と、  
前記電源入力端子に与える電圧を生成する電源回路と、を備え、  
前記電源入力端子と前記電源回路はスイッチ素子を介して接続され、  
走査線駆動回路の電源入力端子と前記交流電圧源はキャパシタを介して接続されている、請求項6に記載の表示装置。

【請求項16】

請求項12乃至15のいずれか1項に記載の表示装置を備えている、電子機器。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置及び表示装置の駆動方法に関し、特に、表示面において指やペンによって指し示された位置座標又は指し示す動作の有無を検出する表示装置及び表示装置の駆動方法に関する。

【背景技術】

【0002】

タッチセンサは、指やペンなどを用いて指し示された位置座標又は指し示す動作の有無

50

を検出する装置であり、現在は、通常、液晶表示装置(Liquid Crystal Display、LCD)やプラズマ表示装置(Plasma Display Panel、PDP)等の表示装置と組み合わせて用いられる。

【0003】

タッチセンサの出力を計算機に入力し、計算機によって表示装置の表示内容を制御したり、機器を制御したりすることにより、使い勝手の良いマンマシン・インターフェイスが実現される。現在、タッチセンサは、ゲーム機、携帯情報端末、券売機、現金自動預け払い機(ATM)、カーナビゲーション等、日常生活において広く利用されている。また、計算機の高性能化及びネットワーク接続環境の普及に伴い、電子機器によって供給されるサービスが多様化し、タッチセンサを備えた表示装置に対するニーズが拡大し続けている。

10

【0004】

タッチセンサの方式として、例えば、静電容量方式、抵抗膜方式、赤外線方式、超音波方式、電磁誘導方式が知られている。静電容量方式は、さらに、投影型(Projected Capacitive Type)と表面型(Surface Capacitive Type)に分類される。

【0005】

表面型のタッチセンサは、透明基板とその表面に形成された、均一な透明導電膜とその上面に形成された薄い絶縁膜とから成る。この透明導電膜を、位置検出導電膜と呼ぶ。このタッチセンサを駆動する際、位置検出導電膜の4隅に交流電圧が印加される。指でタッチセンサを触れた場合には、位置検出導電膜と指とによって形成されるキャパシタを介して、指に微小電流が流れる。この電流はそれぞれの隅からタッチした点に流れる。信号処理回路は、それぞれの電流の和に基づいて、タッチの有無を検出する。また、信号処理回路は、それぞれの電流の比に基づいて、タッチ位置の座標を計算する。このような表面型のタッチセンサに関する技術については、特許文献1に基本的な装置が開示されている。また、これに関連する公知例として、特許文献2が挙げられる。

20

【0006】

かつては、上記のような、透明基板を構成要素のひとつとする表面型のタッチセンサと、表示装置とを重ね合わせて使用していた。しかしながら、かかる場合には、タッチセンサ自体の厚みのために、表示装置の厚みや重量が大きくなってしまいう問題や、画面を覆う部材に起因して表示品位が損なわれる問題があった。これらの問題を解決する技術が、一例として、特許文献3に記載されている。特許文献3において、表面型の位置検出導電膜が、カラーフィルタ基板の表裏いずれかの面に、カラーフィルタ基板と一体化して設けられた液晶表示装置が記載されている。後述する電気的な影響、すなわちノイズを考慮した場合には、位置検出導電膜は、共通電極であるITO(Indium Tin Oxide、酸化インジウムスズ)膜よりも偏光板に近い側に設けられていることが望ましいとされ、かかる構成により、従来、液晶表示装置とは別に必要とされていた透明基板を不要とし、軽量、薄型化を可能とするとともに、画質劣化を防いでいる。

30

【0007】

特許文献3においては、ノイズシールド効果に関し、以下の記載がある。表面型のタッチセンサは、その性質上、ノイズの影響をきわめて受けやすい。液晶表示装置の場合、画素電極の電位が変動するので、ノイズの影響を受けることとなる。しかし、液晶表示装置では、電極の駆動法として共通電極の電位を固定または一定周期で反転しているため、位置検出用導電膜と、TFTアレイとの間に存在する共通電極(ITO膜)をノイズシールドとして利用することが可能となる。つまり、特許文献3によると、位置検出導電膜と画素電極との間に存在する、固定電位に接続された共通電極が、ノイズシールドの役割を果たすとされている。

40

【0008】

特許文献4において、次の記載がされている。すなわち、位置検出導電膜がカラーフィルタ基板と一体化された構造において、位置検出導電膜と共通電極とにより形成される容

50

量結合が、位置検出導電膜と人体との間の容量結合（有効キャパシタンス）よりもはるかに強いことが問題となることが指摘され、かかる問題を解決するための構造及び駆動方法が記載されている。問題を解決するための構造において、位置検出用導電膜と保護プレーン層とが第1の基板上において一体化され、保護プレーン層が位置検出用導電膜と共通電極との間に配置される。すなわち、位置検出導電膜と共通電極との間に、新たに保護プレーン層を設けた構造が記載されている。そして、その駆動方法においては、位置検出導電膜の信号の振幅をスケールしたり、位相シフトしたりすることによって生成される信号を、保護プレーン層に印加するものとされている。このようにして、位置検出導電膜と共通電極との間の容量結合を低下させている。

【0009】

10

特許文献5において、透明対向電極に対して表示用の電圧または電流を供給する液晶表示回路と、透明対向電極の複数の箇所から流れる電流を検出する位置検出回路と、これら回路のいずれか一方を透明共通電極と電気的に導通させるスイッチング回路とを備えた装置が記載されている。本特許文献において、透明対向電極を表示用の共通電極として用いる場合と、位置検出導電膜として用いる場合とを時間的に分離し、交互に切り替えるため、表示品位劣化の問題を解決できることが記載されている。

【0010】

特許文献6において、透明導電膜を有するタッチパネルを備えた表示装置の駆動装置が記載されている。すなわち、垂直帰線期間等のパネルの非表示期間中に、対向電極に対して、タッチパネルの透明導電膜に印加される信号と同じ信号を印加する対向電極駆動手段を備えた表示装置の駆動装置が記載されている。これにより、対向電極の電位とタッチパネルの透明導電膜の電位とが同じになるので、対向電極と透明導電膜との電位差に起因してタッチパネルに生じる誘起電圧を、位置検出精度を低下させない程度に小さくすることができる。

20

【先行技術文献】

【特許文献】

【0011】

【特許文献1】米国特許第4、293、734号明細書

【特許文献2】特表昭56-500230号公報

【特許文献3】特開2000-081610号公報

【特許文献4】特開2000-105670号公報

【特許文献5】特開2003-066417号公報

【特許文献6】特開2007-334606号公報

30

【発明の概要】

【発明が解決しようとする課題】

【0012】

以下の分析は、本発明者によってなされたものである。特許文献1ないし6に記載された表示装置には次のような問題点がある。

【0013】

第1の問題点は、人体の指と位置検出導電膜とによって形成される静電容量と比較して、位置検出導電膜の寄生容量が依然としてはるかに大きいことである。特許文献4においては、特許文献1ないし3において生じうるかかる問題に対し、新たに設けた保護プレーン層を利用することにより、位置検出導電膜と共通電極との間の容量結合を低下させる。また、特許文献6では、対向電極に対して、タッチパネルの透明導電膜に印加される信号と同じ信号を印加するため、特許文献4からの類推により、寄生容量が低減するものと考えられる。ところが、特許文献6に記載の技術をもってしても、（後に詳述するように）寄生容量は大きいため、位置座標の検出ができなかったり、信号処理回路が高コストになったりする問題がある。

40

【0014】

第2の問題点は、人の指と位置検出導電膜とで形成される静電容量と比較して、位置検

50

出導電膜の寄生容量の変動の方が大きいことである。特に、表示装置の表示内容に伴う変動が問題となる。この問題は、液晶分子の誘電率異方性に起因するものであり、表示内容によって配向が変化し、直接又は間接に位置検出導電膜の寄生容量に作用することによって生じる。この結果、信号処理回路は、指のタッチの有無を検出することができない等の問題が生じる。つまり、信号処理回路は、指のタッチで信号が変化したのか、又は、表示内容が変化したために信号が変化したのかを区別することができない。

【 0 0 1 5 】

第3の問題点は画素スイッチがオフを維持することができず、リーク電流が生じ、表示性能を劣化させることにある。特許文献5によると、位置検出期間においては、対向導電膜に2ないし3ボルトの交流電圧を印加するものとされている。このとき、画素電極はハイインピーダンス、かつ、対向電極と強い容量結合をしているため、画素電極も同様に2ないし3ボルトの範囲で変動する。したがって、画素スイッチである薄膜トランジスタ(Thin Film Transistor、TFT)のゲート・ソース間電圧( $V_{gs}$ )が変動し、画素スイッチが間欠的にオン状態となり得る(詳細については、図13を参照して後述する。)

10

【 0 0 1 6 】

そこで、タッチの有無やタッチ位置を精度良く検出することができるタッチセンサを備える表示装置及びかかる表示装置の駆動方法を提供することが課題となる。

【課題を解決するための手段】

【 0 0 1 7 】

本発明の第1の視点に係る表示装置は、  
対向する第1の面と第2の面との間に配された電気光学材料と、  
前記第1の面に配され、前記電気光学材料に電気信号を与える導体を有する第1の基板と、

20

前記第2の面に配され、前記電気光学材料に電気信号を与える第1の導電膜と、  
前記第1及び第2の面によって挟まれる領域の外側に配された第2の導電膜と、  
前記第2の導電膜における電流を検出する電流検出回路と、  
前記電流検出回路により電流が検出される期間に亘り、前記導体及び前記第1の導電膜のうち、より前記第2の導電膜の近くに配された一方に前記第2の導電膜と略同一の電圧を印加するとともに他方をフローティングとするか、又は、これらの双方に前記第2の導電膜と略同一の電圧を印加する制御回路と、を備えることを特徴とする。

30

【 0 0 1 8 】

第1の展開形態に係る表示装置は、  
前記電気光学材料が、液晶、電気泳動体、帯電粒子、エレクトロクロミック材料、EL材料、ガス、半導体又は蛍光体であることが好ましい。

【 0 0 1 9 】

第2の展開形態第1の展開形態に係る表示装置は、  
前記第2の導電膜に交流電圧を印加する交流電圧源を備え、  
前記電流検出回路は、前記交流電圧源と前記第2の導電膜との間における電流を検出することが好ましい。

40

【 0 0 2 0 】

第3の展開形態に係る表示装置は、  
前記電気光学材料が、液晶を主成分とし、  
前記第1の導電膜が、透明であり、  
前記第2の導電膜が、透明であり、前記第1及び第2の面によって挟まれる領域に対して、前記第1の導電膜と同じ側に配され、  
前記第1及び第2の導電膜に挟まれた第2の基板を備え、  
前記制御回路は、前記電流検出回路により電流が検出される期間に亘り、前記導体であって表示領域の内部から外部に亘って延在するものをフローティングするとともに前記第1の導電膜に前記第2の導電膜と略同一の電圧を印加するか、又は、これらの双方に前

50

記第 2 の導電膜と略同一の電圧を印加することが好ましい。

【 0 0 2 1 】

第 4 の展開形態に係る表示装置は、

前記導体が、表示領域内部から外部に亘って延在する蓄積容量線を含み、

前記制御回路は、前記電流検出回路により電流が検出される期間に亘り、前記蓄積容量線をフローティングとするとともに前記第 1 の導電膜に前記第 2 の導電膜と略同一の電圧を印加するか、又は、これらの双方に前記第 2 の導電膜と略同一の電圧を印加することが好ましい。

【 0 0 2 2 】

第 5 の展開形態に係る表示装置は、

前記導体が、表示領域内部から外部に亘って延在する走査線を含み、

前記走査線と前記走査線を駆動する走査線駆動回路とがスイッチ素子を介して接続されるか、又は、前記走査線駆動回路はハイレベル、ロウレベル及びハイインピーダンスの 3 値を出力するとともに前記走査線駆動回路と前記走査線とが直接接続されることが好ましい。

10

【 0 0 2 3 】

第 6 の展開形態に係る表示装置は、

前記電気光学材料が、液晶を主成分とし、

前記第 1 及び第 2 の導電膜はいずれも透明であり、

前記第 2 の導電膜は、前記第 1 及び第 2 の面によって挟まれる領域に対して、前記第 1 の導電膜と同じ側に配され、

前記第 1 の導電膜を配する第 2 の基板と、

前記第 2 の導電膜を配する第 3 の基板と、を備え、

前記制御回路は、前記電流検出回路により電流が検出される期間に亘り、前記導体であって表示領域内部から外部に亘って延在するものをフローティングとするとともに前記第 1 の導電膜に前記第 2 の導電膜と略同一の電圧を印加するか、又は、これらの双方に前記第 2 の導電膜と略同一の電圧を印加することが好ましい。

20

【 0 0 2 4 】

第 7 の展開形態に係る表示装置は、

前記電気光学材料が、液晶を主成分とし、

前記第 1 の導電膜は、不透明であるとともに開口部を有し、

前記第 2 の導電膜は、透明であり、前記第 1 及び第 2 の面によって挟まれる領域に対して、前記第 1 の導電膜と同じ側に配され、

前記第 1 及び第 2 の導電膜に挟まれた第 2 の基板を備え、

前記制御回路は、前記電流検出回路により電流が検出される期間に亘り、前記導体であって表示領域の内部から外部に亘って延在するものをフローティングとするとともに前記第 1 の導電膜に前記第 2 の導電膜と略同一の電圧を印加するか、又は、これらの双方に前記第 2 の導電膜と略同一の電圧を印加することが好ましい。

30

【 0 0 2 5 】

本発明の第 2 の視点に係る表示装置は、

電気光学材料と、

前記電気光学材料に電気信号を与える導体と、

前記電気光学材料に電気信号を与える第 1 の導電膜と、

表示装置の表示面に設けられた第 2 の導電膜と、

前記第 2 の導電膜における電流を検出する電流検出回路と、

前記電流検出回路により電流が検出される期間に亘り、前記導体及び前記第 1 の導電膜のいずれか一方に前記第 2 の導電膜と略同一の電圧を印加するとともに他方をフローティングとするか、又は、これらの双方に前記第 2 の導電膜と略同一の電圧を印加する制御回路と、を備えることを特徴とする。

40

【 0 0 2 6 】

50

第 8 の展開形態に係る電子機器は、上記の表示装置を備えることが好ましい。

【 0 0 2 7 】

本発明の第 3 の視点に係る表示装置の駆動方法は、

対向する第 1 の面と第 2 の面との間に配された電気光学材料と、

前記第 1 の面に配され、前記電気光学材料に電気信号を与える導体を有する第 1 の基板と、

前記第 2 の面に配され、前記電気光学材料に電気信号を与える第 1 の導電膜と、

前記第 1 及び第 2 の面によって挟まれる領域の外側に配された第 2 の導電膜と、を備える表示装置の駆動方法であって、

電流検出回路によって、前記第 2 の導電膜における電流を検出する工程と、

前記電流検出回路により電流が検出される期間に亘り、制御回路によって、前記導体及び前記第 1 の導電膜のうち、より前記第 2 の導電膜の近くに配された一方に前記第 2 の導電膜と略同一の電圧を印加するとともに他方をフローティングとするか、又は、これらの双方に前記第 2 の導電膜と略同一の電圧を印加する工程と、を含む。本発明の第 4 の視点に係る表示装置は、

対向する第 1 の面と第 2 の面との間に配された電気光学材料と、  
前記第 1 の面に配され、前記電気光学材料に電気信号を与える導体を有する第 1 の基板と、

前記第 2 の面に配され、前記電気光学材料に電気信号を与える第 1 の導電膜と、

前記第 1 及び第 2 の面によって挟まれる領域の外側に配された第 2 の導電膜と、

前記第 2 の導電膜における電流を検出する電流検出回路と、

前記電流検出回路により電流が検出される期間に亘り、前記導体及び前記第 1 の導電膜の双方に前記第 2 の導電膜に印加された電圧と振幅及び位相が略同一の電圧を印加する制御回路と、を備える。

本発明の第 5 の視点に係る表示装置は、

電気光学材料と、

前記電気光学材料に電気信号を与える導体と、

前記電気光学材料に電気信号を与える第 1 の導電膜と、

表示装置の表示面に設けられた第 2 の導電膜と、

前記第 2 の導電膜における電流を検出する電流検出回路と、

前記電流検出回路により電流が検出される期間に亘り、前記導体及び前記第 1 の導電膜の双方に前記第 2 の導電膜に印加された電圧と振幅及び位相が略同一の電圧を印加する制御回路と、を備える。

本発明の第 6 の視点に係る、表示装置の駆動方法は、

対向する第 1 の面と第 2 の面との間に配された電気光学材料と、

前記第 1 の面に配され、前記電気光学材料に電気信号を与える導体を有する第 1 の基板と、

前記第 2 の面に配され、前記電気光学材料に電気信号を与える第 1 の導電膜と、

前記第 1 及び第 2 の面によって挟まれる領域の外側に配された第 2 の導電膜と、を備える表示装置の駆動方法であって、

電流検出回路によって、前記第 2 の導電膜における電流を検出する工程と、

前記電流検出回路により電流が検出される期間に亘り、制御回路によって、前記導体及び前記第 1 の導電膜の双方に前記第 2 の導電膜に印加された電圧と振幅及び位相が略同一の電圧を印加する工程と、を含む。

【 発明の効果 】

【 0 0 2 8 】

本発明による第 1 の効果として、位置検出導電膜（第 2 の導電膜）の寄生容量（ないしは、寄生容量として検出される信号）が顕著に減少する。また、本発明による第 2 の効果として、人の指と位置検出導電膜とによって形成される静電容量と比較して、表示装置の表示内容に伴う静電容量の変動を小さくすることができる。したがって、本発明により、タッチの有無やタッチ位置を精度良く検出することができるタッチセンサを備える表示装

10

20

30

40

50



置及びかかる表示装置の駆動方法が提供される。

【 0 0 2 9 】

第 1 及び第 2 の効果が生じる理由は、次の通りである。第 1 の導電膜は、従来、表示装置の基板（第 1 の基板）と強い容量結合をしていたが、表示装置基板に形成された配線などの導体をフローティングにするか、これら導体に第 1 の導電膜と同一の電圧を印加することによって、第 1 の導電膜から見た表示装置基板の静電容量が低減する。これにより、第 1 の導電膜全体に第 2 の導電膜（位置検出導電膜）と略同一の電圧を印加することができるようになるからである。そして、この結果、第 1 の導電膜が、第 2 の導電膜に対する理想的なシールド層として機能するようになり、第 1 の導電膜と表示装置基板との間に配される誘電体の誘電率の変動によって生じる、第 1 の導電膜から見た表示装置基板の静電容量の変動を削減することができる。

10

【 0 0 3 0 】

第 3 の効果は、表示装置基板におけるスイッチング素子のオフ状態が保持され、表示特性の劣化を防ぐことができる。画素回路中における主要な導体は、第 1 の導電膜の振幅に合わせて変動するため、スイッチング素子（例えば、スイッチ T F T）のゲート・ソース間電圧  $V_{gs}$  は、表示期間終了時の電圧のまま保持されるからである。なお、詳細については、実施形態とともに後述する。

【 図面の簡単な説明 】

【 0 0 3 1 】

【 図 1 】 本発明の第 1 の実施形態に係る表示装置の構成を示すブロック図である。

20

【 図 2 】 本発明の第 2 の実施形態に係る表示装置の斜視図である。

【 図 3 】 本発明の第 2 の実施形態に係る表示装置における基板の斜視図である。

【 図 4 】 本発明の第 2 の実施形態に係る表示装置に接続される回路の回路図である。

【 図 5 】 本発明の第 2 の実施形態に係る表示装置における配線の電圧を示すタイミングチャートの一例である。

【 図 6 】 本発明の第 2 の実施形態に係る表示装置における画素回路部分を拡大した斜視図である。

【 図 7 】 本発明の第 2 の実施形態に係る表示装置における表示駆動電圧を示す図である。

【 図 8 】 本発明の第 2 の実施形態に係る表示装置における配線の電圧を示すタイミングチャートの一例である。

30

【 図 9 】 本発明の第 2 の実施形態に係る表示装置に対する対照実験を目的とする表示装置における基板の斜視図である。

【 図 1 0 】 本発明の第 2 の実施形態に係る表示装置に対する対照実験の結果を示す図である。

【 図 1 1 】 本発明の第 2 の実施形態に係る表示装置に対する対照実験の結果を解析するためのモデルを示す図である。

【 図 1 2 】 位置検出導電膜と対向電極との間のキャパシタに流れる電流の面内分布の例を示す図である。

【 図 1 3 】 従来の表示装置における配線の電圧のタイミングチャートの一例を示す図である。

40

【 図 1 4 】 本発明の実施例に係る表示装置における表示装置基板のレイアウトの一例を示す図である。

【 図 1 5 】 本発明の実施例に係る表示装置による実験結果を示す図である。

【 図 1 6 】 本発明の第 3 の実施形態に係る表示装置の一例の斜視図である。

【 図 1 7 】 本発明の第 3 の実施形態に係る表示装置を備える電子機器の一例の断面図である。

【 図 1 8 】 本発明の第 4 の実施形態に係る表示装置の一例の断面図である。

【 図 1 9 】 本発明の第 4 の実施形態に係る表示装置の一例の斜視図である。

【 図 2 0 】 本発明の第 5 の実施形態に係る表示装置の一例の断面の模式図である。

【 図 2 1 】 本発明の第 6 の実施形態に係る表示装置による位置検出の原理を示すための一

50

例たる回路図である。

【図 2 2】本発明の第 7 の実施形態に係る表示装置の一例の断面図である。

【図 2 3】本発明の第 7 の実施形態に係る表示装置の一例の回路図である。

【図 2 4】本発明の第 3 の 2 の実施形態に係る表示装置の構成の一例を示すブロック図である。

【図 2 5】本発明の第 3 の 2 の実施形態に係る表示装置における表示装置基板を示す斜視図である。

【図 2 6】本発明の第 3 の 2 の実施形態に係る表示装置における V 接続基板の設計概念を説明するための回路図である。

【図 2 7】本発明の第 3 の 2 の実施形態に係る表示装置の動作を解析するための等価回路図である。

【図 2 8】本発明の第 3 の 2 の実施形態に係る表示装置における V 接続基板の回路ブロック図である。

【図 2 9】本発明の第 3 の 2 の実施形態に係る表示装置による実験結果を示す図である。

【発明を実施するための形態】

【0032】

本発明の実施の形態について図面を参照して詳細に説明する。

【0033】

[実施形態 1]

図 1 は、本発明の第 1 の実施形態に係る表示装置の構成を示すブロック図である。図 1 を参照すると、表示装置 1 は、電気光学材料 2、導体 40、導電膜 A 12、導電膜 B 14、電流検出回路 13、及び、制御回路 30 を備える。

【0034】

導体 40 は、電気光学材料 2 に電気信号を与える。導電膜 A 12 は、電気光学材料 2 に電気信号を与える。導電膜 B 14 は、表示装置 1 の表示面に設けられる。電流検出回路 13 は、導電膜 B 14 における電流を検出する。制御回路 30 は、電流検出回路 13 により電流が検出される期間に亘り、導体 40 及び導電膜 A 12 のいずれか一方に導電膜 B 14 と略同一の電圧を印加するとともに他方をフローティングとするか、又は、これらの双方に導電膜 B 14 と略同一の電圧を印加する。

【0035】

また、表示装置 1 は、電気光学材料 2、基板 A 10、導電膜 A 12、導電膜 B 14、電流検出回路 13、及び、制御回路 30 を備えることが好ましい。

【0036】

電気光学材料 2 は、対向する第 1 の面と第 2 の面との間に配される。基板 A 10 は、前記第 1 の面に配され、電気光学材料 2 に電気信号を与える導体 40 を有する。導電膜 A 12 は、前記第 2 の面に配され、電気光学材料 2 に電気信号を与える。導電膜 B 14 は、前記第 1 及び第 2 の面によって挟まれる領域の外側に配される。電流検出回路 13 は、導電膜 B 14 における電流を検出する。制御回路 30 は、電流検出回路 13 により電流が検出される期間に亘り、導体 40 及び導電膜 A 12 のうち、より導電膜 B 14 の近くに配された一方に導電膜 B 14 と略同一の電圧を印加するとともに他方をフローティングとするか、又は、これらの双方に導電膜 B 14 と略同一の電圧を印加する。

【0037】

さらに、本実施形態に係る表示装置 1 の駆動方法として、次の方法が提供される。すなわち、表示装置 1 の駆動方法は、対向する第 1 の面と第 2 の面との間に配された電気光学材料 2 と、前記第 1 の面に配され、電気光学材料 2 に電気信号を与える導体 40 を有する基板 A 10 と、前記第 2 の面に配され、電気光学材料 2 に電気信号を与える導電膜 A 12 と、前記第 1 及び第 2 の面によって挟まれる領域の外側に配された導電膜 B 14 と、を備える表示装置 1 の駆動方法である。かかる駆動方法は、電流検出回路 13 によって、導電膜 B 14 における電流を検出する工程と、電流検出回路 13 により電流が検出される期間に亘り、制御回路 30 によって、導体 40 及び導電膜 A 12 のうち、より導電膜 B 14 の

10

20

30

40

50

近くに配された一方に導電膜 A 1 2 と略同一の電圧を印加するとともに他方をフローティングとするか、又は、これらの双方に導電膜 A 1 2 と略同一の電圧を印加する工程と、を含むことが好ましい。

【 0 0 3 8 】

[ 実施形態 2 ]

本発明の第 2 の実施形態に係る表示装置について図面を参照して説明する。

【 0 0 3 9 】

[ 構成の説明 ]

図 2 は、本発明の第 2 の実施形態に係る表示装置の斜視図である。表示装置 1 は、基板 A 1 0 と、対向基板 1 9 と、これら基板に挟まれた電気光学材料（液晶等）2、及び、偏光板 7 0 2 a、7 0 2 b を備える。

10

【 0 0 4 0 】

対向基板 1 9 は、基板 B（ガラス基板等）2 3 と、基板 B 2 3 の液晶側の面に形成されたカラーフィルタ（非図示）と、カラーフィルタの液晶側の面に形成された導電膜 A 1 2 と、基板 B 2 3 の反対側の面に形成された導電膜 B 1 4 とを含む。導電膜 A 1 2 及び導電膜 B 1 4 は、一例として、ITO で形成された透明電導膜であってもよい。

【 0 0 4 1 】

導電膜 B 1 4 上には偏光板 7 0 2 a が、基板 A 1 0 の裏面には偏光板 7 0 2 b が、それぞれで貼り付けられる。

【 0 0 4 2 】

20

基板 A 1 0 上には、電気光学材料 2 に電気信号を与えるための複数の電極（非図示）と、導電膜 A 1 2 に対する電氣的接続をとるための電極 2 9 a ~ 2 9 d とが形成される。導電膜 A 1 2 と基板 A 1 0 とは、銀ペーストや導電粒子が混入されたシール剤を介して、導通手段 2 0 a ~ 2 0 d により、電氣的接続を取っている。

【 0 0 4 3 】

導電膜 B 1 4 の 4 隅には、L 字形の電極 2 8 a ~ 2 8 d を有するフレキシブルプリント基板（Flexible Printed Circuits、FPC）が、異方性導電体を介して接続される。図 2 において、これらの 4 箇所のノードは、それぞれ N a、N b、N c、N d の記号が付されている。これらのノードには、後述する電流検出回路の各端子が接続される。

30

【 0 0 4 4 】

表示装置 1 においては、液晶に電気信号を与えるために基板 A 1 0 に形成された複数の電極の形状（図 3 参照）と、導電膜 A 1 2 の形状との間の図形論理積によって表示領域 1 1 が形成される。また、表示装置 1 は、両電極によって電界を形成し、液晶層を透過する光の偏光状態を制御することにより、所望の画像を表示することができる。

【 0 0 4 5 】

表示装置 1 における基板 A 1 0 の詳細について、図面を参照して説明する。図 3 は、本実施形態に係る表示装置における基板 A 1 0 の斜視図である。

【 0 0 4 6 】

基板 A 1 0 上において、表示領域 1 1 に対応する画素マトリクス部が形成される。画素マトリクス部は、複数の信号線 4 a、4 b、4 c と、これらと交差する複数の走査線 6 a、6 b、6 c と、夫々の交点に対応して配置された画素回路と、を備える。画素回路は、画素スイッチ T F T と該スイッチ T F T に接続された蓄積容量と画素電極とから成る。画素スイッチ T F T のゲート電極には、T F T のオンオフを制御するための走査線 6 a、6 b、6 c が接続される。画素スイッチ T F T のドレイン電極又はソース電極の一方には、蓄積容量と画素電極、他方には画素電極に信号を供給するための信号線 4 a、4 b、4 c が接続される。蓄積容量線 8 a、8 b、8 c は複数の画素回路によって共有される。信号線 4 a ~ 4 c と走査線 6 a ~ 6 c 及び蓄積容量線 8 a ~ 8 c 等の電気光学材料（液晶等）2 に電気信号を与えるための複数の導体 4 0 は、表示領域 1 1 内部から外部に亘って延在するように配線される。

40

50

## 【 0 0 4 7 】

表示領域 1 1 外部には、表示領域 1 1 を駆動するための駆動回路が配設される。具体的には、駆動回路として、信号線を駆動するための信号線駆動回路 1 5、走査線を駆動するための走査線駆動回路 6 1 6 が配される。蓄積容量線 8 a ~ 8 c に電圧信号を与えるための回路は、基板 A 1 0 の外部に配設されており、ノード N e に接続されている。

## 【 0 0 4 8 】

走査線 6 a ~ 6 c の信号パスに対してスイッチ 1 6 a ~ 1 6 c を設け、信号線 4 a ~ 4 c の信号パスに対してスイッチ 1 7 a ~ 1 7 c を設けた。スイッチ 1 6 a ~ 1 6 c をオフ状態とすることにより、表示領域 1 1 内部にその大部分が存在する走査線 6 a ~ 6 c は、表示領域 1 1 外部の回路に対してハイインピーダンスとなり、フローティングとなる。同様に、スイッチ 1 7 a ~ 1 7 c をオフ状態とすることにより、表示領域 1 1 内部にその大部分が存在する信号線 4 a ~ 4 c は、表示領域 1 1 外部の回路に対してハイインピーダンスとなり、フローティングとなる。

10

## 【 0 0 4 9 】

一方、蓄積容量線 8 a ~ 8 c は、表示領域 1 1 外周部に設けた蓄積容量バス配線 7 0 3 の支線となるように配設される。蓄積容量バス配線 7 0 3 は、導電膜 A 1 2 と導通手段 2 0 a ~ 2 0 d を介して電氣的に接続されるようにした。つまり、蓄積容量線 8 a ~ 8 c と蓄積容量バス配線 7 0 3 と、導電膜 A 1 2 とは、電氣的に接続されている。

## 【 0 0 5 0 】

本実施形態において、基板 A 1 0 は、例えば、低温ポリシリコン T F T の製造プロセスを用いて作成し、スイッチ 1 6 a ~ 1 6 c、1 7 a ~ 1 7 c は、n 型 T F T を用いたアナログスイッチにより構成する。また、信号線駆動回路 1 5、走査線駆動回路 6 1 6 は、一例として、n 型 T F T および p 型 T F T を用いて構成する。

20

## 【 0 0 5 1 】

図 4 は本実施形態に係る表示装置 1 に接続される回路の回路図である。図 4 を参照しつつ、導電膜 B 1 4 のノード N a、N b、N c、N d、及び、表示装置基板のノード N e を介して接続される回路について説明する。図 4 に示すノード N a ~ N e は、図 2 に示すノード N a ~ N d、及び、図 3 に示すノード N e に対応する。

## 【 0 0 5 2 】

ノード N a ~ N d には、電流検出回路 1 3 a ~ 1 3 d を介して、単極双投スイッチ 2 1 a ~ 2 1 d を接続する。単極双投スイッチ 2 1 a ~ 2 1 d の 2 接点の一方には交流電圧源 2 2 を接続し、他方（すなわち、図 4 で C O M と記載されたノード）には蓄積容量線駆動回路を接続する。交流電圧の波形は、一例として、正弦波を利用することができる。

30

## 【 0 0 5 3 】

導電膜 B 1 4、電流検出回路 1 3 a ~ 1 3 d、単極双投スイッチ 2 1 a ~ 2 1 d、及び、交流電圧源 2 2 は、信号パスに沿ってこの順番に順次接続される。この順番は、単極双投スイッチ 2 1 a ~ 2 1 d の寄生容量の充放電電流を検出しないためには、かかる順番で接続することが重要となる。導電膜 B 1 4、単極双投スイッチ 2 1 a ~ 2 1 d、電流検出回路 1 3 a ~ 1 3 d、交流電圧源 2 2 の順で接続した場合には、電流検出回路 1 3 a ~ 1 3 d は導電膜 B 1 4 の充放電電流に加えて、単極双投スイッチ 2 1 a ~ 2 1 d の寄生容量の充放電電流を検出することになり、限られた信号のダイナミックレンジを浪費してしまい、望ましくない。

40

## 【 0 0 5 4 】

ノード N e には、単極双投スイッチ 2 1 e が接続される。単極双投スイッチ 2 1 e の他の 2 接点の一方には交流電圧源 2 2 を、他方には蓄積容量線駆動回路を接続する。かかる構成により、これら 2 つの信号のうちから、単極双投スイッチ 2 1 e によって選択された一方の信号が蓄積容量線 8 a ~ 8 c 及び導電膜 A 1 2 に供給される。

## 【 0 0 5 5 】

以下の説明では、単極双投スイッチ 2 1 a ~ 2 1 d、電流検出回路 1 3 a ~ 1 3 d などにおける添え字 a ~ d を適宜省略する。ただし、対象を特定する場合には、添え字を付す

50

る。

【 0 0 5 6 】

[ 動作の説明 ]

次に、本実施例に係る表示装置 1 の動作について説明する。まず、表示装置 1 の全体構成と動作に関し、図面を参照しつつ説明する。図 5 は、図 2 及び図 3 に示した表示装置 1 の主要な導体の電圧を示すタイミングチャートである。図 5 を参照すると、V a は導電膜 B 1 4 の電圧、V c は導電膜 A 1 2 の電圧、V e は各蓄積容量線 8 a ~ 8 x ( 8 x は最後の蓄積容量線を示す。 ) の電圧、6 a ~ 6 x は各走査線を走査の順に示している。図 3 は、3 本の走査線のみを明示しているが、走査線の本数は任意とすることができる。図 5 における 6 x は最後に走査される走査線の電圧に対応する。

10

【 0 0 5 7 】

また、図 5 において、記号 S W で示された波形は、図 3 に示すスイッチ 1 6 及びスイッチ 1 7、並びに、図 4 に示すスイッチ 2 1 の状態を決める制御信号の電圧を示す。表示装置 1 は、駆動時において、表示のための電圧を画素に書き込むための表示駆動期間と、指 2 4 の位置又は指し示す動作の有無を検出するために電流検出回路 1 3 が電流を検出する位置検出期間と、を有する。これらの 2 つの期間は、時間的に分割されている。位置検出期間として、走査線の走査が行われていない非表示駆動期間である垂直ブランキング期間を利用することができる。

【 0 0 5 8 】

位置検出期間において、各スイッチは図 3 および図 4 に記載した状態とされる。すなわち、スイッチ 1 6 a ~ 1 6 c、スイッチ 1 7 a ~ 1 7 c は全てオフ状態とされ、信号線 4 a ~ 4 c、走査線 6 a ~ 6 c は表示領域 1 1 外部の導体に対してハイインピーダンスとされ、フローティングとなる。また、単極双投スイッチ 2 1 a ~ 2 1 d は電流検出回路 1 3 a ~ 1 3 d を含む交流電圧源 2 2 側に対して導通状態とされる。また、単極双投スイッチ 2 1 e は、交流電圧源 2 2 側に対して導通状態とされる。

20

【 0 0 5 9 】

この状態は、図 5 の S W 信号を B の状態 ( すなわち、ハイレベル ) とすることによって実現される。

【 0 0 6 0 】

このようなスイッチの状態において、交流電圧源 2 2 によって生成される同振幅で同相の交流電圧を導電膜 B 1 4 の 4 隅に印加する。また、スイッチ 2 1 e を介して、同様に、交流電圧を導電膜 A 1 2 及び蓄積容量線 8 a ~ 8 c に印加する。このときの、各導体の電圧について、図 5 を参照して説明する。

30

【 0 0 6 1 】

図 5 の位置検出期間に着目すると、これらの導体には交流電圧源 2 2 から振幅及び位相が同一の交流電圧が印加されているため、同一の交流電圧波形が現れる。

【 0 0 6 2 】

また、各走査線 6 a ~ 6 c は、ハイインピーダンスであり、かつ、導電膜 A 1 2 と容量結合しているため、導電膜 A 1 2 の電圧と同振幅で電圧が変動する。

【 0 0 6 3 】

次に、指 2 4 のタッチに関する、表示装置 1 の動作について説明する。

40

【 0 0 6 4 】

導電膜 B 1 4 の 4 隅から与えた交流電圧は導電膜 B 1 4 全面に伝播し、指 2 4 によって形成されたキャパシタ 2 5 を介して指に電流が流れる。4 つの電流検出回路 1 3 a ~ 1 3 d により得られる電流に対応する信号に演算を施すことによって、指 2 4 によるタッチの有無や指の位置の座標の検出が可能となる。

【 0 0 6 5 】

かかる演算として、一例として、次式の演算を用いることができる。

$$x = k_1 + k_2 \cdot (i_2 + i_3) / (i_1 + i_2 + i_3 + i_4) \quad (\text{式 1})$$

$$y = k_1 + k_2 \cdot (i_1 + i_2) / (i_1 + i_2 + i_3 + i_4) \quad (\text{式 2})$$

50

## 【0066】

ここで、 $x$ は接触位置の $x$ 座標、 $y$ は $y$ 座標である。 $k_1$ 及び $k_2$ は定数である。また、 $i_1 \sim i_4$ は、図4に示した電流検出回路13a～13dにより検出される電流であり、 $i_1$ は13a、 $i_2$ は13b、 $i_3$ は13c、 $i_4$ は13dにより検出された電流である。

## 【0067】

上述のように、位置検出期間における導電膜B14は、表面型タッチセンサの透明導電膜の役割を果たす。

## 【0068】

次に、位置検出期間における画素回路の動作について、図6～図8を参照して説明する。

10

## 【0069】

図6は、本実施形態に係る表示装置1の画素回路部分を拡大した斜視図（導電膜A12を含む）及び周辺回路の模式図を示す。図6を参照すると、スイッチTFTを介して接続された画素電極26、信号線4、画素スイッチをオンオフする制御信号を与える走査線6が示されている。また、信号線4にはスイッチ17を介して信号線駆動回路15が接続され、走査線6にはスイッチ16を介して走査線駆動回路616が接続される。

## 【0070】

各導体上に示したアルファベット $V_c$ 、 $V_p$ 、 $V_s$ 、 $V_g$ 、 $V_d$ はその導体の電圧を表す記号として付した。キャパシタ $C_1$ 、 $C_2$ 、 $C_3$ は夫々順に、画素電極と導電膜A12間の静電容量、走査線と導電膜A12の静電容量、信号線と導電膜A12の静電容量を示す。蓄積容量および蓄積容量線は図示されていないが、蓄積容量は2端子の容量素子であり、その一端が画素電極に電氣的に接続されており、他の一端は蓄積容量線に接続されるよう、構成されている。

20

## 【0071】

本実施形態に係る表示装置の表示駆動期間における駆動電圧について、図面を参照して説明する。図7は、本実施形態に係る表示装置における表示駆動電圧の一例を示す。ここでは、導電膜A12の電圧 $V_c$ を一定とし、この電圧 $V_c$ に対して最大5Vの電圧を極性反転させて液晶に印加する駆動法を採用する場合を示す。図7を参照すると、導電膜A12の電圧 $V_c$ を6Vとし、 $V_c$ に対して+5Vの11Vの電圧が信号線を介して画素電極に印加される最大の電圧 $V_{pix\_high}$ となる。一方、導電膜A12の電圧 $V_c$ に対して-5Vの1Vの電圧が画素電極に印加される最小の電圧 $V_{pix\_low}$ となる。スイッチTFTのリーク電流を考慮し、スイッチオフ時における最大ゲート・ソース間電圧が-1Vとなるように、スイッチオフ時のゲート電圧 $V_{g\_off}$ を0Vとした。また、十分なオン電流が得られるように、スイッチオン時におけるゲート電圧 $V_{g\_on}$ を15Vとした。

30

## 【0072】

上記の駆動条件に基づいて本実施形態に係る表示装置を駆動した場合における、各導体の電圧について図面を参照して説明する。図8は、本実施形態に係る表示装置における配線の電圧を示すタイミングチャートの一例である。図8の表示駆動期間は、 $V_g$ に正極のパルス信号を与え、画素電極 $V_p$ に1Vを書き込んでいる場合を示す。その後、スイッチ16、17をオフ状態とし、位置検出期間に移行する。位置検出期間においては、前述の通り、導電膜A12に交流電圧が印加される。ここでは、オフセット電圧6V、振幅2Vの交流電圧 $V_c$ を与える。このとき、適当な厚み（一例として、4ミクロン）の液晶層を挟んで対向する各導体、すなわち、画素電極、走査線及び信号線は、ハイインピーダンスであり、キャパシタ $C_1$ 、 $C_2$ 、 $C_3$ を介して導電膜A12と容量結合しているため、導電膜A12の振幅と同じ振幅で変動する。したがって、図8に示された例においては、信号線の電圧 $V_d$ は、6Vかつハイインピーダンスとされたため、オフセット電圧6V、振幅2Vの電圧となる。走査線の電圧も同様に、オフセット電圧0V、振幅2Vとなる。画素電極の電圧 $V_p$ も、最小の値をとる場合について例示すると、オフセット電圧1V、振

40

50

幅 2 V となる。なお、画素電極はスイッチ T F T (Thin Film Transistor、薄膜トランジスタ) のソース電極に接続されているため、スイッチ T F T のソース電極の電圧  $V_s$  は、画素電極の電圧  $V_p$  と等しい。このように、画素回路中の全ての導体が透明導電膜の振幅に合わせて変動するため、スイッチ T F T のゲート・ソース間電圧  $V_{gs}$  は、表示駆動期間終了時における電圧、すなわち、図 8 に示す例においては - 1 V の電圧が位置検出期間においても保持される。

【 0 0 7 3 】

つまり、位置検出期間においては、導電膜 A 1 2 に交流電圧を印加しても、画素回路に含まれるすべての導体の電圧は、導電膜 A 1 2 の振幅と同じ振幅で変動するため、液晶に印加される電圧 ( $V_c - V_p$ ) や、スイッチ T F T のゲート・ソース間電圧  $V_{gs}$  は変動しない。したがって、位置検出期間における表示装置の駆動は、画質劣化の要因とはならない。

10

【 0 0 7 4 】

一方、表示駆動期間においては、各スイッチは図 3、図 4 に示す状態とは逆の状態とされる。すなわち、スイッチ 1 6 a ~ 1 6 c 及びスイッチ 1 7 a ~ 1 7 c は、すべてオン状態とされ、信号線 4、走査線 6 は、表示領域 1 1 の外部の導体に対してロウインピーダンスとされる。また、単極双投スイッチ 2 1 は、COM 側に対して導通状態とされ、蓄積容量線 8、導電膜 A 1 2、導電膜 B 1 4 には、蓄積容量線駆動回路より、従来の LCD における対向電極と同様の電圧が与えられ、この導電膜 A 1 2 と画素電極とによって、これらの間に配された電気光学材料 (液晶等) 2 に対する、表示のための電圧が書き込まれる。

20

【 0 0 7 5 】

この状態は、図 5 の S W 信号を A (すなわち、ロウレベル) とすることにより実現される。このような状態において、従来のアクティブマトリクス型 LCD 同様に走査線を順に走査し、信号線を通して表示のための電圧を画素に書き込む。

【 0 0 7 6 】

[ 効果の説明 ]

本実施形態に係る表示装置による第 1 の効果として、導電膜 B 1 4 の寄生容量 (厳密には、寄生容量として検出される信号) を顕著に減少させることができる。また、本実施形態に係る表示装置による第 2 の効果として、人の指 2 4 と導電膜 B 1 4 とで形成される静電容量と比較して、表示装置の表示内容に伴う静電容量の変動を小さくすることができる。以下では、これらの効果を実証するために行った対照実験とともに、これらの効果について説明する。

30

【 0 0 7 7 】

図 9 は、本実施形態に係る表示装置に対する対照実験を目的として作成された表示装置の基板 A 1 0 である。図 9 における基板 A 1 0 と本実施形態に係る表示装置の基板 A 1 0 (図 3) との相違は、走査線 6 a ~ 6 c をハイインピーダンスにするためのスイッチ群の有無及び蓄積容量線 8 a ~ 8 c に交流電圧を印加する手段の有無である。すなわち、図 9 における基板 A 1 0 は、従来の表示装置における基板と同様に、表示領域内外に延在する走査線 6 a ~ 6 c は走査線駆動回路に直接接続されているため、位置検出期間においてフローティングとすることができない。蓄積容量線 8 a ~ 8 c は、従来の蓄積容量線駆動回路に接続されているため、位置検出期間において正弦波を印加する駆動ができず、フローティングとすることもできない。このような従来の表示装置の基板の公知例として、例えば、特開 2 0 0 7 - 2 4 0 8 3 0 号公報の図 2 が挙げられる。

40

【 0 0 7 8 】

次に、対照実験用の表示装置 (図 9) と本実施形態に係る表示装置との間における共通点について説明する。対照実験を目的として作成された表示装置の対向基板は、図 2 に示す本実施形態に係る表示装置における対向基板 1 9 と同一である。つまり、対向基板 1 9 の面のうち指でタッチする側の面に位置検出用導電膜 B 1 4 が形成され、対向基板 1 9 の面のうち液晶と接する側の面に導電膜 A 1 2 が形成される。また、ノード N a ~ N e に接続される回路は、図 4 に示す本実施形態に係る表示装置におけるものと同じである。この

50

ため、位置検出期間は、導電膜 B 1 4 及び導電膜 A 1 2 の双方に振幅と位相が同一の交流電圧を印加できる。

【 0 0 7 9 】

それぞれの表示装置について、位置検出期間における電流検出回路 1 3 に流れる電流値を計測し、計測された電流値を換算して導電膜 B 1 4 の静電容量を求めた。具体的には、表示装置の全面に白色を表示させて、偏光板 7 0 2 a に指が触れていない場合における静電容量、及び、指が触れている場合の静電容量を測定した。指で触れていない場合の静電容量は、導電膜 B 1 4 の寄生容量に相当する。また、表示装置の全面に白色を表示させた場合の寄生容量と併せて、表示装置の全面に黒色を表示させた場合の寄生容量も測定した。

10

【 0 0 8 0 】

実験結果について図面を参照して説明する。図 1 0 は、本実施形態に係る表示装置に対する対照実験の結果を示す図である。まず、寄生容量（すなわち、指が表示装置に触れていない場合の静電容量）に着目する。全面に白色を表示した場合の寄生容量は、対照実験用の表示装置において 1 3 3 p F であったものが、本発明の表示装置においては 7 . 8 p F となった。これにより、上記の第 1 の効果を定量的に確認することができた。実際、本実施形態に係る表示装置を用いることによって、対照実験と比較して、寄生容量を 1 7 分の 1 に削減することができる。指 2 4 に相当するキャパシタ 2 5（図 2）の静電容量は、およそ 1 1 p F であることを考慮すると、対照実験で得られた寄生容量 1 3 3 p F は、指の静電容量の 1 2 倍以上の値である。このことは、位置検出やタッチ検出に関する信号処理回路の高コスト化や S N 低下につながる。なぜなら、信号処理回路には、寄生容量に指の静電容量が重畳された信号が入力されることとなるので、入力された信号振幅のうち 1 2 / 1 3 が寄生容量によるものである。したがって、回路の限られたダイナミックレンジのうちの大部分を寄生容量によって占められてしまう。一方、本実施形態に係る表示装置においては、この寄生容量は 7 . 8 p F であり、指の静電容量 1 1 p F よりも小さい。

20

【 0 0 8 1 】

図 1 0 を別の視点から分析すると、次のことが分かる。すなわち、対照実験用の表示装置においては、検出された静電容量のみに基づいて、タッチの有無を正確に検出することができないという問題がある。図 1 0 を参照すると、対照実験用の表示装置の寄生容量は、白色表示時において 1 3 3 p F であるのに対して、黒色表示時においては 1 5 5 p F である。一方、白色表示時においてタッチした場合に検出される静電容量は、寄生容量と指の容量との和として得られる 1 4 4 p F である。両者を比較すると、タッチによる静電容量の増加（1 1 p F）よりも、白色から黒色に表示を変更したことによる静電容量の増加（2 2 p F）の方が大きい。

30

【 0 0 8 2 】

ところで、通常、タッチの有無は次のように検知する。すなわち、タッチしていないときの静電容量を基準値とし、かかる基準値に所定の静電容量を加えた値をしきい値として設定した場合において、検出された静電容量がそのしきい値を超えたときに、タッチがあったものと検知する。対照実験用の表示装置では、表示内容の（白黒）変化に伴う静電容量変化が、タッチの有無による変化よりも大きいため、タッチの有無を検出することができない。

40

【 0 0 8 3 】

一方、本実施形態に係る表示装置においては、寄生容量は白色の表示時において 7 . 8 p F、黒色の表示時において 8 . 0 p F であり、表示内容（白黒）によってほとんど変化せず、一方で、タッチしたときの静電容量は 1 9 . 6 p F である。したがって、タッチの有無を正確に検知することができる。このように、人の指 2 4 と導電膜 B 1 4 とによって形成される静電容量と比較して、表示装置の表示内容の変更に伴う静電容量の変化を小さくすることができる。したがって、本実施形態に係る表示装置によって、上述の第 2 の効果が得られる。

【 0 0 8 4 】

50



ところで、本実施形態に係る表示装置によって、上記の効果が得られ、対照実験用の表示装置において、上記の問題が生じるメカニズムは当業者の予測をはるかに超えている。なぜなら、特許文献4や特許文献6に記載された技術から類推すると、対照実験用の表示装置において、上記の問題が生じることはないと考えられるからである。対照実験用の表示装置の導電膜A12には導電膜B14と同一の交流電圧が印加されているため、特許文献4記載の保護プレーン層と同等の機能を有するものと、発明者らは考えた。すなわち、導電膜B14の寄生容量は十分小さいはずであると考えた。また、導電膜B（位置検出用導電膜）と導電膜A12とに同一の交流電圧を印加しているため、特許文献6に記載されているように、導電膜A12と導電膜B14との電位差に起因してタッチパネルに生じる誘起電圧を、位置検出の精度を低下させない程度に小さくできるものと考えた。しかし、

10

【0085】

発明者らは、これらの現象を解析するとともに理由を解明し、本発明に至った。以下では、発明者らの解析結果に基づいて、対照実験を目的とした表示装置や公知文献における表示装置において上記の問題が生じる理由、及び、本実施形態に係る発明によってこの問題が解決される理由を説明する。

【0086】

図11は、本発明の第2の実施形態に係る表示装置に対する対照実験の結果を、回路シミュレーションに基づいて解析するためのモデルを示す。図11(a)は、対照実験用の表示装置に対するモデルを示す。導電膜B（位置検出用導電膜）14、導電膜A12及び

20

基板A10を、それぞれ抵抗面体とした。導電膜B14及び導電膜A12のシート抵抗は、それぞれ実際の表示装置におけるものと同じの $800 \Omega$ 、 $15 \Omega$ とした。

【0087】

基板A10に相当する抵抗面は、基板A10上に形成されている信号線、ゲート線、蓄積容量線等の導体をまとめてモデル化したものであり、そのシート抵抗は $1 m \Omega$ とした。それぞれの抵抗面間には、キャパシタC1及びC2が存在し、その静電容量はそれぞれ $895 pF$ 、 $26.5 nF$ である。これらの静電容量の値は、対角3.5インチのLCDに対する実測結果に基づくものである。

【0088】

対照実験用の表示装置における信号線、ゲート線、蓄積容量線等の導体は、フローティングとされず、いずれも固定電位に接続されている。したがって、交流的な回路モデルを考えると、基板A10は配線によってグランド704に接続されているものとすることができる。

30

【0089】

このような3枚の抵抗面に、実際の表示装置と同様に、交流電圧源22及び電流検出回路13を接続した。図11(a)においては、1つの隅に対する、交流電圧源22及び電流検出回路13を示したが、実際に解析を行う際は、残りの3つの隅にもこれらが接続されることに留意されたい。

【0090】

抵抗面の抵抗、及び、抵抗面間において形成されるキャパシタは分布定数であり、回路シミュレーションの際には、複数の抵抗要素、キャパシタ要素に分割して扱った。

40

【0091】

図11の(b)は、本実施形態に係る表示装置のモデルを示す。図11(a)との違いは、基板Aが配線で直接グランドに繋がれるのではなく、キャパシタC5を介してグランドに接続される点である。これは、信号線4や走査線6はフローティングにされるため、これらの線を直流的にグランドに接続せずにフローティングにした際におけるスイッチのオフ容量等を介してグランドに接続される様子をモデル化したためである。図中に示したキャパシタC5の静電容量値( $200 pF$ )は、実験から求めたものである。

【0092】

図11の(b)においては、交流電圧源22、電流検出回路13、キャパシタC5は1

50

つの隅にのみ接続されているが、図 1 1 ( a ) と同様、解析を行う際は、残りの 3 つの隅にも接続される。したがって、基板 A 1 0 は、4 隅において、合計すると 8 0 0 p F のキャパシタを介してグランドに接続される。

【 0 0 9 3 】

なお、実際の表示装置では、信号線 4、走査線 6 は、フローティングにされるものの、蓄積容量線 8 はフローティングではなく、代わりに交流電圧を与えている。しかし、後述するように、蓄積容量線 8 に交流電圧を与えた場合と、蓄積容量線 8 を、走査線 6 と同様にフローティングとした場合とを、同視することができる。したがって、ここでは、図 1 1 ( b ) に示すモデルに基づいて解析を行う。

【 0 0 9 4 】

上記の両モデルに対して、導電膜 B 1 4 及び導電膜 A 1 2 に振幅と位相が等しい 1 0 0 k H z の交流電圧を印加し、電流検出回路 1 3 の電流値を換算することにより、導電膜 B 1 4 の寄生容量を求めた。この結果、対照実験用の表示装置のモデルにおいて 1 6 0 p F ( 実測値は 1 3 3 p F )、本実施形態に係る表示装置のモデルにおいて 4 . 7 p F ( 実測値は 7 . 8 p F ) となり、ほぼ実測に近い値が得られた。このように、導電膜 B 1 4 に電流が流れ、寄生容量が観測されるということは、C 1 又は C 3 に電流が流れていることに他ならない。上述の通り、C 1 や C 3 は、複数のコンデンサによって近似した。この複数のコンデンサのそれぞれにおける電流を調べることによって、面内の電流分布を知ることができる。

【 0 0 9 5 】

図 1 2 は、導電膜 B ( 位置検出導電膜 ) 1 4 と導電膜 A ( 対向電極 ) 1 2 との間のキャパシタに流れる電流の面内分布の例を示す。図 1 2 ( a ) は対照実験用の表示装置における電流分布、( b ) は本発明の表示装置における電流分布である。図 1 2 は、導電膜 B 1 4 の座標位置 x、y におけるキャパシタ要素、すなわち、図 1 1 の C 1 や C 3 を複数に分割したキャパシタ要素における電流をプロットしたものである。図 1 2 ( a ) に示す対照実験用モデルでは、図 1 2 ( b ) と比較して大きな電流が流れる。また、特徴的な点として、4 隅においては電流値が小さく、中心に向かって電流値が増大していることが挙げられる。

【 0 0 9 6 】

導電膜 B 1 4 と導電膜 A 1 2 とに同一の位相、振幅の交流信号を与えているにも関わらず電流が流れることから、導電膜 B 1 4 における 1 点と、導電膜 A 1 2 において、その点に対応する点との間で異なる電圧となっていることを示している。そして、上記の結果から、4 隅の点では同一電位であるものの、面の中心に向かうに従って、導電膜 B 1 4 と導電膜 A 1 2 の 2 面間で電位差が大きくなっている。

【 0 0 9 7 】

この原因は、導電膜 A 1 2 から見た基板 A 1 0 の静電容量と導電膜 A 1 2 の抵抗とによって決まる時定数により、導電膜 A 1 2 の面内の中心付近と縁との間で位相や振幅が異なるためである。とくに、図 1 1 ( a ) の構成の場合、導電膜 A 1 2 から見た基板 A 1 0 の静電容量 ( すなわち、キャパシタ C 2 の静電容量 ) は 2 6 . 5 n F と極めて大きい。このため、導電膜 A 1 2 の 4 隅から、導電膜 B 1 4 と同じ交流信号を与えているにも関わらず、両面間に大きな電流が流れ、結果として、導電膜 B 1 4 の寄生容量が大きく見えてしまうのである。

【 0 0 9 8 】

一方、本実施形態に係る表示装置のモデル ( 図 1 1 ( b ) ) においては、導電膜 A 1 2 からみた導電膜 B 1 4 の静電容量は、キャパシタ C 4 ( 2 6 . 5 n F ) とキャパシタ C 5 の 4 倍 ( 8 0 0 p F ) とを直列にした容量として、7 8 0 p F となる。この値は、図 1 1 ( a ) の構成と比較して極めて小さい値であり、結果として、導電膜 A 1 2 に、導電膜 B 1 4 と同様な電圧信号が面内部まで伝わり、導電膜 B 1 4 の寄生容量が小さく見えることになる。以上が、本実施形態に係る表示装置において、上述した第 1 の効果が生まれる理由である。

10

20

30

40

50

## 【 0 0 9 9 】

次に、本実施形態に係る表示装置によって第2の効果が生じる理由を説明する。導電膜 A 1 2 と基板 A 1 0 との間のキャパシタ C 2 及び C 4 ( 図 1 1 ) の静電容量は、電気光学材料(一例として、誘電体である液晶) 2 の誘電率の関数である。液晶は誘電率異方性を有するため、誘電率の値は液晶分子の長軸方向とその垂直方向との間で、例えば3倍変化する。特に、TN ( Twisted Nematic ) 型の液晶表示装置の場合には、液晶分子の長軸は白表示において導電膜 A 1 2 と並行、黒表示において導電膜 A 1 2 とほぼ垂直となり、誘電率異方性の影響を大きく受ける。

## 【 0 1 0 0 】

図 1 1 ( a ) の対照実験用の表示装置のモデルにおいては、導電膜 A 1 2 から見た静電容量はキャパシタ C 2 の静電容量そのものであるため、キャパシタ C 2 の値自体が大きい場合には、導電膜 A 1 2 の時定数は表示内容に応じて大きく変化する。一方、図 1 1 ( b ) に示す本実施形態に係る表示装置のモデルの場合、導電膜 A 1 2 から見た基板 A 1 0 の静電容量は、およそ、キャパシタ C 5 の静電容量を4倍した値によって決定される(上記の通り、図 1 1 を簡略化するため、キャパシタ C 5 は1つの隅についてのみ記載した。しかし、実測及び解析の際には、同一の静電容量のキャパシタを4隅に接続する。)。したがって、本実施形態においては、導電膜 A 1 2 から見た基板 A 1 0 の静電容量はその値が小さいため、C 4 の静電容量が変化した場合であっても、導電膜 A 1 2 から見た基板 A 1 0 の静電容量はほとんど変化しない。ゆえに、上記の第2の効果が得られる。

## 【 0 1 0 1 】

以上より、第1及び第2の効果を得るには、導電膜 A 1 2 から見た基板 A 1 0 の静電容量を小さくすれば良いことが分かる。本実施形態に係る表示装置は、基板 A 1 0 上に存在する導体 4 0 をフローティングにする、又は、基板 A 1 0 上に存在する導体 4 0 に、導電膜 A 1 2 と同一の交流電圧を印加することを特徴とする。

## 【 0 1 0 2 】

( 第3の効果 )

図 8 に関する上記の説明において、本発明の構成の場合、スイッチ T F T のゲート・ソース間電圧  $V_{gs}$  は表示期間終了時の電圧 ( - 1 V ) が位置検出期間中も保持されることを説明した。ゲート・ソース間電圧  $V_{gs}$  が - 1 V となるのは、画素に書き込む電圧が最低の場合であり、図 7 の  $V_{pix\_low}$  ( 1 V ) の場合である。

## 【 0 1 0 3 】

一方、特許文献 5 や特許文献 6 に記載の発明を実施した場合には、 $V_{gs}$  の値は変動する。この点に関して図 1 3 を参照して説明する。図 1 3 は、従来の表示装置における配線の電圧のタイミングチャートの一例を示す図である。

## 【 0 1 0 4 】

位置検出期間において、画素電極はハイインピーダンスであり、導電膜 A 1 2 と静電容量を介して容量結合されているため、導電膜 A 1 2 の振幅と同じ振幅で電位が変動する。したがって、図 1 3 に示すように、導電膜 A ( 対向電極 ) 1 2 に振幅 2 V の交流  $V_c$  を与えると画素電極の電位  $V_p$  もこれに応じて振幅 2 V で変動する。一方、走査線 6 の電圧  $V_g$  は、0 V に固定されている。したがって、スイッチ T F T のゲート・ソース間電圧  $V_{gs}$  は - 1 V をオフセット電圧とし、振幅 2 V で変動する。すなわち、 $V_{gs}$  は 1 V と - 3 V の間で変動する。したがって、スイッチ T F T を、一例として、閾値電圧が 0 V の n 型 T F T とした場合には、スイッチ T F T はオフ状態を保持し続けることができず、画質劣化をもたらすことになる。

## 【 0 1 0 5 】

一方、本実施形態に係る表示装の場合、前述の通り、トランジスタの  $V_{gs}$  は変動しない。このため、位置検出期間における駆動が画質劣化の要因とはならないという効果が得られる。

## 【 0 1 0 6 】

[ 実施形態 3 ]

本発明の第3の実施形態について図面を参照して説明する。図16は、本実施形態に係る表示装置の一例の斜視図である。本実施形態は、上記の第2の実施形態を変形したものである。実施形態2においては、対向基板19と導電膜B14とは一体として形成されている。一方、本実施形態においては、保護基板705と導電膜B(位置検出導電膜)14とを一体として形成する。基板A(表示装置基板)10の構成は、実施形態2におけるものと同一である。

【0107】

対向基板19は、基板B23と、基板B23の電気光学材料2側の面に形成されたカラーフィルタ(非図示)と、カラーフィルタの電気光学材料2側の面に形成された導電膜A12とを備える。銀ペースト又は導電粒子を混入させたシール剤等の導通手段20を介して、導電膜A12と基板A10との間の電氣的接続が取られる。基板B23の面のうち、導電膜A12が形成された面の反対側に位置する面に対して、偏光板702がのりで貼り付けられる。

10

【0108】

保護基板705の対向基板19側の面に対して、位置検出用導電膜B14が形成され、導電膜B14の4隅には、異方性導電体を介して、L形状の電極を有するフレキシブルプリント基板(FPC)を接続した。図16において、各ノードは、Na~Ndとした。これら4つのノードNa~Ndと、表示装置器基板のノードNeとを、実施形態2と同様に、図4に示す回路に接続した。本実施形態に係る表示装置の動作は、上記の実施形態2の動作と同様である。

20

【0109】

[効果の説明]

実施形態2に対する説明で述べたのと同様に、本実施形態に係る表示装置においても、上記の第1ないし第3の効果が得られる。また、本実施形態においては、実施形態1と比較して、より堅牢な表示装置が得られる。さらに、本実施形態に係る表示装置においては、平坦な、いわゆるシームレスな形状の電子機器が得られるという効果がある。以下では、図17を参照しつつ、本実施形態によってもたらされる効果について説明する。

【0110】

図17は、本実施形態に係る表示装置を備える電子機器の一例の断面図である。本実施形態においては、保護基板705は、筐体の上面から、一段掘り下げられた面900a、900bによって保持される。すると、指でタッチしたときの力は、保護基板705と筐体によって受け止められる。指でタッチしたときの力が、直接対向基板19に伝わらないため、電子機器の表示装置部分を堅牢にすることができる。

30

【0111】

さらに、表示装置の指押しムラを防止することができる。指押しムラとは、表示装置を指で押した場合に、液晶の配向が乱れる等の原因により、画面内に表示のムラが生じることをいう。

【0112】

また、保護基板705のタッチ面には、配線が不要であるため、図17に示すように、タッチ面と、筐体面との高さが一致する筐体に収めることによって、タッチ面と筐体面との間で高さの差のない、いわゆるシームレスな電子機器を実現することができる。

40

【0113】

[実施形態3の2]

本発明の第3の2の実施形態について、図24~図29を参照して説明する。本実施形態は、一例として、従来の薄膜トランジスタ液晶表示装置を使用して、本発明を実施した場合に相当する。従来の薄膜トランジスタ液晶表示装置の一例として、アモルファスシリコン薄膜トランジスタ液晶表示装置を使用することができる。

【0114】

図24は、本発明の第3の2の実施形態に係る表示装置1の構成の一例を示すブロック図である。図24を参照すると、表示装置1は、基板A10と、対向基板19と、これら

50

基板に挟まれた電気光学材料（例えば液晶）2（非図示）とを備えている。

【0115】

基板A10の左辺には、走査線駆動回路616が実装されたTAB（Tape Automated Bonding）304aが貼り付けられる。走査線駆動回路616は集積回路チップとして作成されている。TAB304aの他端は第1のプリント基板306a（以下、V接続基板）に貼り付けられる。基板A10の下辺には、信号線駆動回路15が実装されたTAB304bが貼り付けられる。信号線駆動回路15は集積回路チップとして作成されている。TAB304bの他端は、第2のプリント基板306b（以下、H接続基板）に貼り付けられる。

【0116】

H接続基板306b上には、タイミングコントローラ308が設けられている。タイミングコントローラ308は、表示装置1外部から供給される表示データ及びタイミング信号を含む制御信号を入力とし、信号線駆動回路15に供給される表示データ及びタイミング信号を含む制御信号を出力する。また、タイミングコントローラ308は、走査線駆動回路616に供給されるタイミング信号を含む制御信号を出力する。

【0117】

信号線駆動回路15に供給される表示データ及びタイミング信号を含む制御信号は、H接続基板306bの配線、信号線駆動回路15が実装されたTAB304bの配線を経由し、信号線駆動回路15の入力端子に供給され、信号線駆動回路15の出力信号は、TAB304bの配線を経由して、基板A10に形成された信号線4（非図示）に供給される。

【0118】

走査線駆動回路616に供給されるタイミング信号を含む制御信号は、H接続基板306bの配線、H接続基板306bとV接続基板306aを接続するFPC（フレキシブルプリント基板）310を経由し、V接続基板306aに供給され、さらに、V接続基板306aの配線、V接続基板306aに搭載されたスイッチ素子312、TAB304aの配線を経て走査線駆動回路616の入力端子に供給される。走査線駆動回路616の出力信号は、TAB304aの配線を経由して、基板A10に形成された走査線6（非図示）に供給される。

【0119】

H接続基板306b上には、VCOM駆動回路314が設けられる。VCOM駆動回路314は、図4に示した回路である。VCOM駆動回路314の出力端子であるNeは、H接続基板306bの配線、TAB304bの配線を経由し基板A10に形成された蓄積容量線8（非図示）に接続される。また、VCOM駆動回路314の出力端子であるNeは、H接続基板306bの配線、FPC310、V接続基板306aの配線、TAB304aの配線を経て、基板A10に形成された蓄積容量線8に接続される。

【0120】

対向基板19は、図2を参照して説明したものと同一であり、L形状の電極28a～28dを有するFPC310が、異方性導電体を介して導電膜B14の4隅に接続される。これらの4箇所の電極28a～28dは、それぞれVCOM駆動回路314の出力端子であるNa、Nb、Nc、Ndにされる。

【0121】

図25は、本実施形態に係る表示装置1における表示装置基板10を示す斜視図である。図25を参照して、表示装置基板である基板A10について説明する。図3に示した第2の実施形態と異なる主な点は、基板A10上に、走査線駆動回路616が存在しないこと、信号線駆動回路15が存在しないこと、スイッチ16、スイッチ17が存在しないこと、ESD（Electrostatic Discharge）保護素子301が存在すること、TAB接続端子300が存在することである。

【0122】

便宜上、図面では、信号線4aと接続されているESD保護素子にのみ符号301を付

10

20

30

40

50

したが、図 25 の回路記号に示すように、ESD 保護素子はすべての信号線 (4a ~ 4c) 及びすべての走査線 (6a ~ 6c) のそれぞれに対して設置される。1つの ESD 保護素子 301 は、ダイオード接続したアモルファスシリコン薄膜トランジスタを 2 個、極性が逆となるように並列接続して構成される。ESD 保護素子 301 は、信号線 4 又は走査線 6 と、蓄積容量線 8 に接続される配線との間に設けられる。

【0123】

便宜上、図面では、基板 A10 の下辺における 1 つの TAB 接続端子にのみ符号 300 を付したが、図 25 に示すように、TAB 接続端子は基板 A10 の下辺及び左辺に複数存在する。

【0124】

図 25 の説明から理解されるように、本実施形態の基板 A10 は、従来のアモルファスシリコン薄膜トランジスタ液晶表示装置に利用されている表示装置基板を用いることができる。

【0125】

図 24 及び図 25 における配線の接続の詳細は、以下の通りである。

【0126】

基板 A10 の下辺には、すべての信号線 (4a ~ 4c) に、1対1に対応した TAB 接続端子 300 を設け、蓄積容量線 (8a ~ 8c) とつながる配線に TAB 接続端子 300 を設けた。下辺に設けられた TAB 接続端子 300 には、TAB 304b が接続され、信号線 4 に対応した TAB 接続端子 300 には、信号線駆動回路 15 の出力信号が供給される。また、蓄積容量線 (8a 乃至 8c) とつながる配線に対応した TAB 接続端子 300 には、VCOM 駆動回路 314 の出力端子 Ne の信号が上述の経路を経て供給される。

【0127】

左辺には、すべての走査線 (6a ~ 6c) と、1対1に対応した TAB 接続端子 300 を設け、蓄積容量線 (8a ~ 8c) と接続される配線に TAB 接続端子 300 を設けた。左辺に設けた TAB 接続端子 300 には、TAB 304a が接続され、走査線 6 に対応した TAB 接続端子 300 には、走査線駆動回路 616 の出力信号が供給される。また、蓄積容量線 (8a ~ 8c) と接続される配線に対応した TAB 接続端子 300 には、VCOM 駆動回路 314 の出力端子 Ne の信号が上述の経路を経て供給される。

【0128】

基板 A10 と、導電膜 A (対向電極) 12 (非図示) とは、実施形態 2 と同様に、電極 29 を介して、銀ペーストや導電粒子が混入されたシール剤で電氣的に接続される。

【0129】

本実施形態では、集積回路チップとして作成された走査線駆動回路 616 及び集積回路チップとして作成された信号線駆動回路 15 は、容易に入手可能な汎用品を利用することができる。一方、実施形態 2 で説明したとおり、本発明は、位置検出期間、対向電極から見た寄生容量を低減するために、信号線や走査線をフローティングにするか、導電膜 B (位置検出導電膜) と同振幅の電圧を印加することが必要とされた。

【0130】

汎用の信号線駆動回路は、出力端子をハイインピーダンスとする機能を有するので、これを利用する。汎用の走査線駆動回路はこの機能を持たない。以降では、汎用の走査線駆動回路で本発明を実施するための技術を詳しく述べる。

【0131】

図 26 は、本実施形態に係る表示装置 1 における V 接続基板 306a の設計概念を説明するための回路図である。図 26 を参照して、本実施形態の V 接続基板 306a について説明する。なお、設計概念の理解を容易とするため、図 26 は V 接続基板 306a の設計概念を説明するための回路図を示し、設計概念の説明に不要な要素は省略されている。

【0132】

前述のとおり、汎用の走査線駆動回路は、出力端子をハイインピーダンスとする機能を持たないため、走査線駆動回路 616 全体を DC 的にフローティングとすることで、走査

10

20

30

40

50

線 6 をフローティングとすることとした。

【 0 1 3 3 】

図 2 6 を参照すると、走査線駆動回路 6 1 6 は、スイッチ素子 3 1 2 を介して、V 接続基板 3 0 6 a に供給される電源（端子名称は V g o n、V g o f f）や制御信号（端子名称は制御信号）と接続される。図 2 6 のスイッチ素子 3 1 2 の状態は全てオフとされており、これは、位置検出期間の状態に対応する。走査線 6 の DC パスを辿ると、走査線 6 は基板 A 1 0 端部の T A B 接続端子 3 0 0 a に接続され、T A B 接続端子 3 0 0 a は、走査線駆動回路 6 1 6 の出力端子に接続される。位置検出期間は V ブランク期間内に設定されているため、走査線駆動回路 6 1 6 は、位置検出期間において、画素スイッチ T F T をオフとする電圧である V g o f f に供給される電圧（ここでは、一例として - 8 . 3 V に設定する）を出力する状態とされる。このとき、走査線駆動回路 6 1 6 の出力段の N チャンネルトランジスタはオン状態であり、P チャンネルトランジスタはオフ状態である。したがって、走査線駆動回路 6 1 6 の出力端子は、チップ内部で走査線駆動回路 6 1 6 の電源端子 V o f f と DC 的に接続される。走査線駆動回路 6 1 6 の V o f f は、スイッチ素子 3 1 2 に接続される。位置検出期間において、スイッチ素子 3 1 2 はオフに制御され、走査線 6 は V g o f f 端子に供給される電源に対して DC 的にフローティングとなる。

10

【 0 1 3 4 】

V 接続基板 3 0 6 a 上において、キャパシタ C 1 1 の一端を走査線駆動回路 6 1 6 の V o f f 端子と接続される配線に接続し、他端を V C O M 端子と接続される配線に接続した。V C O M 端子には、前述の V C O M 駆動回路 3 1 4 の出力端子 N e の出力信号が供給される。

20

【 0 1 3 5 】

本実施形態では、出力端子 N e の出力信号の一例として、表示駆動期間においては直流 4 V の電圧信号とし、位置検出期間においてはオフセット電圧 4 V に 2 V ピークツーピーク（2 V p p）の正弦波が重畳された電圧信号とした。このときの電圧波形を図 2 6 の V C O M 端子付近に示す。

【 0 1 3 6 】

キャパシタ C 1 1 の他端をグランドに接続するのではなく、V C O M 端子と接続される配線に接続することが重要である。このとき、このキャパシタ C 1 1 は、対向電極から見たときに寄生容量として見えなくなる上、対向電極 1 2 から見たときの寄生容量を低減する効果を生じる。

30

【 0 1 3 7 】

さらに、キャパシタ C 1 1 は、スイッチ素子 3 1 2 がオフの期間、E S D 保護素子 3 0 1 のリーク電流による走査線 6 の DC 電圧変動を抑制する。キャパシタ C 1 1 が無く、単に走査線 6 をフローティングとした場合、このリーク電流により、走査線 6 は画素スイッチ T F T をオフとする電圧（V g o f f に供給する電圧）を保持することができない。このとき、画素スイッチ T F T のリーク電流が増加し、画質が劣化する。

【 0 1 3 8 】

図 2 6 のキャパシタ C 1 4 は、対向電極 1 2 と走査線 6 の間の容量を表す。キャパシタ C 1 3 は、表示装置基板 1 0 における走査線 6 の寄生容量のうち、対向電極 1 2 との容量 C 1 4 を除いた全ての寄生容量をあらわす。キャパシタ C 1 3 の走査線 6 と接続されない側の端子は、交流的なグランドに接続される。キャパシタ C 1 2 は、V 接続基板 3 0 6 a や T A B 3 0 4 a における、走査線 6 から DC 的に接続される配線の寄生容量を表す。キャパシタ C 1 2 の走査線 6 と接続されない方の端子は、交流的なグランドに接続される。

40

【 0 1 3 9 】

動作の説明とともに、上記の効果が得られる理由を説明する。

【 0 1 4 0 】

対向電極 1 2 から見た容量は、対向電極 1 2 に印加される正弦波電圧により対向電極 1 2 に流れる電流に比例する。そこで、この電流を等価回路に基づいて導出することにより、上記効果及び作用について説明する。

50

## 【 0 1 4 1 】

図 2 7 は、本実施形態に係る表示装置 1 の動作を解析するための等価回路図である。図 2 7 ( a ) は、図 2 6 の等価回路を示す。動作原理の解析に不要な素子はすべて省略した。図 2 7 ( a ) の 2 つの電圧源は、前述の V C O M 駆動回路 3 1 4 の出力端子 N e の出力信号に相当し、位置検出期間に、対向電極 1 2 及び V C O M 端子に正弦波電圧を印加する交流電圧源に相当する。これらの 2 つの電圧源は、同振幅、同位相、同周波数の交流電圧源である。

## 【 0 1 4 2 】

図 2 7 ( a ) を参照して、対向電極 1 2 に流れる電流  $i_3$  を計算すると、

$$i_3 = j\omega v \frac{C_{14}(C_{12}+C_{13})}{C_{11}+C_{12}+C_{13}+C_{14}} \quad (\text{式3})$$

10

となる。ただし、 $j$  は虚数単位、 $\omega$  は正弦波の角周波数、 $v$  は正弦波電圧をあらわす。

## 【 0 1 4 3 】

一方、キャパシタ  $C_{11}$  を配置しない場合の等価回路は、図 2 7 ( b ) で表され、対向電極 1 2 に流れる電流  $i_2$  は、

$$i_2 = j\omega v \frac{C_{14}(C_{12}+C_{13})}{C_{12}+C_{13}+C_{14}} \quad (\text{式4})$$

20

となる。

## 【 0 1 4 4 】

電流  $i_3$  と電流  $i_2$  を比較すると、キャパシタ  $C_{11} \sim C_{14}$  の容量は正の値であるため、つねに、 $i_2 > i_3$  が成り立つ。つまり、キャパシタ  $C_{11}$  を走査線駆動回路 6 1 6 の V o f f 電源端子に接続される配線と V C O M 端子に接続される配線との間に配置することにより、配置しない場合と比較して、対向電極 1 2 から見た寄生容量が低減する。

## 【 0 1 4 5 】

対向電極 1 2 から見た寄生容量が低減する理由は、次の通りである。すなわち、キャパシタ  $C_{11}$  が無い場合には、対向電極 1 2 を流れる電流がキャパシタ  $C_{12}$  及び  $C_{13}$  の充放電を担う。一方、キャパシタ  $C_{11}$  が走査線駆動回路 6 1 6 の V o f f 電源端子に接続される配線と V C O M 端子に接続される配線との間に有る場合には、キャパシタ  $C_{11}$  を介して流れる電流がキャパシタ  $C_{12}$  及び  $C_{13}$  の充放電を担い、その結果、対向電極 1 2 を流れる電流が減少する。

30

## 【 0 1 4 6 】

一例として、キャパシタ  $C_{11}$  の静電容量を 4 . 7 マイクロファラッドとし、キャパシタ  $C_{12} \sim C_{14}$  に対して十分大きな値とすることで、電流  $i_2$  に対して電流  $i_3$  を大幅に低減することができる。

## 【 0 1 4 7 】

参考のため、キャパシタ  $C_{11}$  を走査線駆動回路 6 1 6 の V o f f 電源端子と交流的グランドとの間に配置した場合についても説明する。この等価回路は図 4 ( c ) で表され、対向電極 1 2 に流れる電流  $i_1$  は、

40

$$i_1 = j\omega v \frac{C_{14}(C_{11}+C_{12}+C_{13})}{C_{11}+C_{12}+C_{13}+C_{14}} \quad (\text{式5})$$

となる。

## 【 0 1 4 8 】

キャパシタ  $C_{11}$  を走査線駆動回路 6 1 6 の V o f f 電源端子とグランドとの間に配置した場合には、図 2 7 ( c ) から明らかなように、キャパシタ  $C_{11}$  はキャパシタ  $C_{13}$  及びキャパシタ  $C_{12}$  と並列に配置されるため、キャパシタ  $C_{11}$  を配置しない場合 ( 図 2 7 ( b ) ) と比較して、対向電極 1 2 から見た容量が増加する。

50



【 0 1 4 9 】

$i_1 - i_2$  を計算すると、

$$i_1 - i_2 = j\omega v \frac{C_{11}C_{14}^2}{(C_{11} + C_{12} + C_{13} + C_{14})(C_{12} + C_{13} + C_{14})} \quad (\text{式6})$$

となり、キャパシタ  $C_{11} \sim C_{14}$  の容量はすべて正の値であるため、 $i_1 > i_2$  が成り立つ。したがって、キャパシタ  $C_{11}$  は、V o f f 電源端子と交流的グラウンドの間に配置してはならない。

【 0 1 5 0 】

以上のことから、図 2 6 のキャパシタ ( 保持容量 )  $C_{11}$  は、位置検出期間中におけるリーク電流による電圧変動の抑制、及び、対向電極 1 2 から見た寄生容量の低減という 2 つの効果を生じる。

10

【 0 1 5 1 】

図 2 8 は、本実施形態に係る表示装置 1 における V 接続基板 3 0 6 a のブロック図である。上述の概念に基づいて設計された本実施形態の V 接続基板 3 0 6 a について、図 2 8 の回路ブロック図を参照して説明する。

【 0 1 5 2 】

C N ( コネクタ ) 3 1 1 は、走査線駆動回路 6 1 6 が実装された T A B 3 0 4 a に対する接続用のコネクタである。C N 3 1 1 に供給される信号は次の 3 種類に分類できる。すなわち、走査線駆動回路 6 1 6 の複数の電源 ( グラウンドも含む )、走査線駆動回路 6 1 6 の複数の制御信号、V C O M 端子に供給される信号である。図 2 8 において、走査線駆動回路 6 1 6 の複数の電源 ( グラウンドも含む ) の配線を電源系配線とし、走査線駆動回路 6 1 6 の複数の制御信号の配線を制御信号系配線とし、V C O M 端子に供給される信号の配線を V C O M とした。

20

【 0 1 5 3 】

V C O M 端子に供給される信号は、T A B 3 0 4 a の配線を経由して、基板 A 1 0 と接続され、基板 A 1 0 で蓄積容量線 8 と対向電極 1 2 にそれぞれ供給される。

【 0 1 5 4 】

図 2 8 に示すように、C N 3 1 1 から先は V C O M 端子に接続される配線を除き D C 的にフローティングとなるようスイッチ素子 3 1 2 を配置した。スイッチ素子 3 1 2 がオフの期間、走査線駆動回路 6 1 6 内部の論理状態が変動しないように、すべての電源配線及びグラウンド配線それぞれに対して、保持容量 ( A ) を、V C O M 端子と接続される配線との間に配置し、グラウンドに対する電源電圧を保持するようにした。なお、図 2 6 で説明したキャパシタ  $C_{11}$  も、この保持容量 ( A ) に含まれる。

30

【 0 1 5 5 】

複数の制御信号の配線については、図 2 8 に示すようにサンプルアンドホールド回路 ( B ) 3 1 6 を設けた。電源系配線と異なる理由は、単に保持容量を付加する対策では、表示駆動期間中に供給されるロジック信号波形が鈍るためである。

【 0 1 5 6 】

このように、電源電圧及び論理状態を保持することで、次にスイッチ素子 3 1 2 がオンとなったときの走査線駆動回路 6 1 6 の動作を保証する。

40

【 0 1 5 7 】

なお、図中の C N ( コネクタ ) 1 0 1 は、F P C 3 1 0 を接続するためのコネクタである。

【 0 1 5 8 】

図 2 9 は、本実施形態に係る表示装置 1 による実験結果を示す図である。本実施形態に基づいて、対角 1 2 インチの液晶表示装置を作製した。表示装置の位置検出導電膜 1 4 の静電容量を、図 1 0 に対する説明と同様にして測定した。

【 0 1 5 9 】

寄生容量、すなわち、タッチしていないときの容量は約 4 8 p F であり、その内訳は表

50

示装置 1 内で約 12 pF、表示装置 1 外（電極 28 に接続した配線及び電流検出回路 13 の寄生容量）が約 36 pF であった。表示装置 1 内の寄生容量に相当する 12 pF は、従来の寄生容量 2350 pF に対して 1/200 であり、寄生容量が削減される効果が実証された。また、表示色に依存する容量変化はタッチ有無による変化に対して十分小さく、タッチの有無を検出できることも確認された。さらに、本実施形態に基づいて作成された表示装置を用いて、タッチ入力試験を実施した。このとき、タッチ入力動作可能であるとともに、表示に問題が生じないことが確認された。

【0160】

[実施形態 3 の 2 の変形例]

上記説明では、走査線駆動回路 616 の入力端子にスイッチ素子 312 を接続する構成例を説明したが、信号線駆動回路 15 の入力端子にスイッチ素子 312 を接続しても良い。この場合、信号線駆動回路 15 のハイインピーダンス出力機能を使用せず、図 26 のキャパシタ C11 と同様にキャパシタを配置することによって、図 26 のキャパシタ C13 と同様に生じる信号線 4 の寄生容量を、低減させることができる。

【0161】

上記の説明では、表示駆動期間中、対向電極 12 と蓄積容量線 8 とに同一の電圧を与えるが、これらは異なってもよい。この場合には、表示装置基板 10 において、これらが共通に接続されることがないように配線を分ける必要がある。表示期間中に対向電極 12 に電圧を与えるために別途電源を用意する場合には、対向電極 12 とこの電源とをスイッチ素子を介して接続し、対向電極 12 と VCOM 駆動回路 314 の出力端子 Ne とをキャパシタを介して接続する構成とすればよい。このように構成することで、表示駆動期間中は別途用意した電源の電圧をオフセット電圧とし、位置検出期間はこの電圧をオフセット電圧とし、位置検出導電膜 14 と同振幅、同位相の電圧を対向電極 12 に与えることができる。

【0162】

また、上記において、走査線駆動回路 616 及び信号線駆動回路 15 にチップを利用する例について説明したが、これらの駆動回路が薄膜トランジスタで基板 A10 に直接作製される場合は、これらの駆動回路の電源線に対して、スイッチ素子 312 を接続し、図 26 のキャパシタ C11 と同様にキャパシタを配置してもよい。

【0163】

実施形態 2 に対して本実施形態が有する優位な点について説明する。実施形態 2 では、位置検出期間において、走査線 6 をフローティングとしていた。一方、本実施形態ではキャパシタ C11 を介して、導電膜 B14 や対向電極 12 に印加する電圧と同振幅、同位相、同周波数の正弦波電圧を走査線 6 に印加した。このため、図 27 を参照して説明したように、対向電極 12 から見た寄生容量を低減することができる。したがって、導電膜 B（位置検出電極）14 から見た寄生容量を、より低減させることができる。

【0164】

[実施形態 3 の 2 の効果]

実施形態 2 に対する説明で述べたのと同様に、本実施形態に係る表示装置においても、上記の第 1 ないし第 3 の効果が得られる。

【0165】

さらに、一般に入手可能な走査線駆動回路 616 を用いることができるので、低コストで本発明を実施できる。さらに、従来のアモルファスシリコン薄膜トランジスタ液晶表示装置に利用されている表示装置基板を用いることができるので、低コストで本発明を実施することができる。

【0166】

さらに、図 26 に示すように、走査線駆動回路 616 の電源配線と、蓄積容量線 8 に電圧を供給する配線との間にキャパシタ C11 を接続したので、ESD 保護素子 301 のリークによる走査線 6 の DC 電圧変動を抑制できる。さらに、対向電極 12 から見たときに寄生容量を低減することができる。この理由は、前述の通り、キャパシタ C11 を介して

10

20

30

40

50

、走査線駆動回路616に接続された走査線6に、対向電極12と同振幅、同位相の電圧を供給することによる。また、キャパシタC11を介して電圧を供給するため、走査線6の所定のオフセット電圧に正弦波電圧を重畳させることができる。また、走査線駆動回路616に供給される複数の電源やグラウンドに対しても、同様に所定のオフセット電圧に正弦波を重畳させることができる。走査線駆動回路616に供給される複数の電源やグラウンド、複数の制御信号に対して同振幅、同位相、同周波数の正弦波電圧が印加されるので、端子間の電圧差が保たれ、走査線駆動回路616の誤動作を防ぐことができる。また、キャパシタC11が電圧を保持する効果を有するため、走査線駆動回路616の入力端子に流れる電流に起因する電圧変動が抑制される。

#### 【0167】

本実施形態の表示装置1によると、上記の第1の効果がさらに高められ、第1の導電膜A12から見た表示装置基板10の静電容量を顕著に低減する。この効果が生じる理由は、導体40（走査線6を含む。）と交流電圧源22とがキャパシタを介して接続されてなる構造を有し、当該キャパシタを介して導体40に印加される電圧により導体40に流れる電流が、導体40の寄生容量を充放電し、これにより、第1の導電膜A12が当該寄生容量を充放電するための電流が低減するからである。

#### 【0168】

本実施形態の表示装置1によると、導体40に流れるリーク電流によって生じる直流的な電圧変動を抑制することができる。この効果が生じる理由は、上記キャパシタが電圧保持容量としての機能を兼ね備えるからである。

#### 【0169】

本実施形態の表示装置1によると、既存の駆動回路を用いて、複数の導体40（例えば、走査線6）をDC的にフローティングとすることができる。この効果が生じる理由は、導体40を駆動する駆動回路（例えば、走査線駆動回路616）の電源入力端子と導体40を駆動する駆動回路の電源入力端子に与える電圧を生成する電源回路とがスイッチ素子（例えば、スイッチ素子312）を介して接続され、導体40を駆動する駆動回路の電源入力端子と、交流電圧源22とがキャパシタ（例えば、キャパシタC11）を介して接続された構造を有し、スイッチ素子をオープンとすることで、複数の導体40をDC的にフローティングとすることができるとともに、キャパシタが駆動回路の電源入力端子の電圧を保持することで、駆動回路の動作を保証するからである。

#### 【0170】

##### [実施形態4]

本発明の第4の実施形態に係る表示装置について図面を参照して説明する。図18は、本実施形態に係る表示装置の一例の断面図である。実施形態4は、対向基板19において、導電膜A12が必要とされないような表示装置である。

#### 【0171】

図18を参照すると、この表示装置はイン・プレーン・スイッチング（In Plane Switching、IPS）方式の液晶モードを利用する表示装置である。実施形態2においては、導電膜A12は導電膜B14と基板A10との間に存在し、導電膜A12に対して導電膜B14に印加する交流電圧と同じ電圧を印加するとともに、基板A10上に形成された導体をフローティングにしたり、又は、交流電圧を印加したりすることによって、導電膜B14の寄生容量を削減した。一方、本実施形態においては、導電性の遮光体708に対して、導電膜A12の機能を持たせることとした。

#### 【0172】

本実施形態に係る表示装置は、基板A（表示装置基板）10、対向基板19、これらの基板に挟まれた電気光学材料（液晶等）2及び偏光板702を備える。対向基板19は、基板B23と、基板B23の電気光学材料2側の面に設けられ、ドットに対応するように網目状に形成した遮光体708と、遮光体708の電気光学材料2側の面に形成したカラーフィルタ712と、カラーフィルタ712の電気光学材料2側の面に形成された平坦化膜711と、基板B23の電気光学材料2とは反対側の面に形成された導電膜B14とを

10

20

30

40

50

備える。導電粒子を混入させたシール剤709を介して、対向基板19上に形成された遮光体708と基板A10との間における電氣的接続が取られる。偏光板702は、導電膜B14に対して、のりで貼り付けられる。表示装置基板A10については、以下で説明を加える。

#### 【0173】

図19は、本実施形態に係る表示装置の一例の斜視図である。本実施形態と実施形態2とは、画素回路においても相違する。画素回路は画素スイッチTFTとスイッチTFTに接続された画素電極と、COM電極とを備える。COM電極には、COM配線800a~800cが接続されており、COM配線は表示領域内部から外部に亘って延在するように配線される。COM配線800a~800cは、図中のノードNeに接続される。図に示したノードNa、Nb、Nc、Nd、Neに対して、実施形態2と同様に、図4に示す回路が接続される。

10

#### 【0174】

なお、遮光体708は、図18に関する説明の通り、ドットに対応した網目状のパターンを有する。パターンは、網目状であることが好ましいものの、ストライプ状その他の形状であってもよい。信号線4a~4cや走査線6a~6cの端部には、実施形態2と同様に、スイッチ16a~16c、17a~17cを設けた。これらの駆動方法は、実施形態2における方法と同様である。

#### 【0175】

##### [効果の説明]

導電膜B14と、表示装置基板10との間に、遮光体708を利用した網目状の導電層を配設し、この遮光体708に位置検出用導電膜と同じ交流電圧を印加することによって、導電膜B14の寄生容量を削減することができる。また、遮光体708がシールドとして機能するため、表示に伴う電気光学材料2の容量の変化の影響を受けることがなくなる。また、基板A10上の配線に上記と同じ交流電圧を印加したり、表示装置基板上の導体をフローティングとしたりすることによって、遮光体708からみた基板Aの静電容量が小さくなる。その結果として、遮光体708の時定数は小さくなり、遮光体708の外周から内部に亘って上記の交流電圧が印加されることにより、上記の第1及び第2の効果が得られる。また、上記と同様の理由により、上記の第3の効果も得られる。

20

#### 【0176】

また、対向基板19に配設した導体を電源に接続しているため、対向基板19の帯電を防止することもできる。したがって、IPS方式の表示装置において、対向基板19上に電源に接続された導電層がないために帯電によって生じていた表示画質の劣化を、防止することができる。

30

#### 【0177】

##### [実施形態5]

本発明の第5の実施形態に係る表示装置について図面を参照して説明する。図20は、本実施形態に係る表示装置の一例の断面の模式図である。本実施形態は、電気泳動素子を利用した電気泳動型表示装置(Electrophoretic Display、EPD)である。以下、図20を参照して、マイクロカプセル型電気泳動素子を用いたEPD表示装置について説明する。

40

#### 【0178】

図20は、モノクロEPDアクティブマトリクスディスプレイの断面構造を例示する。本実施形態に係る表示装置は、対向基板19と、フィルム状の電気泳動表示装置(EPDフィルム102)と、薄膜トランジスタ(TFT)を含むTFTガラス基板を有する表示装置基板10と、を備える。

#### 【0179】

対向基板19は、例えば、ポリエチレンテレフタレート等の透明な基板B(プラスチック基板(PE基板)等)23の内側の面に、透明導電膜から成る導電膜A12を形成した構造を有する。また、基板B23の外側の面に、透明導電膜から成る導電膜B14が

50

形成される。対向基板 19 における基板 B として、PET 基板の代わりにガラス基板を用いてもよい。

【0180】

EPD フィルム 102 は、フィルム状に形成されており、その内部に敷きつめられたマイクロカプセル 113 と、マイクロカプセル間に、マイクロカプセルを結合させるために充填されたポリマーから成るバインダー 114 とを備える。

【0181】

マイクロカプセル 113 は、約 40 μm の大きさを有し、内部には、イソプロピルアルコール (Isopropyl alcohol, IPA) 等から成る溶媒 115 が封入され、溶媒 115 中には、それぞれ、ナノレベルの大きさの酸化チタン系の白色顔料である白粒子 116 と、カーボン系の黒色顔料である黒粒子 117 とが分散されて浮遊している。白粒子 116 はマイナス (-) の帯電極性を有し、黒粒子 117 はプラス (+) の帯電極性を有する。

【0182】

TFT ガラス基板は、4 層構造を有する。EPD フィルム 102 に最も近い第 1 層には、複数の画素電極 P1.1、P2.1、P3.1、... が形成されている。次の第 2 層及び第 3 層は、それぞれ画素電極に対応する複数の薄膜トランジスタ (TFT) T1.1、T2.1、T3.1、... を含む絶縁膜から成る。第 2 層には、各 TFT のドレイン D とソース S が設けられ、第 3 層には各 TFT の対応するゲート G が設けられる。各 TFT のソース S は、対応する画素電極に接続されている。最下層の第 4 層はガラスから成る基体層であって、第 1 層ないし第 3 層を一体として保持するために設けられる。

【0183】

図 20 においては、図示されない信号線からそれぞれ対応する TFT T1.1、T2.1、T3.1、... を介して、画素電極 P1.1、P2.1 に正 (+) 電圧が与えられることによって、マイクロカプセル中の白粒子 116 が画素電極 P1.1、P2.1 に引き寄せられるとともに、黒粒子 117 が導電膜 A12 の方に引き寄せられる。一方、画素電極 P3.1 に負 (-) 電圧が与えられることによって、黒粒子 117 が画素電極 P3.1 の方に引き寄せられるとともに、白粒子 116 が導電膜 A12 の方に引き寄せられる。図 20 は、このようにして、対向基板 19 側に白黒から成る画像表示が行われる様子を示す。

【0184】

このように、図 20 に示す EPD アクティブマトリクスディスプレイにおいては、画素電極に正 (+) 電圧を与えるか、又は、負 (-) 電圧を与えるかによって、導電膜 A12 側に白黒の画像表示を行うことができる。

【0185】

表示装置の隅において、対向基板 19 と TFT 基板との間の導通手段 20 が、一例として、銀ペーストによって設けられる。導通手段 20 は、対向基板 19 の一方の面に設けられた導電膜 A12 と TFT 基板側の電極とを導通する。TFT 基板側の電極には単極双投スイッチ 21e が接続され、単極双投スイッチ 21e の他の 2 つ接点のうち的一方には交流電圧源 22 が接続され、他方には対向電極駆動回路が接続される。対向基板 19 の他方の面には導電膜 B14 が設けられ、導電膜の隅には電極 28a が設けられる。電極 28a には電流検出回路 13a の一端が接続される。電流検出回路 13a の他端には単極双投スイッチ 21a が接続され、単極双投スイッチ 21a の他の 2 つ接点のうち的一方には交流電圧源 22 が接続され、他方には対向電極駆動回路が接続される。

【0186】

図 20 においては、簡単のため、1 つの隅に対して電流検出回路 13a 及びスイッチ 21a が接続される様子が図示されている。しかしながら、実際には、実施形態 2 と同様に、4 隅に対して電流検出回路及びスイッチが接続される。また、信号線及び走査線に対し、実施形態 2 と同様にスイッチが設けられる。なお、本表示装置は、実施形態 2 と異なり、偏光板 702 は不要である。したがって、図 20 の導電膜 B14 上には、電極 28a を

10

20

30

40

50

除いて何も記載されていないが、必要に応じて絶縁性のシート又は絶縁性の被膜を設けてもよい。絶縁性のシート又は絶縁性の被膜を設けることによって、導電膜 B 1 4 が汚染及び水分から保護され、導電膜 B 1 4 の抵抗値が安定する。また、指と導電膜 B 1 4 との直流的なインピーダンスが高くなるため、指が水で濡れていたり、乾燥していたりといった状態の変化に対して、電流検出回路 1 3 a に流れる電流が安定する。したがって、電流検出回路 1 3 a の感度の設定が簡単になる。

【 0 1 8 7 】

本実施形態の動作も実施形態 2 における動作と同様である。ただし、E P D は表示のための電圧を書き込んだ後、その表示を長時間保持する特性を有するため、L C D の場合と比較して位置検出期間の割合を大きくすることができる。

10

【 0 1 8 8 】

本実施形態において、基板 A 1 0 を薄くするか、又は、画素回路を可撓性基板に転写して基板を可撓性にすることによって、可撓性を有するとともにタッチセンサ機能を有する表示装置を実現することができる。

【 0 1 8 9 】

[ 効果の説明 ]

本実施形態に係る表示装置においても、実施形態 2 と同様に、上記の第 1 及び第 2 の効果が得られる。

【 0 1 9 0 】

[ 実施形態 6 ]

本発明の第 6 の実施形態について、図面を参照しつつ説明する。図 2 1 は、本実施形態に係る表示装置による位置検出の原理を示すための一例たる回路図である。上記の実施形態においては、導電膜 B 1 4 に対して直接交流電圧を印加していた。一方、本実施形態においては、ペン（図 2 1 における指示体 2 0 0）が交流電圧源 2 2 に接続されており、インピーダンス Z を介して流れる電流を電流検出回路 1 3 a、1 3 b によって検出する。

20

【 0 1 9 1 】

上述した他の実施形態に対して、かかる検出原理を適用することによって、指 2 4 のみならずペンによる入力が可能となる。

【 0 1 9 2 】

[ 実施形態 7 ]

本発明の第 7 の実施形態について図面を参照して説明する。図 2 2 は、本実施形態に係る表示装置、すなわち、E L（エレクトロルミネッセンス）表示装置の一例の断面図である。画素電極 4 3 0 2 として、仕事関数の大きい透明導電膜が用いられる。画素電極 4 3 0 2 上に、開口部を設けた絶縁膜が形成される。この開口部において、画素電極 4 3 0 2 上に、有機 E L 層 4 3 0 4 が形成される。有機 E L 層 4 3 0 4 として、公知の有機 E L 材料又は無機 E L 材料を用いることができる。有機 E L 層 4 3 0 4 上に、遮光性を有する導電膜（一例として、アルミニウム、銅若しくは銀を主成分とする導電膜又はこれらの導電膜と他の導電膜との積層膜）から成る陰極 4 3 0 5 が形成される。

30

【 0 1 9 3 】

このようにして、画素電極（陽極）4 3 0 2、有機 E L 層 4 3 0 4 及び陰極 4 3 0 5 からなる E L 素子が形成される。この E L 素子は、シール材 4 1 0 1 によって基板 4 1 に貼り合わされたカバー材 4 1 0 2 によって覆われる。

40

【 0 1 9 4 】

基板 4 1 の裏面に対して、導電膜 B 1 4 を形成する。実施形態 2 と同様に、4 隅にノード N a ~ N d を設け、図 4 に示すように、それぞれのノードは対応する回路に接続される。

【 0 1 9 5 】

図 2 3 は、本実施形態に係る E L 表示装置の一例の回路図である。図 2 3 における画素回路は、従来のものである。実施形態 2 と同様に、走査線 6 はその一端に設けられたスイッチ 1 6 を介して走査線駆動回路 6 1 6 に接続される。信号線 4 a も同様にスイッチ 1 7

50

aを介して信号線駆動回路15と接続される。本実施形態では、複数の画素によって共有される陰極線の端部はスイッチ21eに接続され、スイッチ21eの残りの2つの端子は、それぞれ交流電圧源22及びグランドに接続される。

【0196】

位置検出期間における表示装置の駆動方法は、実施形態2と同様であり、スイッチ16、スイッチ17をオフ状態として、走査線6、信号線4aをフローティングとする。また、陰極線には、導電膜B14に印加する電圧と同一の電圧を与える。

【0197】

図23を参照すると、画素電極は、制御用TFT203に接続され、制御用TFT203は、定電流源回路を構成する。理想定電流源のインピーダンスは無有限大である。したがって、交流電圧源22によって陰極に与えた交流電圧の振幅は、そのまま画素電極の振幅となる。このとき、図22に示される陰極4305及び画素電極4302は、導電膜B14と同一の振幅となる。また、上述の通り走査線6、信号線4はフローティングとされているため、導電膜B14の寄生容量が大幅に低減されるという効果が得られる。

【0198】

なお、本実施形態においては、信号線4と信号線駆動回路15との間にスイッチ17を設けることによって、信号線4をフローティングとした。しかし、信号線駆動回路に含まれる出力回路が定電流源を構成する場合、スイッチ17は不要となる。なぜなら、上述のように、理想定電流源のインピーダンスは無有限大であるため、信号線4はフローティングと等価となるからである。

【0199】

[その他の変形例]

上記の実施形態2ないし7は、液晶表示装置、電気泳動型表示装置及びEL表示装置を例として説明した。しかし、これらの実施形態2ないし7は、勿論、他の方式(例えば、帯電粒子、エレクトロクロミック材料、ガス、半導体、蛍光体)を利用した表示装置についても同様に適用することができる。

【0200】

また、実施形態2ないし7においては、導電膜B14に印加される交流電圧と位相及び振幅が同じ電圧を導電膜A12、遮光体708、蓄積容量線8、COM配線及び陰極線に入力した。しかし、導電膜B14に印加される交流電圧に基づいて、位相や振幅を調整した電圧を、これらに入力してもよい。一例として、寄生容量が最小となるように入力電圧波形を調整することは、本発明の技術分野における当業者による設計事項である。

【0201】

実施形態2においては、図8について説明したように、表示駆動期間の導電膜A12及び蓄積容量線の電位が一定となるような駆動法を適用した。しかしながら、本発明の実施形態は、このような駆動法に限定される訳ではない。上記の通り、本発明においては位置検出期間において位置検出のための駆動を行って位置の検出を行うため、表示駆動期間における駆動方法は位置検出の精度に影響を及ぼさない。したがって、導電膜A12や蓄積容量線8の電位(極性)を一走査線期間毎に反転させるような駆動方法や導電膜A12や蓄積容量線8の電位を一フレーム毎に反転させるような駆動方法をはじめとする、従来から知られている、あらゆる駆動方法を、表示駆動期間に適用することができる。

【実施例】

【0202】

図2ないし5において示された実施形態2に基づいた表示装置の実施例について説明する。図14は、実施例1の液晶表示装置を構成する基板A(表示装置基板)10のレイアウトの一例を示す図である。かかる基板A10は、低温ポリシリコンTFTプロセスを用いて作製した。信号線(図14においては、1本の信号線についてのみ符号を付したものの、表示領域11内を上下方向に走る配線はいずれも信号線を表す。)4aは、画素アレイ内部から外部にかけて延在するように配線され、一端においてデマルチプレクサ回路804に接続され、他端においてプリチャージ回路802に接続される。

## 【0203】

走査線（図14においては、1本の走査線についてのみ符号を付したものの、走査線スイッチ群803に接続されている配線はいずれも信号線を表す。）6aは、画素アレイの内部から外部に延在するように配線され、画素アレイ部の外でゲート線スイッチ群803を介して走査線駆動回路616に接続される。

## 【0204】

蓄積容量線（図14においては、1本の蓄積容量線についてのみ符号を付したものの、蓄積容量線スイッチ群805に接続される配線はいずれも信号線である）8aも、同様に画素アレイ内部から外部に延在するように配線され、画素アレイ部の外で蓄積容量線スイッチ群805を介して蓄積容量バス配線703に接続される。

10

## 【0205】

デマルチプレクサ回路804には、これを制御するための配線DEMUXが接続される。プリチャージ回路802には、電源線PCS及び制御線PSPが接続される。ゲート線スイッチ群には制御線GATE\_\_CTRLが接続され、蓄積容量線スイッチ群805には制御線VCS\_\_CTRLが接続される。走査線駆動回路616には電源線VDDG、VSSGおよび複数の制御線GST、CLKが接続される。蓄積容量バス配線703には、VCOMDCが接続される。電極29は、対向基板19と電気的な接続を取るため、4箇所配される。

## 【0206】

この基板A（表示装置基板）10と、図2に示す対向基板19とによって電気光学材料（例えば、液晶）2を挟持し、表示装置（例えば、液晶表示装置）を作製する。対向基板19の外側の面には、図2と同様に偏光板702aを貼り付ける。VCOMDCと、電極29に接続される配線4本に対して、図4に示すように、スイッチ21eを介して、蓄積容量線駆動回路及び交流電圧源22を接続する。

20

## 【0207】

基板A10外部から基板A10に供給される各種制御線や電源線も、表示装置外部に設けたスイッチ（非図示）によって、フローティングとすることができる。対向基板19の構成は図2におけるものと同じであり、導電膜B14に接続される回路も実施形態2におけるものと同じであるため、説明を省略する。

## 【0208】

このように構成された表示装置を実際に駆動して得られた結果を測定した。本発明の効果を得るには、基板A（表示装置基板）10上の導体をフローティングにするか、又は、導電膜A12と同一の交流電圧を印加することによって、導電膜A12から見た基板Aの静電容量を小さくすればよいことは、すでに上述した。ここでは、より詳細に、様々な導体をフローティングとし、又は、固定電位とすることによって得られる効果について説明する。

30

## 【0209】

図15は、本実施例に係る表示装置を用いて、静電容量を測定した結果を示す。図10についての説明と同様に、表示装置の全面に白色を表示させた場合において、指が触れていないときの静電容量、及び、指が触れたときの静電容量を測定した。また、全面に白色を表示させた場合の寄生容量に加えて、全面に黒色を表示させた場合の寄生容量を測定した。

40

## 【0210】

グラフの横軸（1番から11番までの記号。ただし、2番及び9番は存在しない。図では1～11と表記した。）は、基板A10に存在する配線の位置検出期間における状態を表す。個々の配線の状態は表中に示す。表の左の列は、図14における配線を表す。

## 【0211】

表中のfloatは、その配線が、位置検出期間においてフローティングであることを表し、fixは固定電位に接続されていることを表す。蓄積容量線VCOMDCの行における「正弦波」は、導電膜B14及び導電膜A12に対して交流電圧を入力したことを表

50



し、「DC」は通常のLCDと同様に、直流電圧を入力したことを表す。

【0212】

なお、信号線の状態は、すべてfloatである。この状態は、基板A10上に配設されているデマルチプレクサ回路内のスイッチをすべてオフ状態とすることによって実現する。また、この実験においては、蓄積容量線スイッチ群805は常にオン状態とし、複数の蓄積容量線のすべてが表に示す状態となるようにした。

【0213】

本実施例に係る表示装置について得られた結果について、図15を参照して説明する。図15の11番に着目すると、これは、図15中のすべての配線をfixとしたものである。また、蓄積容量線には直流電圧が入力される。この場合においては、上述の第2の効果が実現されていない。つまり、タッチの有無による静電容量の変化よりも表示内容の変化に伴う静電容量の変化のほうが大きい。かかる状態において、蓄積容量線に正弦波を印加した場合に相当するのが、10番のデータである。グラフからも分かるように、1番ないし10番のデータにおいては、上述の第2の効果が得られている。つまり、表示内容に伴う静電容量の変化よりも、タッチの有無による静電容量の変化のほうが大きいため、タッチの有無を正確に検知することができる。したがって、第2の効果をを得るためには少なくとも、蓄積容量線に正弦波を入力することが必要である。10番目から1番目に向かうに従って、寄生容量は減少しており、このことから、基板A10上に存在するなるべく多くの導体をフローティングにすることが有効であることが分かる。このことは、上述したように、導電膜A12から見た基板A10の静電容量を削減することが肝要であるという事実と符合する。

【0214】

また、表示領域11の外部のみに存在する配線をフローティングにすることも、寄生容量の低減に寄与する。例えば、4番と3番のデータを比較すると、制御線PSPは表示領域11外部に配設されているものの、これをフローティングとすることによって寄生容量が低減している。その理由は、導電膜A12から見た基板A10の静電容量は、その大部分は表示領域11内部において形成されるものの、表示領域11外部において形成される静電容量からの寄与も含まれるからである。

【0215】

ここでは、導電膜A12から見た蓄積容量線の静電容量を削減するため、正弦波を入力した場合について述べたものの、蓄積容量線をフローティングとした場合においても同様の効果が得られた。

【0216】

また、本実施例においては、信号線にプリチャージ回路802を接続した場合について述べたものの、プリチャージ回路802は必須の構成ではなく、信号線の他端がプリチャージ回路802に接続されていなくても良い。

【0217】

なお、本実施例では、表示領域11の内部と外部とを電氣的にハイインピーダンスとするスイッチ16、17、18としてn型TFTを用いているが、このスイッチはp型のTFTでもよく、n型とp型とを組み合わせたトランスファークロッシングゲートであってもよい。また、本実施例においては駆動回路をn型TFTとp型TFTとによって形成したものの、いずれか一方、すなわちp型TFTのみ、又は、n型TFTのみによって形成してもよい。

【0218】

このように多様なスイッチの選択が可能であるため、本発明を実施する場合には、製造コストを増やすことなくスイッチを設けることができる。例えば、信号線駆動回路や走査線駆動回路がn型及びp型のポリシリコンTFTを用いて構成される場合には、n型のスイッチ、p型のスイッチ、n型とp型とを組み合わせたトランスファークロッシングゲートのうちのいずれを選択しても製造工程を増やすことなくスイッチを設けることができる。n型またはp型のスイッチを選択した場合には、トランスファークロッシングゲートと比較して回路面積が抑制され、制御が簡単になるという効果がある。また、スイッチオフ時における寄生容量を低く

10

20

30

40

50

抑えるという効果があるため、位置又は指し示す動作の有無に関する信号のS/N比の劣化を抑制する効果も得られる。特に、n型スイッチの場合、p型に比べてオン抵抗が低いいため、スイッチのサイズをより小さくすることが可能であり、寄生容量をより低く抑える効果がある。

【0219】

一方、駆動電圧を抑制する観点からはトランスファークロウが望ましい。表示装置において、表示領域11の内部と外部とを電氣的にハイインピーダンスとするスイッチを除く回路が、n型又はp型のいずれか一方のトランジスタによって構成される場合には、これに対応させていずれか一方の型のトランジスタを用いてスイッチを形成することによって製造工程を増やすことなくスイッチを設けることができる。

10

【0220】

また、スイッチ16は、走査線駆動回路616の外部に設けられているものの、これらは走査線駆動回路616の内部に含まれるようにしてもよい。走査線駆動回路616の内部に含まれる場合には、例えば、3値出力（ハイレベル、ロウレベル、ハイインピーダンス）が可能な回路構成とすることができる。この場合には、例えば、クロックインバータ回路を適用することができる。また、これら駆動回路の出力段にあるトランジスタをハイインピーダンスとする制御を行い、出力段のトランジスタがスイッチを兼ねる構成とすることにより、回路面積を抑制することもできる。

【0221】

また、本実施例においては、走査線駆動回路616が配設された位置と対向する位置にも導電膜A12が存在するものの、透明導電膜の寄生容量を低減する観点から、導電膜A12の領域を必要最低限にすることが望ましい。したがって、走査線駆動回路616が配設された位置と対向する位置の導電膜A12を取り除いてもよい。

20

【0222】

また、本実施例においては、インピーダンス面として、ITOによって形成された導電膜B14を用い、その等価回路のインピーダンスとして抵抗体を想定した。しかし、インピーダンス面に印加する交流の周波数に応じて、抵抗、容量、インダクタを含めたインピーダンスを考慮し、その等価回路を解くことによって、電流値とタッチ位置の座標との関係、又は、タッチの有無を検出する演算式を求め、かかる演算式を利用してもよい。

【0223】

また、本実施例においては、インピーダンス面として面状に形成された抵抗体を用いたものの、面状に形成されたインダクタ、又は、面状に形成された容量をインピーダンス面として用いてもよい。ここで、インピーダンス面とは、インピーダンス体が面状に形成されたものの総称である。

30

【0224】

以上の記載は実施例に基づいて行ったが、本発明は、上記実施例に限定されるものではない。

【産業上の利用可能性】

【0225】

本発明に係る表示装置は、ゲーム機、携帯情報端末、券売機、現金自動預け払い機（ATM）、カーナビゲーション、飛行機やバスの客席に取り付けられるテレビ・ゲーム機、ファクトリー・オートメーション（FA）機器、プリンタ、ファクシミリ等において利用することができる。

40

【符号の説明】

【0226】

1 表示装置

2 電気光学材料

4、4a～4c 信号線

6、6a～6c、6x 走査線

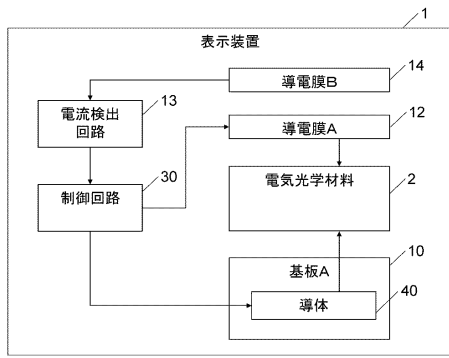
8、8a～8c、8x 蓄積容量線

50

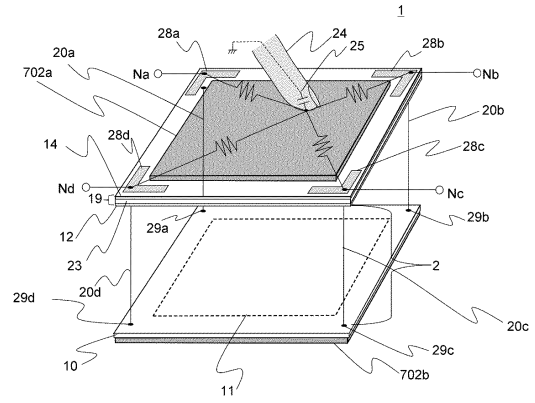
1 0	基板 A (表示装置基板)	
1 1	表示領域	
1 2	導電膜 A (対向電極)	
1 3、1 3 a ~ 1 3 d	電流検出回路	
1 4	導電膜 B (位置検出導電膜)	
1 5	信号線駆動回路	
1 6、1 6 a ~ 1 6 c、1 7、1 7 a ~ 1 7 c、1 8 a、2 1	スイッチ	
1 9	対向基板	
2 0、2 0 a ~ 2 0 d	導通手段	
2 1 a ~ 2 1 e	単極双投スイッチ	10
2 2	交流電圧源	
2 3	基板 B	
2 4	指	
2 5	キャパシタ	
2 6	画素電極	
2 7	ソース電極	
2 8、2 8 a ~ 2 8 d、2 9、2 9 a ~ 2 9 d	電極	
3 0	制御回路	
4 0	導体	
4 1	基板	20
1 0 1、3 1 1	C N (コネクタ)	
1 0 2	E P D フィルム	
1 1 3	マイクロカプセル	
1 1 4	バインダー	
1 1 5	溶媒	
1 1 6	白粒子	
1 1 7	黒粒子	
1 1 8	電流供給線	
2 0 0	指示体	
2 0 2	スイッチング用 T F T	30
2 0 3	制御用 T F T	
2 0 4	発光素子	
2 0 7	保持容量	
3 0 0、3 0 0 a	T A B 接続端子	
3 0 1	E S D (E l e c t r o S t a t i c D i s c h a r g e) 保護素子	
3 0 4 a、3 0 4 b	T A B (T a p e A u t o m a t e d B o n d i n g)	
3 0 6 a	第 1 のプリント基板 (V 接続基板)	
3 0 6 b	第 2 のプリント基板 (H 接続基板)	
3 0 8	タイミングコントローラ	
3 1 0	F P C (フレキシブルプリント基板)	40
3 1 2	スイッチ素子	
3 1 4	V C O M 駆動回路	
3 1 6	サンプルアンドホールド回路	
6 1 6	走査線駆動回路	
7 0 2、7 0 2 a、7 0 2 b	偏光板	
7 0 3	蓄積容量バス配線	
7 0 4	グランド	
7 0 5	保護基板	
7 0 6	筐体	
7 0 7	バックライト	50

708	遮光体	
709	シール剤	
711	平坦化膜	
712	カラーフィルタ	
800a ~ 800c	COM配線	
801	ドライバLSI	
802	プリチャージ回路	
803	走査線スイッチ群	
804	デマルチプレクサ回路	
805	蓄積容量線スイッチ群	10
900a、900b	面	
4101、4104	シール材	
4102	カバー材	
4201	駆動TFT(ソース側駆動回路)	
4302	画素電極(陽極)	
4304	有機EL層	
4305	陰極	
C1 ~ C5、C11 ~ C14	キャパシタ	
D	ドレイン	
DEMUX	配線	20
G	ゲート	
GATE_CTRL、PSP、VCS_CTRL	制御線	
GCLK、GST	制御線	
Na ~ Ne	ノード	
P1.1、P2.1、P3.1	画素電極	
PCS	電源線	
S	ソース	
T1.1、T2.3、T3.1	薄膜トランジスタ(TFT)	
VCOMDC	蓄積容量線	
VDD、VSSG	電源線	30

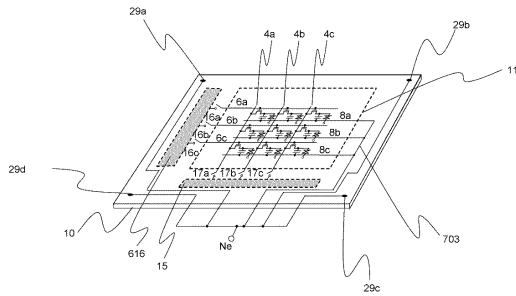
【図1】



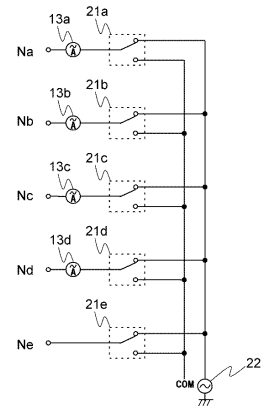
【図2】



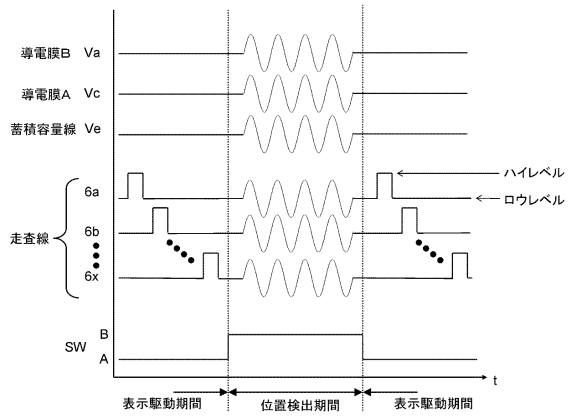
【図3】



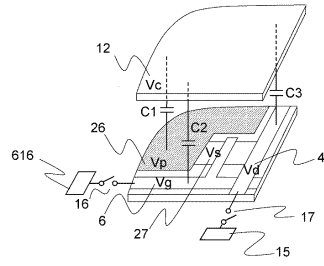
【図4】



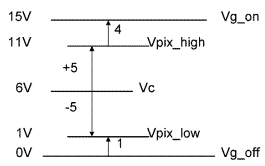
【図5】



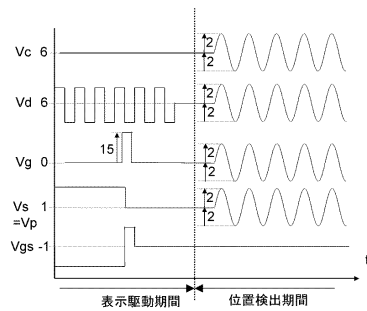
【図6】



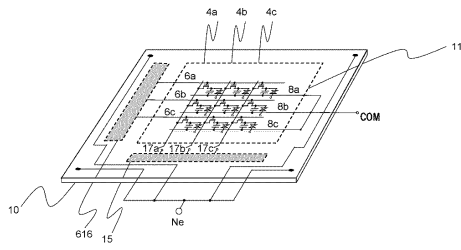
【図7】



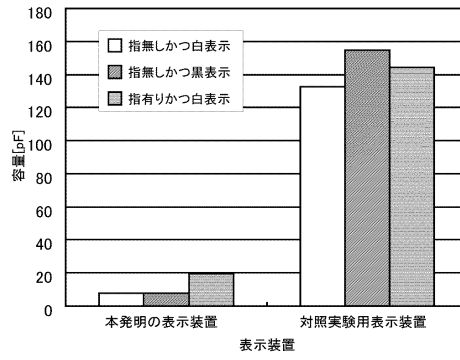
【図8】



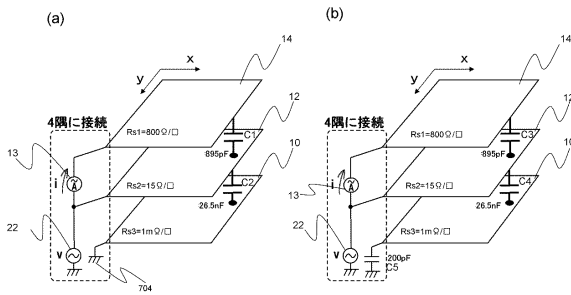
【図9】



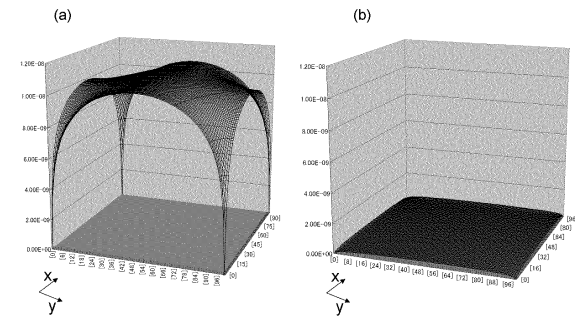
【図10】



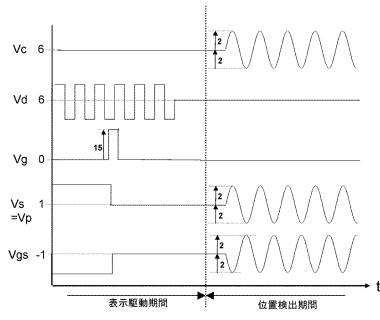
【図11】



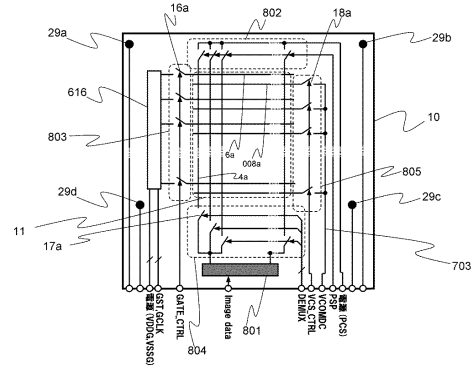
【図12】



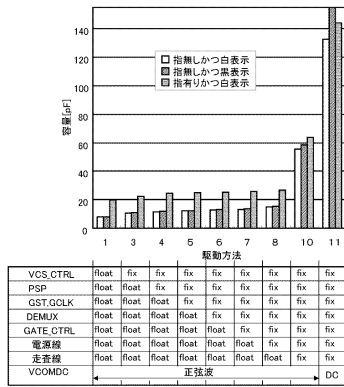
【図13】



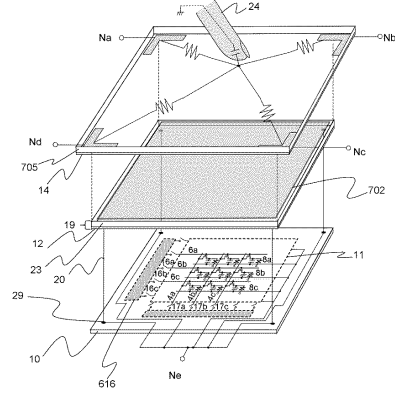
【図14】



【図15】

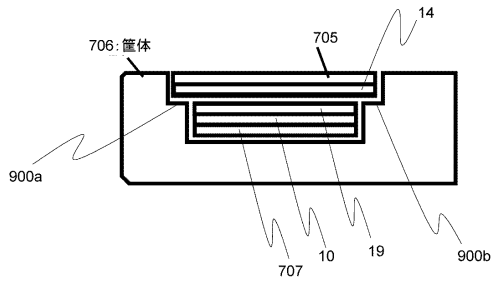


【図16】

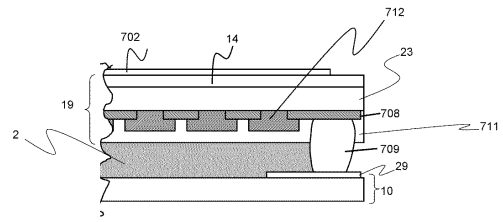




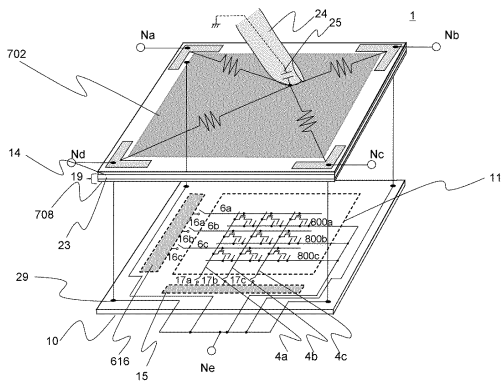
【図17】



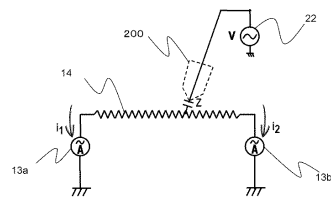
【図18】



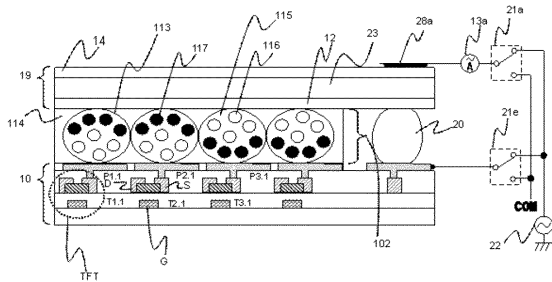
【図19】



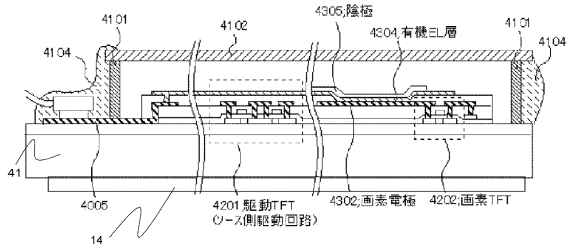
【図21】



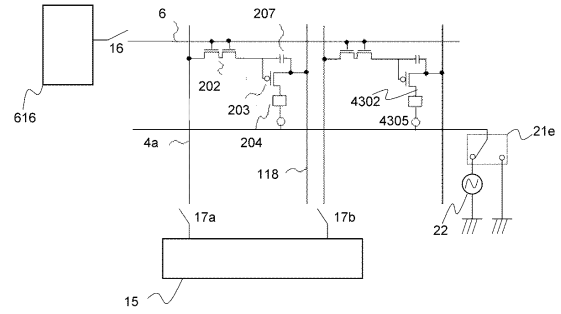
【図20】



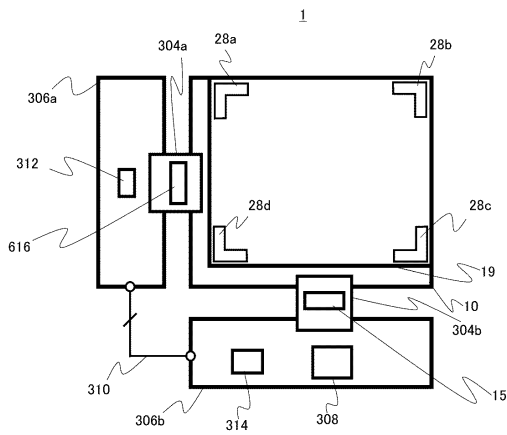
【図22】



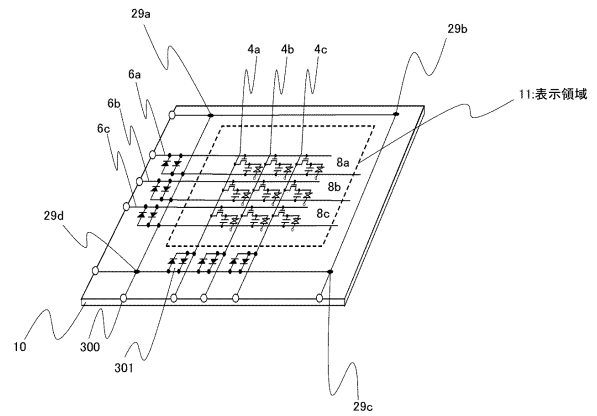
【図23】



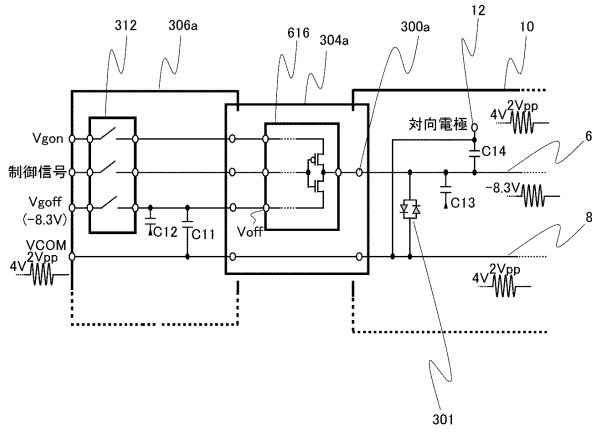
【図24】



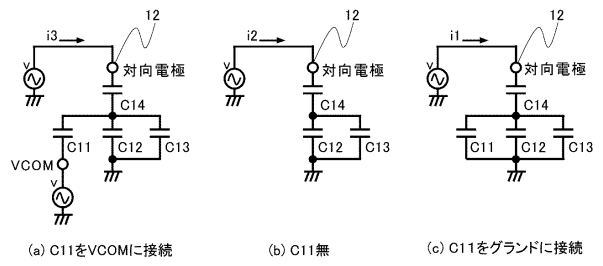
【図25】



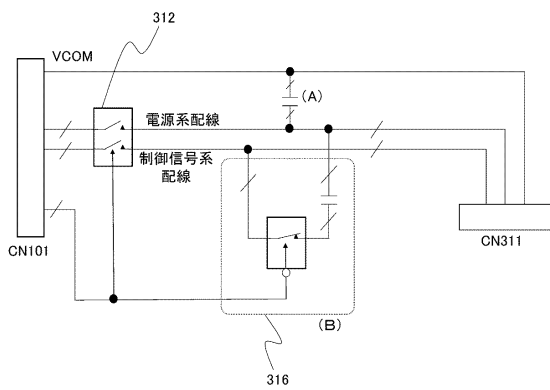
【図 26】



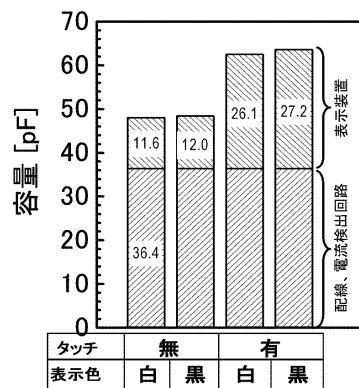
【図 27】



【図 28】



【図 29】



---

フロントページの続き

審査官 山崎 慎一

- (56)参考文献 特開2007-334606(JP,A)  
特開平08-146381(JP,A)  
特開2009-042899(JP,A)  
特開平11-305932(JP,A)  
国際公開第2007/102238(WO,A1)

- (58)調査した分野(Int.Cl., DB名)  
G06F 3/041  
G06F 3/044