



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년04월17일
(11) 등록번호 10-1135565
(24) 등록일자 2012년04월04일

- (51) 국제특허분류(Int. Cl.)
C11D 7/18 (2006.01)
- (21) 출원번호 10-2004-0099712
(22) 출원일자 2004년12월01일
심사청구일자 2009년11월11일
- (65) 공개번호 10-2005-0053330
(43) 공개일자 2005년06월08일
(30) 우선권주장
JP-P-2003-00403240 2003년12월02일 일본(JP)
- (56) 선행기술조사문헌
KR100271769 B1*
JP06200384 A
JP200216053 A
*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
간토 가가꾸 가부시키가이샤
일본국 도쿄도 츠오-구 니혼바시혼쵸 3-쵸메 2-8
- (72) 발명자
시미즈토시카즈
일본국, 도쿄도 103-0023, 츠오구, 니혼바시 혼쵸
3-쵸메, 2-8, 간토가가꾸 가부시키가이샤 내
와타나베카오리
일본국, 카나가와켄 211-8668, 카와사키시, 나카
하라구, 시모누마베1753번지, 엔이씨 일렉트로닉
스 가부시키가이샤 내
아오키히데미쓰
일본국, 카나가와켄 211-8668, 카와사키시, 나카
하라구, 시모누마베1753번지, 엔이씨 일렉트로닉
스 가부시키가이샤 내
- (74) 대리인
이원희

전체 청구항 수 : 총 6 항

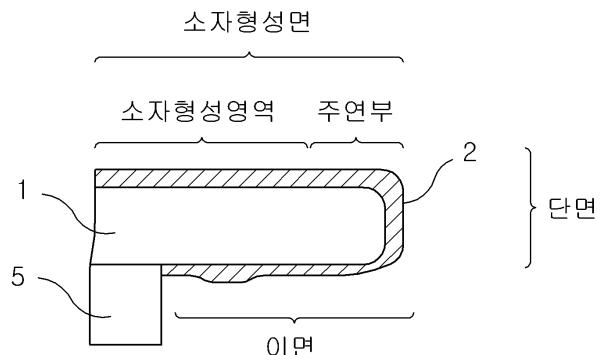
심사관 : 고영수

(54) 발명의 명칭 텅스텐 금속제거액 및 이를 이용한 텅스텐 금속의 제거방법

(57) 요 약

본 발명은 반도체 기판상에서 형성 또는 부착된 필요없는 텅스텐 금속을 제거하기 위한 안정한 산성 제거액 및 이를 이용한 텅스텐 금속의 제거방법에 관한 것으로서 보다 상세하게는 반도체 기판 상에 형성 또는 부착된 텅스텐 금속의 제거액으로 오르소 과요오드산 및 물을 포함하는 상기 제거액 및 이를 이용한 텅스텐 금속의 제거방법에 관한 것이다.

대 표 도 - 도1



특허청구의 범위

청구항 1

반도체 기판 상에 형성 또는 부착된 텅스텐 금속의 제거액으로서, 오르소 과요오드산, 불화수소산 및 물을 포함하여, 황산을 포함하지 않으며, 상기 오르소 과요오드산의 함량은 5 내지 50 질량%이고, 상기 불화수소산의 함량은 0.01 내지 5 질량%인 것을 특징으로 하는 텅스텐 금속제거액.

청구항 2

제1항에 있어서, 상기 오르소 과요오드산의 함량은 15 내지 30 질량%이고, 상기 불화수소산의 함량은 0.1 내지 1 질량%인 것을 특징으로 하는 텅스텐 금속제거액.

청구항 3

제1항에 있어서, 상기 제거액은 오르소 과요오드산, 불화수소산 및 물로 구성되는 것을 특징으로 하는 텅스텐 금속제거액

청구항 4

제2항에 있어서, 상기 제거액은 오르소 과요오드산, 불화수소산, 및 물로 구성되는 것을 특징으로 하는 텅스텐 금속제거액.

청구항 5

제1항 내지 제4항 중 어느 한 항에 있어서, 상기 텅스텐 금속은 상기 반도체 기판의 소자 형성 영역 이외의 영역에 형성 또는 부착된 텅스텐 금속인 것을 특징으로 하는 텅스텐 금속제거액.

청구항 6

텅스텐 금속이 형성된 반도체 기판을 수평으로 유지하여 회전시키고, 상기 반도체 기판의 소자 형성 영역 이외의 영역에 청구항 1에 따른 텅스텐 금속제거액을 분사하는 것에 의하여 상기 반도체 기판의 소자 형성 영역 이외의 영역에 형성 또는 부착되는 텅스텐 금속의 제거방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

[0008] 본 발명은 반도체 기판 등에 형성 또는 부착된 필요없는 텅스텐 금속을 제거하는데 유용한 텅스텐 금속의 제거액에 관한 것으로서 보다 상세하게는, 기판 이면(裏面)의 실리콘 및 하지막인 질화티탄, 산화 실리콘에 대하여 부식성이 적은 텅스텐 금속 제거액 및 이를 이용한 텅스텐 금속의 제거방법에 관한 것이다.

[0009] 반도체의 게이트 전극재료로서 텅스텐 실리사이드를 열처리하여 거의 텅스텐 금속으로 한 것을 사용하는 예가 보고되고 있으며(예를 들어, 특허 문헌 1) 반도체의 배선재료로서는 티탄텅스텐과 티탄 알루미늄 합금을 사용하는 것이 보고되고 있다(예를 들어, 특허문헌 2). 또한, 반도체 기판의 다층화에 수반하여 콘택트 홀과 비아 홀(via hole)의 채움용 금속으로서 텅스텐 금속이 사용되도록 되고, 나아가 콘택트 홀과 비아 홀에 텅스텐 금속을 채워 넣은 후 기판 표면에 형성된 텅스텐 금속을 가공하여 배선으로 사용하는 경우도 보고되고 있다(예를 들어, 특허문헌 2)

[0010] 최근, DRAM, FeRAM, 시스템 LSI 등의 전극재료로서 텅스텐 금속이 사용되고 있다. 텅스텐 금속을 형성하는 방

법으로서 스패터링(sputtering)과 CVD라는 방법이 있지만, 어느 방법으로 하여도 주연부를 포함하는 기판 전면에 텅스텐 금속이 형성된다. 소자 형성 영역 이외의 기판의 주연부 및 이면에 형성 또는 부착한 텅스텐 금속은 자연 박리 되기 쉽고 박리된 텅스텐 금속이 소자 형성부에 부착되기도 하고 반송계를 매개로 하여 막 형성 장치의 크로스 오염을 일으킨다고 생각되기 때문에, 다음 공정으로 넘어가기 전에 소자 형성 영역 이외의 기판의 주연부 및 이면에 형성 또는 부착한 텅스텐 금속을 완전히 제거하는 것이 검토되고 있다. 여기서, '소자 형성 영역 이외의 영역'이라 함은, 반도체 기판의 단면과 이면 외 소자 형성면의 주연부를 포함하는 영역을 말한다.

- [0011] 지금까지 소자 형성 영역 이외의 기판의 주연부 및 이면에 형성 또는 부착한 텅스텐 금속을 제거하기 위한 제거액의 보고는 보여지지 않았지만, 텅스텐 금속 혹은 텅스텐 합금의 에칭액은 보고되어 있다.
- [0012] 예를 들어, 과산화수소와 과산화수소수와 암모니아와 물과의 혼합액(특허문현 2 내지 4)이 텅스텐 금속의 에칭액으로서 제안되고 있지만, 과산화수소수는 산소를 방출하여 분해되기 쉽고 에칭액으로서 수명이 짧다는 문제가 있다. 나아가 이들 에칭액은 에칭 후에 입상 또는 막상의 잔사가 생기는 등 절대로 실용적인 에칭액이라 할 수 없는 것이다. 따라서, 이들은 텅스텐 금속의 제거액으로서도 적합하지 않다.
- [0013] 또한, 반도체 소자 제조에 있어서는 산화 실리콘 절연막 및 텅스텐 금속막이 실리콘 기판 단면 및 이면에 적층된 상태가 되지만, 텅스텐 금속막을 제거하는 공정과 산화 실리콘을 제거하는 공정이 동일 장치에서 수행되고 산화 실리콘 막의 제거는 통상 불화수소산 등의 산성 약액이 사용되고 있다. 따라서, 텅스텐 금속막의 제거는 암모니아 등을 포함하는 염기성 약액을 이용하여 행하면 에칭실과 배기관 내에 불화 암모니아 등의 염이 적출되는 문제가 있다.
- [0014] 염의 적출을 방지하기 위한 산성 텅스텐 제거액으로서는 불화 수소산과 질산을 함유하는 수용액을 들 수 있지만, 이 수용액은 실리콘, 산화 실리콘을 부식시키기 때문에 디바이스 제조에서 적합하지 않음이 보고되어 있다(특허문현 2).
- [0015] 한편, 제거 대상 금속이 다르지만 반도체 기판 주연부에 형성 또는 부착한 루테늄 금속을 제거하는 산성 제거액으로서 오르소 과요오드산(H_5IO_6 , orthoperiodic acid)과 질산을 함유하는 조성물이 보고되어 있다(특허문현 5). 그러나, 텅스텐 금속의 제거에 관해서는 어떤 것도 개시되어 있지 않다.
- [0016] 또한, 본원과 유사한 조성물로서 불화수소산(hydrofluoric acid), 과요오드산(orthoperiodic acid) 및 황산(sulfuric acid)을 포함하는 에칭액이 보고되고 있지만(특허문현 6), 황산을 함유하지 않는 에칭액에 관해서는 동문현에는 개시되어 있지 않다.
- [0017] 특허문현 1 특허공개 소62-143422호 공보
- [0018] 특허문현 2 특허공개 평8-250462호 공보
- [0019] 특허문현 3 특허공개 평11-219946호 공보
- [0020] 특허문현 4 특허공개 제2000-311891호 공보
- [0021] 특허문현 5 특허공개 제2001-68463호 공보
- [0022] 특허문현 6 특허공개 미국특허 제6461978B1호

발명이 이루고자 하는 기술적 과제

- [0023] 따라서, 본 발명이 해결하고자 하는 과제는 반도체 기판상에 형성 또는 부착한 불필요한 텅스텐 금속을 제거하기 위한 안정적이면서 산성인 제거액 및 이를 이용한 텅스텐 금속의 제거방법을 제공하는 것이다.

발명의 구성 및 작용

- [0024] 본 발명자 등은 상기 과제를 해결하고자 열심히 연구한 결과, 오르소 과요오드산(H_5IO_6) 및 물을 함유하는 제거

액이 텅스텐 금속을 충분하게 용해, 제거할 수 있음을 발견하고 본 발명을 완성함에 이르렀다.

[0025] 즉, 본 발명은 반도체 기판 상에 형성 또는 부착한 텅스텐 금속의 제거액으로 오르소 과요오드산 불화수소산 및 물을 포함하고 황산을 포함하지 않는 상기 제거액에 관한 것이다.

[0026] 또한, 본 발명은 오르소 과요오드산의 함량이 5 내지 50 질량% 이고 불화수소산의 함량이 0.01 내지 5 질량% 인 상기 제거액에 관한 것이다.

[0027] 또한, 본 발명은 텅스텐 금속이 반도체 기판의 소자 형성 영역 이외의 영역에 형성 또는 부착한 텅스텐 금속인, 상기 제거액에 관한 것이다.

[0028] 아울러, 본 발명은 텅스텐 금속을 형성한 반도체 기판을 수평으로 유지하여 회전시키고 당해 반도체 기판의 소자 형성 영역 이외의 영역에 상기 제거액을 뿜는 것에 의하여 당해 반도체 기판의 소자 형성 영역 이외의 영역에 형성 또는 부착한 텅스텐 금속의 제거방법에 관한 것이다.

[0029] 본 발명의 제거액으로서 특허문헌 5에 기재되어 있는 루테늄 금속의 제거액으로서 알려진 질산을 필수성분으로 하면 텅스텐 금속의 에칭 비율이 저하되어 충분한 용해, 제거 효과가 얻어지지 않는다. 공지의 제거액은 반도체 기판상에 부착된 루테늄 금속의 에칭 비율을 향상시킴에 대하여 같은 전이 금속인 텅스텐 금속의 에칭 비율은 저하시키는데, 본 발명에서 불화수소산에 현저한 텅스텐 금속 제거 효과가 나타남은 놀랄 만하다.

[0030] 본 발명의 텅스텐 금속의 제거액은 실리콘 및 하지막인 질화티탄, 산화실리콘에 대하여 부식성이 적어 불필요한 텅스텐 금속을 충분하게 용해, 제거할 수 있다. 특히, 반도체 기판상의 주연부 및 이면에 형성 또는 부착한 불필요한 텅스텐 금속의 제거에 적합하다. 본 발명의 텅스텐 금속의 제거액을 이용하는 것에 의하여 불필요한 텅스텐 금속이 제거 가능하게 되고 반도체 제조의 수율 향상에 기여할 수 있다.

[0031] 본 발명의 제거액은 오르소 과요오드산과 물로 이루어지는 경우에도 텅스텐 금속을 충분한 용해 속도로 제거할 수 있지만, 더 나아가 불화수소산을 첨가하는 것에 의하여 텅스텐 금속 제거 성능을 대폭 향상시킬 수 있다. 게다가, 본 발명의 제거액은 불화수소산의 함량을 조절하는 것으로 실리콘 및 하지막인 산화 규소 혹은 질화 티탄에 대한 용해를 억제하여 텅스텐 만을 선택적으로 제거하는 것이 가능하다.

[0032] 또한, 본 발명의 제거액은 안정성이 뛰어나기 때문에 장기간 보존할 수 있다. 나아가, 본 발명의 제거액은 에칭 후의 입상 또는 막상의 잔사가 생기지 않고 또 다른 산성액과 동일 장치에서 효율적으로 사용할 수 있기 때문에 매우 실용적인 에칭액이다.

[0033] 이하에서 본 발명의 실시 형태에 대하여 기술한다.

[0034] 본 발명의 제거액의 성분인 오르소 과요오드산과 유사 화합물로서 과염소산, 과황산, 브롬산, 과산화수소수 등이 있지만, 과염소산, 과황산은 충분한 텅스텐 금속의 용해, 제거 효율이 얻어지지 않는다. 또한, 브롬산은 안정성이 없고 과산화수소수는 상기한 것처럼 그 자체가 분해되기 때문에 사용이 곤란하다. 이들에 비해서 오르소 과요오드산은 텅스텐 금속을 충분하게 용해, 제거하고 또한, 알칼리 금속을 함유하지 않기 때문에 소자에 대하여 악영향이 적은 것으로부터 바람직하다.

[0035] 본 발명의 제거액의 성분인 불화수소산과 같은 무기산으로서 예를 들어 알루미늄과 알루미늄 합금의 에칭액에 사용되고 있는 질산, 염산, 초산, 인산 등이 있지만, 인산, 질산, 초산을 오르소 과요오드산에 첨가하여도 오르소 과요오드산 단독과 비교하여 상승 효과를 보이지 않으며 텅스텐 금속의 충분한 용해, 제거 효과가 얻어지지 않는다. 염산은 오르소 과요오드산과 혼합한 경우, 가스가 발생하고 실용적이지 않다. 불화수소산의 첨가는 오르소 과요오드산 단독과 비교하여 상승 효과에 의한 현저한 텅스텐 금속 제거 효과가 나타났기 때문에 바람직하다.

[0036] 본 발명에서 텅스텐 금속의 용해 속도는 특히 한정되지 않지만 텅스텐 금속 제거액으로서 처리시간의 관점으로

부터 30 nm/분 이상, 바람직하게는 100 nm/분 이상 보다 바람직하게는 200 nm/분 이상이 좋다.

[0037] 본 발명에서 불화수소산의 함량은 텡스텐 금속을 충분하게 용해, 제거할 수 있는 정도이면 제한되지 않지만, 오르소 과요오드산의 적출을 효과적으로 방지할 수 있는 정도의 함량에서 억제하는 것이 바람직하기 때문에 전형적으로는 5~50 질량%, 보다 바람직하게는 15~30 질량% 가 바람직하다.

[0038] 또한, 본 발명에 있어서, 불화수소산의 함량도 텡스텐 금속을 충분하게 용해, 제거할 수 있는 정도이면 제한되지 않지만, 이면의 실리콘, 하지(下地)의 질화티탄, 산화 실리콘으로의 부식을 방지하는 것이 가능한 정도의 양으로 억제하는 것이 바람직하기 때문에 전형적으로 0~5 질량%, 바람직하게는 0.01~5 질량%, 보다 바람직하게는 0.1~1 질량% 이다.

[0039] 본 발명의 제거액은 오르소 과요오드산, 불화수소산 이외에 통상 물을 함유하는 구성으로 한다.

[0040] 본 발명의 제거액에 의한 처리온도가 높은 만큼 텡스텐 금속의 용해 속도는 높아지지만, 처리 온도가 너무 높은 경우에는 고온도의 수용액을 분사하기 때문에 증발에 의한 오르소 과요오드산의 적출 및 액조성의 변화가 일어나기도 하고, 또한 처리 온도가 너무 낮으면 텡스텐 금속의 충분한 제거 성능이 얻어지지 않는 일이 있기 때문에 적정 온도로 조정한다. 바람직하게는 30~60°C이고, 보다 바람직하게는 40~50°C이다.

[0041] 또한, 본 발명의 제거액은 제거 성능을 손상하지 않는 범위에서 계면활성제 등의 각종 첨가제와 수용성 유기용제를 첨가하여도 좋다.

[0042] 본 발명의 제거액의 바람직한 실시형태로서는 오르소 과요오드산으로 구성되는 수용액, 오르소 과요오드산과 불화수소산으로 구성되는 수용액, 혹은 이들에 계면활성제 등의 첨가제 등을 소량 첨가한 구성을 들 수 있다.

[0043] 본 발명의 제거액은 반도체 기판상에 형성 또는 부착한 불필요한 텡스텐 금속의 제거액으로서 이용되는 외에 텡스텐 전극배선의 미세가공(페터닝)용의 에칭액으로서 이용할 수 있다.

[0044] 본 발명의 제거액은 특히, 소자 형성 영역 이외의 영역에 텡스텐 금속이 형성 또는 부착한 반도체 기판의 세정에 사용된 경우에 효과적이다. 예를 들어, 반도체 기판의 소자 형성 영역에 텡스텐 금속을 형성한 후, 소자 형성 영역 이외의 영역에 형성 또는 부착한 텡스텐 금속을 세정하는 것에 현저한 효과를 나타낸다.

[0045] 실리콘 기판의 소자 형성 영역 이외에 형성 또는 부착한 텡스텐 금속을 제거하기 위한 제거액을 이용한 처리에 관해서 설명한다. 도 1은 텡스텐 막 형성 후 기판의 상태를 나타내는 그림이다. 실리콘 기판 1은 기판 재치(載置)대 5 상에 재치된 상태가 된다. CVD 법에 의하여 텡스텐 막 2를 형성한 경우, 실리콘 기판 1의 단면 및 이면에 텡스텐이 막 형성 또는 부착한다. 또한, 도 2에 나타난 바와 같이, 절연막과 하지막을 형성한 후에 텡스텐 막을 형성한 경우에도 마찬가지로 실리콘 기판의 단면 및 이면에 텡스텐 막이 형성 또는 부착하기 때문에 본 발명의 제거액을 사용하는 것이 유효하게 된다.

[0046] 본 발명의 제거액을 이용하여 텡스텐 금속의 제거를 행하는 데 맞추어 제거액이 소자 형성 영역에 접촉하지 않도록 하는 것이 바람직하다. 예를 들어, 도 3에 나타난 바와 같이 텡스텐 금속의 제거를 스펀 세정에 의하여 행하고 소자 형성면에 질소 가스 등의 불활성 가스를 내뿜으면서 실리콘 기판의 단면 및 이면에만 제거액이 접촉하는 것으로서도 좋다.

[0047] 이하에서, 실시예와 비교예를 들어 본 발명을 더욱 상세하게 설명하지만, 본 발명은 이들 실시예에 한정되는 것은 아니다.

[0048] <실시예 1>

[0049] 실리콘 기판 상에 텡스텐 금속을 구성한 것(막 두께 500 nm)을 약 15 mm 각(角)의 칩으로 잘라내고 시료를 제작하였다. 이 시료를 본 발명의 제거액에 처리 온도 50°C에서 침지하였다. 사용한 본 발명의 제거액의 조성을 표 1에 나타낸다. 각 성분의 함량은 제거액 전체에 대하여 질량%의 값으로 나타내었다. 잔부는 물이다. 텡스텐 금속막이 소실할 때까지 침지하고 텡스텐 금속막이 소실할 때까지 요구되는 시간으로부터 텡스텐 금속의 용해 속도(dissolution rate)를 구하였다. 그 결과를 표 1, 2 및 3에 나타낸다. 표 중의 용해 속도는

nm/분이다.

[0050] 표 1~3 에 나타난 결과로부터 오르소 과요오드산 또는 오르소 과요오드산과 불화수소산을 조합시킨 경우에 현저한 텅스텐 금속의 제거 효과를 얻을 수 있음이 판명되었다.

표 1

[0051]

	오르소 과요오드산 (질량%)	불화수소산 (질량%)	용해 속도 (nm/분)
No. 1	1	–	–
No. 2	5	–	51
No. 3	15	–	106
No. 4	30	–	162
No. 5	50	–	150
No. 6	5	0.1	75
No. 7	5	0.5	206
No. 8	5	1	211
No. 9	15	0.1	150
No. 10	15	0.5	278
No. 11	15	1	288
No. 12	30	0.1	204
No. 13	30	0.5	337
No. 14	30	1	341
No. 15	40	0.5	339

표 2

[0052]

	오르소 과요오드산 (질량%)	질산 (질량%)	염산 (질량%)	초산 (질량%)	용해 속도 (nm/분)
No. 16	30	5			92
No. 17	30		5		–
No. 18	30			5	117

[0053]

No. 17은 제거액 조제시에 가스가 발생하여 평가를 행하지 못했다.

표 3

[0054]

	과염소산 (질량%)	과황산암모늄 (질량%)	질산세륨(IV)암모니움 (질량%)	질산 (질량%)	용해 속도 (nm/분)
No. 19	30			10	0
No. 20		30		10	0
No. 21			30	10	0

[0055]

<실시예 2>

[0056]

실리콘 기판상에 텅스텐 금속을 형성한 것(막 두께 500 nm)을 약 15 mm 각의 칩으로 잘라내고, 시료를 제작하였다. 이 시료를 본 발명의 제거액에 침지하여 제거액을 스터러에 의하여 교반한 경우와 교반하지 않은 경우의 각각에 대하여 30°C, 40°C 및 50°C에서 용해 속도를 구하였다. 사용한 제거액의 조성은 표 4에 나타낸다. 각 성분의 함량은 제거액 전체에 대하여 질량%의 값으로 나타내었다. 잔부는 물이다. 텅스텐 금속막이 소실될 때까지 침지하고 텅스텐 금속막이 소실될 때까지 요구되는 시간으로부터 텅스텐 금속의 용해 속도를 구하였다. 그 결과를 표 4에 나타낸다. 즉, 표 중의 용해 속도의 단위는 nm/분이다.

[0057]

교반을 행함으로써 텅스텐 금속의 용해가 빠르게 되는 것이 판명되었다. 이로부터 물리적인 작용이 작동하는 스판 세정에 있어서는 침지법과 비교하여 빠른 텅스텐 금속의 제거를 기대할 수 있다.

[0058] 표 4는 30°C, 40°C 및 50°C 각각의 온도에 있어서 침지법에 의한 용해 속도를 나타내는 것이고, 온도가 높은 만큼 용해 속도가 빠른 것이 나타나지만, 본 발명의 텅스텐 제거액은 기판의 소자 형성 영역 이외의 부분에 제거액을 분사하여 행하는 것으로부터 처리온도가 너무 높은 경우에는 증발에 의한 오르소 과요오드산의 적출 및 액조성의 변화가 일어나고 또한, 처리 온도가 너무 낮으면 텅스텐 금속의 충분한 제거 성능이 얻어지지 않기 때문에 바람직하게는 30~60°C이고, 보다 바람직하게는 40~50°C이다.

표 4

[0059]

	오르소 과요오드산(질량%)	불화수소산(질량%)	교반	온도/용해 속도(nm/분)		
				30°C	40°C	50°C
No.1	30	-	없음 있음	29 30	90 91	162 164
				40 49	108 126	204 246
No.2	30	0.1	없음 있음	55 65	142 169	337 380
				55 65	143 169	341 390
No.3	30	0.5	없음 있음	54 63	140 167	339 380
				54 63	140 167	339 380
No.4	30	1.0	없음 있음	54 63	140 167	339 380
				54 63	140 167	339 380
No.5	40	0.5	없음 있음	54 63	140 167	339 380

[0060]

<실시예 3>

[0061]

실리콘 기판상에서 산화 실리콘, 질화 티탄을 형성한 것을 시료로 하여 50°C에서 질화 티탄, 산화 실리콘의 용해 속도를 구하였다. 결과를 표 5 및 표 6에 나타낸다. 일반적으로 텅스텐 금속과 하지의 산화 실리콘, 질화 티탄과의 에칭 선택비는 10 이상인 것이 바람직하지만, 본 발명에 있어서는 텅스텐 금속의 용해 속도와 비교하여 산화 실리콘, 질화 티탄의 용해 속도는 대폭 낮아지고 에칭 선택비는 10 이상인 것이 판명되었다. 이로부터 본 발명의 제거액은, 텅스텐 하지막인 질화 티탄 및 산화 실리콘에 대하여 부식이 적은 매우 실용적인 제거액임을 알 수 있다.

표 5

[0062]

W 제거액(HF+H₅IO₆)에 의한 SiO₂ 에칭 비율(온도 50°C 교반침지)

HF (wt%)	H ₅ IO ₆ (wt%)	W에칭 비율 (nm/분)	SiO ₂ 에칭 비율 (nm/분)	에칭 선택비 (W비율/SiO ₂ 비율)
-	30	164	0	-
0.1	30	246	0.7	351
0.2	30	278	3	93
0.3	30	330	5	66
0.5	30	380	9	42
1.0	30	390	21	19

[0063]

간접식 막후계(膜厚計)에 의한 SiO₂ 에칭 비율 측정

표 6

[0064]

W 제거액($\text{HF} + \text{H}_5\text{IO}_6$)에 의한 TiN 에칭 비율(온도 50°C 교반침지)

HF (wt%)	H_5IO_6 (wt%)	W에칭 비율 (nm/분)	TiN 에칭 비율 (nm/분)	에칭 선택비 (W비율/TiN비율)
-	30	164	0	-
0.1	30	246	5 ↓	50 ↑
0.2	30	278	5 ↓	50 ↑
0.3	30	330	5	66
0.5	30	380	8	48
1.0	30	390	14	28

[0065]

목시(目視)에 의한 TiN 에칭 비율 측정

발명의 효과

[0066]

본 발명의 텡스텐 금속의 제거액을 사용하는 것에 의하여 소자 형성 영역 이외의 기판 주연(周緣)부, 기타 부분에 형성 또는 부착한 텡스텐 금속을 충분하게 용해, 제거 가능하게 되고 반도체 제조의 수율의 향상까지 기여할 수 있다.

도면의 간단한 설명

[0001]

도 1은 텡스텐막 형성 후의 실리콘 기판의 외관을 나타내는 도면이고,

[0002]

도 2는 텡스텐막 형성 후의 실리콘 기판의 외관을 나타내는 도면이고,

[0003]

도 3은 제거액을 이용하여 텡스텐 금속을 제거하는 방법을 설명하기 위한 도면이다.

[0004]

1; 실리콘 기판(silicon substrate)

[0005]

2, 2'; 텡스텐 막(tungsten film)

[0006]

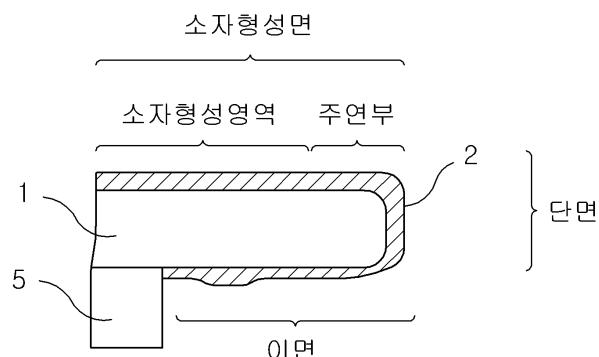
3; 절연막(insulating film)

[0007]

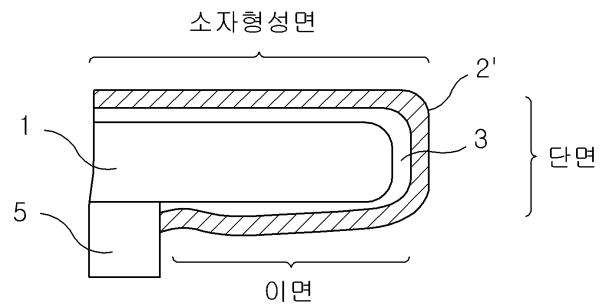
5; 기판재치대/loading stand)

도면

도면1



도면2



도면3

