



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년10월08일
(11) 등록번호 10-2310979
(24) 등록일자 2021년10월01일

(51) 국제특허분류(Int. Cl.)
H01L 23/498 (2006.01)
(52) CPC특허분류
H01L 23/49822 (2013.01)
H01L 23/49811 (2013.01)
(21) 출원번호 10-2017-7007459
(22) 출원일자(국제) 2015년10월07일
심사청구일자 2020년08월13일
(85) 번역문제출일자 2017년03월17일
(65) 공개번호 10-2017-0078597
(43) 공개일자 2017년07월07일
(86) 국제출원번호 PCT/CA2015/051015
(87) 국제공개번호 WO 2016/065460
국제공개일자 2016년05월06일
(30) 우선권주장
14/529,859 2014년10월31일 미국(US)
(56) 선행기술조사문헌
KR1020120102700 A*
JP2012079759 A*
US6057222 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
에이티아이 테크놀로지스 유엘씨
캐나다 온타리오 엘3티 7엑스6 마크햄 커머스 밸
리 드라이브 이스트 1
(72) 발명자
토파시오 로텐
캐나다 온타리오 엘3알 4엑스8 마크햄 카르마 로
드 7
링 앤드류 케이더블유
캐나다 온타리오 엘3피 7에이1 마크햄 아드리안
크레센트 38
(74) 대리인
박장원

전체 청구항 수 : 총 14 항

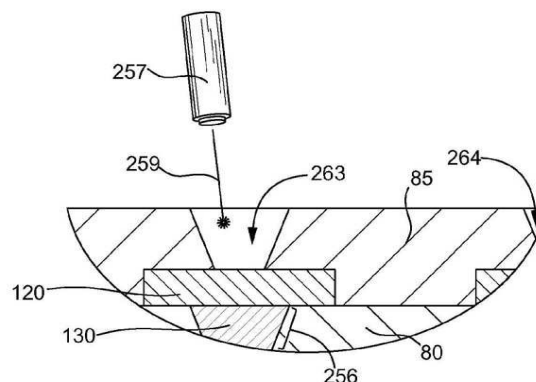
심사관 : 정구원

(54) 발명의 명칭 제한된 솔더 상호 연결 패드들을 가진 회로 보드 및 그 제조 방법

(57) 요약

다양한 회로 보드들 및 이를 제조하는 방법들이 개시된다. 일 양상에서, 회로 보드(20) 상에 측벽이 있는 제 1 개구(220)를 갖는 솔더 마스크(75)를 형성하는 단계를 포함하는 제조 방법이 제공된다. 솔더 상호 연결 패드(65)가 제 1 개구내에 형성된다. 측벽은 솔더 상호 연결 패드의 측면 규모를 정한다.

대표도 - 도7



(52) CPC특허분류

H01L 23/49816 (2013.01)
H01L 23/49827 (2013.01)
H01L 23/49894 (2013.01)
H01L 2224/16225 (2013.01)
H01L 2224/32225 (2013.01)
H01L 2224/73204 (2013.01)
H01L 2924/15311 (2013.01)

명세서

청구범위

청구항 1

회로 보드의 제조 방법으로서,

회로 보드(20) 상에 측벽이 있는 제 1 개구(220)를 갖는 솔더 마스크(solder mask)(75)를 형성하는 단계; 및

상기 솔더 마스크의 측벽에 콘택함이 없이 상기 제 1 개구에 솔더 상호 연결 패드(interconnect pad)(65)를 형성하는 단계 -상기 솔더 상호 연결 패드는 전도성 비아(140) 상에 형성됨-

를 포함하고,

상기 측벽은 상기 솔더 상호 연결 패드의 형성 동안 상기 솔더 상호 연결 패드의 측면 규모(lateral extent)를 설정하고 그리고 금속이 상기 솔더 상호 연결 패드에 및 상기 솔더 상호 연결 패드 및 상기 측벽 사이에서 부가되는 것을 특징으로 하는 제조 방법.

청구항 2

제1항에 있어서,

상기 제 1 개구가 형성되고, 상기 솔더 상호 연결 패드를 형성하기 위해 금속이 상기 제 1 개구내에 배치되는 것을 특징으로 하는 제조 방법.

청구항 3

제2항에 있어서,

하지의(underlying) 도체 패드(120)를 노출시키는 상기 회로 보드의 상호 연결 층(85)에 제 2 개구(263)를 형성하는 단계 및 상기 제 1 개구가 상기 제 2 개구와 정렬되도록 상기 솔더 마스크를 형성하는 단계를 포함하는 것을 특징으로 하는 제조 방법.

청구항 4

제3항에 있어서,

상기 제 2 개구에 상기 전도성 비아(140)를 그리고 상기 전도성 비아(140) 상에 상기 솔더 상호 연결 패드를 형성하는 단계를 포함하는 것을 특징으로 하는 제조 방법.

청구항 5

삭제

청구항 6

제1항에 있어서,

상기 솔더 상호 연결 패드 상에 솔더 범프(55)를 결합하는 단계를 포함하는 것을 특징으로 하는 제조 방법.

청구항 7

제1항에 있어서,

상기 회로 보드에 반도체 칩(15)을 결합하는 단계를 포함하는 것을 특징으로 하는 제조 방법.

청구항 8

제1항에 있어서,

컴퓨터 판독 가능한 매체에 저장된 지시들을 사용하여 상기 솔더 마스크 및 상기 솔더 상호 연결 패드를 형성하

는 단계를 포함하는 것을 특징으로 하는 제조 방법.

청구항 9

제1항에 있어서,

반도체 칩 패키지 기판에 복수의 솔더 볼들을 결합하는 단계를 포함하는 것을 특징으로 하는 제조 방법.

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

제1항에 있어서,

상기 회로 보드는 반도체 칩 패키지 기판인 것을 특징으로 하는 제조 방법.

청구항 16

회로 보드로서,

측벽이 있는 제 1 개구(220)를 구비하는, 회로 보드 상의 솔더 마스크(75);

상기 측벽과 콘택함이 없이 상기 제 1 개구 내에 있는 솔더 상호 연결 패드(65), 상기 측벽은 상기 솔더 상호 연결 패드의 측면 규모를 설정하고; 그리고

상기 솔더 상호 연결 패드에 및 상기 솔더 상호 연결 패드 및 상기 측벽 사이에서 부가되는 금속을 포함하는 것을 특징으로 하는 회로 보드.

청구항 17

제16항에 있어서,

상기 솔더 상호 연결 패드 상에 결합된 솔더 범프(55)를 포함하는 것을 특징으로 하는 회로 보드.

청구항 18

제16항에 있어서,

상기 회로 보드에 결합된 반도체 칩(15)을 포함하는 것을 특징으로 하는 회로 보드.

청구항 19

제16항에 있어서,

상기 솔더 상호 연결 패드는 상부 표면을 포함하고, 상기 솔더 마스크는 상기 상부 표면과 어떤 접촉도 하지 않는 것을 특징으로 하는 회로 보드.

청구항 20

제16항에 있어서,

상기 회로 보드는 반도체 칩 패키지 기관을 포함하는 것을 특징으로 하는 회로 보드.

발명의 설명

기술 분야

[0001] 일반적으로, 본 발명은 반도체 프로세싱에 관한 것이며, 보다 상세하게는 솔더 상호 연결 패드들을 가진 회로 보드들 및 이를 만드는 방법들에 관한 것이다.

배경 기술

[0002] 다양한 종래의 유기 반도체 칩 패키지 기관들은 다수의 솔더 범프들에 의해 플립-칩 장착된 반도체 칩과 전기적으로 인터페이싱한다. 몇몇 종래의 설계들에서, 솔더 범프들 또는 그것의 부분들은 회로 보드의 최외곽 층인 솔더 마스크에서 형성된 홀드에 위치된다. 홀들은 하지의 범프 패드들에 수직으로 정합(register)되도록 의도된다. 종래의 설계들은, 범프 패드들이 솔더 마스크 홀보다 큰 측면 치수를 갖고 제작된다. 이것은 솔더 마스크 및 범프 패드의 상부 표면 사이에 계면을 형성한다.

[0003] 종래의 솔더 상호 연결 패드들은 통상적으로 하지의 비아들 상에 형성된다. 이들 위치들에서, 솔더 마스크는 굽힘 모멘트들을 겪을 수 있다. 이들 굽힘 모멘트들은 범프 패드 상부 표면에서 솔더 마스크의 박리를 야기할 수 있다. 박리는 트레이스들 또는 다른 범프 패드들과 같은, 인접한 도체 구조들에 측방향으로 및 잠재적으로 쇼트(short)를 완화시키기 위해 위에 놓인 범프로부터 솔더에 대한 경로들을 생성할 수 있다.

발명의 내용

해결하려는 과제

[0004] 회로 보드들, 특히 반도체 칩 패키지 기관들로 보다 많은 라우팅을 짜내려는 계속 진행 중인 경향이 있다. 보다 큰 라우팅 복잡도에 대한 요구는, 다른 것들 중에서, 훨씬 더 복잡한 반도체 다이 설계들의 입력/출력들의 수에서의 증가에 의해 야기된다. 회로 보드 레이아웃으로 보다 많은 트레이스들 및 비아들을 삽입하는 것은 사소한 문제가 아니다. 실제로, 증가된 라우팅의 목표는 설계 규칙들과 경쟁해야 하며, 이것은 회로 보드를 형성하기 위해 사용된 제조 프로세스들이 신뢰성 있게 그렇게 할 수 있음을 보장하기 위해 실시된다.

[0005] 그러나, 잠재적인 솔더 마스크 박리를 다루기 위한 종래의 기술들은 종종 보다 큰 도체 간격을 요구하는 확대된 범프 패드들 또는 설계 규칙들에 의존하며, 양쪽 모두는 보다 큰 패키징 밀도를 비교 검토한다.

[0006] 본 발명은 앞서 말한 단점들 중 하나 이상의 효과들을 극복하거나 또는 감소시키는 것에 관한 것이다.

과제의 해결 수단

[0007] 본 발명의 실시예의 일 양상에 따르면, 회로 보드 상에 측벽이 있는 제 1 개구를 갖는 솔더 마스크를 형성하는 단계를 포함하는 제조 방법이 제공된다. 솔더 상호 연결 패드가 상기 제 1 개구 내에 형성된다. 상기 측벽이 상기 솔더 상호 연결 패드의 측면 규모(lateral extent)를 정한다.

[0008] 본 발명의 실시예의 또 다른 양상에 따르면, 반도체 칩 패키지 기관상에 솔더 마스크를 형성하는 단계를 포함하는 제조 방법이 제공된다. 상기 마스크는 측벽을 가진 제 1 개구를 포함한다. 솔더 상호 연결 패드가 상기 제 1 개구내에 형성된다. 상기 측벽이 상기 솔더 상호 연결 패드의 측면 규모를 정한다.

[0009] 본 발명의 실시예의 또 다른 양상에 따르면, 회로 보드 상에 솔더 마스크를 포함하는 회로 보드가 제공된다. 상기 솔더 마스크는 측벽이 있는 제 1 개구를 가진다. 솔더 상호 연결 패드가 상기 제 1 개구내에 있다. 상기 측벽이 상기 솔더 상호 연결 패드의 측면 규모를 정한다.

도면의 간단한 설명

[0010] 본 발명의 앞서 말한 것 및 다른 이점들은 다음의 상세한 설명을 판독할 때 및 도면들을 참조할 때 분명해질 것이다:

- 도 1은 회로 보드 상에 장착된 반도체 칩을 포함하는 대표적인 종래의 반도체 칩 디바이스의 화도이다;
- 도 2는 섹션(2-2)에서 취해진 도 1의 단면도이다;
- 도 3은 보다 큰 배율에서 도시된 도 2의 일 부분이다;
- 도 4는 도 3과 유사하지만, 종래의 회로 보드 구조의 단면도이다;
- 도 5는 도 3과 유사하지만, 가상의 불완전 솔더 마스크 개구 정합을 묘사한 단면도이다;
- 도 6은 도 4와 유사하지만, 종래의 회로 보드 구조에 대한 가상의 불완전 솔더 마스크 개구 정합을 묘사한 단면도이다;
- 도 7은 대표적인 빌드-업 층 및 비아 개구 형성을 묘사한 단면도이다;
- 도 8은 도 7과 유사하지만, 대표적인 마스크 및 트레이스 형성을 묘사한 단면도이다;
- 도 9는 도 8과 유사하지만, 대표적인 솔더 마스크 형성을 묘사한 단면도이다;
- 도 10은 도 9와 유사하지만, 대표적인 비아 및 솔더 상호 연결 패드 형성을 묘사한 단면도이다;
- 도 11은 도 10과 유사하지만, 솔더 상호 연결 패드 상에서의 부가적인 금속 배치를 묘사한 단면도이다;
- 도 12는 도 7과 유사하지만, 교번하는 대표적인 빌드-업 층 및 비아 개구 형성을 묘사한 단면도이다;
- 도 13은 도 12와 유사하지만, 대표적인 솔더 상호 연결 패드 및 트레이스 형성을 묘사한 단면도이다; 및
- 도 14는 도 13과 유사하지만, 교번하는 대표적인 솔더 마스크 형성을 묘사한 단면도이다; 및
- 도 15는 도 14와 유사하지만, 솔더 상호 연결 패드 상에서의 부가적인 금속의 배치를 묘사한 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0011] 반도체 칩 패키지 기관과 같은, 인쇄 회로 보드의 다양한 실시예들이 여기에서 설명된다. 일 예는, 개구의 측면이 솔더 상호 연결 패드의 측면 규모를 정하도록 개구에 위치된, 솔더 마스크 및 범프 패드와 같은, 솔더 상호 연결 패드를 포함한다. 부가적인 상세들이 이제 설명될 것이다.
- [0012] 이하에서 설명된 도면들에서, 참조 번호들은 일반적으로 동일한 요소들이 하나 이상의 도면에 나타날 때 반복된다. 이제 도면들로, 특히 도 1로 가면, 그 안에서 회로 보드(20) 상에 장착된 반도체 칩(15)을 포함하는 회로 디바이스(10)의 대표적인 실시예의 도면이 도시된다. 언더필 재료 층(25)은 차동 CTE의 효과들을 줄이기 위해 반도체 칩(15) 및 회로 보드(20) 사이에 위치된다. 회로 보드(20)는 반도체 칩(15) 및 도시되지 않은 또 다른 회로 디바이스 사이에서 전력, 접지 및 신호 전달들을 제공하기 위해 다수의 도체 트레이스들 및 비아들 및 다른 구조들을 제공한다. 이들 전달들을 용이하게 하기 위해, 회로 보드(20)는 핀 그리드 어레이, 볼 그리드 어레이, 랜드 그리드 어레이 또는 다른 유형의 상호 연결 기법의 형태로 입력/출력들을 제공할 수 있다. 이러한 예시적인 실시예에서, 회로 보드(20)는 복수의 솔더 볼들(30)로 이루어진 볼 그리드 어레이를 제공한다.
- [0013] 반도체 칩(15)은 예를 들면, 마이크로프로세서들, 그래픽스 프로세서들, 조합된 마이크로프로세서/그래픽스 프로세서들, 시스템(들) 온 칩, 애플리케이션 특정 집적 회로들, 메모리 디바이스들 등과 같은, 전자 장치에서 사용된 무수한 상이한 유형들의 회로 디바이스들 중 임의의 것일 수 있으며, 단일 또는 다중-코어이거나 또는 심지어 부가적인 다이스를 갖고 적층될 수 있다. 반도체 칩(15)은 실리콘 또는 게르마늄과 같은 벌크 반도체, 실리콘-온-절연체 재료들, 그래핀 또는 다른 재료들과 같은, 절연체 재료들 상에서의 반도체로 구성될 수 있다. 반도체 칩(15)은 회로 보드(20)에 장착되며 솔더 접합(solder joint)들 또는 다른 구조들에 의해 그것에 전기적으로 연결된 플립-칩일 수 있다. 플립-칩 솔더 접합들이 아닌 상호 연결 기법들이 사용될 수 있다.
- [0014] 회로 보드(20)는 반도체 칩 패키지 기관, 회로 카드, 또는 사실상 임의의 다른 유형의 인쇄 회로 보드일 수 있다. 모듈리식 구조가 회로 보드(20)를 위해 사용될 수 있지만, 보다 통상적인 구성은 빌드-업(build-up) 설계를 이용할 것이다. 이것과 관련하여, 회로 보드(20)는 그것 상에서 하나 이상의 빌드-업 층들이 형성되며 그 아래에서 부가적인 하나 이상의 빌드-업 층들이 형성되는 중심 코어로 이루어질 수 있다. 코어 자체는 하나 이상의 층들의 스택으로 이루어질 수 있다. 이러한 배열의 일 예는 단일-층 코어가 두 개의 빌드-업 층들의 두 개의 세트들 사이에서 라미네이팅되는 2-2-2 배열일 수 있다. 반도체 칩 패키지 기관으로서 구현된다면, 회로 보드(20)에서 층들의 수는 4에서 16 이상으로 달라질 수 있지만, 4 미만이 사용될 수 있다. 소위 "코어 없는

(coreless)" 설계들이 또한 사용될 수 있다. 회로 보드(20)의 층들은 금속 상호 연결들로 배치된, 다양한 잘 알려진 에폭시들 또는 다른 폴리머들과 같은, 절연 재료로 이루어질 수 있다. 빌드-업이 아닌 다-층 구성이 사용될 수 있다. 선택적으로, 회로 보드(20)는 잘 알려진 세라믹들 또는 패키지 기판들 또는 다른 인쇄 회로 보드들에 적합한 다른 재료들로 구성될 수 있다.

[0015] 이제 관심이 섹션(2-2)에서 취해진 도 1의 단면도인, 도 2로 옮겨간다. 섹션(2-2)은 단지 반도체 칩(15) 및 패키지 기판(20)의 꽤 작은 부분만을 포함한다는 것에 유의하자. 반도체 칩(15)은 회로 보드(20)에 장착되며 솔더 범프들, 솔더 접합들, 전도성 필러들 또는 다른 구조들에 의해 그것에 전기적으로 상호 연결된 플립-칩일 수 있다. 이러한 예시적인 실시예에서, 두 개의 솔더 상호 연결들 또는 접합들(35 및 40)이 묘사되며 언더필(25)에 의해 적어도 부분적으로 둘러싸인다. 단지 두 개의 솔더 접합들(35 및 40)만이 묘사되지만, 반도체 칩(15) 및 회로 보드(20)의 복잡도의 크기에 의존하여 다수, 수백 또는 심지어 수천의 이러한 접합들이 있을 수 있다. 솔더 접합들(35 및 40)은 반도체 칩(15)에 결합되는 각각의 솔더 범프들(45 및 50) 및 회로 보드(20)의 각각의 솔더 상호 연결 패드들(65 및 70)에 야금으로 접합되는 프리솔더들(presolders)(55 및 60)로 이루어질 수 있다. 솔더 범프들(45 및 50)은 리플로우 및 범프 봉고 프로세스에 의해 프리솔더들(55 및 60)에 야금으로 결합된다.

[0016] 솔더 범프들(45 및 50), 및 솔더 볼들(30)은 다양한 납-기반 또는 납이 없는 솔더들로 구성될 수 있다. 대표적인 납-기반 솔더는 약 63% Sn 및 37% Pb와 같은, 공정 비율들에서 또는 그 가까이에서 조성을 가질 수 있다. 납이 없는 예들은 주석-은(약 98.2% Sn 1.8% Ag), 주석-구리(약 99% Sn 1% Cu), 주석-은-구리(약 96.5% Sn 3% Ag 0.5% Cu) 등을 포함한다. 프리솔더들(55 및 60)은 동일한 유형의 재료들로 구성될 수 있다. 선택적으로, 프리솔더들(55 및 60)은 단일 솔더 구조 또는 솔더 플러스 전도 필러 배열을 위하여 제거될 수 있다. 언더필 재료층(25)은 예를 들면, 실리카 충전제들 및 페놀 수지들과 혼합되며, 솔더 접합들(35 및 40)을 수립하기 위한 리-플로우 프로세스 전 또는 후에 증착된 에폭시 수지일 수 있다. 프리솔더들(55 및 60) 및 솔더 상호 연결 패드들(65 및 70)은 다양한 프리솔더들, 예를 들면 프리 솔더들(55 및 60)을 수용하도록 복수의 개구들을 형성하기 위해, 리소그래픽으로 패터닝된 솔더 마스크(75)에 의해, 레이저 절제 등에 의해 측방향으로 둘러싸여진다. 또 다른 솔더 마스크(77)는 솔더 볼들(30)의 부착을 용이하게 하기 위해 회로 보드(20)의 대향 측면 상에 위치된다. 솔더 마스크들(75 및 77)은 예를 들면, Taiyo Ink Mfg. Co., Ltd에 의해 제조된 PSR-4000 AUS703 또는 Hitachi Chemical Co., Ltd에 의해 제조된 SR7000과 같은, 솔더 마스크 제작에 적합한 다양한 재료들로부터 제작될 수 있다.

[0017] 이러한 예시적인 실시예에서, 회로 보드(20)는 2-2-2 빌드-업 설계를 가진 반도체 칩 패키지로써 구현된다. 이것과 관련하여, 코어(87)의 일 측면 상에 형성된 상호 연결 또는 빌드-업 층들(80 및 85) 및 상호 연결 또는 빌드-업 층들(90 및 95)은 코어(87)의 대향 측면 상에 형성된다. 코어(87)는 원하는 대로 모놀리식 또는 라미네이트 또는 둘 이상의 층들일 수 있다. 코어(87) 및 빌드-업 층들(80, 85, 90 및 95)은 Ajinomoto, Ltd에 의해 공급된 GX13과 같은, 잘 알려진 고분자 재료들로 구성될 수 있다. 빌드-업 층들(80, 85, 90 및 95), 코어(87), 및 솔더 마스크들(75 및 77)은 회로 보드(20)를 위한 상호 연결 시스템을 구성한다. 도 2에서 다양한 도체 구조들에 대한 다음의 논의는 회로 보드(20)에서 다른 도체 구조들을 예시할 것이다. 빌드-업 층(80)은 빌드-업 층(80)에 형성된 각각의 비아들(130 및 135)에 의해 빌드-업 층(85)에서 또 다른 세트의 도체 구조들 또는 패드들(120 및 125)과 상호 연결되거나 또는 그것과 옴 접촉하는 각각의 도체 구조들 또는 패드들(110 및 115)을 포함할 수 있다. 유사하게, 빌드-업 층(85)에서 도체 패드들(120 및 125)은 각각의 비아들(140 및 145)에 의해 솔더 마스크(75)에서의 위에 놓인 솔더 상호 연결 패드들(65 및 70)에 전기적으로 연결될 수 있다. 빌드-업 층들(90 및 95) 및 솔더 마스크(77)를 통한 전기적 경로들은 빌드-업 층(90)에서 도체 패드들(150 및 155) 및 비아들(160 및 165), 빌드-업 층(95)에서의 도체 패드들(170 및 175) 및 대응 비아들(180 및 185) 및 비아들(180 및 185)에 연결되는 솔더 마스크(77)에서의 볼 패드들(190 및 195)에 의해 유사하게 제공될 수 있다. 솔더 볼들(30)은 볼 패드들(190 및 195)에 야금으로 접합된다. 코어(87)를 통한 전기적 경로들은 스루-비아(thru-via)들(200 및 205)에 의해 제공될 수 있으며, 이것은 도금된 스루 홀들 또는 다른 유형들의 도체들일 수 있다.

[0018] 계속해서 도 2를 참조하면, 솔더 상호 연결 패드들(65 및 70) 주위에 배치되며 솔더 마스크(75)에 의해 커버된 다수의 도체 트레이스들이 있을 수 있다. 이들 트레이스들 중 두 개가 묘사되며 각각 210 및 215로 라벨링된다. 빌드업 층들(80, 85, 90 및 95) 및 솔더 마스크(77)는 예시의 간소화를 위해 도시되지 않은 다수의 이러한 트레이스들을 포함할 수 있다. 실제로, 회로 보드(20)에서 전력, 접지 및/또는 신호들의 유연한 라우팅을 제공하기 위해 수백 개 이상의 이러한 트레이스들(210 및 215)이 있을 수 있다. 솔더 접합들(35 및 40)은 범프 피치(x1)를 갖고 제작되며, 그 크기는 반도체 칩(15)의 크기, 반도체 칩(15)을 위해 요구된 입력/출력 경로들의 수 및 다른 고려사항들과 같은, 다양한 인자들에 의존적이다.

[0019] 파선 타원형(217)에 의해 제한된 도 2의 부분은 도 3에서의 보다 큰 배율에서 도시될 것이다. 관심은 이제 도 3으로 옮겨진다. 콘텍스트 때문에, 도 3은 언더필(25), 숄더 범프(45), 프리숄더(55), 도체 패드(65), 숄더 마스크(75) 및 도체 트레이스(210)의 부분들을 도시한다. 또한, 빌드업 층들(80 및 85) 및비아들(130 및 140) 및 패드(120)가 묘사된다. 프리숄더(55)는 숄더 마스크(75)에서 개구(220)에 위치된다. 이러한 예시적 실시예의 기술적 목표는 동일한 또는 대략 동일한 측면 치수(x2)를 갖고 숄더 마스크(75)에 도체 패드(65) 및 개구(220)를 제작하는 것이다. 이하에서 보다 완전하게 설명되는 바와 같이, 이것은 패드(65)의 잠재적 측면 치수(x2)에 대한 제한으로서 숄더 마스크 개구(220)를 사용함으로써 성취된다. 목표는 도체 패드(65)의 상부 표면(225) 및 숄더 마스크(75) 사이에서의 임의의 계면들을 제거하거나 또는 상당히 제한하는 것이다. 또 다른 목표는 이하에서 설명될 종래의 제작 프로세스 및 구조보다 클 폭(x3)을 갖고 패드(65) 및 트레이스(210) 사이에서 갭(227)을 수립하는 것이다.

[0020] 패드(65)의 상부 표면(225)과의 숄더 마스크 계면을 제거하는 이득을 이해하기 위해, 도 4에 도시된 바와 같이 종래의 숄더 마스크 및 패드 배열을 간단히 검토하는 것이 유용할 수 있다. 도 4는 도 3과 유사하지만, 종래의 도체 패드 및 숄더 마스크 배열의 뷰임을 주의하자. 여기에서, 프리숄더(232)는 도체 패드(234) 상에 제작된다. 숄더 마스크(236)는 도체 패드(234) 위에 제작되며 프리숄더(232)를 수용하기 위해 개구(238)를 갖고 패터닝된다. 개구(238)는 측면 치수(x2)를 갖지만 또한 도체 패드(234)는 상기 설명된 예시적 실시예에서 패드(65)의 측면 치수(x2)보다 통상적으로 약 20% 더 큰 측면 치수(x4)를 갖고 제작된다는 것을 주의하자. 도 4에서 이러한 설계 옵션으로부터 몇 개의 기술적 폴아웃들이 있다. 첫 번째는 도체 패드(234) 및 도체 트레이스(243) 사이의 갭(241)이 도체 패드(65) 및 트레이스(210) 사이에서의 대응하는 갭(227)보다 훨씬 더 작은 폭(x5)을 갖는다는 것이다. 또한, 도체 패드(234)의 상부 표면(251) 및 숄더 마스크(236) 사이에 상당한 계면(249)이 있다는 것을 주의하자. 계면(249)에서 숄더 마스크(236)의 부분은 박리시킬 수 있으며 프리숄더(232)로부터의 숄더가 트레이스(243)를 향해 완화시키며 가능하게는 쇼트를 야기하도록 허용할 수 있다. 문제점은 숄더 마스크 개구(238)가 도체 패드(234)의 위치에 수직으로 잘 정합되지 않으며 및/또는 패드(234)가 비아(253)에 수직으로 잘 정합되지 않은 경우에 악화될 수 있다. 예를 들면, 도 5에 묘사된 바와 같이, 개구(238) 및 그에 따라 프리숄더(232)가 불량하게 정합되며 그에 따라 패드(234)에 대해 x-방향으로 측방향 오프셋되고 및/또는 패드(234)가 비아(253)에 대해 동일한 방향으로 오프셋되는 경우에, 갭(241)은 $x_6 < x_5$ 이도록 몇몇 폭(x6)을 가지며 계면(249)을 침입하며 트레이스(243)를 갖고 쇼트시키는 프리-숄더(232)로부터의 숄더에 대한 가능성은 훨씬 더 클 수 있다. 도 3으로 돌아가면, 도 4와 함께 방금 설명된 계면(249)처럼 숄더 마스크(75) 및 패드(65)의 상부 표면(225) 사이에서 비교 가능한 계면이 없거나 또는 대체로 없다는 것이 다시 주의된다. 따라서, 및 도 6에 묘사된 바와 같이, x-방향으로 비아(140)로의 패드(65), 숄더 마스크(75)에서의 개구(220) 및 프리숄더(55)의 불완전한 정합은 트레이스(210)에 쇼트들을 야기할 가능성이 적을 것이다. 이러한 결과는 도 5에 도시된 종래의 갭(241)에 대해, x-축 오프셋을 갖고서도, 부분적으로 보다 크게 사이징된 갭(227) 때문이다.

[0021] 도체 패드(65) 및 숄더 마스크(75)를 제작하기 위한 대표적인 방법은 이제 도 7 내지 도 10을 및 처음에 도 7을 참조함으로써 이해될 수 있다. 도 7은 도 3과 유사한 단면도이다. 도 3에 묘사된 위에 놓인 반도체 칩(15)은 이때 부착되지 않으며 따라서 묘사되지 않는다. 다음의 설명은 주로 도체 패드(65)에 및 더 작은 면적으로 도체 패드(70)에 초점을 맞출 것이다. 그러나, 논의는 숄더 마스크(75)와 상호 작용하는 다른 도체 패드들에 적용 가능하다. 이때, 빌드-업 층들(80 및 85)이 형성되었다. 여기에서의 다른 곳에서 설명된 유형(들)의 절연 재료는 스핀 코팅 또는 다른 기술들에 의해 증착되며 빌드업 층(80)을 수립하기 위해 가열 또는 기타에 의해 경화될 수 있다. 개구(256)는 레이저 절단에 의해 비아(130)를 수용하기 위해 빌드업 층(80)에 형성될 수 있다. 레이저(257)는 펄스들로 또는 연속 빔으로서 레이저 방사(259)를 전달할 수 있다. 레이저 방사(259)의 파장 및 스팟 크기는 원하는 크기 및 포터런트를 가진 개구(256)를 생성하면서 빌드-업 층(80)의 재료를 효과적으로 제거하기 위해 선택된다. 예를 들면, 자외선 범위에서의 및 2.0 내지 5.0 마이크로 범위에서의 스팟 크기를 가진 방사선(259)이 사용될 수 있다. 개구(256)가 하지의 패드(110)로 완전히 드릴링되는 것이 필요하지만(도 3 참조), 몇몇 주의가, 절단 프로세스가 패드(110)로부터 과도한 재료를 제거하지 않음을 보장하기 위해 발휘되어야 한다.

[0022] 계속해서 도 7을 참조하면, 비아(130)는 구리, 알루미늄, 은, 금, 티타늄, 내화 금속들, 내화 금속 화합물들, 이것들의 합금들 등과 같은, 다양한 도체 재료들로부터 개구(256)에 형성될 수 있다. 통합 구조 대신에, 비아(130)는 구리 층에 앞서 니켈-바나듐 층에 앞서 티타늄 층과 같은, 복수의 금속 층들의 라미네이트로 이루어질 수 있다. 또 다른 실시예에서, 티타늄 층은 니켈의 최상부 코팅에 앞서 구리 층으로 커버될 수 있다. 그러나, 숙련된 장인은 매우 다양한 전도 재료들이 비아(130)를 위해 사용될 수 있다는 것을 이해할 것이다. 물리적 기상 증착, 화학 기상 증착, 도금 등과 같은, 금속성 재료들을 도포하기 위한 다양한 잘-알려진 기술들이 사용될

수 있다. 대표적인 실시예에서, 비아들은 2개의 스테이지들에서 수행된 구리 도금에 의해 형성될 수 있다. 제 1 스테이지는 개구(256)에서 구리의 비교적 얇은 층의 도포를 수반한다. 제 2 스테이지에서, 벌크 도금 프로세스는 비아들(130)을 완전히 메우도록 수행된다. 도 2에 묘사된 코어(87) 상에서 빌드-업 층들(80 및 85) 및 연계된 도체들을 수립하기 위해 여기에서 설명된 프로세스들은 코어(87)의 반대편 상에서 다른 빌드-업 층들을 수립하기 위해 사용될 수 있다는 것이 이해되어야 한다.

[0023] 계속해서 도 7을 참조하면, 도체 층은 도체 패드(120)를 형성하기 위해 도포되고, 마스크되며 에칭되고 빌드업 층(85)은 빌드업 층(80)을 위해 상기 설명된 기술들을 사용하여 도포된다. 도체 패드(120)는 비아(130)에 대해 상기 설명된 재료들 및 기술들을 사용하여 형성될 수 있다. 다음으로, 개구(263)는 도 3에 도시된 아직 형성되지 않은 비아(140)를 수용하기 위해 빌드업 층(85)에 형성될 수 있다. 레이저(257) 및 레이저 방사(259)를 사용하여 상기 설명된 유형의 레이저 드릴링이 사용될 수 있다.

[0024] 다음으로, 및 도 8에 도시된 바와 같이, 빌드업 층(85)의 선택된 부분들은 드라이 필름 또는 포토레지스트일 수 있는 적절한 마스크(266)를 갖고 마스크된다. 비아 개구들(263 및 264)이 커버되지만 마스크(266)에서의 개구(269)는 패터닝된다. 잘-알려진 리소그래피 기술들은 마스크(266)를 도포하며 패터닝하기 위해 사용될 수 있다. 다음으로, 도금 프로세스는 개구(269)에서 트레이스(210)를 형성하기 위해 사용될 수 있다. 트레이스(210)는 도체 패드(120)와 함께 상기 설명된 동일한 재료들로 형성될 수 있다. 마스크(266)는 회분화, 용제 스트리핑 또는 양쪽 모두에 의해 제거될 수 있다.

[0025] 이제 도 9를 참조하면, 솔더 마스크(75)는 원하는 대로 스핀 코팅 또는 다른 증착 기술들과 같은 잘-알려진 솔더 마스크 증착 기술들을 사용하여 빌드업 층(85) 상에 증착될 수 있다. 개구(220) 및 유사물(273)은 잘-알려진 리소그래픽 패터닝 기술들에 의해 비아 개구들(263 및 264)을 통해 솔더 마스크(75)에 형성될 수 있다. 예를 들면, 솔더 마스크(75)는 하나 이상의 광 활성 화학제들이 주입될 수 있으며 노출 및 현상 프로세스가 개구들(220 및 273)을 수립하기 위해 사용될 수 있다. 개구들(220 및 273)은 후속 프로세스에서 형성될 도체 패드(65)의 바람직한 치수인, 측면 치수(x2)를 갖고 패터닝될 수 있다. 따라서, 이러한 예시적인 실시예에서, 솔더 마스크(75) 및 개구들(220 및 273)은 나중에 형성된 솔더 상호 연결 패드들(65 및 70)의 측면 치수들을 정의하기 위해 사용된다. 이것은 도체 패드(65)가 종래의 마스크 및 에칭 제거에 의해 패터닝될 종래의 프로세스와 대조가 된다.

[0026] 다음으로 및 도 10에 도시된 바와 같이, 비아들(140 및 145)은 개구들(263 및 264)에서 수립될 수 있으며 솔더 상호 연결 패드들(65 및 70)은 도 7에 도시된 비아(130) 및 도체 패드(120)에 대해 상기 설명된 재료들 및 기술들을 사용하여 솔더 마스크 개구들(220 및 273)에서 수립될 수 있다. 솔더 마스크 개구들(220 및 273)은 패드들(65 및 70)의 측면 치수들을 설정한다는 것을 주의하자.

[0027] 이때, 및 도 3을 다시 참조하면, 프리솔더(55)는 개구(220)(및 도시되지 않지만 또한 프리솔더(60))에 위치되며 도시된 바와 같이 만들어질 수 있다. 예를 들면, 솔더 페이스트는 스텐실 등에 의해 도포될 수 있다. 리플로우는 이때 하지의 도체 패드(65)에 프리솔더(55)를 접합하기 위해 수행될 수 있다. 프리솔더들(55)의 도포에 이어서, 도 1 및 도 2에 묘사된 반도체 칩(15)은 회로 보드(20) 상에 위치되며 프리솔더(55)에 장착될 수 있다. 리플로우 프로세스는 도 2에 묘사된 솔더 접합들(35 및 40)을 생성하기 위해 수행될 수 있다. 리플로우의 온도 및 지속 기간은 솔더들의 유형들 및 회로 보드(20) 및 반도체 칩(15)의 기하학적 구조에 의존할 것이다.

[0028] 도 11에 도시된 바와 같이, 다른 재료들이 이 스테이지에서 솔더 상호 연결 패드들(65 및 70)에 도포될 수 있다. 이것은 솔더 구성 성분들이 솔더 상호 연결 패드들(65 및 70)로 분산되며 그것들의 전기적 성능을 저하시킬 수 있다는 염려가 있는 상황들에서 바람직할 수 있다. 이러한 예시적인 실시예에서, 도체 층(279)은, 다시 다른 피쳐들을 마스크하기 위해 솔더 마스크(75)를 사용하여, 솔더 상호 연결 패드들(65 및 70)에 도포될 수 있다. 도체 층(279)의 조성은 주로 디바이스의 요건들에 의존하여 달라질 수 있다. 예를 들면, 대표적인 실시예에서, 도체 층(279)은 도금된 팔라듐 층 및 최종적으로 도금된 금 층에 앞서 무전해 도금 니켈 층의 최하부에서 시작한 라미네이트로 이루어질 수 있다. 다시, 도체 층(279)을 위해 선택된 재료는 존재한다면 프리-솔더를 위해 사용될 솔더들의 유형들 및 도 2에 묘사된 솔더 범프(45)와 같은 기술적 요건들에 의존할 것이다. 여기에서, 도체 층(275)은 솔더가 하지의 솔더 상호 연결 패드들(65 및 70)로 분산되는 것을 방지하기 위해 및 어떤 비아들이 존재할지라도 배리어(barrier)를 제공한다.

[0029] 앞서 말한 예시적인 실시예에서, 솔더 마스크 형성은 예를 들면, 도 2 및 도 3에 도시된 바와 같이 도체 패드(65)의 제작에 앞선다. 그러나, 교번하는 대표적인 실시예에서, 솔더 마스크는 도체 패드(65) 후 형성될 수 있다. 이러한 예시적인 실시예에서 및 도 12에 도시된 바와 같이, 프로세스는 빌드업 층들(80 및 85), 비아(130)

및 도체 패드(120)를 수립하기 위해 일반적으로 상기 설명된 바와 같이 수행될 수 있다. 이때 개구들(263 및 264)은 상기 설명된 바와 같이 빌드 업 층(85)에 수립된다. 다음으로 및 도 13에서 도시된 바와 같이, 솔더 상호 연결 패드들(65 및 70) 및 도체 트레이스(210)는 적절한 도체 층을 빌드업 층(85)에 도포하며, 이어서 적절한 마스킹 및 에칭 제거에 의해 형성될 수 있다. 다음으로 및 도 14에 도시된 바와 같이, 솔더 마스크(75')는 빌드 업 층(85) 상에 및 도체 트레이스(210) 위에 도포될 수 있다. 솔더 마스크(75')는 개구들(220' 및 273')을 갖고 패터닝될 수 있다. 반면 솔더 상호 연결 패드들(65 및 70)은 유리하게는 상기 설명된 바와 같이 측면 치수(x2)를 갖고 제작되는 반면, 개구들(220' 및 273')은 솔더 상호 연결 패드들(65 및 70)을 같은 범주로 보는 작은 갭들(281)을 남기도록 패드(65)의 측면 치수(x2)보다 약간 더 큰 측방향 개구(x7)를 갖고 패터닝된다. 분명히, 상기로부터 보여질 때, 갭들(281)은 솔더 상호 연결 패드들(65 및 70) 주위에서 호(moat)들로서 나타날 것이다. 후속하는 재료 증착 프로세스, 특히 도금 프로세스에서, 도체 재료는 인출되며 갭들(281)을 채울 것이다.

[0030] 다음으로 도 15에 묘사된 바와 같이, 도금 프로세스는 상기 설명된 유형의 부가적인 금속으로 개구들(220' 및 273')을 부분적으로 채우기 위해 사용될 수 있다. 상기 주지된 바와 같이, 갭들(281)은 증착된 재료(289)의 일부분에서 인출될 것이며, 이런 의미에서 재료의 배치는 솔더 상호 연결 패드들(65 및 70)을 형성하는 프로세스의 부분이다. 재료(289)를 수립하기 위해 이러한 보조 증착 프로세스 또는 도금 프로세스를 행하는 것 뒤에 있는 동기의 부분은 개구들(220' 및 273') 및 하지의 솔더 상호 연결 패드들(65 및 70) 사이에 불완전한 수직 정합이 있는 경우에 몇몇 부가적인 전도성 재료를 제공하는 것이다. 재료(289)의 증착에 이어서, 프리-솔더 및/또는 솔더 범프 프로세스들은 일반적으로 상기 설명된 바와 같이 앞설 수 있다.

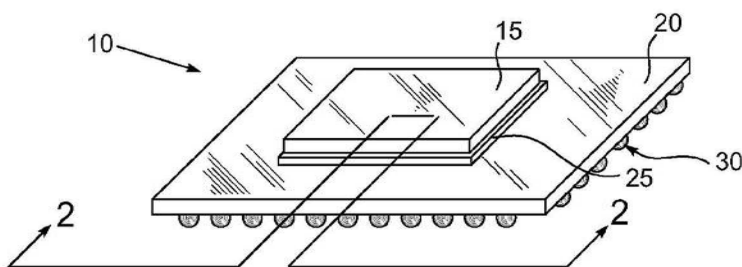
[0031] 여기에서 설명된 프로세스들은 이산 회로 보드 상에서 또는 집단으로 스트립 또는 회로 보드들의 다른 집합 상에서 수행될 수 있다는 것이 이해되어야 한다. 집단으로 행해진다면, 개개의 회로 보드들은 몇몇 스테이지에서 톱질 또는 다른 기술들에 의해 싱글레이팅될 수 있다.

[0032] 여기에서 개시된 대표적인 실시예들 중 임의의 것은 예를 들면, 반도체, 자기 디스크, 광 디스크 또는 다른 저장 매체와 같은, 컴퓨터 판독 가능한 매체에 배치된 지시들로 또는 컴퓨터 데이터 신호로서 구체화될 수 있다. 지시들 또는 소프트웨어는 여기에서 개시된 회로 구조들을 합성하고 및/또는 시뮬레이션하는 것이 가능할 수 있다. 대표적인 실시예에서, Cadence APD, Encore 등과 같은, 전자 설계 자동화 프로그램은 개시된 회로 구조들을 합성하기 위해 사용될 수 있다. 결과적인 코드는 개시된 회로 구조들을 제작하기 위해 사용될 수 있다.

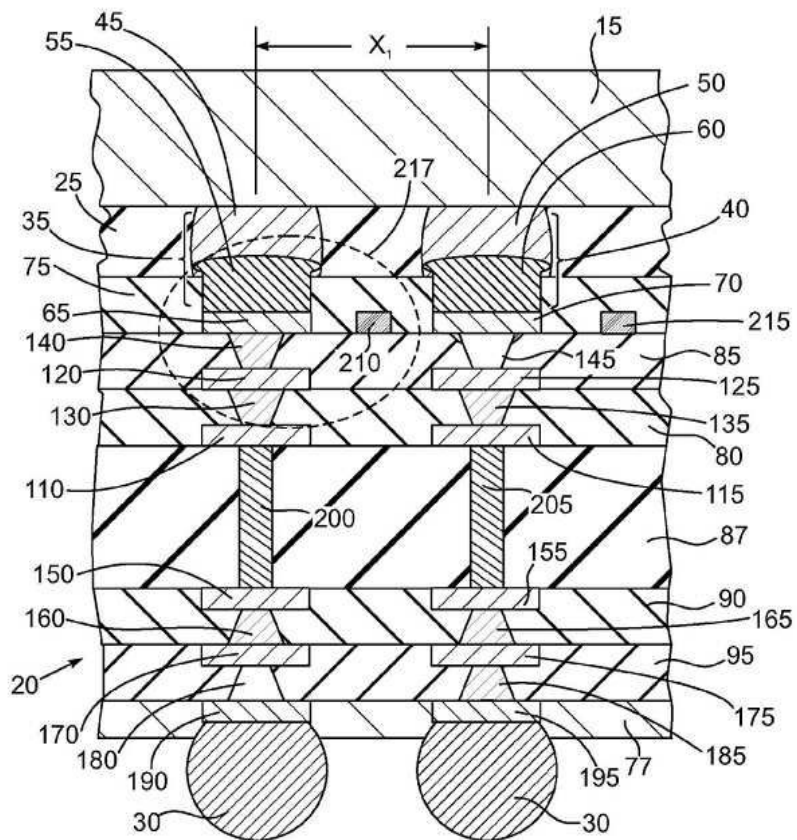
[0033] 본 발명은 다양한 수정들 및 대안적인 형태들에 영향을 받기 쉬울 수 있지만, 특정 실시예들은 도면들에서 예로서 도시되며 여기에서 상세히 설명되었다. 그러나, 본 발명은 개시된 특정한 형태들로 제한되도록 의도되지 않는다는 것이 이해되어야 한다. 오히려, 본 발명은 다음의 첨부된 청구항들에 의해 정의된 바와 같이 본 발명의 사상 및 범위 내에 속하는 모든 수정들, 등가물들 및 대안들을 커버하는 것이다.

도면

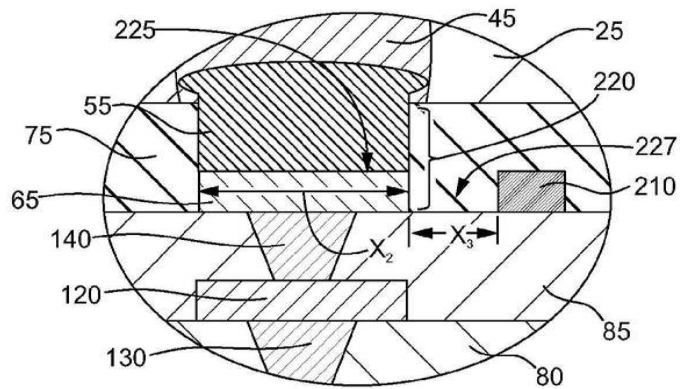
도면1



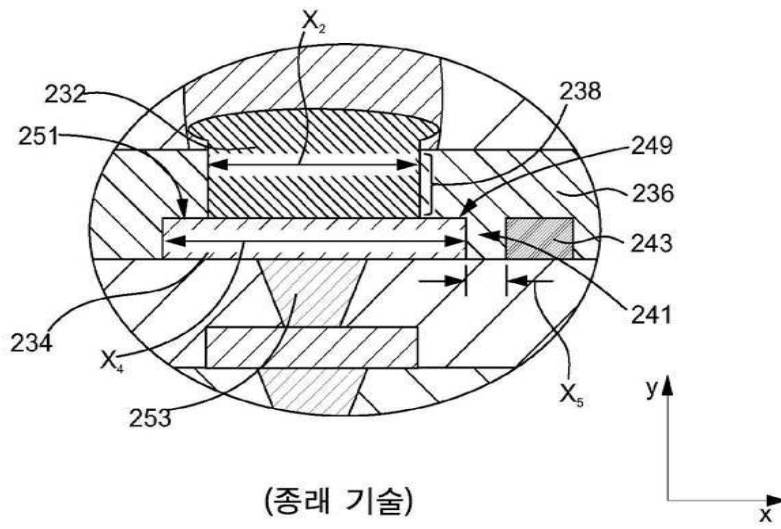
도면2



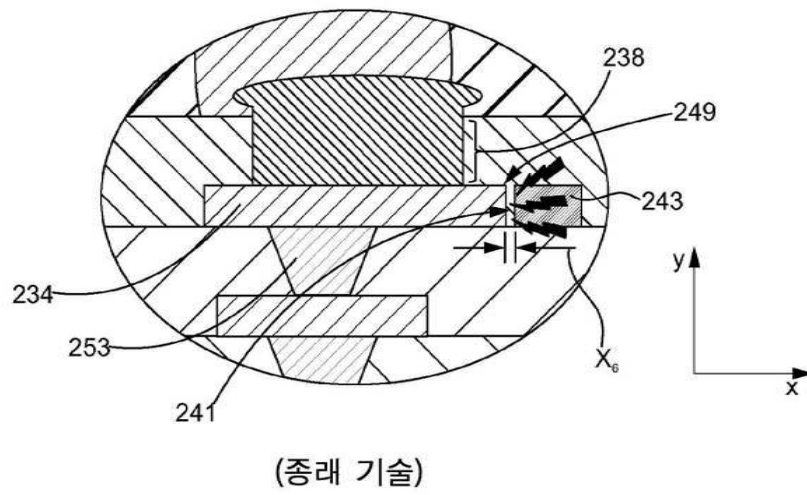
도면3



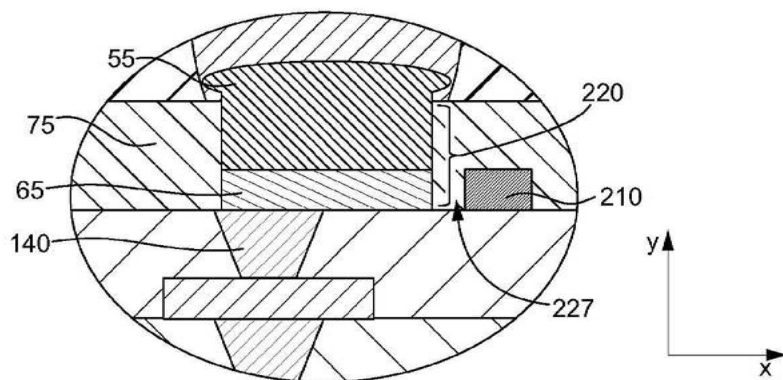
도면4



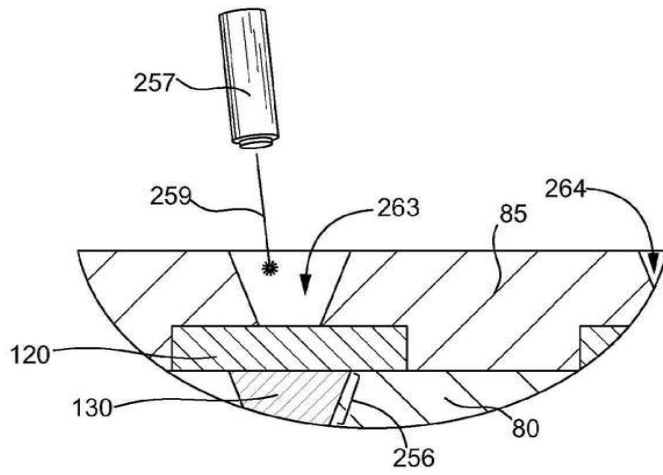
도면5



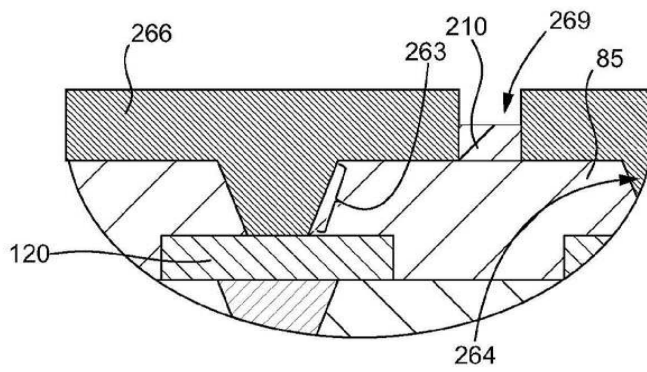
도면6



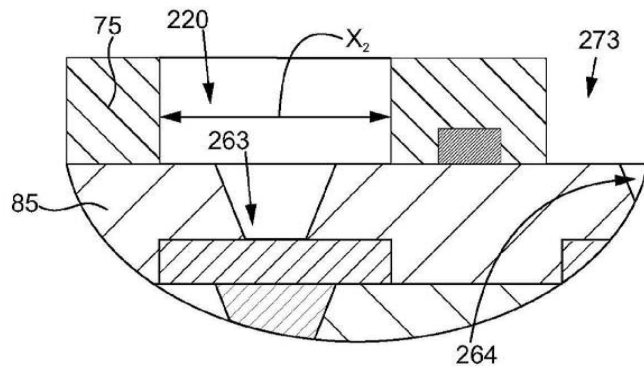
도면7



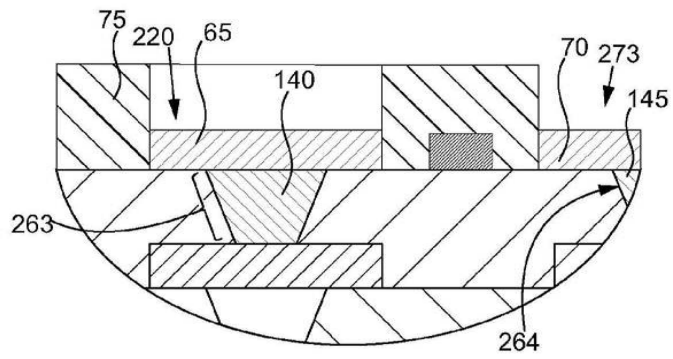
도면8



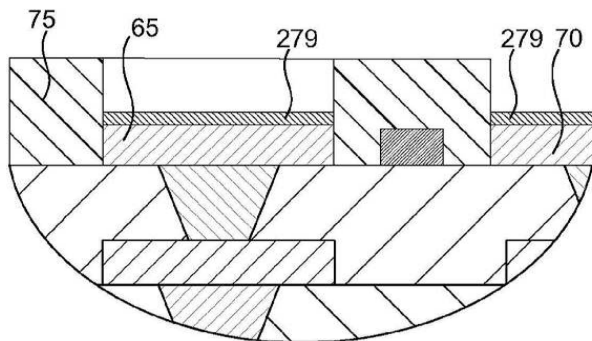
도면9



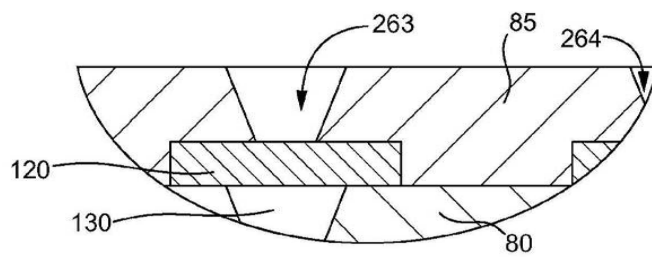
도면10



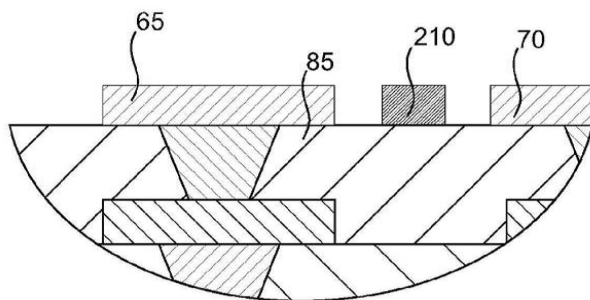
도면11



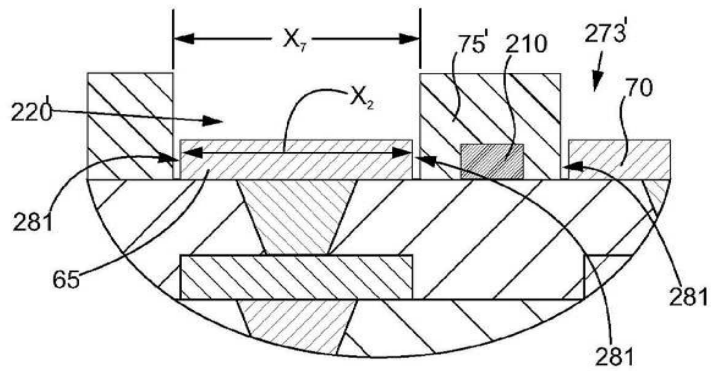
도면12



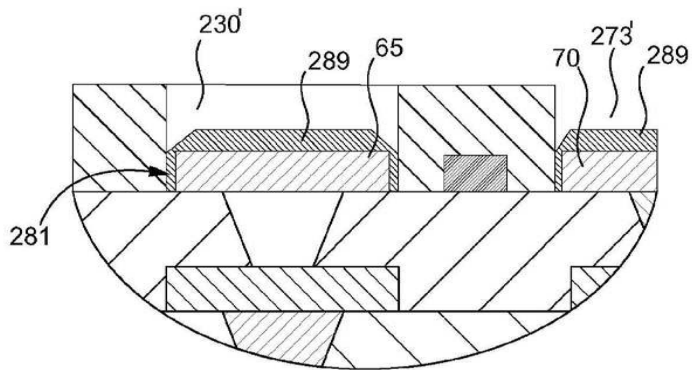
도면13



도면14



도면15



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 19

【변경전】

제16항에 있어서,

상기 솔더 상호 연결 패드는 상부 표면을 포함하고, 상기 솔더 마스크는 상기 상부 표면(225)과 어떤 접촉도 하지 않는 것을 특징으로 하는 회로 보드.

【변경후】

제16항에 있어서,

상기 솔더 상호 연결 패드는 상부 표면을 포함하고, 상기 솔더 마스크는 상기 상부 표면과 어떤 접촉도 하지 않는 것을 특징으로 하는 회로 보드.