

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2014年12月18日 (18.12.2014)



(10) 国际公布号
WO 2014/199199 A1

- (51) 国际专利分类号:
G11C 29/42 (2006.01)
- (21) 国际申请号: PCT/IB2013/054868
- (22) 国际申请日: 2013年6月14日 (14.06.2013)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (71) 申请人: 三星电子株式会社 (SAMSUNG ELECTRONICS CO., LTD) [KR/KR]; 韩国京畿道水原市灵通区三星路 129, Gyeonggi-do 443-742 (KR)。
- (72) 发明人: 金甫根 (KIM, BoGeun); 韩国京畿道水原市灵通区灵通洞 Byeokjeokgol9 团地 Apt.946 栋 1308 号, Gyeonggi-do 443-726 (KR)。
- (74) 代理人: 權赫洙等(KWON, Hyuk-Soo et al.) 等; 韩国首尔特别市江南区驿三洞 Terra-Ville827-25 号 3 层, Seoul 135-080 (KR)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG,

BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告(条约第 21 条(3))。

(54) Title: SEMICONDUCTOR MEMORY DEVICE AND ECC METHOD THEREOF

(54) 发明名称: 半导体存储器装置及其 ECC 方法

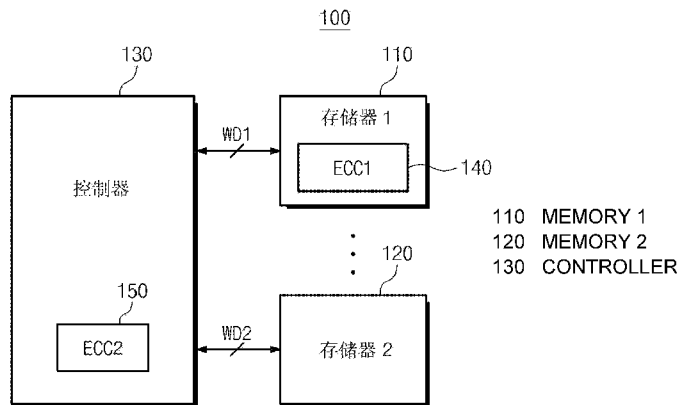


图 1 / FIG. 1

(57) Abstract: Provided are a semiconductor memory device and ECC method thereof, the semiconductor memory device comprising: a first non-volatile memory; a second non-volatile memory of a type different from the type of the first non-volatile memory; a controller; a first error correction circuit configured to correct the error of the first written data being programmed in the first non-volatile memory; and a second error correction circuit contained in the controller, and configured to correct the error of the first written data and the error of second written data being programmed in the second non-volatile memory based on an error correction algorithm different from the error correction algorithm of the first error correction circuit. One of the first error correction circuit and the second error correction circuit is used according to the attribute of the first written data to generate error correction data used for correcting the error of the first written data.

(57) 摘要:

[见续页]



WO 2014/199199 A1

提供了一种半导体存储器装置及其 ECC 方法，所述半导体存储器装置包括：第一非易失性存储器；第二非易失性存储器，具有与第一非易失性存储器的类型不同的类型；控制器；第一纠错电路，被构造成纠正在第一非易失性存储器进行编程的第一写数据的错误；和第二纠错电路，包括在控制器中并被构造成基于与第一纠错电路的纠错算法不同的纠错算法纠正第一写数据的错误或在第二非易失性存储器进行编程的第二写数据的错误。根据第一写数据的属性使用第一纠错电路和第二纠错电路中的一个产生用于纠正第一写数据的错误的纠错数据。

半导体存储器装置及其ECC方法

技术领域

- [1] 这里描述的本发明构思涉及一种包括不同类型的非易失性存储器的半导体存储器装置。

背景技术

- [2] 半导体存储器装置可为易失性或非易失性。易失性存储器装置可具有快速的读写速度，而存储在易失性存储器装置中的内容会在断电时丢失。另一方面，非易失性存储器装置即使在断电时也可以保留存储在其中的内容。因此，非易失性存储器装置可被用于存储无论是否供电都必须保存的内容。
- [3] 闪速存储器装置作为高集成度且大容量的非易失性半导体存储器装置可用在手持电子装置中。另外，磁随机存取存储器（在下文中，称作MRAM）可使用磁元件作为随机存取、高集成度和大容量的非易失性元件。MRAM的优势可在于快速的响应速度和高集成度。
- [4] 近年来，可能已经提出了集成地使用不同类型的非易失性存储器（例如，NAND闪速存储器、MRAM等）的半导体存储器装置，以提高非易失性半导体存储器装置的性能。然而，由于不同类型的非易失性存储器具有不同的数据存储方式和管理方法，所以对有效控制不同类型的非易失性存储器的技术的要求会提高。

对发明的公开

问题的解决方案

技术解决方案

- [5] 本发明构思的实施例的一方面提供了一种半导体存储器装置，所述半导体存储器装置包括：第一非易失性存储器；第二非易失性存储器，具有与第一非易失性存储器的类型不同的类型；控制器，被构造成控制第一非易失性存储器和第二非易失性存储器；第一纠错电路，被构造成纠正在第一非易失性存储器进行编程的第一写数据的错误；和第二纠错电路，包括在控制器中并被构造成基于

与第一纠错电路的纠错算法不同的纠错算法纠正第一写数据的错误或在第二非易失性存储器进行编程的第二写数据的错误，其中，根据第一写数据的属性使用第一纠错电路和第二纠错电路中的一个产生用于纠正第一写数据的错误的纠错数据。

- [6] 在示例实施例中，如果第一写数据具有元数据的属性，则使用第一纠错电路产生纠错数据。
- [7] 在示例实施例中，如果第一写数据具有标准数据的属性，则使用第二纠错电路产生纠错数据。
- [8] 在示例实施例中，如果第一写数据具有缓冲数据的属性，则使用第二纠错电路产生纠错数据，缓冲数据是在第一非易失性存储器被临时编程以将缓冲数据写入到第二非易失性存储器的数据。
- [9] 在示例实施例中，第一纠错电路被包括在第一非易失性存储器中。
- [10] 在示例实施例中，第一纠错电路被包括在控制器中。
- [11] 在示例实施例中，第一非易失性存储器的编程速度比第二非易失性存储器的编程速度快。
- [12] 在示例实施例中，第一非易失性存储器是读取存储器单元两端之间的电阻值以判断存储在所述存储器单元的数据的电阻存储器。
- [13] 在示例实施例中，第一非易失性存储器是磁随机存取存储器。
- [14] 在示例实施例中，第二非易失性存储器是NAND闪速存储器。
- [15] 在示例实施例中，第一纠错电路根据使用汉明码的纠错算法产生纠错数据。
- [16] 在示例实施例中，第二纠错电路根据使用BCH码或LDPC码的纠错算法产生纠错数据。
- [17] 本发明构思的实施例的另一方面提供了一种半导体存储器装置的ECC方法，所述半导体存储器装置包括：第一非易失性存储器；第二非易失性存储器，具有与第一非易失性存储器的类型不同的类型；和控制器，控制第一非易失性存储器和第二非易失性存储器。所述ECC方法包括：确定在第一非易失性存储器进行编程的写数据的属性；根据写数据的属性和第一非易失性存储器的类型，使用第一非易失性存储器和第二非易失性存储器中的一个产生用于纠正写数据的错

误的纠错数据；和存储纠错数据，其中，第一纠错电路和第二纠错电路根据不同的纠错算法产生纠错数据。

[18] 在示例实施例中，半导体存储器装置控制控制器使得使用第二纠错电路产生在第二非易失性存储器进行编程的写数据的纠错数据。

[19] 在示例实施例中，半导体存储器装置在第一非易失性存储器、第二非易失性存储器或控制器存储纠错数据。

发明的有益效果

有益效果

[20] 根据本发明构思的实施例，一种包括不同类型的非易失性存储器的半导体存储器装置可被构造为选择性地使用多个纠错电路中的一部分来纠正写数据的错误，其中，所述多个纠错电路根据写数据的属性以及写数据被编程所在的非易失性存储器的类型，应用不同的纠错算法。因此，可通过使用最适合于写数据的属性以及非易失性存储器的类型的纠错算法来纠正数据，以有效地执行纠错。

对附图的简要说明

附图说明

[21] 通过参照附图进行的详细描述，以上和其它目标和特征将变得清楚，其中，在不同的附图中，相同的标号表示相同的部件，除非另外具体说明，在附图中：

[22] 图1是示意性示出根据本发明构思的实施例的半导体存储器装置的方框图；

[23] 图2是示意性示出根据本发明构思的另一实施例的半导体存储器装置的方框图

；

[24] 图3至图5是示意性示出图1中的半导体存储器装置的ECC方法的方框图；

[25] 图6至图8是示意性示出图2中的半导体存储器装置的ECC方法的方框图；

[26] 图9是示意性示出图1中的第一非易失性存储器的方框图；

[27] 图10是示意性示出图9中的第一非易失性存储器的存储器单元的示图，在图10中，假设第一非易失性存储器110（参照图9）是MRAM；

[28] 图11是示意性示出图1中的第二非易失性存储器的方框图；

[29] 图12是示意性示出根据本发明构思的实施例的半导体存储器装置的ECC方法的流程图；

[30] 图13是示意性示出根据本发明构思的另一实施例的半导体存储器装置的ECC方法的流程图。

发明实施例

本发明的实施方式

[31] 将参照附图详细描述实施例。然而，本发明构思可以以各种不同的形式实施，不应该被解释为仅限于示出的实施例。相反，提供这些实施例作为示例是为了使本公开将为彻底的和完整的，并将把本发明构思的构思充分地传达给本领域技术人员。因此，关于本发明构思的实施例中的一些实施例，不再描述公知的处理、元件和技术。除非另外指出，否则在所有附图和书面描述中，相同的标号表示相同的元件，因此不再进行重复的描述。在附图中，为了清晰起见，可能会夸大层和区域的尺寸和相对尺寸。

[32] 将理解的是，尽管在这里可使用术语“第一”、“第二”、“第三”等来描述不同的元件、组件、区域、层和/或部分，但是这些元件、组件、区域、层和/或部分并不受这些术语的限制。这些术语仅是用来将一个元件、组件、区域、层或部分与另一个区域、层或部分区分开来。因此，在不脱离本发明构思的教导的情况下，下面讨论的第一元件、组件、区域、层或部分可被命名为第二元件、组件、区域、层或部分。

[33] 在这里可使用空间相对术语，如“在...下方”、“在...下面”、“下面的”、“在...之下”、“在...上方”、“上面的”等，用来轻松地描述如图中所示的一个元件或特征与其它元件或特征的关系。应该理解的是，空间相对术语意在包含除了在附图中描述的方位之外的装置在使用或操作中的不同方位。例如，如果在附图中装置被翻转，则描述为在其它元件或特征“下面”或“下方”或“之下”的元件随后将被定位为在其它元件或特征“上方”。因此，示例性术语“在...下面”和“在...之下”可包括“在...上方”和“在...下方”两种方位。所述装置可被另外定位（旋转90度或者在其它方位），相应地解释这里使用的空间相对描述符。另外，还将理解的是，当层被称作在两层“之间”时，它可以是所述两层之间的唯一层，或者也可以存在一个或多个中间层。

[34] 这里使用的术语仅出于描述具体实施例的目的，而不意图限制本发明构思。如

这里所使用的，除非上下文另外明确指出，否则单数形式也意图包括复数形式。还将理解的是，当在本说明书中使用术语“包含”和/或“包括”时，说明存在所述特征、整体、步骤、操作、元件和/或组件，但不排除存在或添加一个或多个其它特征、整体、步骤、操作、元件、组件和/或其组合。如这里所使用的，术语“和/或”包括一个或多个相关所列的项目的任意组合和所有组合。另外，术语“示例性”意图指的是示例或举例说明。

- [35] 将理解的是，当元件或层被称作在另一元件或层“上”、“连接到”、“结合到”或“相邻于”另一元件或层时，该元件可直接位于所述另一元件或层上，直接连接到、直接结合到或直接相邻于所述另一元件或层，或者可存在中间元件或中间层。相反，当元件被称作“直接位于”另一元件或层“上”，“直接连接到”、“直接结合到”或“直接相邻于”另一元件或层时，不存在中间元件或中间层。
- [36] 除非另有定义，否则这里使用的所有术语（包括技术术语和科技术语）具有与本发明构思所属领域的普通技术人员所通常理解的意思相同的意思。将进一步理解，除非这里明确定义，否则术语例如在通用的字典中定义的术语应该被解释为具有与相关领域的上下文中它们的意思相同的意思，而不是理想地或者过于正式地解释它们的意思。
- [37] 图1是示意性示出根据本发明构思的实施例的半导体存储器装置的方框图。参照图1，半导体存储器装置100可包括第一非易失性存储器110、第二非易失性存储器120、控制器130、第一纠错电路140和第二纠错电路150。在图1中，示出了半导体存储器装置100包括两个不同类型的非易失性存储器110和120的示例。半导体存储器装置100还可以包括与第一非易失性存储器110或第二非易失性存储器120类型相同或类型不同的非易失性存储器（未示出）。
- [38] 在示例实施例中，第一非易失性存储器110可包括第一纠错电路140，控制器130可包括第二纠错电路150。
- [39] 第一非易失性存储器110可根据控制器130的控制接收并存储第一写数据WD1。第一非易失性存储器110可使用第一纠错电路140产生用于纠正第一写数据WD1的错误的纠错数据。这里，纠错数据可指的是ECC数据。第一非易失性存储器110可为特定类型的非易失性存储器。例如，第一非易失性存储器110可为MRAM

- 。
- [40] 第二非易失性存储器120的类型可与第一非易失性存储器110的类型不同。例如，在第一非易失性存储器110为MRAM的情形下，第二非易失性存储器120可为NAND闪速存储器。第二非易失性存储器120可根据控制器130的控制接收并存储第二写数据WD2。可通过第二纠错电路150产生用于纠正第二写数据WD2的错误的纠错数据。
- [41] 控制器130可控制第一非易失性存储器110和第二非易失性存储器120的程序操作。控制器130可包括第二纠错电路150，并可使用第二纠错电路150产生用于纠正第一写数据WD1或第二写数据WD2的错误的纠错数据。
- [42] 第一纠错电路140可为纠正第一写数据WD1的错误的纠错电路。第一纠错电路140可根据预定的纠错算法产生第一写数据WD1的纠错数据。在示例实施例中，第一纠错电路140的纠错算法可为适合于处理具有小尺寸并要求高可靠性的数据的算法。例如，第一纠错电路140可使用采用汉明码的纠错算法来产生第一写数据WD1的纠错数据。
- [43] 第二纠错电路150可被用于纠正第二写数据WD2的错误。例如，半导体存储器装置100可使用第二纠错电路150产生第二写数据WD2的纠错数据。
- [44] 基于第一写数据WD1的属性，第二纠错电路150可被选择性地用于纠正第一写数据WD1的错误。这里，第一写数据WD1可具有元数据、标准数据或缓冲数据的属性。
- [45] 第二纠错电路150可根据与第一纠错电路140的纠错算法不同的纠错算法，产生第一写数据WD1或第二写数据WD2的纠错数据。在示例实施例中，第二纠错电路150的纠错算法可为适合于处理具有大尺寸且要求低可靠性的数据的算法。例如，在第二非易失性存储器120为NAND闪速存储器的情况下，第二纠错电路150可使用采用BCH（Bose–Chaudhuri-Hocquenghem）码或LDPC（低密度奇偶检验）码的纠错算法，产生第一写数据WD1或第二写数据WD2的纠错数据。
- [46] 第一写数据WD1可在第一非易失性存储器110被编程，第二写数据WD2可在第二非易失性存储器120被编程。第一非易失性存储器110的最小编程单元可小于第二非易失性存储器120的最小编程单元，并且第一非易失性存储器110的可靠

性可低于第二非易失性存储器120的可靠性。在示例实施例中，第一非易失性存储器110可为电阻随机存取存储器。电阻随机存取存储器可为MRAM、PRAM或RRAM。另一方面，第二非易失性存储器120可为NAND闪速存储器。

[47] 半导体存储器装置100可根据第一写数据WD1的属性来选择性地使用第一纠错电路140和第二纠错电路150中的一个。例如，如果第一写数据WD1是具有小尺寸且要求高可靠性的元数据，则半导体存储器装置100可使用最适于第一非易失性存储器110的第一纠错电路140来产生第一写数据WD1的纠错数据。另一方面，如果第一写数据WD1是具有大尺寸且要求低可靠性的标准数据，则半导体存储器装置100可使用最合适纠正大量数据的错误的第二纠错电路150来产生第一写数据WD1的纠错数据。

[48] 半导体存储器装置100可使用第二纠错电路150来产生第二写数据WD2的纠错数据。由于第二写数据WD2在最小编程单元相对小且具有低可靠性的第二纠错电路150被编程，所以可使用最合适处理大量数据的第二纠错电路150来产生第二写数据WD2的纠错数据。

[49] 根据本发明构思的实施例，包括不同类型的非易失性存储器的半导体存储器装置可被构造成选择性地使用多个纠错电路中的一部分来纠正写数据的错误，其中，所述多个纠错电路根据写数据的属性和写数据被编程的非易失性存储器的类型应用了不同的纠错算法。因此，可通过使用最适用于写数据的属性和非易失性存储器的类型的纠错算法来纠正错误，以有效地执行纠错。

[50] 图2是示意性示出根据本发明构思的另一实施例的半导体存储器装置的方框图。参照图2，半导体存储器装置200可包括第一非易失性存储器210、第二非易失性存储器220、控制器230、第一纠错电路240和第二纠错电路250。

[51] 在图2中，示出了半导体存储器装置200包括两个不同类型的非易失性存储器210和220的示例。然而，本发明构思不限于此。半导体存储器装置200还可包括类型与第一非易失性存储器210或第二非易失性存储器220的类型相同或不同的非易失性存储器（未示出）。

[52] 在示例实施例中，控制器230可包括第一纠错电路240和第二纠错电路250两者。

- [53] 第一非易失性存储器 210 可根据控制器 230 的控制接收并存储第一写数据 WD1。第一非易失性存储器 210 可为特定类型的非易失性存储器。例如，第一非易失性存储器 210 可为 MRAM。
- [54] 可通过包括在控制器 230 中的第一纠错电路 240 产生用于纠正第一写数据 WD1 的错误的纠错数据。产生的纠错数据可存储在包括在第一非易失性存储器 210、第二非易失性存储器 220 或控制器 230 中的单独的寄存器（未示出）中。这里，纠错数据可指 ECC 数据。
- [55] 第二非易失性存储器 220 的类型可与第一非易失性存储器 210 的类型不同。例如，在第一非易失性存储器 210 为 MRAM 的情况下，第二非易失性存储器 220 可为 NAND 闪速存储器。第二非易失性存储器 220 可根据控制器 230 的控制接收并存储第二写数据 WD2。可通过第二纠错电路 250 产生用于纠正第二写数据 WD2 的错误的纠错数据。可通过第二纠错电路 250 产生用于纠正第二写数据 WD2 的错误的纠错数据，并且产生的纠错数据可存储在包括在第一非易失性存储器 210、第二非易失性存储器 220 或控制器 230 中的单独寄存器（未示出）中。
- [56] 控制器 230 可控制第一非易失性存储器 210 和第二非易失性存储器 220 的程序操作。控制器 230 可包括第一纠错电路 240 和第二纠错电路 250 两者，并可使用第一纠错电路 240 或第二纠错电路 250 来产生用于纠正第一写数据 WD1 或第二写数据 WD2 的错误的纠错数据。
- [57] 第一纠错电路 240 可为纠正第一写数据 WD1 的错误的纠错电路。第一纠错电路 240 可根据预定纠错算法产生第一写数据 WD1 的纠错数据。在示例实施例中，第一纠错电路 240 的纠错算法可为适合于处理具有小尺寸且要求高可靠性的数据的算法。例如，第一纠错电路 240 可使用采用汉明码的纠错算法来产生第一写数据 WD1 的纠错数据。
- [58] 第二纠错电路 250 可被用于纠正第二写数据 WD2 的错误。例如，半导体存储器装置 200 可使用第二纠错电路 250 来产生第二写数据 WD2 的纠错数据。
- [59] 基于第一写数据 WD1 的属性，第二纠错电路 250 可被选择性地用于纠正第一写数据 WD1 的错误。这里，第一写数据 WD1 可具有元数据、标准数据或缓冲

数据的属性。

- [60] 第二纠错电路250可根据与第一纠错电路240的纠错算法不同的纠错算法，产生第一写数据WD1或第二写数据WD2的纠错数据。在示例实施例中，第二纠错电路250的纠错算法可为适合于处理具有大尺寸且要求低可靠性的数据的算法。例如，在第二非易失性存储器220是NAND闪速存储器的情况下，第二纠错电路250可使用采用BCH（Bose-Chaudhuri-Hocquenghem）码或LDPC（低密度奇偶检验）码的纠错算法，来产生第一写数据WD1或第二写数据WD2的纠错数据。
- [61] 第一写数据WD1可在第一非易失性存储器210被编程，第二写数据WD2可在第二非易失性存储器220被编程。第一非易失性存储器210的最小编程单元可小于第二非易失性存储器220的最小编程单元，并且第一非易失性存储器210的可靠性可低于第二非易失性存储器220的可靠性。在示例实施例中，第一非易失性存储器210可为电阻随机存取存储器。电阻随机存取存储器可为MRAM、PRAM或RRAM。另一方面，第二非易失性存储器220可为NAND闪速存储器。
- [62] 半导体存储器装置200可根据第一写数据WD1的属性来选择性地使用第一纠错电路240和第二纠错电路250中的一个。例如，如果第一写数据WD1是具有小尺寸且要求高可靠性的元数据，则半导体存储器装置200可使用最适合于第一非易失性存储器210的第一纠错电路240，产生第一写数据WD1的纠错数据。另一方面，如果第一写数据WD1是具有大尺寸且要求低可靠性的标准数据，则半导体存储器装置200可使用最适合于纠正大量数据的错误的第二纠错电路250，产生第一写数据WD1的纠错数据。
- [63] 半导体存储器装置200可使用第二纠错电路250来产生第二写数据WD2的纠错数据。由于第二写数据WD2在最小编程单元相对小且具有最低可靠性的第二非易失性存储器220被编程，所以可使用最合适于处理大量数据的第二纠错电路250，产生第二写数据WD2的纠错数据。
- [64] 根据本发明构思的实施例，包括不同类型的非易失性存储器的半导体存储器装置可被构造为选择性地使用多个纠错电路中的一部分来纠正写数据的错误，其中，所述多个纠错电路根据写数据的类型和写数据被编程所在的非易失性存储器的类型而应用了不同的纠错算法。因此，可通过使用最适合于写数据的属性

和非易失性存储器的类型的纠错算法来纠正错误，以有效地执行纠错。

- [65] 图3至图5是示意性地示出了图1中的半导体存储器装置的ECC方法的方框图。图3至图5中示出的半导体存储器装置300、400和500可被构造成基本与图1中的半导体存储器装置100相同。例如，参照图3至图5，第一纠错电路340、440和540可被分别包括在第一非易失性存储器310、410和510中，第二纠错电路350、450和550可被分别包括在控制器330、430和530中。
- [66] 将参照图3描述当第一写数据WD1具有元数据的属性时半导体存储器装置300的ECC方法。
- [67] 元数据可具有相对小的尺寸并要求高可靠性。与第二非易失性存储器320相比，第一非易失性存储器310可适合存储这种数据。因此，在第一写数据WD1是元数据的情况下，半导体存储器装置300可将第一写数据WD1传输到第一非易失性存储器310，并可控制第一非易失性存储器310使得第一纠错电路340产生第一写数据WD1的纠错数据。
- [68] 在示例实施例中，第一纠错电路340产生的纠错数据可存储在包括在第一非易失性存储器310、第二非易失性存储器320或控制器330中的单独的寄存器（未示出）中。
- [69] 将参照图4描述当第一写数据WD1具有标准数据的属性时半导体存储器装置400的ECC方法。
- [70] 标准数据可具有相对大的尺寸并要求低可靠性。与第一非易失性存储器410相比，第二非易失性存储器420可适合于存储这种数据。因此，在第一写数据WD1是标准数据的情况下，半导体存储器装置400可控制控制器430使得第二纠错电路450产生第一写数据WD1的纠错数据。控制器430可将第一写数据WD1传输到第一非易失性存储器410，并可控制第一非易失性存储器410使得第一写数据WD1被编程。
- [71] 在示例实施例中，第二纠错电路450产生的纠错数据可存储在包括在第一非易失性存储器410、第二非易失性存储器420或控制器430中的单独的寄存器（未示出）中。在纠错数据存储在第一非易失性存储器410中的情况下，纠错数据可与第一写数据WD1一起被发送到第一非易失性存储器410。

- [72] 将参照图5描述当第一写数据WD1具有缓冲数据的属性时的半导体存储器装置500的ECC方法。
- [73] 缓冲数据可指的是在第一非易失性存储器510被临时编程以写入第二非易失性存储器520的数据。在缓冲数据的情况下，当缓冲数据分别在第一非易失性存储器510和第二非易失性存储器520被编程时，使用不同的纠错电路来产生纠错数据的效率低。因此，在本发明构思中，如果第一写数据WD1是缓冲数据，则半导体存储器装置500可使用当第一写数据WD1在第一非易失性存储器510被编程时最适合于第二非易失性存储器520的第二纠错电路550，来产生第一写数据WD1的纠错数据。
- [74] 在示例实施例中，第二纠错电路550产生的纠错数据可存储在包括在第一非易失性存储器510、第二非易失性存储器520或控制器530中的单独的寄存器（未示出）中。在纠错数据存储在第一非易失性存储器510中的情况下，该纠错数据可与第一写数据WD1一起被发送到第一非易失性存储器510。
- [75] 图6至图8是示意性示出图2中的半导体存储器装置的ECC方法的方框图。图6至图8中示出的半导体存储器装置600、700和800可被构造成与图2中的半导体存储器装置200基本相同。例如，参照图6至图8，第一纠错电路640、740和840可被分别包括在第一非易失性存储器610、710和810中，第二纠错电路650、750和850可被分别包括在控制器630、730和830中。
- [76] 将参照图6描述当第一写数据WD1具有元数据的属性时半导体存储器装置600的ECC方法。
- [77] 元数据可具有相对小的尺寸并要求高可靠性。与第二非易失性存储器620相比，第一非易失性存储器610可适合于存储这样的数据。因此，在第一写数据WD1是元数据的情况下，半导体存储器装置600可将第一写数据WD1传输到第一非易失性存储器610，并可控制第一非易失性存储器610使得第一纠错电路640产生第一写数据WD1的纠错数据。
- [78] 在示例实施例中，第一纠错电路640产生的纠错数据可被存储在包括在第一非易失性存储器610、第二非易失性存储器620或控制器630中的单独的寄存器（未示出）中。

- [79] 将参照图7描述当第一写数据WD1具有标准数据的属性时半导体存储器装置700的ECC方法。
- [80] 标准数据可具有相对大的尺寸并要求低可靠性。与第一非易失性存储器710相比，第二非易失性存储器720可适合存储这种数据。因此，在第一写数据WD1是标准数据的情况下，半导体存储器装置700可控制控制器730使得第二纠错电路750产生第一写数据WD1的纠错数据。控制器730将第一写数据WD1传输到第一非易失性存储器710，并可控制第一非易失性存储器710使得第一写数据WD1被编程。
- [81] 在示例实施例中，第二纠错电路750产生的纠错数据可被存储在包括在第一非易失性存储器710、第二非易失性存储器720或控制器730中的单独的寄存器（未示出）中。在纠错数据存储在第一非易失性存储器710中的情况下，纠错数据可与第一写数据WD1一起被发送到第一非易失性存储器710。
- [82] 将参照图8描述当第一写数据WD1具有缓冲数据的属性时半导体存储器装置800的ECC方法。
- [83] 缓冲数据可指的是在第一非易失性存储器810被临时编程以写入第二非易失性存储器820的数据。在缓冲数据的情况下，当缓冲数据分别在第一非易失性存储器810和第二非易失性存储器820被编程时，使用不同的纠错电路来产生纠错数据的效率低。因此，在本发明构思中，如果第一写数据WD1是缓冲数据，则半导体存储器装置800可使用当第一写数据WD1在第一非易失性存储器810被编程时最适合于第二非易失性存储器820的第二纠错电路850，来产生第一写数据WD1的纠错数据。
- [84] 在示例实施例中，第二纠错电路850产生的纠错数据可存储在包括在第一非易失性存储器810、第二非易失性存储器820或控制器830中的单独的寄存器（未示出）中。在纠错数据存储在第一非易失性存储器810中的情况下，该纠错数据可与第一写数据WD1一起被发送到第一非易失性存储器810。
- [85] 图9是示意性示出图1中的第一非易失性存储器的方框图。在图9中，假设第一非易失性存储器110是电阻随机存取存储器。这里，电阻随机存取存储器可指的是被构造成感测存储器单元的两端之间的电阻值以判断存储单元的编程状态的

随机存取存储器。电阻随机存取存储器可包括MRAM、PRAM、ReRAM等。

- [86] 参照图9，非易失性存储器110可包括存储器单元阵列111、字线解码器112、位线选择器113、写驱动器114、感测放大器115、数据输入/输出电路116和控制逻辑117。
- [87] 存储器单元阵列111可通过字线与字线解码器112相连接，并可通过位线与位线选择器113相连接。存储器单元阵列111可包括多个存储器单元。存储器单元阵列111中的存储器单元可为电阻存储器单元。在示例实施例中，布置在行方向上的存储器单元可与字线连接。布置在列方向上的存储器单元可与位线连接。存储器单元阵列111中的每个存储器单元可对应于字线WL和位线BL。每个存储器单元可根据施加到字线WL和位线BL的电压或电流存储一个或多个比特。
- [88] 在示例实施例中，存储器单元阵列111的存储器单元可为MRAM单元。
- [89] 字线解码器112可通过字线与存储器单元阵列111相连接。字线解码器112可被构造成响应于控制逻辑117的控制进行操作。字线解码器112可被构造成对从外部装置接收的地址ADDR的行地址进行解码。字线解码器112可根据解码的行地址选择字线。
- [90] 位线选择器113可通过位线与存储器单元阵列111相连接，并可与写驱动器114和感测放大器115相连接。位线选择器113可响应于控制逻辑117的控制来选择位线。在编程操作时，位线选择器113可将选择的位线与写驱动器114相连接。在读操作时，位线选择器113可将选择的位线与感测放大器115相连接。
- [91] 写驱动器114可响应于控制逻辑117的控制进行操作。写驱动器114可被构造成对与位线选择器113选择的位线和字线解码器112选择的字线相连接的存储器单元进行编程。写驱动器114可基于从数据输入/输出电路116接收的数据，产生将被提供到选择的位线的设置电流或重置电流。
- [92] 感测放大器115可响应于控制逻辑117的控制进行操作。感测放大器115可被构造成从与位线选择器113选择的位线和字线解码器112选择的字线相连接的存储器单元读取数据。感测放大器115可通过感测流过选择的位线的电流或施加到选择的位线的电压，从存储器单元读取数据。感测放大器115可将读取的数据输出到数据输入/输出电路116。

- [93] 数据输入/输出电路116可响应于控制逻辑117的控制进行操作。数据输入/输出电路116可将外部装置接收的数据传输到感测放大器115。数据输入/输出电路116可将感测放大器115提供的数据输出到外部装置。
- [94] 控制逻辑117可控制非易失性存储器装置110的全部操作。控制逻辑117可响应于从外部装置接收的命令CMD和控制信号CTRL进行操作。
- [95] 图10是示意性示出图9中的第一非易失性存储器的存储器单元的视图。在图10中，假设第一非易失性存储器110（参照图9）是MRAM。
- [96] 第一非易失性存储器110的存储器单元10的电阻值可根据包括在存储器单元10中的磁层的磁化方向而改变。这种存储器单元10可被称作MRAM单元。MRAM单元可为在磁性薄膜上存储磁偏振状态的存储器单元，并可通过根据位线电流或字线电流产生的磁场切换磁偏振状态来执行写操作。
- [97] 参照图10，存储器单元10可包括开关晶体管14和磁隧道结（MTJ），磁隧道结（MTJ）由钉扎磁性层11、自由磁性层12和隧道结层13形成。这里，存储器单元10的两端可与多条位线（参照图9）中的一条BL_n和源极线SL相连接。多条字线（参照图9）中的一条WL_n可与存储器单元10的开关晶体管14相连接，并可选择或不选择存储器单元10。
- [98] 钉扎磁性层11的厚度可大于自由磁性层12的厚度。当施加相对强的磁场时，钉扎磁性层11的磁偏振状态可被改变。然而，尽管施加了相对弱的磁场，但是自由磁性层12的磁偏振状态也可被改变。
- [99] 隧道结层13可置于钉扎磁性层11和自由磁性层12之间。钉扎磁性层11和自由磁性层12可具有诸如NiFeCo或CoFe的材料。隧道结层13可具有诸如MgO或AlO₃的材料。
- [100] 开关晶体管14可通过字线WL_n的电压被导通或截止。在编程操作时，可通过导通或截止开关晶体管14来选择或不选择存储器单元10。例如，当开关晶体管14导通时，编程电流可流入存储器单元10中。存储器单元10的磁化方向可根据施加到位线BL_n的编程电流（或编程电压）的方向和电平而改变。
- [101] 另一方面，当开关晶体管14截止时，没有编程电流会流入存储器单元10。存储器单元10的磁化方向不会根据施加到位线BL_n的电流（或电压）而改变。

- [102] 具有顺序堆叠的钉扎磁性层11、隧道结层13和自由磁性层12的存储器单元10可根据钉扎磁性层11和自由磁性层12的磁化方向而具有不同的电阻值。例如，如果钉扎磁性层11和自由磁性层12的磁化方向彼此相同（或处于平行状态），则存储器单元10可具有相对低的电阻值。另一方面，如果钉扎磁性层11和自由磁性层12的磁化方向彼此相反（处于反平行状态），则存储器单元10可具有相对高的电阻值。
- [103] 第一非易失性存储器110（参照图9）可利用存储器单元10的电阻值根据存储器单元10的磁化方向而改变这样的特性，判断存储器单元10的编程状态。
- [104] 图11是示意性示出图1中的第二非易失性存储器的方框图。在图11中，假设第二非易失性存储器120是NAND闪速存储器。
- [105] 参照图11，第二非易失性存储器120可包括存储器单元阵列121、地址解码器122、读/写电路123、数据输入/输出电路124和控制逻辑125。
- [106] 存储器单元阵列121可通过字线WL连接到地址解码器122，并通过位线BL连接到读/写电路123。存储器单元阵列121可包括多个存储器单元。布置在行方向上的存储器单元可与字线连接，布置在列方向上的存储器单元可与位线连接。例如，布置在列方向上的存储器单元可形成多个单元组（例如，串）。多个单元组可分别连接到位线。在示例实施例中，每个存储器单元可存储一个或多个比特的数据。
- [107] 地址解码器122可通过字线WL连接到存储器单元阵列121。地址解码器122可响应于控制逻辑125的控制进行操作。地址解码器122可从外部装置接收地址ADDR。
- [108] 地址解码器122可对输入的地址ADDR的行地址进行解码，并可利用解码的行地址选择字线WL。地址解码器122可对输入的地址ADDR的列地址进行解码，从而将解码的列地址传输到读/写电路123。在示例实施例中，地址解码器122可包括诸如行解码器、列解码器、地址缓冲器等元件。
- [109] 读/写电路123可通过位线BL连接到存储器单元阵列121。读/写电路123可通过数据线DL连接到数据输入/输出电路124。读/写电路123可响应于控制逻辑125的控制进行操作。读/写电路123可响应于来自地址解码器122的解码的列地址DCA

来选择位线BL。

- [110] 在示例实施例中，读/写电路123可从数据输入/输出电路124接收数据，然后将该数据写入在存储器单元阵列121中。读/写电路123可从存储器单元阵列121读取数据，然后将该数据输出到数据输入/输出电路124。
- [111] 在示例实施例中，读/写电路123可包括诸如页缓冲器（或页寄存器）、列选择电路、数据缓冲器等构成元件。在另一示例实施例中，读/写电路123可包括诸如感测放大器、写驱动器、列选择电路、数据缓冲器等构成元件。
- [112] 数据输入/输出电路124可通过数据线DL连接到读/写电路123。数据输入/输出电路124可响应于控制逻辑125的控制进行操作。数据输入/输出电路124可被构造成与外部装置交换数据。数据输入/输出电路124可被构造成将外部装置提供的数据通过数据线DL传输到读/写电路123。数据输入/输出电路124可被构造成将从读/写电路123传输的数据通过数据线DL输出到外部装置。在示例实施例中，数据输入/输出电路124可包括诸如数据缓冲器的构成元件。
- [113] 控制逻辑125可与地址解码器122、读/写电路123和数据输入/输出电路124相连接。控制逻辑125可被构造成控制第二非易失性存储器装置120的全部操作。控制逻辑125可响应于从外部装置提供的控制信号CTRL进行操作。
- [114] 图12是示意性示出根据本发明构思的实施例的半导体存储器装置的ECC方法的流程图。参照图12，根据本发明构思的实施例的半导体存储器装置的ECC方法可包括操作S110至S130。这里，半导体存储器装置可具有与半导体存储器装置100、200、300、400、500、600、700和800中的一个的结构相同的结构。
- [115] 在操作S110，半导体存储器装置可确定写数据的属性。在示例实施例中，写数据可具有元数据、标准数据或缓冲数据的属性。
- [116] 在操作S120，半导体存储器装置可根据写数据的属性使用第一纠错电路和第二纠错电路中的一个来产生写数据的纠错数据。这时，半导体存储器装置可考虑到写数据将被存储所在的非易失性存储器的类型，确定用于产生纠错数据的方法。这里，半导体存储器装置的第一纠错电路和第二纠错电路的详细结构以及纠错数据产生方法可与参照图1至图8所描述的结构和方法基本相同。
- [117] 在操作S130，半导体存储器装置可存储纠错数据。在示例实施例中，纠错数据

可存储在包括在半导体存储器装置中的非易失性存储器中的一个中或者存储在控制器中以控制非易失性存储器。

[118] 因此，当稍后读取写数据时，存储的纠错数据可被用于验证写数据的完整性。

[119] 图13是示意性地示出根据本发明构思的另一实施例的半导体存储器装置的ECC方法的流程图。参照图13，根据本发明构思的另一实施例的半导体存储器装置的ECC方法可包括操作S210至S290。这里，半导体存储器装置可具有与半导体存储器装置100、200、300、400、500、600、700和800中的一个的结构相同的结构。半导体存储器装置可包括至少两种不同类型的非易失性存储器（例如，第一非易失性存储器NVM1和第二非易失性存储器NVM2）以及控制第一非易失性存储器NVM1和第二非易失性存储器NVM2的控制器。第一非易失性存储器NVM1可被构造成与参照图1至图8描述的第一非易失性存储器110、210、310、410、510、610、710和810中的一个基本相同。第二非易失性存储器NVM2可被构造成与参照图1至图8描述的第二非易失性存储器120、220、320、420、520、620、720和820中的一个基本相同。同样地，控制器可被构造成与参照图1至图8描述的控制器的130、230、330、430、530、630、730和830中的一个基本相同。

[120] 利用图13中的ECC方法，可根据写数据WD的属性以及写数据WD被编程所在的存储器的类型，使用不同的纠错电路产生写数据WD的纠错数据。根据写数据WD的属性以及写数据WD被编程所在的存储器的类型选择纠错电路的说明以及效果可与参照图1至图8所描述的说明和效果基本相同。

[121] 在操作S210，半导体存储器装置可将写数据WD输入到控制器130。

[122] 在操作S220，半导体存储器装置可确定写数据WD是否在第一非易失性存储器NVM1和第二非易失性存储器NVM2中的任何一个被编程。如上所述，第一非易失性存储器NVM1和第二非易失性存储器NVM2可具有不同的类型、最小编程单元和编程速度。如果确定第一非易失性存储器NVM1为写数据WD被编程所在的存储器，则该方法可进行至操作S230。如果确定第一非易失性存储器NVM1不是写数据WD被编程所在的存储器，则该方法可进行至操作S280。

[123] 在操作S230，半导体存储器装置可确定写数据WD是具有元数据的属性还是具有标准数据的属性。如果确定写数据WD具有元数据的属性，则该方法可进行至

操作S260。如果确定写数据WD不具有元数据的属性，则该方法可进行至操作S240。

- [124] 在操作S240，由于写数据WD不具有元数据的属性，所以半导体存储器装置可使用第二纠错电路ECC2产生写数据WD的纠错数据。这里，第二纠错电路ECC2可为被设计成适合于第二非易失性存储器NVM2的纠错电路。对第二纠错电路ECC2的详细描述以及与第二非易失性存储器NVM2的关系可与参照图1至图8描述的详细描述和关系基本相同。
- [125] 在操作S250，半导体存储器装置可在第一非易失性存储器NVM1对写数据WD进行编程。在对写数据WD进行编程的同时或者在对写数据WD进行编程之前和之后，半导体存储器装置可将产生的纠错数据存储在第一非易失性存储器NVM1、第二非易失性存储器NVM2或控制器130中。
- [126] 返回操作S230，如果写数据WD是元数据，则该方法可进行至操作S260。
- [127] 在操作S260，由于写数据WD是元数据，则半导体存储器装置可使用第一纠错电路ECC1产生写数据WD的纠错数据。这里，第一纠错电路ECC1可为被设计成适合于第一非易失性存储器NVM1的纠错电路。对第一纠错电路ECC1的详细描述以及与第一非易失性存储器NVM1的关系可与参照图1至图8描述的详细描述和关系基本相同。
- [128] 在操作S270，半导体存储器装置可在第一非易失性存储器NVM1对写数据WD进行编程。在对写数据WD进行编程的同时或者在对写数据WD进行编程之前和之后，半导体存储器装置可将产生的纠错数据存储在第一非易失性存储器NVM1、第二非易失性存储器NVM2或控制器130中。
- [129] 返回至操作S220，如果第一非易失性存储器NVM1不是写数据WD被编程所在的存储器，即，如果第二非易失性存储器NVM2是写数据WD被编程所在的存储器，则该方法可进行至操作S280。
- [130] 在操作S280，由于写数据WD是在第二非易失性存储器NVM2被编程的数据，所以半导体存储器装置可使用适合于第二非易失性存储器NVM2的第二纠错电路ECC2产生写数据WD的纠错数据。
- [131] 在操作S290，半导体存储器装置可在第二非易失性存储器NVM2对写数据WD

进行编程。在对写数据WD进行编程同时或者在对写数据WD进行编程之前和之后，半导体存储器装置可将产生的纠错数据存储在第一非易失性存储器NVM1、第二非易失性存储器NVM2或控制器130中。

[132] 尽管已经参照示例实施例描述了本发明构思，但是本领域技术人员将清楚的是，在不脱离本发明的精神和范围的情况下，可以做出各种改变和变型。因此，应该理解的是，上述实施例不是限制性的，而是说明性的。

权利要求书

- [权利要求 1] 一种半导体存储器装置，所述半导体存储器装置包括：
第一非易失性存储器；
第二非易失性存储器，具有与第一非易失性存储器的类型不同的类型；
控制器，被构造成控制第一非易失性存储器和第二非易失性存储器；
第一纠错电路，被构造成纠正在第一非易失性存储器进行编程的第一写数据的错误；和
第二纠错电路，包括在控制器中并被构造成基于与第一纠错电路的纠错算法不同的纠错算法来纠正第一写数据的错误或在第二非易失性存储器进行编程的第二写数据的错误，
其中，根据第一写数据的属性使用第一纠错电路和第二纠错电路中的一个产生用于纠正第一写数据的错误的纠错数据。
- [权利要求 2] 据权利要求1所述的半导体存储器装置，其中，如果第一写数据具有元数据的属性，则使用第一纠错电路产生纠错数据。
- [权利要求 3] 根据权利要求1所述的半导体存储器装置，其中，如果第一写数据具有标准数据的属性，则使用第二纠错电路产生纠错数据。
- [权利要求 4] 根据权利要求1所述的半导体存储器装置，其中，如果第一写数据具有缓冲数据的属性，则使用第二纠错电路产生纠错数据，其中，缓冲数据是在第一非易失性存储器被临时编程以将缓冲数据写入到第二非易失性存储器的数据。
- [权利要求 5] 根据权利要求1所述的半导体存储器装置，其中，第一纠错电路被包括在第一非易失性存储器中。
- [权利要求 6] 根据权利要求1所述的半导体存储器装置，其中，第一纠错电路被包括在控制器中。
- [权利要求 7] 根据权利要求1所述的半导体存储器装置，其中，第一非易失性存储器的编程速度比第二非易失性存储器的编程速度快。

- [权利要求 8] 根据权利要求1所述的半导体存储器装置，其中，第一非易失性存储器是读取存储器单元两端之间的电阻值以判断存储在所述存储器单元的数据的电阻存储器。
- [权利要求 9] 根据权利要求1所述的半导体存储器装置，其中，第一非易失性存储器是磁随机存取存储器。
- [权利要求 10] 根据权利要求1所述的半导体存储器装置，其中，第二非易失性存储器是NAND闪速存储器。
- [权利要求 11] 根据权利要求1所述的半导体存储器装置，其中，第一纠错电路根据使用汉明码的纠错算法产生纠错数据。
- [权利要求 12] 根据权利要求1所述的半导体存储器装置，其中，第二纠错电路根据使用BCH码或LDPC码的纠错算法产生纠错数据。
- [权利要求 13] 一种半导体存储器装置的ECC方法，所述半导体存储器装置包括：
第一非易失性存储器；第二非易失性存储器，具有与第一非易失性存储器的类型不同的类型；和控制器，控制第一非易失性存储器和第二非易失性存储器，所述ECC方法包括：
确定在第一非易失性存储器进行编程的写数据的属性；
根据写数据的属性和第一非易失性存储器的类型，使用第一非易失性存储器和第二非易失性存储器中的一个产生用于纠正写数据的错误的纠错数据；和
存储纠错数据，
其中，第一纠错电路和第二纠错电路根据不同的纠错算法产生纠错数据。
- [权利要求 14] 根据权利要求13所述的ECC方法，其中，半导体存储器装置控制控制器使得使用第二纠错电路产生在第二非易失性存储器进行编程的写数据的纠错数据。
- [权利要求 15] 据权利要求13所述的ECC方法，其中，半导体存储器装置在第一非易失性存储器、第二非易失性存储器或控制器存储纠错数据。

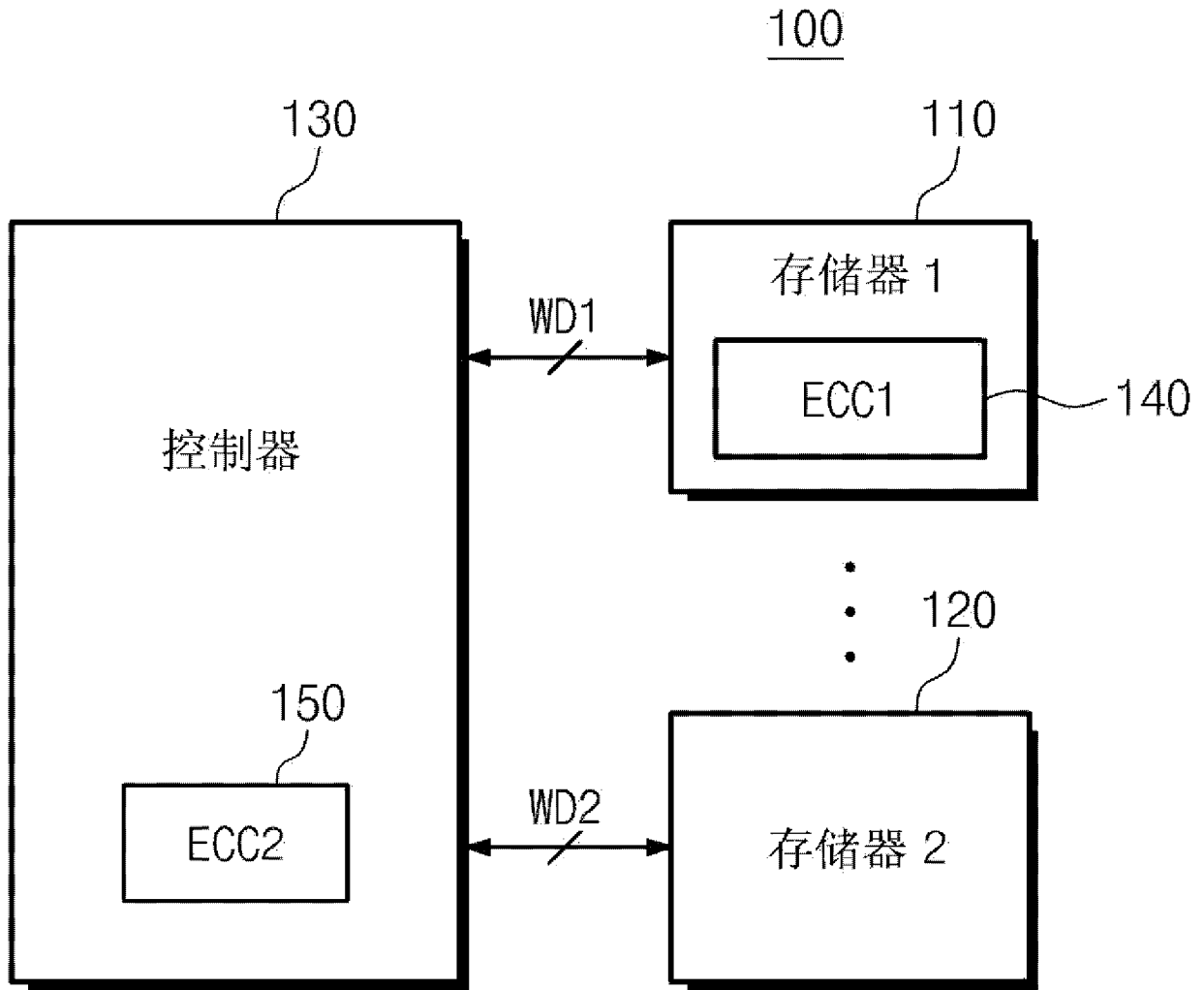


图 1

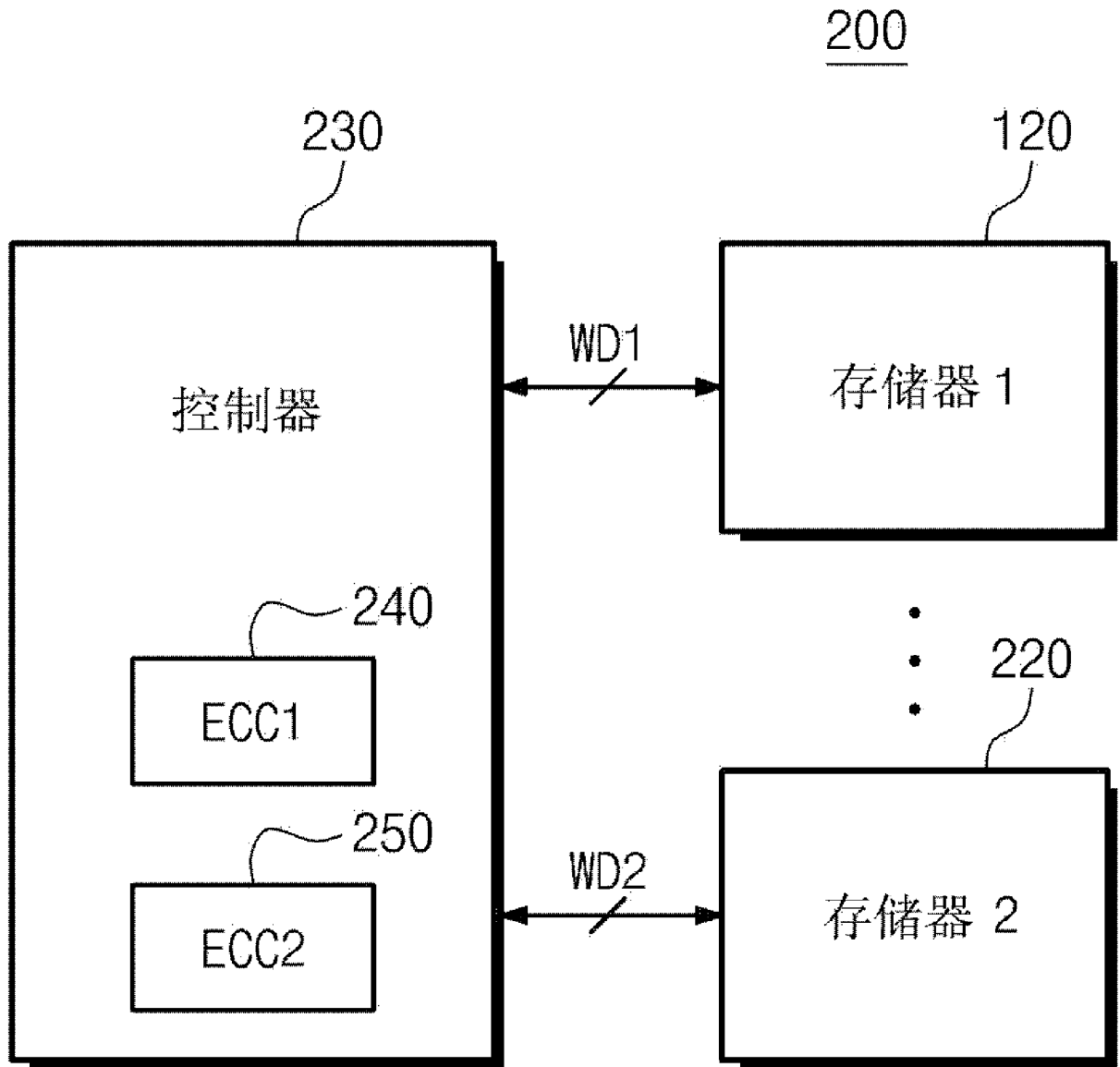


图 2

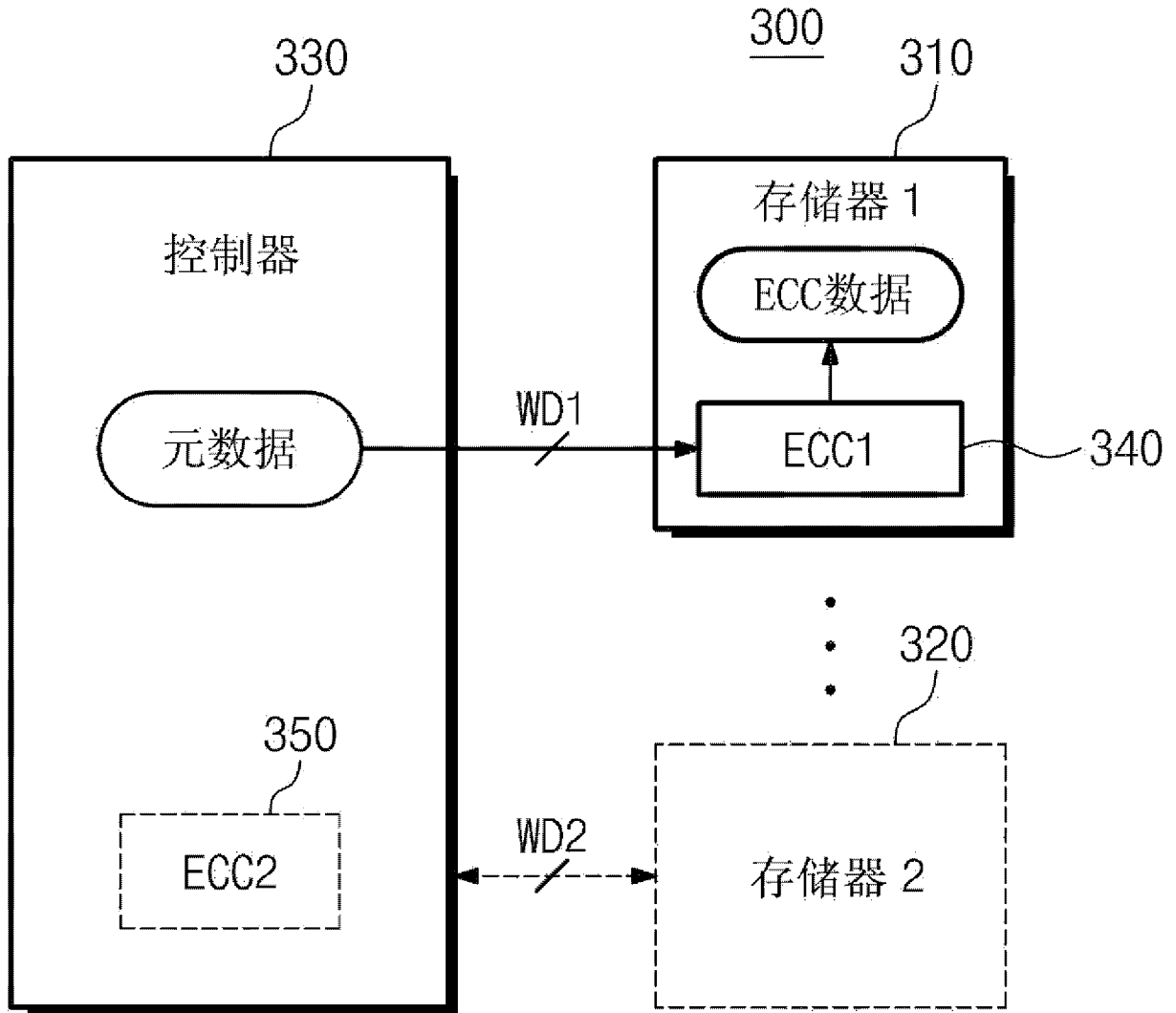


图 3

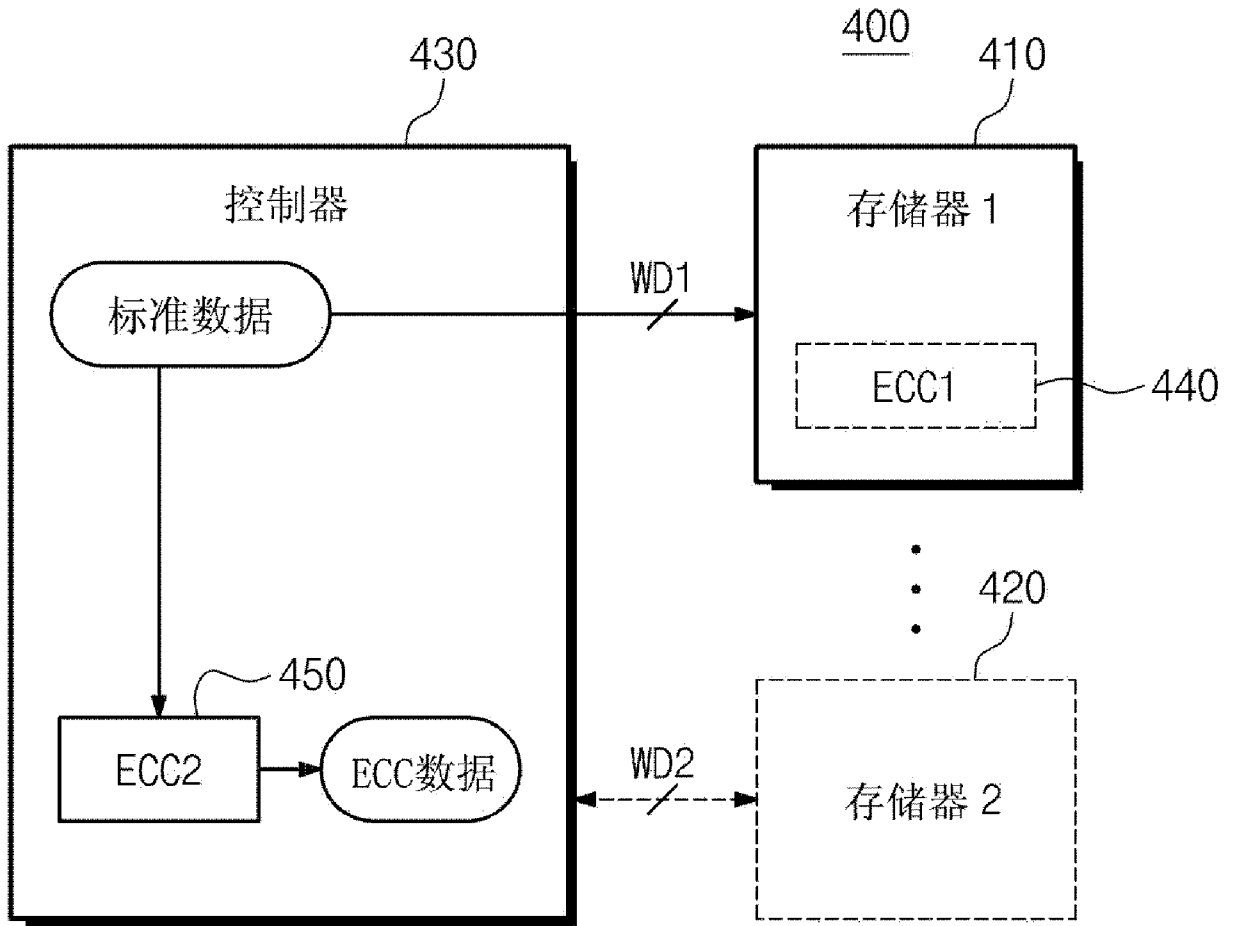


图 4

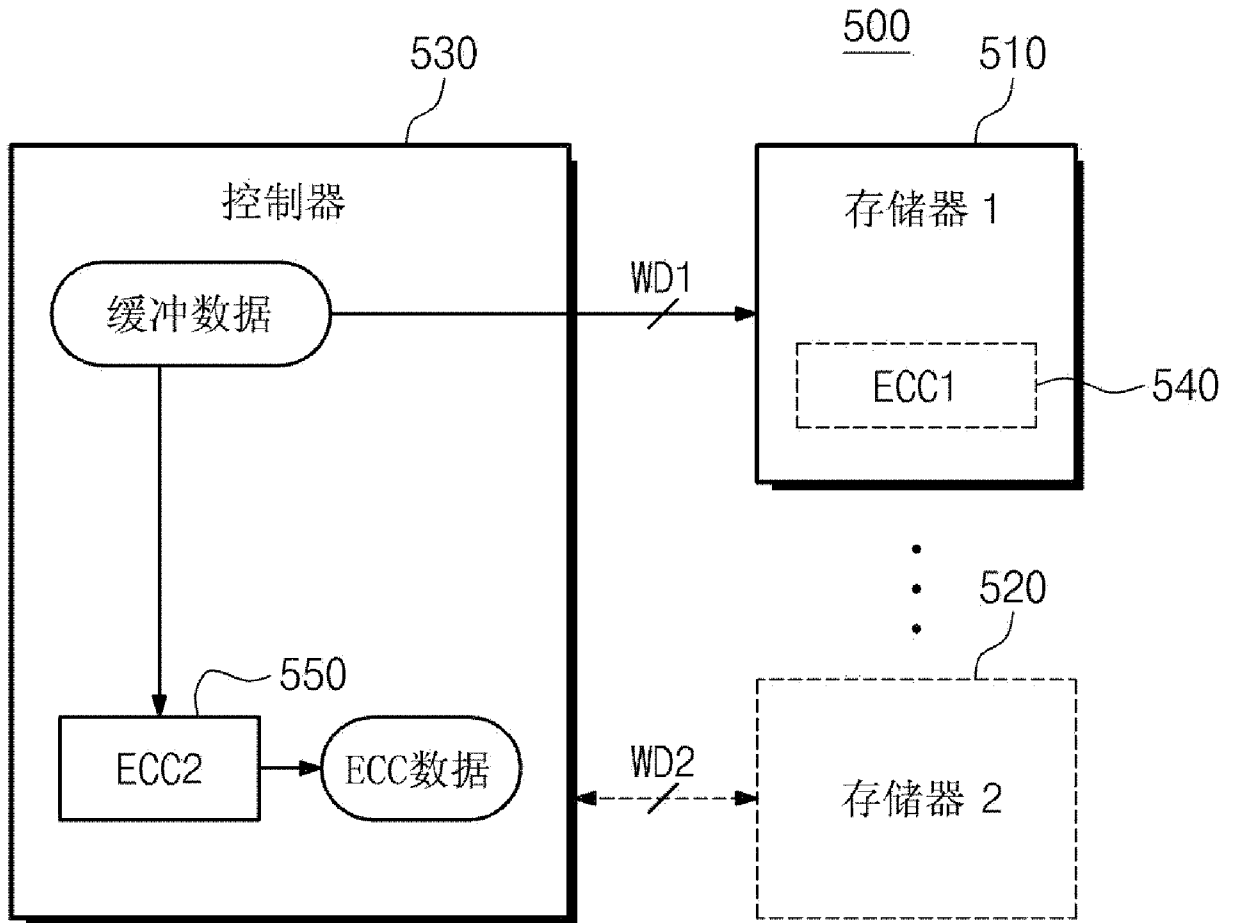


图 5

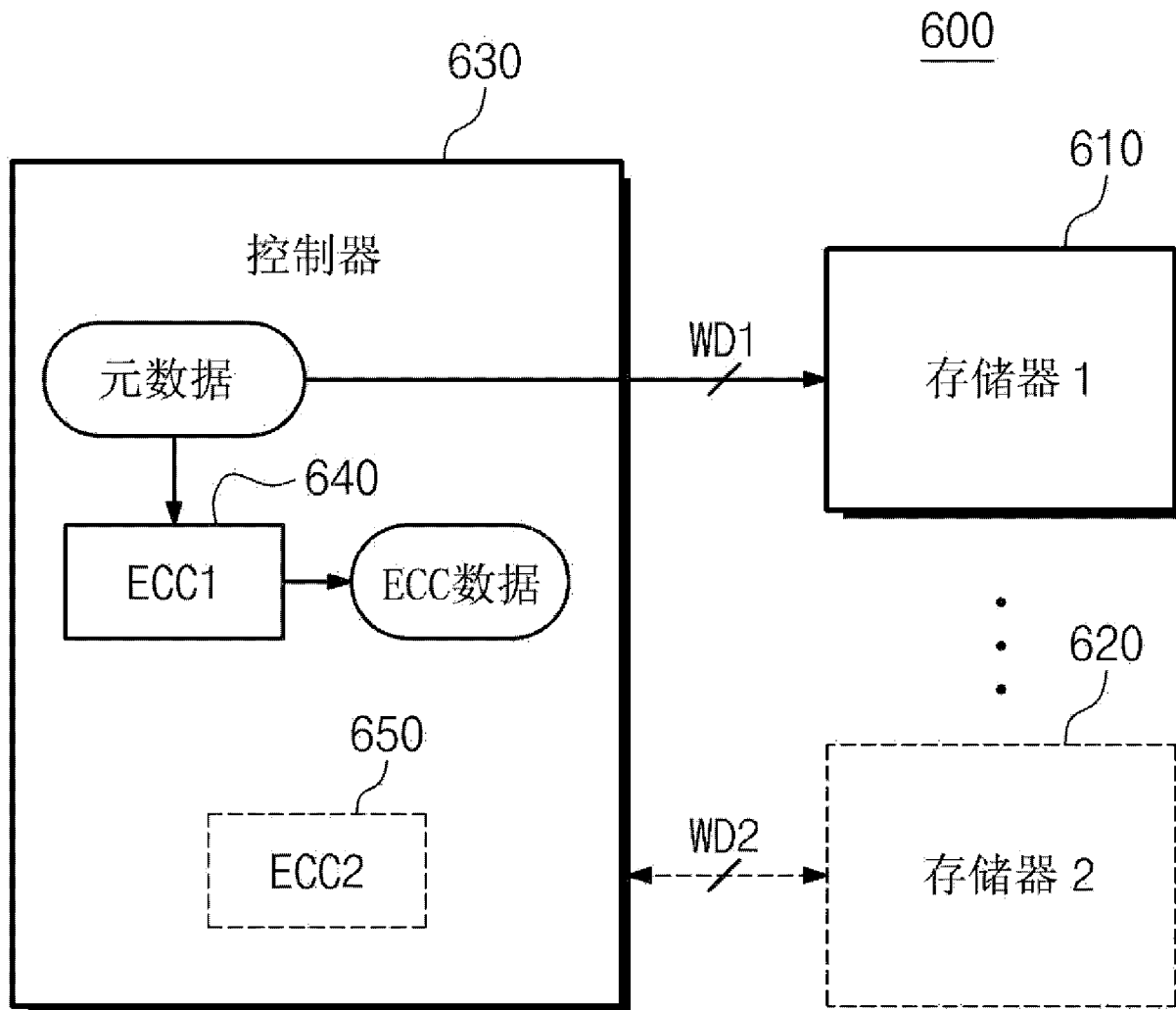


图 6

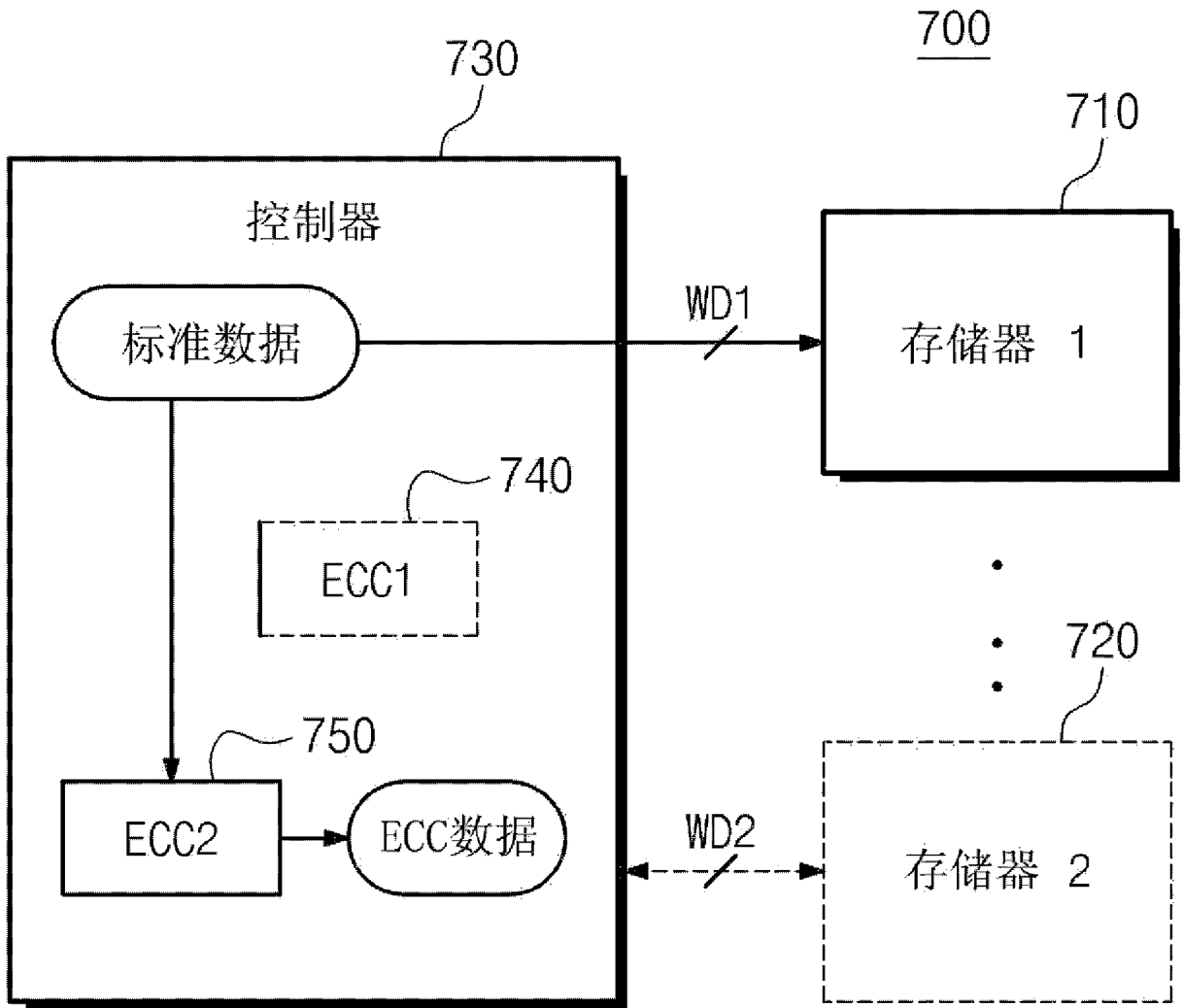


图 7

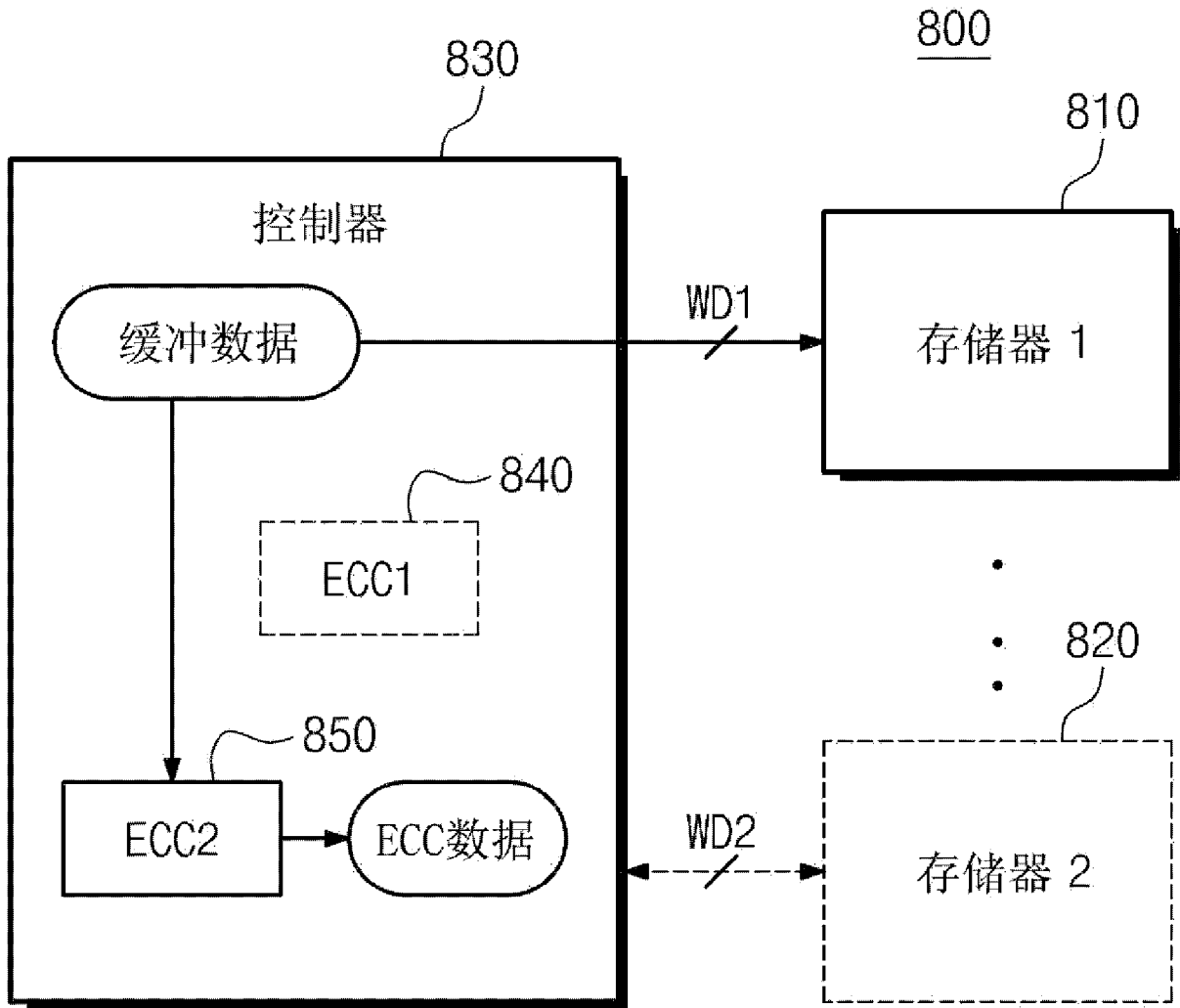


图 8

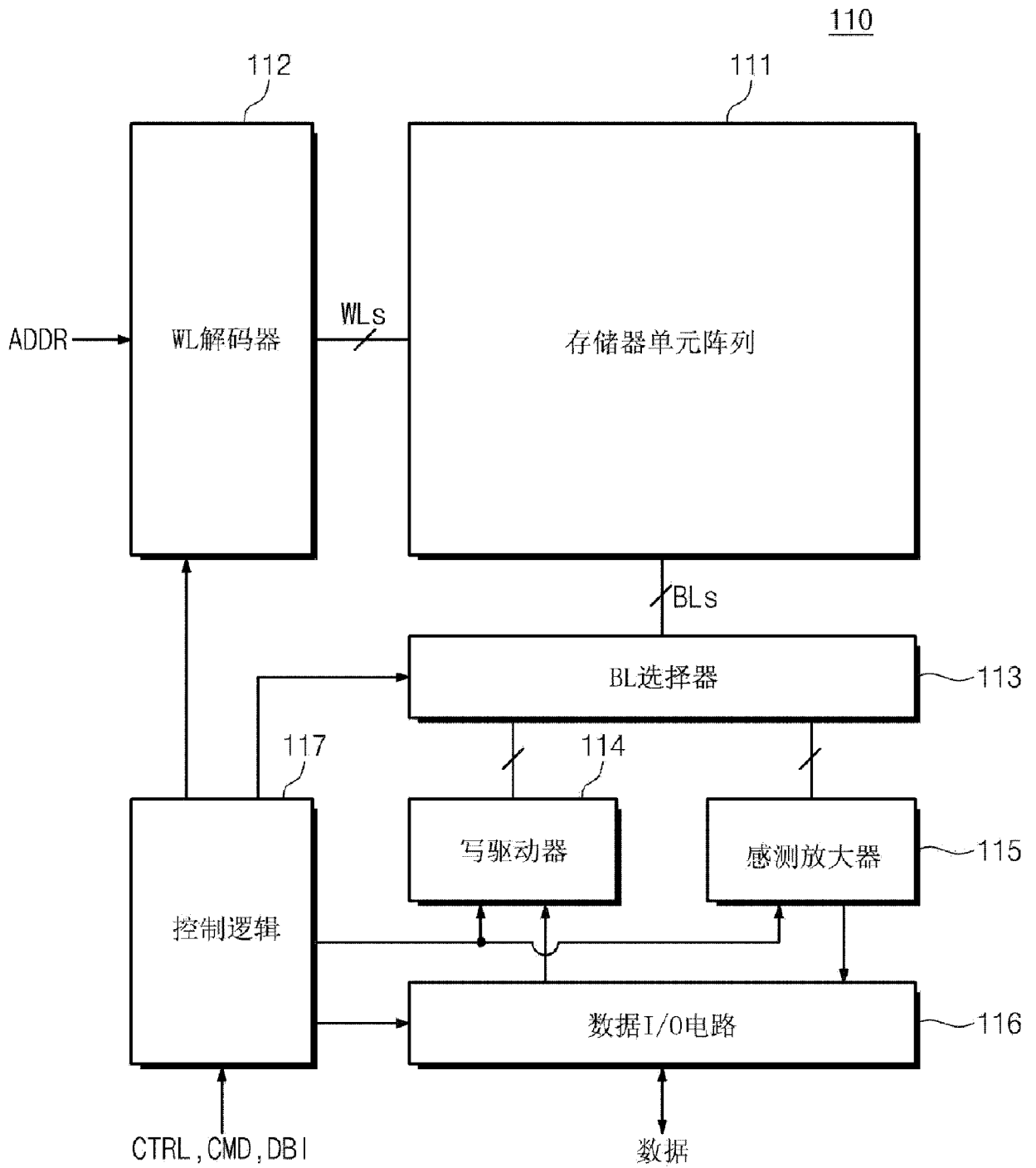


图 9

10

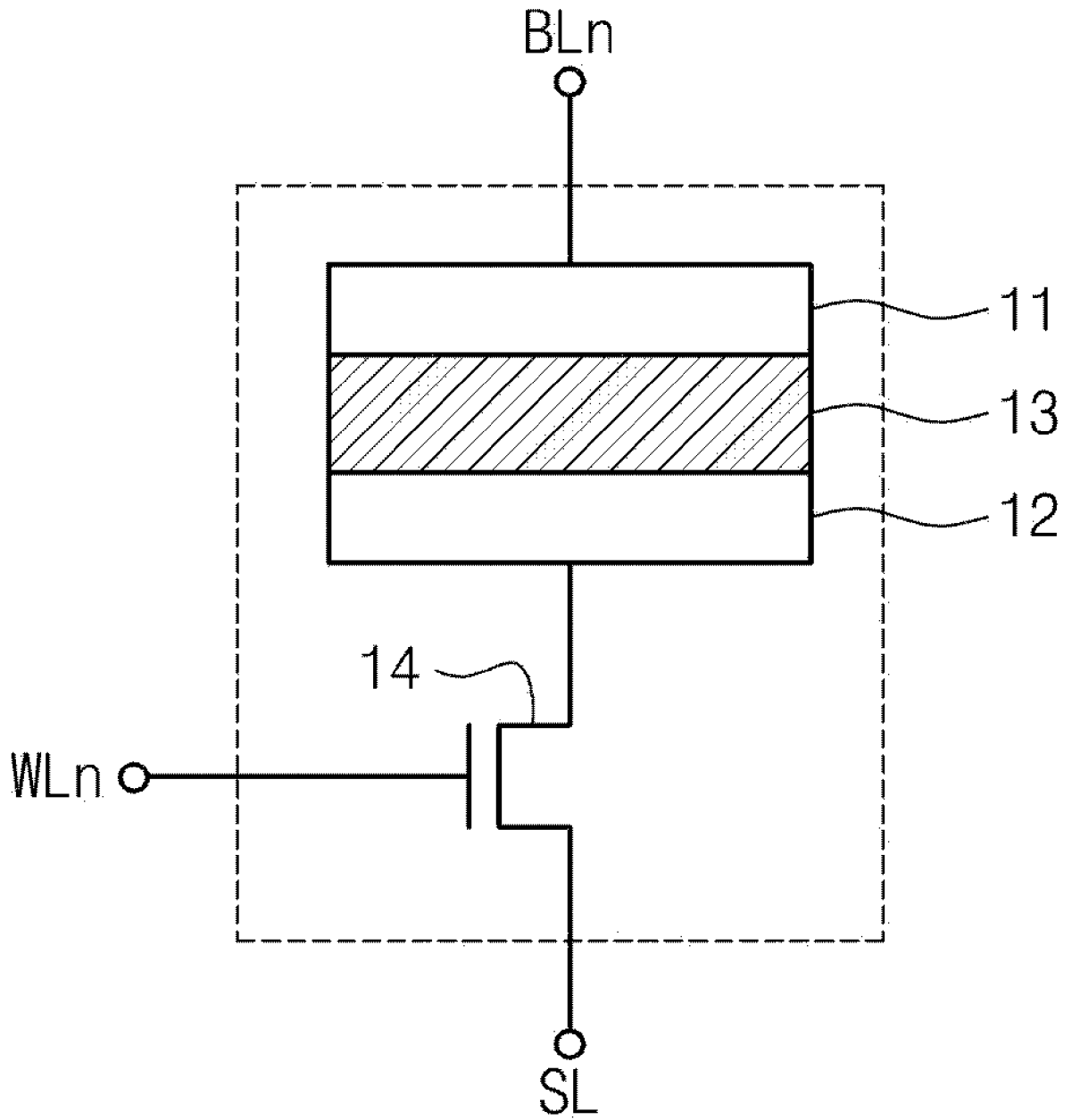


图 10

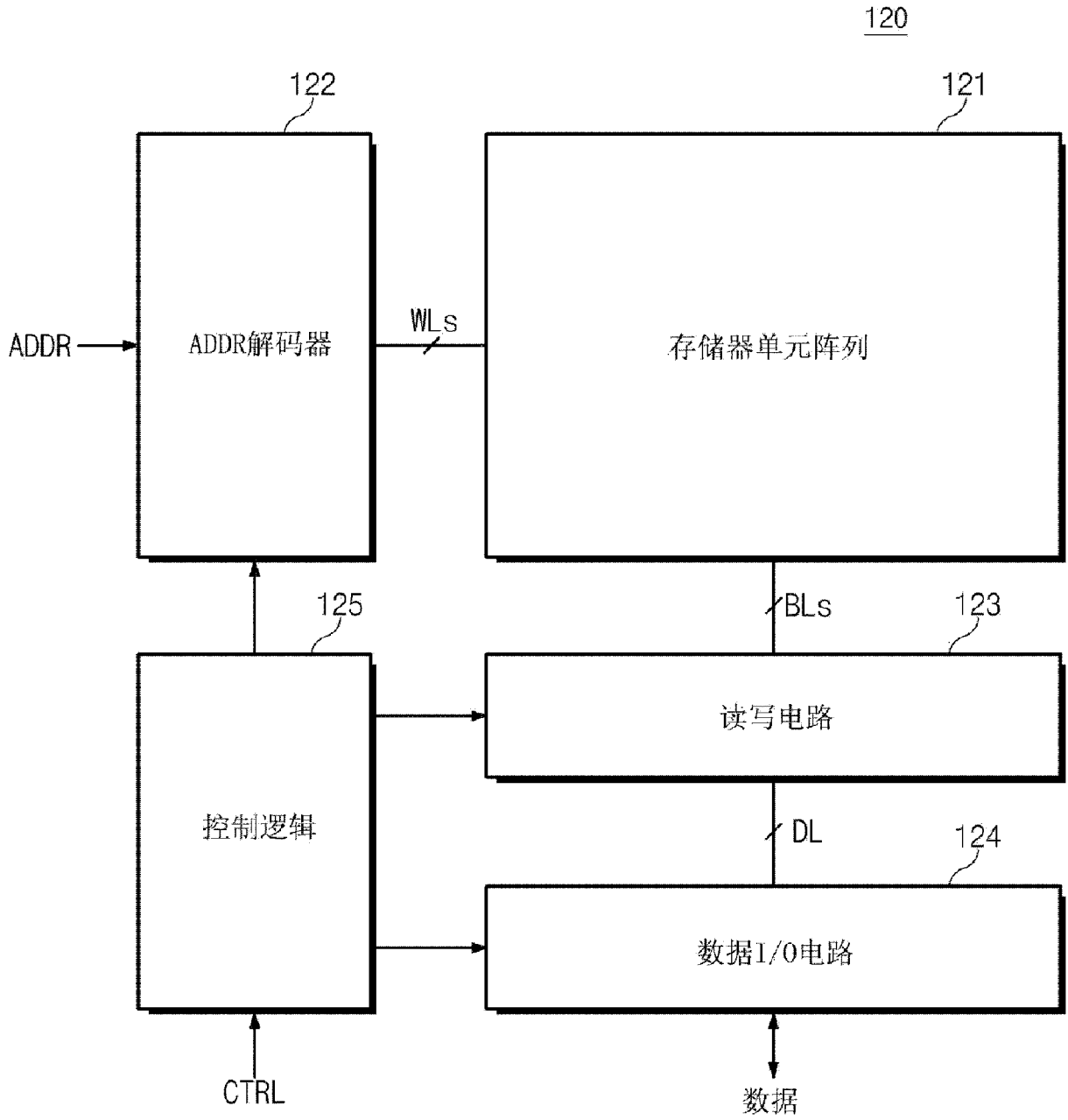


图 11

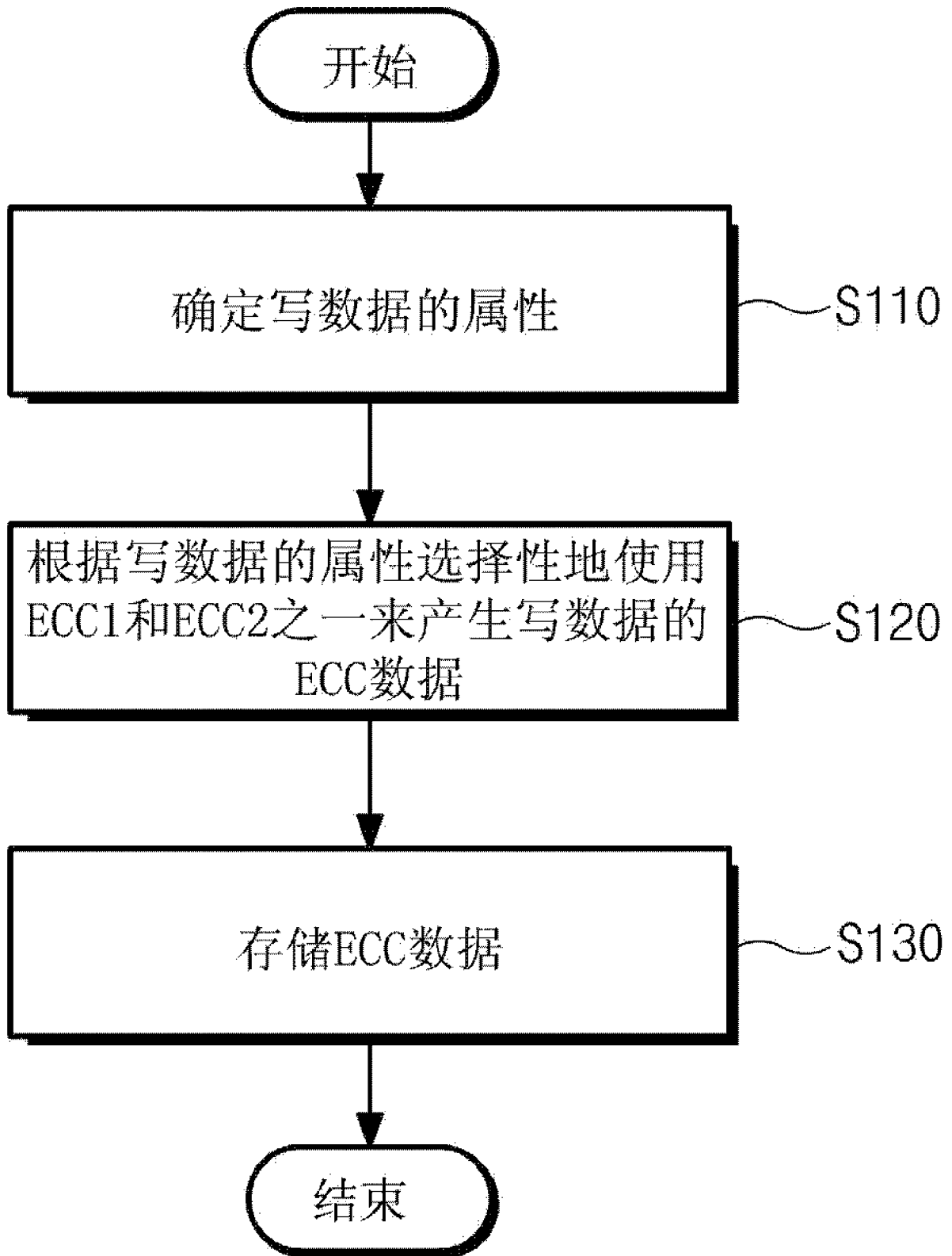


图 12

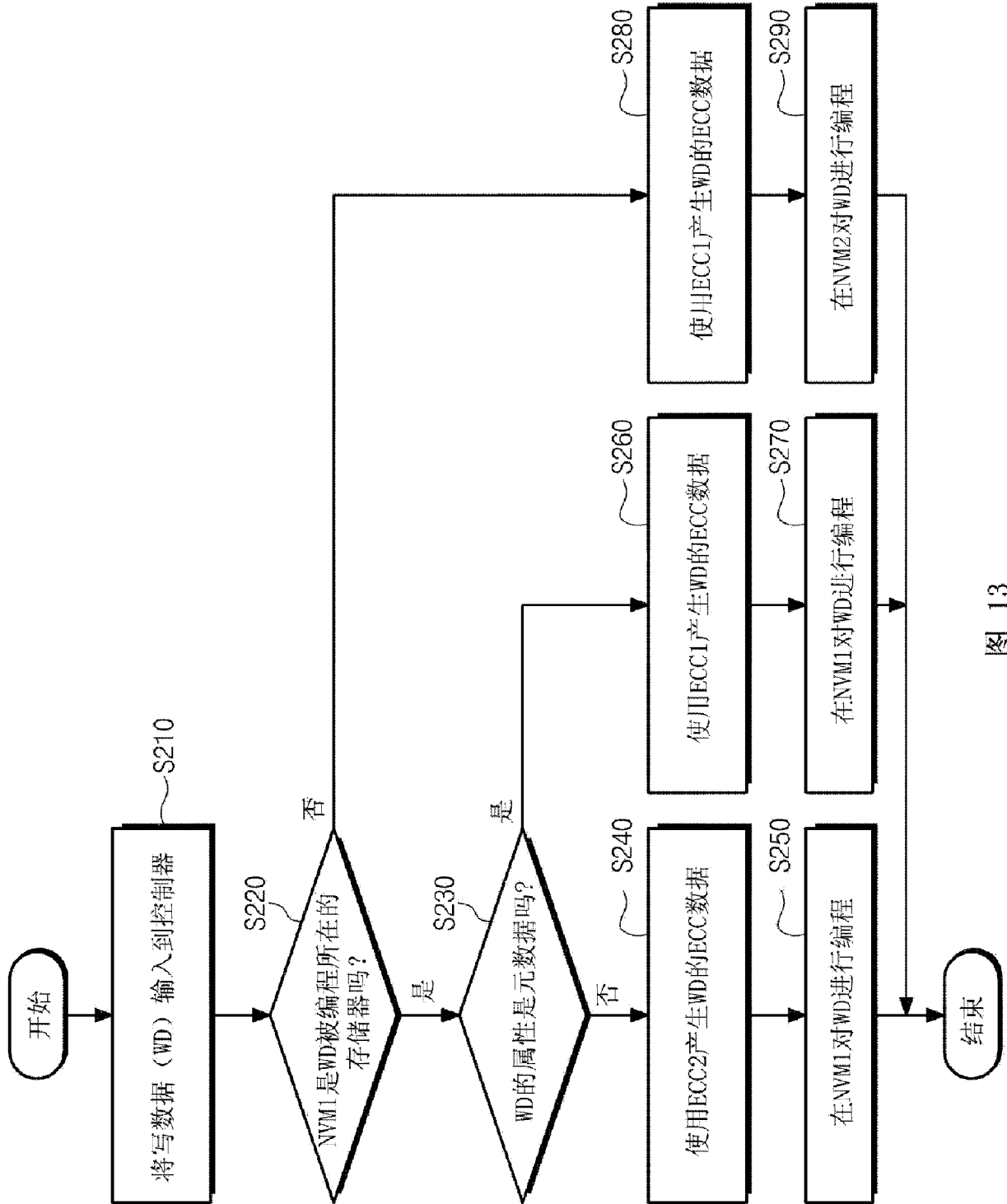


图 13

国际检索报告

国际申请号
PCT/IB2013/054868

A. 主题的分类

G11C 29/42(2006.01)i

按照国际专利分类表(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G11C 29/42; G06F 11/07; G06F 12/02; H03M 13/05; H03M 13/15; G06F 11/14; G06F 11/10

包含在检索领域中的除最低限度文献以外的检索文献

韩国的实用新型及其申请

日本的实用新型及其申请

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

eKOMPASS (KIPO internal/ KIPO 内部) & Keywords/关键词: 非易失性存储器, 误差校正电路, 算法, 数据属性, 类型 non-volatile memory, error correction circuit, algorithm, data attribute, type

C. 相关文件

类型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	US 2010-0211851 AI (ROBERT WILLIAM DIXON) 2010年8月19日 参见第[0002]-[0006], [0016] -[0024], [0034]-[0045], [0054]-[0064] 段; 附图1-3.	1-15
A	US 2011-0072328 AI (STEVEN S. CHENG 等) 24 March 2011年3月24日 参见第[0001]-[0012], [0024] -[0030] 段; 权利要求1, 13; 附图2, 5, 7A-7B.	1-15
A	US 2009-0125790 AI (SREE M. LYER 等) 2009年5月14日 参见第[0003]-[0008], [0016H0021], [0026]-[0032], [0035] 段; 附图 1-3.	1-15
A	US 2011-0047441 AI (AKIRA YAMAGA) 2011年2月24日 参见第[0003]-[0009], [0042] -[0052], [0076]段; 附图 1.	1-15
A	US 2009-0158123 AI (YASUSHI KASA) 2009年6月18日 参见第[0003]-[0009], [0018]-[0024], [0027]-[0031]; 权利要求1; 附图 1-2.	1-15

其余文件在 C 栏的续页中列出。

见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期
19 March 2014 (19.03.2014)

国际检索报告邮寄日期
20 March 2014 (20.03.2014)

国际检索单位名称和邮寄地址

受权官员

BYUN, Sung Cheal

传真号: +43 / 1 / 534 24 / 535

电话号码:

国际检索报告
关于同族专利的信息

国际申请号
PCT/IB2013/054868

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
US 2010-0211851 A1	19/08/2010	US 8255774 B2 WO 2010-096421 A1	28/08/2012 26/08/2010
US 2011-0072328 A1	24/03/2011	TW 201133230 A US 8413015 B2 WO 2011-034784 A1	01/10/2011 02/04/2013 24/03/2011
US 2009-0125790 A1	14/05/2009	EP 2227813 A2 TW 200921689 A WO 2009-064791 A2 WO 2009-064791 A3	15/09/2010 16/05/2009 22/05/2009 27/08/2009
US 2011-0047441 A1	24/02/2011	CN 101960723 A EP 2248264 A1 EP 2248264 A4 JP 2009-212623 A JP 4856110 B2 KR 10-1138120 B1 KR 10-2010-0113143 A US 8418028 B2 WO 2009-110124 A1	26/01/2011 10/11/2010 06/07/2011 17/09/2009 18/01/2012 23/04/2012 20/10/2010 09/04/2013 11/09/2009
US 2009-0158123 A1	18/06/2009	JP 2008-310896 A TW 200910365 A TW I378464 B US 2012-0266047 A1 US 2013-0268823 A1 US 8225172 B2 US 8438460 B2 WO 2008-156767 A2 WO 2008-156767 A3	25/12/2008 01/03/2009 01/12/2012 18/10/2012 10/10/2013 17/07/2012 07/05/2013 24/12/2008 16/04/2009

INTERNATIONAL SEARCH REPORT

International application No.
PCT/IB2013/054868**A. CLASSIFICATION OF SUBJECT MATTER****G11C 29/42(2006.01)i**

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHEDMinimum documentation searched (classification system followed by classification symbols)
G11C 29/42; G06F 11/07; G06F 12/02; H03M 13/05; H03M 13/15; G06F 11/14; G06F 11/10Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Korean utility models and applications for utility models
Japanese utility models and applications for utility modelsElectronic data base consulted during the international search (name of data base and, where practicable, search terms used)
eKOMPASS(KIPO internal) & Keywords: non-volatile memory, error correction circuit, algorithm, data attribute, type**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2010-0211851 A1 (ROBERT WILLIAM DIXON) 19 August 2010 See paragraphs [0002]-[0006], [0016]-[0024], [0034]-[0045], [0054]-[0064]; and figures 1-3.	1-15
A	US 2011-0072328 A1 (STEVEN S. CHENG et al.) 24 March 2011 See paragraphs [0001]-[0012], [0024]-[0030]; claims 1, 13; and figures 2, 5, 7A-7B.	1-15
A	US 2009-0125790 A1 (SREE M. LYER et al.) 14 May 2009 See paragraphs [0003]-[0008], [0016]-[0021], [0026]-[0032], [0035]; and figures 1-3.	1-15
A	US 2011-0047441 A1 (AKIRA YAMAGA) 24 February 2011 See paragraphs [0003]-[0009], [0042]-[0052], [0076]; and figure 1.	1-15
A	US 2009-0158123 A1 (YASUSHI KASA) 18 June 2009 See paragraphs [0003]-[0009], [0018]-[0024], [0027]-[0031]; claim 1; and figures 1-2.	1-15

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

19 March 2014 (19.03.2014)

Date of mailing of the international search report

20 March 2014 (20.03.2014)

Name and mailing address of the ISA/KR

International Application Division
Korean Intellectual Property Office
139 Cheongsa-ro, Seo-gu, Daejeon Metropolitan City, 302-701,
Republic of Korea

Facsimile No. +82-42-472-7140

Authorized officer

BYUN, Sung Cheal

Telephone No. +82-42-481-8262



INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/IB2013/054868

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2010-0211851 A1	19/08/2010	US 8255774 B2 WO 2010-096421 A1	28/08/2012 26/08/2010
US 2011-0072328 A1	24/03/2011	TW 201133230 A US 8413015 B2 WO 2011-034784 A1	01/10/2011 02/04/2013 24/03/2011
US 2009-0125790 A1	14/05/2009	EP 2227813 A2 TW 200921689 A WO 2009-064791 A2 WO 2009-064791 A3	15/09/2010 16/05/2009 22/05/2009 27/08/2009
US 2011-0047441 A1	24/02/2011	CN 101960723 A EP 2248264 A1 EP 2248264 A4 JP 2009-212623 A JP 4856110 B2 KR 10-1138120 B1 KR 10-2010-0113143 A US 8418028 B2 WO 2009-110124 A1	26/01/2011 10/11/2010 06/07/2011 17/09/2009 18/01/2012 23/04/2012 20/10/2010 09/04/2013 11/09/2009
US 2009-0158123 A1	18/06/2009	JP 2008-310896 A TW 200910365 A TW 1378464 B US 2012-0266047 A1 US 2013-0268823 A1 US 8225172 B2 US 8438460 B2 WO 2008-156767 A2 WO 2008-156767 A3	25/12/2008 01/03/2009 01/12/2012 18/10/2012 10/10/2013 17/07/2012 07/05/2013 24/12/2008 16/04/2009